

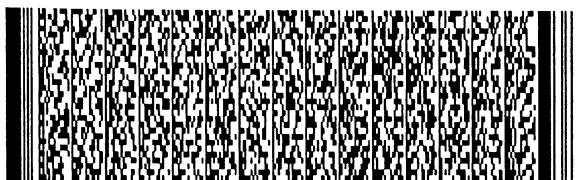
公告本

申請日期：92.10.14	IPC分類 G11C 16/00	I220253
申請案號： 92128384		

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	操作非揮發性記憶元件的方法
	英文	METHOD OF OPERATING A NON-VOLATILE MEMORY
二、 發明人 (共4人)	姓名 (中文)	1. 葉致錯
	姓名 (英文)	1. YEH, CHIH-CHIEH
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹科學工業園區力行路16號
	住居所 (英 文)	1. NO. 16, LI-HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 旺宏電子股份有限公司
	名稱或 姓名 (英文)	1. MACRONIX INTERNATIONAL CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 16, LI-HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
代表人 (中文)	1. 胡定華	
	代表人 (英文)	1. HU, DING HUA



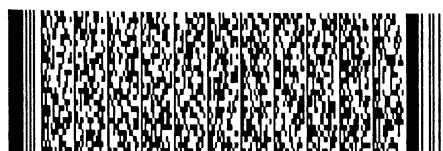
10500twf.psd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 、 發明名稱	中 文	
	英 文	
二 、 發明人 (共4人)	姓 名 (中文)	2. 陳宏岳
	姓 名 (英文)	2. CHEN, HUNG YUEH
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 新竹科學工業園區力行路16號
	住居所 (英 文)	2. NO. 16, LI-HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
三 、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



10500twf.ptd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 、 發明名稱	中 文	
	英 文	
二 、 發明人 (共4人)	姓 名 (中文)	3. 蔡文哲
	姓 名 (英文)	3. TSAI, WEN JER
	國 籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 新竹科學園區力行路16號
	住居所 (英 文)	3. NO. 16, LI-HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
三 、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



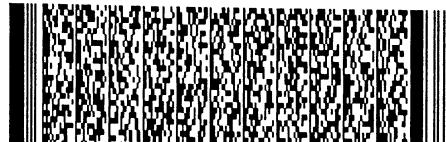
10500twf_ptd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 盧道政
	姓名 (英文)	4. LU, TAO CHENG
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 新竹科學工業園區力行路16號
	住居所 (英 文)	4. NO. 16, LI-HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



10500twf.ptd

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

發明所屬之技術領域

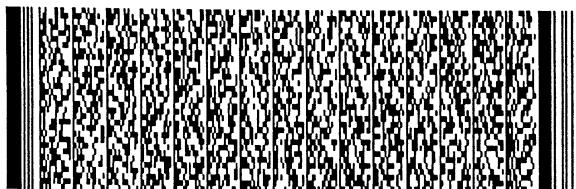
本發明是有關於一種快閃記憶體(flash memory)，且特別是有關於一種新的快閃記憶胞及其資料型樣(data pattern)與感測方案(sensing scheme)。

先前技術

用於資訊的非揮發性儲存之記憶元件以被廣泛使用。這種記憶元件的例子包括唯讀記憶體(ROM)、可編程唯讀記憶體(PROM)、可抹除可編程唯讀記憶體(EPROM)、可電除可編程唯讀記憶體(EEPROM)以及快閃可電除可編程唯讀記憶體。

快閃記憶體通常是指一快閃可電除可編程唯讀記憶體，其可取代一位元組，而一次被抹除一塊資料。許多現代的電腦有其儲存於一快閃記憶晶片上的基本輸入輸出系統(basic input/output system，簡稱BIOS)，以便BIOS在需要時能被輕易更新。這種BIOS有時稱為快閃BIOS。快閃記憶體也廣泛應用於儀器中，如數據機。因為快閃記憶體能使這些儀器被更新去支持如新協定(protocol)而變得標準。

一快閃記憶元件通常包含排列成列與行的記憶胞的陣列。每一記憶胞包含一金氧半電晶體(MOS transistor)結構，其中具有一閘極、一汲極、一源極與一通道區定義於源極與汲極之間。閘極對應於一字元線，而源極與汲極對應於記憶陣列的位元線。習知快閃記憶胞的閘極通常是一種雙閘極(dual-gate)結構，包含一控制閘極(control



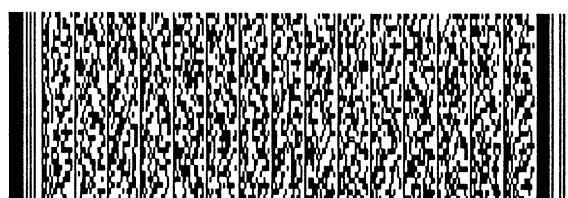
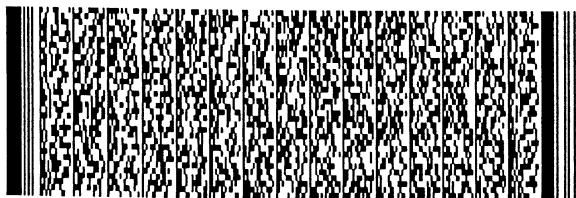
五、發明說明 (2)

gate) 與一浮置閘極(floating gate)，其中浮置閘極被夾於兩介電層之間以捕捉如電子的載子(carrier)，藉以「程式化」記憶胞。換言之，在一傳統的胞中，一第一介電層形成於通道上、浮置閘極形成於第一介電層上、一第二介電層形成於浮置閘極上以及控制閘極最後形成於第二介電層上。

在程式化期間，供應一套程式偏壓至被選字元線與位元線。對應於被選字元線與位元線的一或多個記憶胞被加偏壓於程式狀態(programming state)中。對於單一記憶胞而言，供應不同的偏壓到其源極與汲極會沿著其通道產生一電場，而使電子得到足夠能量。這種熱電子之後會經過第一介電層穿隧至浮置閘極中而儲存於其中。由於浮置閘極中儲存有電子，所以記憶胞的啟始電壓(threshold voltage)會被改變。啟始電壓之變化將判定是否程式化記憶胞。

欲讀取一記憶胞，要供應讀取偏壓以及一感測器(sensing device)通過記憶胞讀取一電流。如果記憶胞已被程式化，或是有電子被儲存於其浮置閘極中，則其電流度(current level)與沒被程式化的記憶胞不同。因此，根據測得的電流度，感測器能夠判定每一記憶胞的狀態。

欲抹除存於一快閃記憶體中的資訊，則需供應其抹除偏壓，經由已知的F-N(Fowler-Nordheim)穿隧機制，迫使儲存電子由浮置閘極穿隧出來。然而，習知的快閃記憶體有一些問題，如高耗電、程式化與讀取干擾



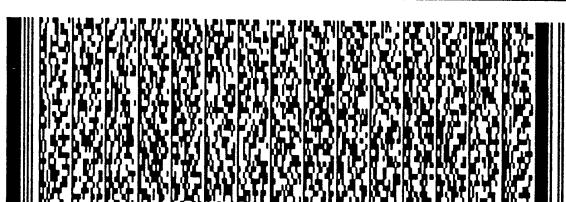
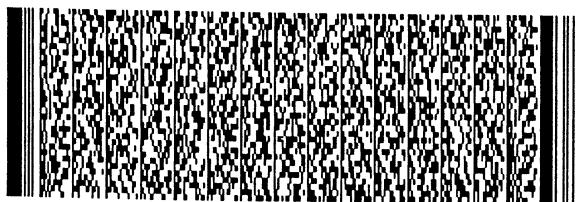
五、發明說明 (3)

(disturbance)。高耗電係由於需要高程式化與抹除電壓，以感應電子之穿隧來進行程式化與抹除操作。程式化與讀取干擾係與當程式化或讀取某記憶胞時發生於未被選的鄰近記憶胞(*non-selected neighboring memory cell*)之漏電流有關。

在一快閃記憶陣列中的一干擾通常關於一種現象係當記憶陣列中一被選胞被讀取或程式化時，另一個共用相同字元線或位元線的被程式化記憶胞可能會因被選胞的電子穿隧而遭受漏電流，且儲存於浮置閘極中的電子可能會導致從「被程式化」到「被抹除」的狀態改變。而讀取干擾可用第1圖作解釋，其係包括傳統扶植閘極記憶胞的一種快閃記憶陣列。

請參照第1圖，一快閃記憶陣列100包括數個字元線WL1、WL2、…WL6以及數個位元線BL1、BL2、…BL5。字元線與位元線的每一交叉處(intersection)定義一記憶胞。每一記憶胞也包括一浮置閘極(未繪示)。如所示，對應到字元線WL3與位元線BL2和BL3之記憶胞A藉由加偏壓至相應的字元線和位元線而被選。舉例來說，字元線WL3被加偏壓為3V、位元線BL2被加偏壓為0.3V及位元線BL3被加偏壓為1.5V。而字元線WL1、WL2、WL4、WL5與WL6被接地(0V)，且位元線BL1、BL4與BL5無偏壓或是浮置的(F)。在這種加偏壓條件下，儲存於胞A的資訊會被讀取。

同時，與胞A共用相同字元線或位元線的記憶胞也是處於某種偏壓下。例如，胞B與胞A共用同樣的字元線WL3



五、發明說明 (4)

和位元線BL2。因此，假定位元線BL2對應胞B的汲極，則胞B的源極與汲極之間將存在一電場，而感應經過胞B的一漏電流。經過胞B的漏電流取決於其啟始電壓，其係依據胞B之浮置閘極中的電子密度。一較低的啟始電壓將導致一較高的漏電流。同理，由於在位元線BL2與位元線BL3的偏壓，胞C與D也可能分別遭受漏電流。經過鄰近胞如胞B、C與D的漏電流將流經位元線BL2與BL3，並會產生胞A的感測錯誤(sensing error)。

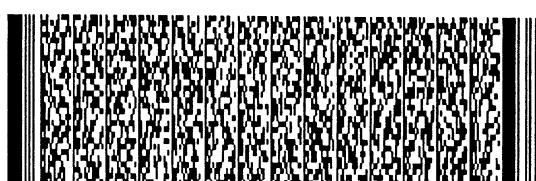
發明內容

本發明的目的就是在提供一種操作非揮發性記憶胞的方法，以降低耗電、降低漏電問題與簡化製程。

本發明的再一目的是提供一種操作快閃記憶胞的方法，以降低耗電、降低漏電問題與簡化製程。

本發明的又一目的是提供一種記憶元件的操作方法，以降低耗電、降低漏電問題與簡化製程。

本發明提出一種操作非揮發性記憶胞的方法，其中非揮發性記憶胞包括一字元線、一第一位元線以及一第二位元線，此方法包括程式化記憶胞，其包括供應一高正偏壓至第一位元線、供應一接地偏壓至第二位元線以及供應一高負偏壓至字元線，其中記憶胞包括一控制閘極、一源極區、一汲極區、一通道區定義於源極區與汲極區之間、一捕捉層被提供於通道區上以及一介電層被提供於捕捉層與通道區之間，其中控制閘極對應於字元線、源極區與汲極區其中之一對應於第一位元線以及源極區與汲極區其中之

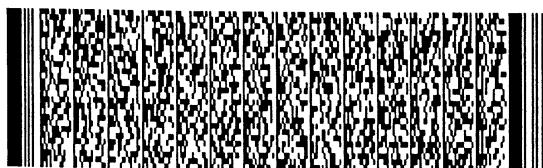


五、發明說明 (5)

另一對應於第二位元線，而且其中帶正電荷的電洞經由介電層穿隧至捕捉層中。

本發明還提出一種操作快閃記憶胞的方法，其中快閃記憶胞包括一第一位元線、一第二位元線以及一字元線，此種方法包括抹除記憶胞，其包括供應一第一偏壓至第一位元線、供應一第二偏壓至第二位元線、供應一第三偏壓至字元線，其中記憶胞包括一源極、一汲極、一通道區定義於源極與汲極之間、一第一介電層形成於通道區上、一捕捉層形成於第一介電層上、一第二介電層形成於捕捉層上以及一控制閘極形成於第二介電層上，其中控制閘極對應於字元線、源極與汲極其中之一對應於第一位元線以及源極與汲極其中之另一對應於第二位元線，以及其中第一、第二以及第三偏壓係被選擇以使電子經由第一與第二介電層其中之一穿隧至捕捉層中。

本發明另外提出一種記憶元件的操作方法，包括先提供一記憶陣列包括數個記憶胞，其中記憶胞被數個列與數個行定義。之後，提供數個字元線，每一字元線對應於一列，其中每一記憶胞對應於一字元線。然後，提供數個位元線，每一位元線對應於一行，其中每一記憶胞對應於一位元線與一第二位元線。之後，程式化至少一個記憶胞。而程式化此一記憶胞更包括供應一第一偏壓於此記憶胞的第一位元線上、供應一第二偏壓於此記憶胞的第二位元線上以及供應一第三偏壓於此記憶胞的字元線上，其中第三偏壓的電壓值低於第一及第二偏壓的電壓值。



五、發明說明 (6)

為讓本發明之上述和其他目的和特徵能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

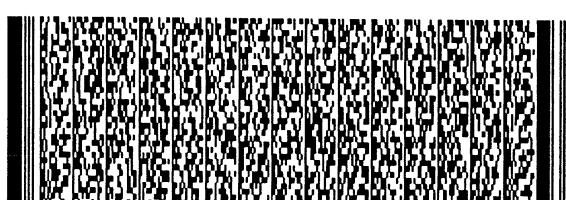
實施方式

以下將詳細描述本發明之較佳實施例，並以附圖作說明。而在圖示中所使用之相同標號盡可能是指相同或類似的部件。

根據本發明，提供一種「藉熱電子注入氮化電子儲存器中以程式化(programming by hot hole injection nitride electron storage，縮寫為PHINES)」之新的快閃記憶元件及其方法，其中記憶元件可包括含有記憶胞矩陣(a matrix of memory cells)的一記憶陣列。

第2圖是依據本發明之一示範用的PHINES記憶胞200的胞結構。請參照第2圖，提供一半導體基底202，具有兩擴散區形成於其上，即一源極204與一汲極206。半導體基底202可包括傳統的半導體材料如矽。一通道區208被定義為位於源極204與汲極206間的半導體基底202之區域。一多層閘極結構210被形成於通道區上，包括一第一介電層212、一捕捉層(trapping layer)214、一第二介電層216以及一控制閘極218。第一介電層212可由氧化矽構成、第二介電層216可由氧化矽構成以及控制閘極218可由多晶質的矽、金屬、金屬矽化物或其組成物所構成。

一方面，控制閘極218對應於記憶陣列的一字元線，且源極204與汲極206對應於記憶陣列的位元線。所以，每

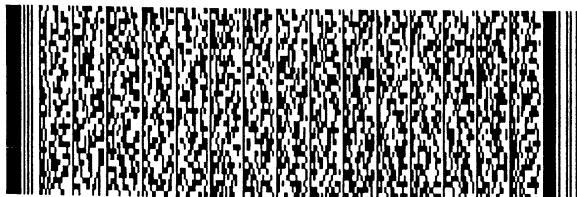


五、發明說明 (7)

個記憶胞具有一相應的字元線與一對相應的位元線或是一第一位元線與一第二位元線。

第2圖顯示在記憶胞200被程式化之前於捕捉層214中電子的分佈輪廓(distribution profile)。可知第2圖所示的電子輪廓並未按比例描繪。且已知一個金氧半導體(MOS)結構通常是對稱的，且源極與汲極是可交換的。因此，在前文與之後的描述中，記憶胞200的源極與汲極或是第一與第二位元線在不影響本發明的範圍或其功效的情形下都是可替換的。

記憶胞200的操作將於之後用第2圖解釋。於程式化期間，供應一套程式化偏壓到字元線與位元線。特別是，字元線或控制閘極218是被加偏壓為一高負電壓如-5V，記憶胞200的第一位元線或源極204是接地，且記憶胞200的第二位元線或汲極206是加偏壓為一高正電壓如+5V。在此加偏壓的情形下，沿著通道208會產生一水平電場並且穿過結構210會產生一垂直電場。水平電場會將帶正電荷的電洞(positively-charged hole)從汲極206拉到源極204。電洞被水平電場加速至一較高的能量。當電洞達到足夠能量去突破第一介電層212的障勢(barrier potential)時，並隨著垂直電場的誘導，一些電洞會被「注入」或經由第一介電層212穿隧到捕捉層214中，且被捕捉在此。特別的是，電洞被注入捕捉層214的右側。捕捉層214的左側通常是沒有電洞的。因此，被捕捉的電洞會減緩在捕捉層214中的電荷分佈。



五、發明說明 (8)

已知可供應不同套的偏壓電壓到字元線與第一和第二位元線去程式化記憶胞，只要加偏壓情形提供必要的電場，以使電洞獲得足夠能量而經第一介電層212穿隧到捕捉層214中。

為了讀取記憶胞200，供應3V的偏壓到字元線或控制閘極218，同時將汲極206接地。供應1.5V的偏壓到源極204。結果，在通道區208中產生一通道。由於源極204與汲極206間的偏壓差異，之後在記憶胞200外的一感測電路(未繪示)會感測穿過通道之電流。如果記憶胞200被程式化，則捕捉層214會包含被捕捉的帶正電荷的電洞。因此，與一無程式化的記憶胞200比較之下，一已被程式化的記憶胞200的啟始電壓因為被捕捉的電洞而低於無程式化的記憶胞200，結果已被程式化的記憶胞200被感測電路感測的電流會較高。

如果"1"代表一種具有較高感測電流的狀態以及"0"代表一種具有較低感測電流的狀態，則已被程式化的記憶胞200有"1"的狀態以及無程式化的記憶胞200則有"0"的狀態。

為了抹除記憶胞200，字元線或控制閘極218是被加偏壓為一高負電壓如-8V，而記憶胞200的第一位元線與第二位元線或源極204與汲極206是被加偏壓為一高正電壓如+10V。控制閘極218與源極204、汲極206之間會產生一強垂直電場，且控制閘極218中的電子會被「拉」入或經第二介電層216穿隧至捕捉層214中。電子與帶正電荷的電洞



五、發明說明 (9)

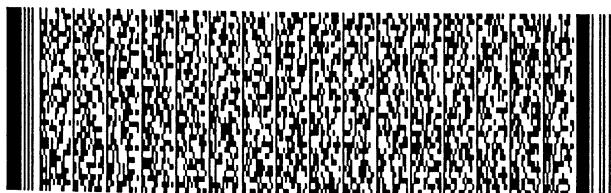
將在捕捉層214中再結合或抵銷。結果，捕捉層214被恢復成程式化前狀態(pre-programming status)以及記憶胞200的啟始電壓被提升到一較高程度，相當於"0"的狀態。

同樣地，用來讀取與抹除記憶胞200之可應用偏壓並未受限於前述作為範例用的偏壓。而可供應不同套的偏壓，只要能獲得所需之讀取與抹除結果。

因此，記憶胞200的操作如前述是低耗電的操作，且適於大量儲存應用。同樣根據本發明，可編排數個記憶胞200以形成一記憶陣列。一方面，形成記憶陣列如一垂直接地陣列(ground array)，其中位元線係埋入式擴散區(buried diffusion area)，而字元線是閘極接觸點，如多晶質矽條(polycrystalline silicon strip)。在同一行的記憶胞共用相同的位元線或埋入式擴散區，而在同一列的記憶胞共用相同的字元線。所以，記憶陣列無接觸窗(contact-less)以及不需任何場隔絕物(field isolation)。因此，本發明可實現非常高密度的記憶元件。

同樣依照本發明，提供一種快閃記憶元件的新資料型樣(data pattern)，其中的快閃記憶元件具有降低的讀取干擾(read disturbance)。第3圖顯示一資料型樣的第一實施例，以降低讀取干擾。第4圖顯示一資料型樣的第二實施例，以降低讀取干擾。

請參照第3圖，一快閃記憶陣列300包括數個字元線WL1、WL2、…WL6以及數個位元線BL1、BL2、…BL5。字元

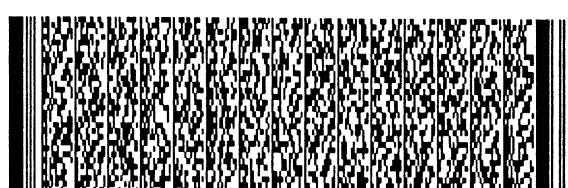


五、發明說明 (10)

線與位元線的交叉處(intersection)定義數個記憶胞，每一記憶胞對應到一字元線與一對位元線。第3圖也指出一資料型樣其中記憶胞的連貫的行被程式化在捕捉層的交替側(alternating side)。特別是，例如，位於位元線BL1與BL2間之記憶胞的第一行被程式化於捕捉層的右側，位於位元線BL2與BL3間之記憶胞的第二行被程式化於捕捉層的左側，且位於位元線BL3與BL4之間記憶胞的第三行被程式化於捕捉層的右側。當熱電洞穿隧入記憶胞之捕捉層的右側並被儲存於此時，記憶胞被定義成已「程式化在右側上」。然而，可知「左側」與「右側」只是根據記憶胞的配置而定的一種相對的用語，且此用語可被替換而不影響記憶胞的功能。

請再參照第3圖，對應到字元線WL3與位元線BL2和BL3之記憶胞A藉由加偏壓至相應的字元線和位元線而被選。特別是，字元線WL3被加偏壓為3V、位元線BL2被加偏壓為0.3V及位元線BL3被加偏壓為1.5V。而字元線WL1、WL2、WL4、WL5與WL6被接地，且位元線BL1、BL4與BL5無偏壓或是浮置的。在這種加偏壓條件下，儲存於胞A的資訊會被讀取。

胞B的捕捉層被程式化在右側。因此，在捕捉層中的電子分佈是在右側低但在左側高。因為對應於胞B左側之位元線BL1是浮置的，所以胞B中的電場不足以引起位元線BL1與BL2間經過胞B的漏電流。同樣地，胞C在捕捉層右側不會有高電子密度，且因此也有一降低的漏電流。



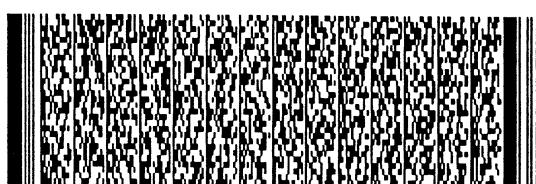
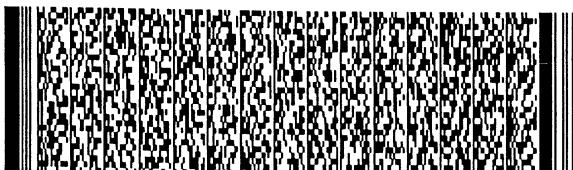
五、發明說明 (11)

因為位元線BL1與BL2間記憶胞的漏電流被降低，所以讀取記憶胞A可藉著測量或感測流經取代位元線BL3之位元線BL2的電流，以降低感測錯誤(sensing error)。換句話說，讀取記憶胞可藉著感測流經位於與記憶胞之被編程側相同側的一位元線的電流。舉例來說，於第3圖中，胞A被程式化至左側，且可藉感測存在於位元線BL2上的電流而被讀取，位元線BL2也在胞A的左側。

本發明的第二實施例之方法與陣列係顯示於第4圖，其表示一不同的資料型樣，其中在一記憶陣列400中所有的記憶胞被程式化至相同側，如左側。因為前述理由，可降低未被選擇讀取的記憶胞之漏電流。同樣地，讀取胞A可藉著測量或感測流經取代位元線BL2之位元線BL3的電流，以降低感測錯誤。換句話說，讀取記憶胞可藉著感測流經位於與記憶胞之被編程側相反側的一位元線的電流。舉例來說，於第4圖中，胞A被程式化至左側，且可藉感測存在於位元線BL3上的電流而被讀取，位元線BL3係在胞A的右側。

如前述，藉由感測通過一位元線的電流，感測方法與本發明提供一降低的讀取干擾相符，且其具有降低的漏電流。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是習知的快閃記憶陣列之電路圖，且繪示出與習知的快閃記憶陣列有關係的漏電問題。

第2圖是本發明之一記憶胞的剖面示意圖。

第3圖是本發明之一記憶陣列的一第一資料型樣的電路圖。

第4圖是本發明之一記憶陣列的一第二資料型樣的電路圖。

【圖式標示說明】

200：記憶胞

202：基底

204：源極

206：汲極

208：通道區

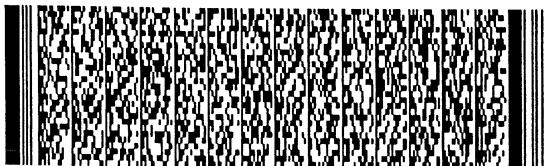
210：多層閘極結構

212、216：介電層

214：捕捉層

218：控制閘極

A、B、C、D：記憶胞



四、中文發明摘要 (發明名稱：操作非揮發性記憶元件的方法)

一種操作一非揮發性記憶元件的方法，其中的非揮發性記憶胞包括一字元線、一第一位元線以及一第二位元線，而操作此種記憶胞的方法係程式化記憶胞，包含供應一高正偏壓至第一位元線、供應一接地偏壓至第二位元線以及供應一高負偏壓至字元線，其中帶正電荷的電洞經由介電層穿隧至捕捉層中。

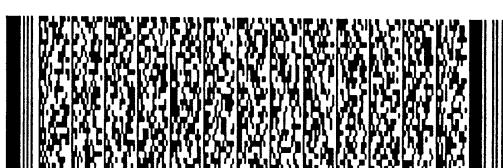
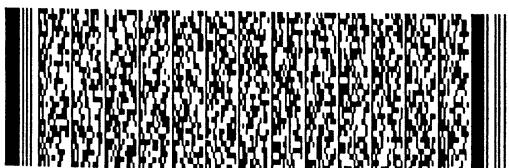
伍、(一)、本案代表圖為：第____3____圖

(二)、本案代表圖之元件代表符號簡單說明：

A、B、C、D：記憶胞

六、英文發明摘要 (發明名稱：METHOD OF OPERATING A NON-VOLATILE MEMORY)

A method of operating a non-volatile memory. A non-volatile memory cell includes a word line, a first bit line, and a second bit line, the method includes programming the memory cell that includes applying a high positive bias to the first bit line, applying a ground bias to the second bit line, and applying a high negative bias to the word line, wherein positively-charged holes tunnel



四、中文發明摘要 (發明名稱：操作非揮發性記憶元件的方法)

六、英文發明摘要 (發明名稱：METHOD OF OPERATING A NON-VOLATILE MEMORY)

through the dielectric layer into the trapping layer.



六、申請專利範圍

1. 一種操作非揮發性記憶胞的方法，其中該非揮發性記憶胞包括一字元線、一第一位元線以及一第二位元線，該方法包括：

程式化該記憶胞，包括：

供應一高正偏壓至該第一位元線；

供應一接地偏壓至該第二位元線；以及

供應一高負偏壓至該字元線，

其中該記憶胞包括一控制閘極、一源極區、一汲極區、一通道區定義於該源極區與該汲極區之間、一捕捉層被提供於該通道區上以及一介電層被提供於該捕捉層與該通道區之間，其中該控制閘極對應於該字元線、該源極區與該汲極區其中之一對應於該第一位元線以及該源極區與該汲極區其中之另一對應於該第二位元線，而且

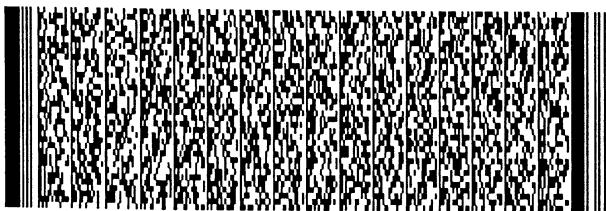
其中帶正電荷的電洞經由該介電層穿隧至該捕捉層中。

2. 如申請專利範圍第1項所述之操作非揮發性記憶胞的方法，其中該捕捉層捕捉從通道區穿隧而來的電洞並保留電洞。

3. 如申請專利範圍第1項所述之操作非揮發性記憶胞的方法，其中電洞穿隧至鄰近該第一位元線之部分該捕捉層。

4. 如申請專利範圍第1項所述之操作非揮發性記憶胞的方法，更包括讀取該記憶胞，包括：

供應一第四偏壓於該第一位元線上；



六、申請專利範圍

供應一第五偏壓於該第二位元線上；以及

供應一第六偏壓於該字元線上。

5. 如申請專利範圍第4項所述之操作非揮發性記憶胞的方法，其中該第六偏壓的電壓值高於該第四偏壓的電壓值及該第五偏壓的電壓值。

6. 如申請專利範圍第1項所述之操作非揮發性記憶胞的方法，更包括測量流經該記憶胞的一電流，以決定其狀態。

7. 一種操作快閃記憶胞的方法，其中該快閃記憶胞包括一第一位元線、一第二位元線以及一字元線，該方法包括：

抹除該記憶胞，包括：

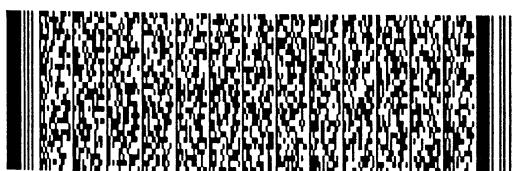
供應一第一偏壓至該第一位元線；

供應一第二偏壓至該第二位元線；

供應一第三偏壓至該字元線，

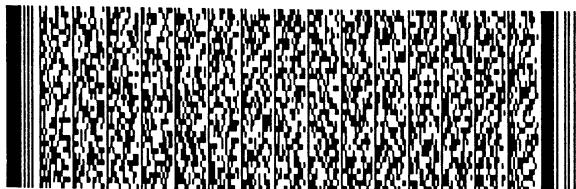
其中該記憶胞包括一源極、一汲極、一通道區定義於該源極與該汲極之間、一第一介電層形成於該通道區上、一捕捉層形成於該第一介電層上、一第二介電層形成於該捕捉層上以及一控制閘極形成於該第二介電層上，其中該控制閘極對應於該字元線、該源極與該汲極其中之一對應於該第一位元線以及該源極與該汲極其中之另一對應於該第二位元線，以及

其中該第一、第二以及第三偏壓係被選擇以使電子經由該第一與第二介電層其中之一穿隧至該捕捉層中。



六、申請專利範圍

8. 如申請專利範圍第7項所述之操作快閃記憶胞的方法，其中該捕捉層包括一氮化物。
9. 如申請專利範圍第7項所述之操作快閃記憶胞的方法，其中該第一偏壓與該二偏壓具有一電壓值高於該第三偏壓的電壓值。
10. 如申請專利範圍第7項所述之操作快閃記憶胞的方法，其中該第一偏壓與該二偏壓都是高正電壓，以及該第三偏壓是一高負偏壓。
11. 如申請專利範圍第7項所述之操作快閃記憶胞的方法，更包括程式化該記憶胞，包括：
 供應一第四偏壓於該第一位元線上；
 供應一第五偏壓於該第二位元線上；
 供應一第六偏壓於該字元線上，
 其中該第六偏壓的電壓值低於該第四及第五偏壓的電壓值。
12. 如申請專利範圍第7項所述之操作快閃記憶胞的方法，更包括讀取該記憶胞，包括：
 供應一第七偏壓於該第一位元線上；
 供應一第八偏壓於該第二位元線上；
 供應一第九偏壓於該字元線上，
 其中該第九偏壓的電壓值高於該第七偏壓的電壓值及該第八偏壓的電壓值。
13. 一種記憶元件的操作方法，包括：
 提供一記憶陣列包括多數個記憶胞，其中該些記憶胞



六、申請專利範圍

被多數個列與多數個行定義；

提供多數個字元線，每一該些字元線對應於該些列其中之一，其中每一該些記憶胞對應於一字元線；

提供多數個位元線，每一該些位元線對應於該些行其中之一，其中每一該些記憶胞對應於一第一位元線與一第二位元線；以及

程式化該些記憶胞中之至少一記憶胞，包括：

供應一第一偏壓於被程式化的該至少一記憶胞的該第一位元線上；

供應一第二偏壓於被程式化的該至少一記憶胞的該第二位元線上；以及

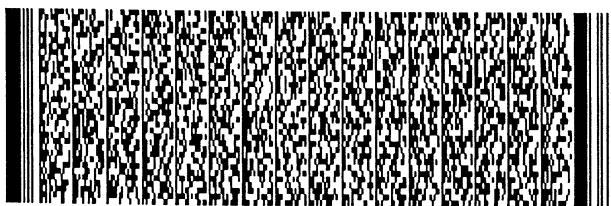
供應一第三偏壓於被程式化的該至少一記憶胞的該字元線上，

其中該第三偏壓的電壓值低於該第一及第二偏壓的電壓值。

14. 如申請專利範圍第13項所述之記憶元件的操作方法，其中每一該些記憶胞包括一通道區定義於源極與汲極之間、一捕捉層被提供於該通道層上以及一介電層被提供於該捕捉層與該通道層之間，而且其中帶正電荷的電洞經由該介電層穿隧至該捕捉層中。

15. 如申請專利範圍第13項所述之記憶元件的操作方法，更包括讀取該些記憶胞中之至少一記憶胞，包括：

供應一第四偏壓於被讀取的該至少一記憶胞的該第一位元線上；



六、申請專利範圍

供應一第五偏壓於被讀取的該至少一記憶胞的該第二位元線上；以及

供應一第六偏壓於被讀取的該至少一記憶胞的該字元線上，

其中該第六偏壓的電壓值高於該第四及第五偏壓的電壓值。

16. 如申請專利範圍第13項所述之記憶元件的操作方法，其中該記憶陣列係一虛擬接地記憶陣列。

17. 如申請專利範圍第13項所述之記憶元件的操作方法，更包括抹除該些記憶胞中之至少一記憶胞，包括：

供應一第七偏壓於被抹除的該至少一記憶胞的該第一位元線上；

供應一第八偏壓於被抹除的該至少一記憶胞的該第二位元線上；

供應一第九偏壓於被抹除的該至少一記憶胞的該字元線上，

其中該第九偏壓的電壓值低於該第七及第八偏壓的電壓值。

18. 如申請專利範圍第13項所述之記憶元件的操作方法，其中該記憶元件包括一基底，其中該些位元線係形成於該基底中的埋入擴散區，以及該些字元線包括形成於該基底上的接觸條，以及其中在同一行的該些記憶胞共用至少一位元線，且在同一列的該些記憶胞共用至少一字元線。



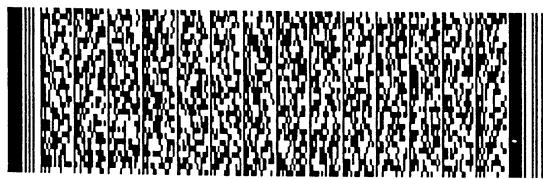
六、申請專利範圍

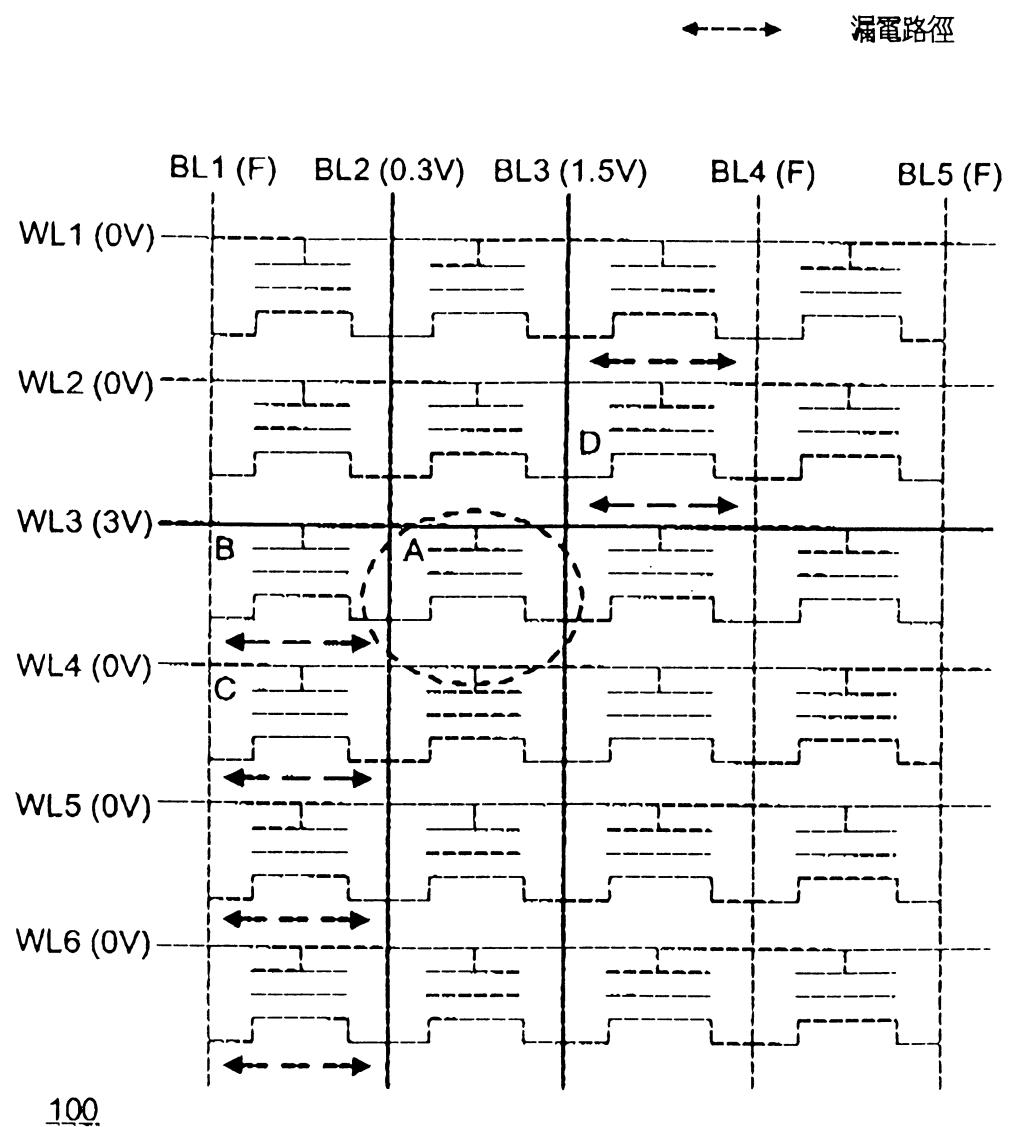
19. 如申請專利範圍第13項所述之記憶元件的操作方法，其中在連貫的該些行中的該些記憶胞被程式化於該捕捉層的交替側邊中。

20. 如申請專利範圍第19項所述之記憶元件的操作方法，更包括讀取該些記憶胞中之至少一記憶胞，其中讀取該至少一記憶胞包括感測經過該位元線的一電流，該位元線即位於該至少一記憶胞如該程式化側邊的同一側邊上。

21. 如申請專利範圍第13項所述之記憶元件的操作方法，其中在該記憶陣列中的所有該些記憶胞被程式化於該捕捉層的同一側上。

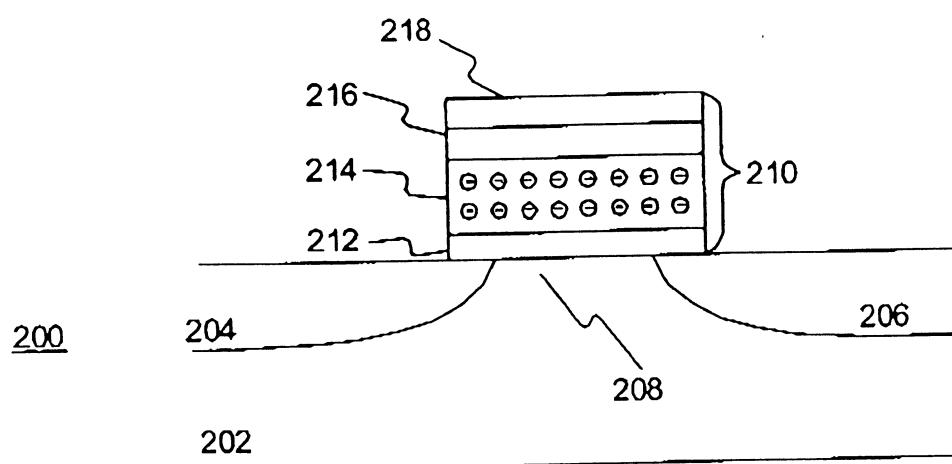
22. 如申請專利範圍第21項所述之記憶元件的操作方法，更包括讀取該些記憶胞中之至少一記憶胞，其中讀取該至少一記憶胞包括感測經過該位元線的一電流，該位元線係位於相對於該至少一記憶胞之該程式化側邊的該至少一記憶胞之一側邊上。



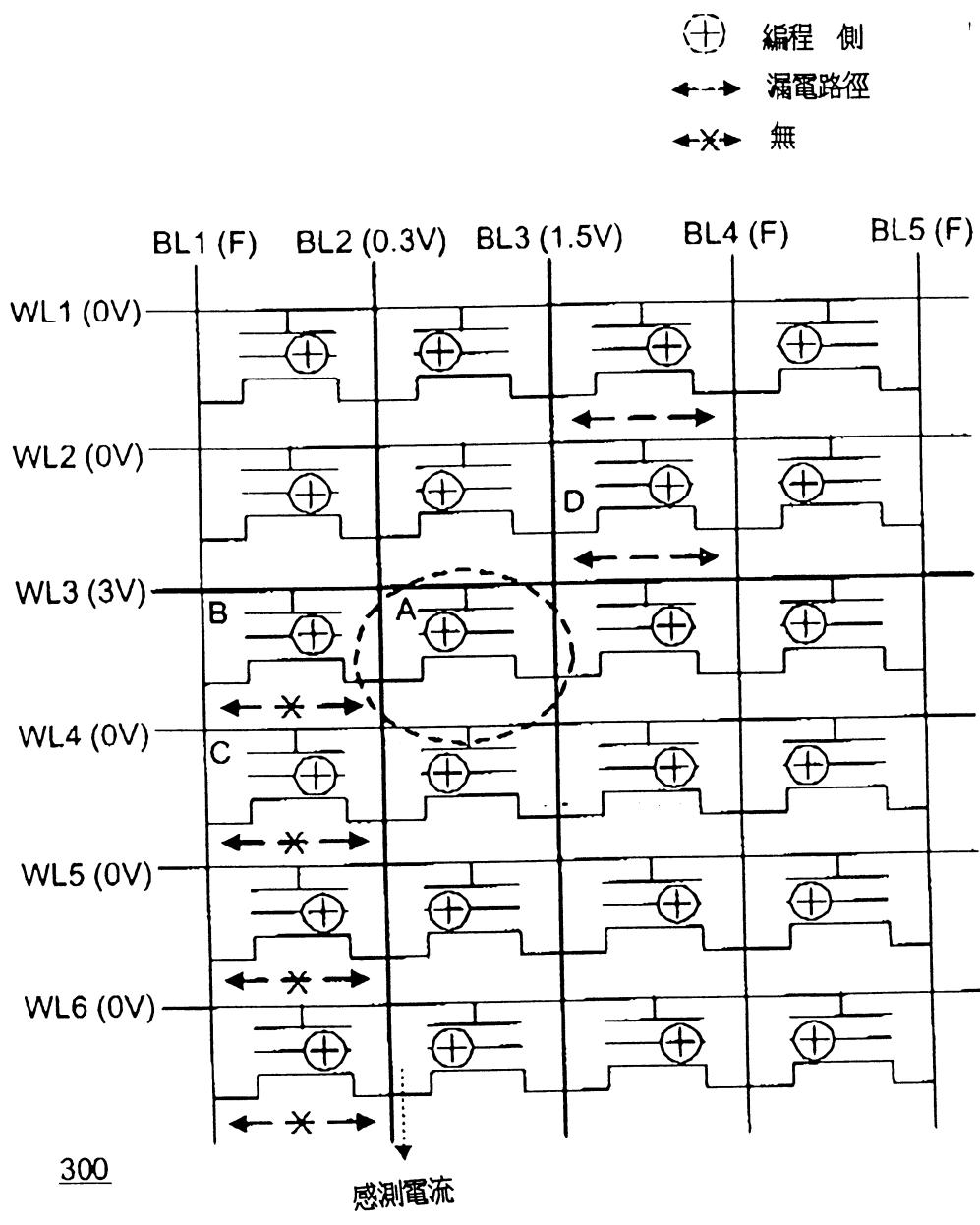


100

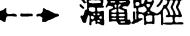
第 1 圖

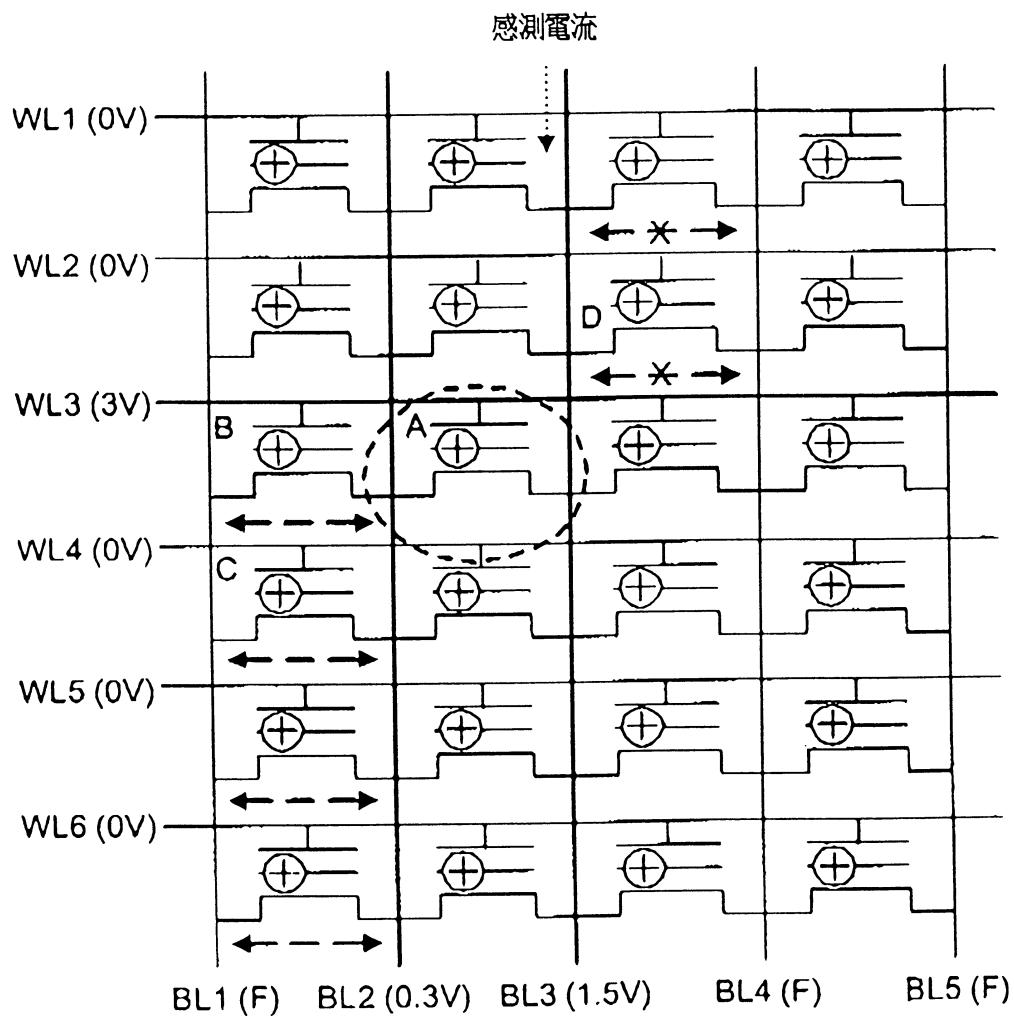


第 2 圖



第 3 圖

 編程 側
 漏電路徑
 無

400

第 4 圖