(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3733252号

(P3733252)

(45)発行日　平成18年1月11日(2006.1.11)　(24)登録日　平成17年10月21日(2005.10.21)

(51)Int.Cl.		F I		
H01L 27/11	(2006.01)	H01L	27/10	381
H01L 21/8244	(2006.01)	H01L	27/08	331D
H01L 27/08	(2006.01)	H01L	21/265	F
H01L 21/265	(2006.01)			

請求項の数 9　(全 22 頁)

(21)出願番号　特願平10-327461
(22)出願日　平成10年11月2日(1998.11.2)
(65)公開番号　特開2000-138296(P2000-138296A)
(43)公開日　平成12年5月16日(2000.5.16)
審査請求日　平成12年2月29日(2000.2.29)
審判番号　不服2003-25035(P2003-25035/J1)
審判請求日　平成15年12月25日(2003.12.25)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100090479
弁理士　井上　一
(74)代理人　100090387
弁理士　布施　行夫
(74)代理人　100090398
弁理士　大渕　美千栄
(72)発明者　渡辺　邦雄
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　熊谷　敬
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】半導体記憶装置及びその製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板の主表面に周辺回路領域及びメモリセル領域を有する半導体記憶装置であって、

前記周辺回路領域に形成された第１のウェルと、

前記メモリセル領域に形成された、第１の導電型の第２のウェルと、

前記メモリセル領域に形成された、第２の導電型の第３のウェルと、

前記メモリセル領域に形成され、前記第２のウェルに形成されるソース／ドレインを有するトランジスタと前記第３のウェルに形成されるソース／ドレインを有するトランジスタとを分離する第１の素子分離構造と、

を備え、

前記第１のウェルは、第１の導電型のウェルと第２の導電型のウェルとを有し、該第１の導電型のウェル及び該第２の導電型のウェルは、それぞれ、上から順に、第１の濃度ピーク、第２の濃度ピーク、第３の濃度ピーク及び第４の濃度ピークを有し、

前記第２のウェルは、前記第１のウェルより深さが浅く、かつ、上から順に、第１の濃度ピーク、第２の濃度ピーク及び第３の濃度ピークを有し、

前記第３のウェルは、前記第２のウェルと深さが同じであり、かつ、上から順に、第１の濃度ピーク、第２の濃度ピーク及び第３の濃度ピークを有し、

前記第２及び第３のウェルは、前記第１の素子分離構造より下の位置まで形成され、

前記第１の素子分離構造は、前記周辺回路領域に形成された第２の素子分離構造より幅

が狭く形成され、
前記第１、第２及び第３のウェルは、リトログレーデッドウェルであり、
前記第１の導電型のウェルと前記第２のウェルにおいて、前記第１の濃度ピークないし前記第３の濃度ピークは、ウェルの深さ方向に沿って同じ濃度プロファイルを有し、
前記第２の導電型のウェルと前記第３のウェルにおいて、前記第１の濃度ピークないし前記第３の濃度ピークは、ウェルの深さ方向に沿って同じ濃度プロファイルを有し、
前記第１の濃度ピークは、チャネルドープ層にあり、
前記第２の濃度ピークは、パンチスルーストッパ層にあり、
前記第３の濃度ピークは、チャネルカット層にあり、
前記第４の濃度ピークは、低抵抗層にある、半導体記憶装置。
【請求項２】
請求項１において、
前記第２及び第３のウェルは、それぞれ、ウェル電位を固定するためのウェルコンタクト領域を有する、半導体記憶装置。
【請求項３】
請求項１又は２において、
前記第２のウェルに形成されたトランジスタのソース／ドレインの深さと、前記第３のウェルに形成されたトランジスタのソース／ドレインの深さとは、同じである、半導体記憶装置。
【請求項４】
請求項１又は２において、
前記第１のウェルに形成されたトランジスタのソース／ドレインの深さと、前記第２のウェルに形成されたトランジスタのソース／ドレインの深さと、前記第３のウェルに形成されたトランジスタのソース／ドレインの深さとは、同じである、半導体記憶装置。
【請求項５】
請求項１、２、３又は４において、
前記メモリセル領域には、ＣＭＯＳ形セルのＳＲＡＭが形成されている、半導体記憶装置。
【請求項６】
請求項１、２、３、４又は５において、
前記第１の素子分離構造の幅は、０．２μｍ～１．６μｍである、半導体記憶装置。
【請求項７】
請求項１、２、３、４、５又は６において、
前記第２及び第３のウェルの深さは、０．５μｍ～１．２μｍである、半導体記憶装置。
【請求項８】
半導体基板の主表面に周辺回路領域及びメモリセル領域を有する半導体記憶装置の製造方法であって、
（ａ）前記主表面に、素子分離構造を形成する工程であり、
前記メモリセル領域の素子分離構造は、前記周辺回路領域の素子分離構造より幅が狭く形成される工程と、
（ｂ）前記周辺回路領域の第１のウェルの形成領域のみに、第４の濃度ピークを形成するように不純物をイオン注入する工程であり、
該第１のウェルは、第１の導電型のウェルと第２の導電型のウェルとを備えるツインウェルからなり、前記第１の導電型のウェルの形成領域に第１の導電型の一度のイオン注入を行う工程と、前記第２の導電型のウェルの形成領域に第２の導電型の一度のイオン注入を行う工程とからなる工程と、
（ｃ）前記メモリセル領域の第１の導電型の第２のウェルの形成領域と、前記周辺回路領域の前記第１のウェルのうち前記第１の導電型のウェルの形成領域とに、第１の導電型の第１ないし第３の濃度ピークを形成するように第１の導電型の三度のイオン注入を行う工程であり、

前記メモリセル領域には、前記第１の導電型の三度のイオン注入により、前記第１のウェルより深さが浅く、かつ前記素子分離構造より下の位置まである第２のウェルであって、下から順に第１の導電型の前記第３の濃度ピーク、第１の導電型の前記第２の濃度ピーク及び第１の導電型の前記第１の濃度ピークを有する前記第２のウェルが形成され、

前記周辺回路領域には、前記工程（ｂ）の第１の導電型の一度のイオン注入及び前記第１の導電型の三度のイオン注入により、下から順に第１の導電型の前記第４の濃度ピーク、第１の導電型の前記第３の濃度ピーク、第１の導電型の前記第２の濃度ピーク及び第１の導電型の前記第１の濃度ピークを有する前記第１の導電型のウェルが形成される工程と、

（ｄ）前記メモリセル領域の第２の導電型の第３のウェルの形成領域と、前記周辺回路領域の前記第１のウェルのうち前記第２の導電型のウェルの形成領域とに、第２の導電型の第１ないし第３の濃度ピークを形成するように第２の導電型の三度のイオン注入を行う工程であり、

前記メモリセル領域には、前記第２の導電型の三度のイオン注入により、前記素子分離構造より下で前記第２のウェルと接触し、かつ前記第２のウェルと深さが同じである第３のウェルであって、下から順に第２の導電型の前記第３の濃度ピーク、第２の導電型の前記第２の濃度ピーク及び第２の導電型の前記第１の濃度ピークを有する前記第３のウェルが形成され、

前記周辺回路領域には、前記工程（ｂ）の第２の導電型の一度のイオン注入及び前記第２の導電型の三度のイオン注入により、下から順に第２の導電型の前記第４の濃度ピーク、第２の導電型の前記第３の濃度ピーク、第２の導電型の前記第２の濃度ピーク及び第２の導電型の前記第１の濃度ピークを有する前記第２の導電型のウェルが形成される工程と、

（ｅ）前記第２のウェルと前記第３のウェルに、それぞれソース／ドレインを有するトランジスタを形成する工程と、

を備え、

第１の導電型及び第２の導電型のそれぞれの前記第１の濃度ピークは、チャネルドープ層にあり、

第１の導電型及び第２の導電型のそれぞれの前記第２の濃度ピークは、パンチスルーストッパ層にあり、

第１の導電型及び第２の導電型のそれぞれの前記第３の濃度ピークは、チャネルカット層にあり、

第１の導電型及び第２の導電型のそれぞれの前記第４の濃度ピークは、低抵抗層にあるようにイオン注入が行われる、半導体記憶装置の製造方法。

【請求項９】

請求項８において、

前記工程（ｂ）において、前記第１の導電型のウェルまたは前記第２の導電型のウェルの形成領域が開口されるように、厚さ３．０μｍ～８．０μｍのレジストパターンを形成し、該レジストパターンをマスクとしてイオン注入を行い、

前記工程（ｃ）及び（ｄ）において、前記第１の導電型のウェル及び前記第２のウェル、または前記第２の導電型のウェル及び前記第３のウェルの形成領域が開口されるように、厚さ１．２μｍ～２．５μｍのレジストパターンを形成し、該レジストパターンをマスクとしてイオン注入を行う、半導体記憶装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、ツインウェルを用いた半導体記憶装置及びその製造方法に関する。

【０００２】

【背景技術】

半導体記憶装置の一例であるＳＲＡＭには、いろいろなタイプがあり、その中には、ＣＭ

ＯＳを用いたタイプがある。そして、ＣＭＯＳにおいて、半導体基板中にｐウェルとｎウェルとを形成する、ツインウェルが主流である。ツインウェルを用いたＳＲＡＭとして、特開平８－３３０５２８号公報に開示されたＳＲＡＭがある。図１８は、この公報に開示されたＳＲＡＭのメモリセル領域と周辺回路領域とを示す断面図である。

【０００３】

まず、メモリセル領域の構造を説明する。シリコン基板２００の主表面に、セミリセスＬＯＣＯＳ酸化膜２０４が形成されている。また、シリコン基板２００の主表面全体にｐウェル２０２が形成されている。ｐウェル２０２は、セミリセスＬＯＣＯＳ酸化膜２０４より深い位置まで形成されている。

【０００４】

ｐウェル２０２の所定領域には、ｎウェル２０６が形成されている。ｎウェル２０６は、セミリセスＬＯＣＯＳ酸化膜２０４より浅い位置に形成されている。ｎウェル２０６には、一対のｐ型ソース／ドレイン２１０を有するｐチャネルトランジスタ２０８が形成されている。

【０００５】

ｐウェル２０２の所定領域には、一対のｎ型ソース／ドレイン２１２を有するｎチャネルトランジスタ２１４が形成されている。ｎチャネルトランジスタ２１４は、セミリセスＬＯＣＯＳ酸化膜２０４によって、ｐチャネルトランジスタ２０８と分離されている。

【０００６】

次に、周辺回路領域の構造を説明する。シリコン基板２００の主表面にセミリセスＬＯＣＯＳ酸化膜２１６が形成されている。また、シリコン基板２００の主表面にｐウェル２１８とｎウェル２２０が形成されている。ｐウェル２１８とｎウェル２２０との境界は、セミリセスＬＯＣＯＳ酸化膜２１６の下にある。ｐウェル２１８及びｎウェル２２０の深さは、ｐウェル２０２の深さと同じである。

【０００７】

ｎウェル２２０には、一対のｐ型ソース／ドレイン２２２を有するｐチャネルトランジスタ２２４が形成されている。ｐウェル２１８には、一対のｎ型ソース／ドレイン２２６を有するｎチャネルトランジスタ２２８が形成されている。

【０００８】

一般にメモリセルの微細化のため、メモリセル領域の素子分離構造（セミリセスＬＯＣＯＳ酸化膜等）の長さを小さくすることが求められている。一方、ラッチアップの原因となる基板電流の発生を防止するため、ウェルと、このウェルの隣に形成されたウェルのソース／ドレインとの距離は、一定以上保つ必要がある。

【０００９】

上記公報に開示された技術では、ｎウェル２０６をセミリセスＬＯＣＯＳ酸化膜２０４より浅い位置に形成している。これにより、セミリセスＬＯＣＯＳ酸化膜２０４の長さを大きくすることなく、ｎウェル２０６とｎ型ソース／ドレイン２１２との距離が短かくならないようにしている。

【００１０】

【発明が解決しようとする課題】

しかし、上記公報に開示された技術では、メモリセル領域において、ｐウェル２０２の深さとｎウェル２０６の深さが異なっている。よって、ｎチャネルトランジスタ２１４とｐチャネルトランジスタ２０８とで性能に差が生じる。これにより、ｎチャネルトランジスタ２１４とｐチャネルトランジスタ２０８とがアンバランスとなり、ＳＲＡＭのフィリップフロップの状態保持機能が劣化する。

【００１１】

また、ｎウェル２０６には、ｐ型ソース／ドレイン２１０が形成されている。そして、ｎウェル２０６がセミリセスＬＯＣＯＳ酸化膜２０４より浅い位置に形成されている。よって、ｎウェル２０６の電位を固定するための配線が接続されるウェルコンタクト領域を如何にして形成するかが問題となる。この場合、セル毎にウェルコンタクト領域を形成する

ことが考えられる。しかし、このような構造の場合、セルサイズが増加してしまう。
【００１２】
また、ｎウェル２０６が浅いため、ｐ型ソース／ドレイン２１０は、かなり浅くならざるをえない。したがって、ｐチャネルトランジスタ２０８のドレイン電流は、ｎチャネルトランジスタ２１４のドレイン電流に比べ、相当小さくなる。動作電圧が比較的高い場合、このことはあまり問題とならない。しかし、ＳＲＡＭの微細化に伴い、動作電圧が低くなってきている。動作電圧が、例えば２Ｖでｐチャネルトランジスタ２０８を動作させる場合、上記電流の低下により、ｐチャネルトランジスタ２０８が所望の能力を達成できなくなるおそれがある。
【００１３】
本発明は、かかる従来の課題を解決するためになされたものである。本発明の目的は、素子分離構造の長さを大きくすることなく、ウェルと、このウェルの隣に形成されたウェルのソース／ドレインとの距離を短くしないようにすることができる半導体記憶装置及びその製造方法を提供することである。
【００１４】
【課題を解決するための手段】
（１）本発明は、半導体基板の主表面に周辺回路領域及びメモリセル領域を有する半導体記憶装置であって、
前記周辺回路領域に形成された第１のウェルと、
前記メモリセル領域に形成された、第１の導電型の第２のウェルと、
前記メモリセル領域に形成された、第２の導電型の第３のウェルと、
前記メモリセル領域に形成され、前記第２のウェルに形成されるソース／ドレインを有するトランジスタと前記第３のウェルに形成されるソース／ドレインを有するトランジスタとを分離する第１の素子分離構造と、
を備え、
前記第１のウェルは、第１の導電型のウェルと第２の導電型のウェルとを有し、該第１の導電型のウェル及び該第２の導電型のウェルは、それぞれ、上から順に、第１の濃度ピーク、第２の濃度ピーク、第３の濃度ピーク及び第４の濃度ピークを有し、
前記第２のウェルは、前記第１のウェルより深さが浅く、かつ、上から順に、第１の濃度ピーク、第２の濃度ピーク及び第３の濃度ピークを有し、
前記第３のウェルは、前記第２のウェルと深さが同じであり、かつ、上から順に、第１の濃度ピーク、第２の濃度ピーク及び第３の濃度ピークを有し、
前記第２及び第３のウェルは、前記第１の素子分離構造より下の位置まで形成され、
前記第１の素子分離構造は、前記周辺回路領域に形成された第２の素子分離構造より幅が狭く形成され、
前記第１、第２及び第３のウェルは、リトログレーデッドウェルであり、
前記第１の導電型のウェルと前記第２のウェルにおいて、前記第１の濃度ピークないし前記第３の濃度ピークは、ウェルの深さ方向に沿って同じ濃度プロファイルを有し、
前記第２の導電型のウェルと前記第３のウェルにおいて、前記第１の濃度ピークないし前記第３の濃度ピークは、ウェルの深さ方向に沿って同じ濃度プロファイルを有し、
前記第１の濃度ピークは、チャネルドープ層にあり、
前記第２の濃度ピークは、パンチスルーストッパ層にあり、
前記第３の濃度ピークは、チャネルカット層にあり、
前記第４の濃度ピークは、低抵抗層にある。
【００１５】
本発明は、周辺回路領域とメモリセル領域とで、ウェルの深さを異ならせている。すなわち、メモリセル領域に形成された第２及び第３のウェルの深さは、周辺回路領域に形成された第１のウェルの深さより、小さいことを特徴としている。
【００１６】
したがって、本発明によれば、素子分離構造の下で第２のウェルと第３のウェルとの重な

りを小さくすることができる。理由は、実施の形態で説明する。よって、本発明によれば、素子分離構造の長さを大きくすることなく、ウェルとこのウェルの隣に形成されたウェルのソース／ドレインとの距離を短くしないようにすることができる。

【００１７】

なお、本発明において、素子分離構造の例としては、ＬＯＣＯＳ酸化膜、セミリセスＬＯＣＯＳ酸化膜又はシャロートレンチ（深さ０．４～０．８μｍ）がある。また、ソース／ドレインとは、ソース及びドレインの少なくとも一方という意味である。

【００１８】

また、本発明によれば、第２のウェルの深さと、第３のウェルの深さとが同じである。よって、メモリセル領域において、ウェルの深さが異なることが原因となるトランジスタどうしの性能のアンバランスが生じることはない。なお、同じ深さという意味は、深さに違いがあってもトランジスタどうしの性能のアンバランスが生じることがないのなら、その深さの違いも含まれる、という意味である。

【００１９】

また、本発明によれば、第２のウェルの深さと、第３のウェルの深さとが同じであるので、第２のウェルのソース／ドレインの深さと第３のウェルのソース／ドレインの深さとを同じにすることができる。よって、メモリセル領域において、ソース／ドレインの深さが異なることが原因となるトランジスタどうしの性能のアンバランスが生じることはない。

【００２０】

また、本発明によれば、第２及び第３のウェルに形成されるソース／ドレインが第１のウェルに形成されるソース／ドレインと比べて浅くなりすぎることを回避できる。

【００２１】

また、ウェル電位を固定するためのウェルコンタクト領域は、ソース／ドレインと分離して形成される。本発明によれば、第２及び第３のウェルは、素子分離構造より下の位置まで形成されている。このためウェルをウェルコンタクト領域にまで延ばすことがでる。よって、第２及び第３のウェルとウェルコンタクト領域とを容易に接続することができる。

【００２２】

本発明において、第１のウェルに形成されたトランジスタのソース／ドレインの深さと、第２のウェルに形成されたトランジスタのソース／ドレインの深さと、第３のウェルに形成されたトランジスタのソース／ドレインの深さとは、同じであるのが好ましい。これにより、同じ導電型のソース／ドレインについては、同時に形成することができる。

【００２３】

本発明において、第１、第２及び第３のウェルはリトログレーデッド（ｒｅｔ－ｒｏｇｒａｄｅｄ）ウェルである。リトログレーデッドウェルとは、熱拡散を用いずに、高エネルギーイオン注入で形成されたウェルのことである。

【００２４】

リトログレーデッドウェルである第１、第２及び第３のウェルは、上から順に、第１の濃度の層、第２の濃度の層、第３の濃度の層、を備え、第１のウェルは、第３の濃度の層の下にさらに、第４の濃度の層を備える構成がある。第１のウェルにおいて、第１の濃度の層として、例えば、トランジスタのV_{th}を調整するためのチャネルドープ層があり、第２の濃度の層として、例えば、トランジスタの短チャネル効果を抑えるためのパンチスルーストッパ層があり、第３の濃度の層として、例えば、素子分離構造の領域において、寄生トランジスタの動作を防ぐためのチャネルカット層があり、第４の濃度の層として、例えば、ウェル抵抗を下げるための低抵抗層がある。第２及び３のウェルにおいて、第１の濃度の層として、例えば、チャネルドープ層があり、第２の濃度の層として、例えば、パンチスルーストッパ層があり、第３の濃度の層として、例えば、チャネルカット層がある。

【００２５】

本発明において、メモリセル領域には、ＣＭＯＳ形セルのＳＲＡＭが形成されている。ＣＭＯＳ形セルのＳＲＡＭとは、セルがＣＭＯＳで構成されているＳＲＡＭのことである。

【００２６】

本発明において、メモリセル領域のウェルを分離する素子分離構造の長さは、０．２μｍ～１．６μｍであるのが好ましい。第２のウェルと第３のウェルとの境界が素子分離構造下に位置するようにする必要がある。レジストをパターニングするとき、位置合わせずれが生じる可能性がある。よって、素子分離構造には、最低限度の長さが必要となる。この最低限度の長さが０．２μｍである。また、素子分離構造の長さが１．６μｍより大きいと、メモリセルサイズが大きくなりすぎるという問題が生じる。

【００２７】

本発明において、第２及び３のウェルの深さは、０．５μｍ～１．２μｍであるのが好ましい。第２及び３のウェルの深さが０．５μｍより小さいと、素子分離構造の深さがウェルの深さより大きくなる。このためウェル電位を固定するためのウェルコンタクト領域を如何にして形成するのかというという問題が生じる。第２及び３のウェルの深さが１．２μｍより大きいと、素子分離構造の下で第２のウェルと第３のウェルとの重なりが大きくなるという問題が生じるからである。

【００２８】

本発明において、第１のウェルは、第１の導電型のウェルと第２の導電型のウェルとを備える、すなわちツインウェルである。

【００２９】

このような構成であると、第１、第２及び第３のウェルが深さ方向に濃度が異なる構造の場合、第１のウェルの第１の導電型のウェルと第２のウェルとの製造を同時にでき、また、第１のウェルの第２の導電型のウェルと第３のウェルとの製造を同時にできる。例えば、第１のウェルが四つの濃度の層を有する構造、第２及び第３のウェルが三つの濃度の層を有する構造の場合で説明する。第１のウェルの第１及び第２の導電型のウェルに、それぞれ、第４の濃度の層を形成後、第１のウェルの第１の導電型のウェルと第２のウェルとに同時に、第３の濃度の層、第２の濃度の層、第１の濃度の層を形成し、第１のウェルの第２の導電型のウェルと第３のウェルとに同時に、第３の濃度の層、第２の濃度の層、第１の濃度の層を形成するのである。

【００３０】

（２）本発明は、半導体基板の主表面に周辺回路領域及びメモリセル領域を有する半導体記憶装置の製造方法であって、

（ａ）前記主表面に、素子分離構造を形成する工程であり、

前記メモリセル領域の素子分離構造は、前記周辺回路領域の素子分離構造より幅が狭く形成される工程と、

（ｂ）前記周辺回路領域の第１のウェルの形成領域のみに、第４の濃度ピークを形成するように不純物をイオン注入する工程であり、

該第１のウェルは、第１の導電型のウェルと第２の導電型のウェルとを備えるツインウェルからなり、前記第１の導電型のウェルの形成領域に第１の導電型の一度のイオン注入を行う工程と、前記第２の導電型のウェルの形成領域に第２の導電型の一度のイオン注入を行う工程とからなる工程と、

（ｃ）前記メモリセル領域の第１の導電型の第２のウェルの形成領域と、前記周辺回路領域の前記第１のウェルのうち前記第１の導電型のウェルの形成領域とに、第１の導電型の第１ないし第３の濃度ピークを形成するように第１の導電型の三度のイオン注入を行う工程であり、

前記メモリセル領域には、前記第１の導電型の三度のイオン注入により、前記第１のウェルより深さが浅く、かつ前記素子分離構造より下の位置まである第２のウェルであって、下から順に第１の導電型の前記第３の濃度ピーク、第１の導電型の前記第２の濃度ピーク及び第１の導電型の前記第１の濃度ピークを有する前記第２のウェルが形成され、

前記周辺回路領域には、前記工程（ｂ）の第１の導電型の一度のイオン注入及び前記第１の導電型の三度のイオン注入により、下から順に第１の導電型の前記第４の濃度ピーク、第１の導電型の前記第３の濃度ピーク、第１の導電型の前記第２の濃度ピーク及び第１の導電型の前記第１の濃度ピークを有する前記第１の導電型のウェルが形成される工程と

、
（ｄ）前記メモリセル領域の第２の導電型の第３のウェルの形成領域と、前記周辺回路領域の前記第１のウェルのうち前記第２の導電型のウェルの形成領域とに、第２の導電型の第１ないし第３の濃度ピークを形成するように第２の導電型の三度のイオン注入を行う工程であり、
前記メモリセル領域には、前記第２の導電型の三度のイオン注入により、前記素子分離構造より下で前記第２のウェルと接触し、かつ前記第２のウェルと深さが同じである第３のウェルであって、下から順に第２の導電型の前記第３の濃度ピーク、第２の導電型の前記第２の濃度ピーク及び第２の導電型の前記第１の濃度ピークを有する前記第３のウェルが形成され、
前記周辺回路領域には、前記工程（ｂ）の第２の導電型の一度のイオン注入及び前記第２の導電型の三度のイオン注入により、下から順に第２の導電型の前記第４の濃度ピーク、第２の導電型の前記第３の濃度ピーク、第２の導電型の前記第２の濃度ピーク及び第２の導電型の前記第１の濃度ピークを有する前記第２の導電型のウェルが形成される工程と、
（ｅ）前記第２のウェルと前記第３のウェルに、それぞれソース／ドレインを有するトランジスタを形成する工程と、
を備え、
第１の導電型及び第２の導電型のそれぞれの前記第１の濃度ピークは、チャネルドープ層にあり、
第１の導電型及び第２の導電型のそれぞれの前記第２の濃度ピークは、パンチスルーストッパ層にあり、
第１の導電型及び第２の導電型のそれぞれの前記第３の濃度ピークは、チャネルカット層にあり、
第１の導電型及び第２の導電型のそれぞれの前記第４の濃度ピークは、低抵抗層にあるようにイオン注入が行われる。
【００３１】
本発明によれば、素子分離構造の長さを大きくすることなく、ウェルとこのウェルの隣に形成されたウェルのソース／ドレインとの距離を短くしないようにすることができる半導体記憶装置を製造することができる。
【００３２】
本発明は、工程（ｂ）において、厚さ３．０μｍ～８．０μｍのレジストパターンをマスクとし、工程（ｃ）、（ｄ）において、厚さ１．２μｍ～２．５μｍのレジストパターンをマスクとするのが好ましい。
【００３３】
工程（ｂ）において、レジストパターンの厚さが３．０μｍより小さいと、リトログレーデッドウェル形成のためのイオン注入の際に、不純物がレジストパターンを突き抜けるという問題が生じるからである。レジストパターンの厚さが８．０μｍより大きいと、レジストパターンの端部の形状の制御が困難となる。この結果、素子分離構造の長さを大きくしなければならないという問題が生じるからである。
【００３４】
工程（ｃ）、（ｄ）において、レジストパターンの厚さが１．２μｍより小さいと、リトログレーデッドウェル形成のためのイオン注入の際に、不純物がレジストパターンを突き抜けるという問題が生じるからである。レジストパターンの厚さが２．５μｍより大きいと、素子分離構造の下で第２のウェルと第３のウェルとの重なりが大きくなるという問題が生じるからである。
【００３５】
なお、工程（ｂ）のレジストパターンは、ポジレジスト、ネガレジストのいずれも用いることができる。また、工程（ｃ）、（ｄ）のレジストパターンは、ポジレジスト、ネガレジストのいずれも用いることができるが、ポジレジストが好ましい。レジストパターンの

端部の垂直制御性及び寸法制御性に優れているからである。

【００３６】

本発明の製造方法で製造される第１のウェルは、第１の導電型のウェルと第２の導電型のウェルとを備える、すなわちツインウェルである。上記工程（ｂ）は、第１の導電型のウェルの形成領域にイオンを注入する工程と、第２の導電型のウェルの形成領域にイオンを注入する工程とを含む。

【００３７】

上記工程（ｃ）は、第２のウェルの形成領域と、周辺回路領域の第１の導電型のウェルの形成領域とに、三度のイオン注入を行う工程である。この三度のイオン注入工程により、メモリセル領域には、下から順に第３の濃度の層、第２の濃度の層、第１の濃度の層を有する第２のウェルが形成され、周辺回路領域には、工程（ｂ）及び上記三度のイオン注入工程により、下から順に第４の濃度の層、第３の濃度の層、第２の濃度の層、第１の濃度の層を有する第１の導電型のウェルが形成される。

【００３８】

上記工程（ｄ）は、第３のウェルの形成領域と、周辺回路領域の第２の導電型ウェルの形成領域とに、三度のイオン注入を行う工程である。この三度のイオン注入工程により、メモリセル領域には、下から順に第３の濃度の層、第２の濃度の層、第１の濃度の層を有する第３のウェルが形成され、周辺回路領域には、工程（ｂ）及び上記三度のイオン注入工程により、下から順に第４の濃度の層、第３の濃度の層、第２の濃度の層、第１の濃度の層を有する第２の導電型のウェルが形成される。

【００３９】

【発明の実施の形態】

［構造の説明］

図１は、本発明に係る半導体記憶装置の一実施の形態の断面図である。この半導体記憶装置は、ＳＲＡＭである。図１に示すように、半導体基板の一例であるｐ型のシリコン基板１０の主表面は、メモリセル領域１２と周辺回路領域１４とに分けられている。

【００４０】

メモリセル領域１２には、ｎウェル１６及びその隣にｐウェル１８が形成されている。ｎウェル１６及びｐウェル１８は、リトログレーデッドウェルである。ｎウェル１６とｐウェル１８との境界において、これらのウェルは重なり合っている。この境界上には、セミリセスＬＯＣＯＳ酸化膜２０が形成されている。

【００４１】

ｎウェル１６には、ｐチャネルトランジスタ２２が形成されている。ｐチャネルトランジスタ２２は、ゲート電極２４、ソース２６及びドレイン２８を備えている。ｐウェル１８には、ｎチャネルトランジスタ３０が形成されている。ｎチャネルトランジスタ３０は、ゲート電極３２、ソース３４及びドレイン３６を備えている。また、ｐウェル１８には、ウェルコンタクト領域３８が形成されている。ウェルコンタクト領域３８には、ｐウェル１８の電位を固定するための配線が接続される。この実施の形態では、ウェルコンタクト領域３８は、接地線と接続されている。ウェルコンタクト領域３８は、セミリセスＬＯＣＯＳ酸化膜４０によって、ドレイン３６と分離されている。

【００４２】

周辺回路領域１４には、ｎウェル４２及びその隣にｐウェル４４が形成されている。ｎウェル４２及びｐウェル４４は、リトログレーデッドウェルである。ｎウェル４２とｐウェル４４との境界において、これらのウェルは重なり合っている。この境界上には、セミリセスＬＯＣＯＳ酸化膜４６が形成されている。

【００４３】

ｎウェル４２には、ｐチャネルトランジスタ４８が形成されている。ｐチャネルトランジスタ４８は、ゲート電極５０及びソース／ドレイン５２、５４を備えている。ｐウェル４４には、ｎチャネルトランジスタ５６が形成されている。ｎチャネルトランジスタ５６は、ゲート電極５８及びソース／ドレイン６０、６２を備えている。なお、６４は、メモリ

セル領域１２と周辺回路領域１４とを分離するセミリセスＬＯＣＯＳ酸化膜である。
【００４４】
メモリセル領域１２及び周辺回路領域１４を覆うように、シリコン基板１０の主表面には、層間絶縁膜６６が形成されている。層間絶縁膜６６には、ドレイン２８、ソース３４をそれぞれ露出させるコンタクトホールが設けられている。コンタクトホールには、それぞれ、導電材料６８、７０が充填されている。層間絶縁膜６６上には、配線膜７２が形成されている。配線膜７２及び導電材料６８、７０によって、ドレイン２８とソース３４とは接続されている。
【００４５】
層間絶縁膜６６の上には、層間絶縁膜７４が形成されている。層間絶縁膜７４の上には、複数の配線膜が形成されている。これらの配線膜を覆うように、層間絶縁膜７４の上には、層間絶縁膜７６が形成されている。層間絶縁膜７６の上には、ビット線８０が形成されている。層間絶縁膜６６、７４、７６には、それぞれコンタクトホールが形成されている。これらのコンタクトホールには、それぞれ、導電材料８２、８４、８６が充填されている。ビット線８０は、導電材料８６、パッド層８８、導電材料８４、パッド層９０及び導電材料８２を介して、ドレイン３６と接続されている。
【００４６】
［製造方法の説明］
本発明に係る半導体記憶装置の一実施の形態の製造方法の一例を説明する。まず、図２に示すように、シリコンナイトライド等の耐酸化防止膜が形成されたシリコン基板１０の主表面に、複数のトレンチを形成する。そして、これらのトレンチにＬＯＣＯＳ法によって酸化膜を形成する。これにより、厚さ０．２μｍ～０．７μｍのセミリセスＬＯＣＯＳ酸化膜２０、４０、４６、６４を完成する。
【００４７】
次に、図３に示すように、周辺回路領域１４のｎウェル形成領域が開口するように、厚さ３．０μｍ～８．０μｍのレジストパターン９２を形成する。レジストパターン９２をマスクとして、シリコン基板１０にリンを注入し、低抵抗層９４を形成する。打ち込みエネルギーは５００ＫｅＶ～３ＭｅＶであり、ドーズ量は５Ｅ１２～５Ｅ１３である。
【００４８】
図４に示すように、周辺回路領域１４のｐウェル形成領域が開口するように、厚さ３．０μｍ～８．０μｍのレジストパターン９６を形成する。レジストパターン９６をマスクとして、シリコン基板１０にボロンを注入し、低抵抗層９８を形成する。打ち込みエネルギーは３００ＫｅＶ～２ＭｅＶであり、ドーズ量は５Ｅ１２～５Ｅ１３である。
【００４９】
図５に示すように、メモリセル領域１２及び周辺回路領域１４のｎウェル形成領域が開口するように、厚さ１．２μｍ～２．５μｍのレジストパターン１００を形成する。レジストパターン１００をマスクとして、シリコン基板１０にリンを注入し、まずチャネルカット層１０２、１０４を形成する。打ち込みエネルギーは２００ＫｅＶ～５００ＫｅＶであり、ドーズ量は３Ｅ１２～２Ｅ１３である。
【００５０】
次に、レジストパターン１００をマスクとして、シリコン基板１０にリンを注入し、パンチスルーストッパ層１０６、１０８を形成する。打ち込みエネルギーは１００ＫｅＶ～２００ＫｅＶであり、ドーズ量は２Ｅ１２～１Ｅ１３である。なお、パンチスルーストッパ層１０６、１０８は、ヒ素を用いても形成することができる。その際の打ち込みエネルギーは１５０ＫｅＶ～３００ＫｅＶであり、ドーズ量は２Ｅ１２～１Ｅ１３である。
【００５１】
次に、レジストパターン１００をマスクとして、シリコン基板１０にイオンを注入し、チャネルドープ層１１０、１１２を形成する。チャネルドープ層１１０、１１２は、以下の（ａ）、（ｂ）、（ｃ）を単独又は組み合わせることにより、形成される。
【００５２】

（ａ）リン、２０ＫｅＶ～１００ＫｅＶ、１Ｅ１２～１Ｅ１３。
【００５３】
（ｂ）二フッ化ボロン、３０ＫｅＶ～１００ＫｅＶ、１Ｅ１２～１Ｅ１３。
【００５４】
（ｃ）ボロン、１０ＫｅＶ～５０ＫｅＶ、１Ｅ１２～１Ｅ１３。
【００５５】
以上の工程により、メモリセル領域１２では、チャネルカット層１０２、パンチスルーストッパ層１０６及びチャネルドープ層１１０を含むｎウェル１６が完成する。周辺回路領域１４では、低抵抗層９４、チャネルカット層１０４、パンチスルーストッパ層１０８及びチャネルドープ層１１２を含むｎウェル４２が完成する。
【００５６】
図６に示すように、メモリセル領域１２及び周辺回路領域１４のｐウェル形成領域が開口するように、厚さ１．２μｍ～２．５μｍのレジストパターン１１４を形成する。レジストパターン１１４をマスクとして、シリコン基板１０にボロンを注入し、チャネルカット層１１６、１１８を形成する。打ち込みエネルギーは１００ＫｅＶ～３００ＫｅＶであり、ドーズ量は３Ｅ１２～２Ｅ１３である。
【００５７】
次に、レジストパターン１１４をマスクとして、シリコン基板１０にボロンを注入し、パンチスルーストッパ層１２０、１２２を形成する。打ち込みエネルギーは５０ＫｅＶ～２００ＫｅＶであり、ドーズ量は２Ｅ１２～１Ｅ１３である。なお、パンチスルーストッパ層１２０、１２２は、打ち込みエネルギーによっては、チャネルカット層１１６、１１８と重なることになる。この場合は、一回のイオン注入により、両方の層を兼ねる層を形成することができる。
【００５８】
次に、レジストパターン１１４をマスクとして、シリコン基板１０にイオンを注入し、チャネルドープ層１２４、１２６を形成する。チャネルドープ層１２４、１２６は、以下の（ａ）、（ｂ）、（ｃ）を単独又は組み合わせることにより、形成される。
【００５９】
（ａ）リン、２０ＫｅＶ～１００ＫｅＶ、１Ｅ１２～１Ｅ１３。
【００６０】
（ｂ）二フッ化ボロン、３０ＫｅＶ～１５０ＫｅＶ、１Ｅ１２～１Ｅ１３。
【００６１】
（ｃ）ボロン、１０ＫｅＶ～５０ＫｅＶ、１Ｅ１２～１Ｅ１３。
【００６２】
以上の工程により、メモリセル領域１２では、チャネルカット層１１６、パンチスルーストッパ層１２０及びチャネルドープ層１２４を含むｐウェル１８が完成する。周辺回路領域１４では、低抵抗層９８、チャネルカット層１１８、パンチスルーストッパ層１２２及びチャネルドープ層１２６を含むｐウェル４４が完成する。なお、ｐウェル１８には、ｐウェル１８の形成の際に使われたイオン注入により、ウェルコンタクト領域３８が形成される。
【００６３】
そして、通常のプロセス技術を用いることにより、図１に示す構造を完成する。なお、図１において、チャネルカット層１０２、１０４、１１６、１１８、パンチスルーストッパー層１０６、１０８、１２０、１２２、チャネルドープ層１１０、１１２、１２４、１２６を表す線の図示は省略されている。
【００６４】
［ウェルの構造の説明］
この実施の形態に係る半導体記憶装置のウェルの構造を、濃度の観点から説明する。ウェルの形成条件は、後で説明する［効果を証明する実験の説明］の表１の深いウェルＢ、浅いウェルの欄で示す値である。

【００６５】
図１０は、周辺回路領域のｐウェル形成領域への四度目のイオン注入後のウェル濃度を示している。距離とは、シリコン基板の主表面からのウェルの深さ方向の長さのことである。また、濃度は、対数で表している。よって、例えば、１７とは、1×10^{17}個／cm^2である。
【００６６】
周辺回路領域では、打ち込みエネルギー及びドーズ量が異なる四度のイオン注入でｐウェルを形成している。よって、ウェルの深さ方向に沿って四つの濃度のピーク（P_1、P_2、P_3、P_4）がある。P_1はチャネルドープ層、P_2はパンチスルーストッパ層、P_3はチャネルカット層、P_4はウェル抵抗を下げるための低抵抗層の位置を示している。以下で説明するグラフの距離、濃度、ピーク（P_1、P_2、P_3、P_4）は、図１０中のこれらと同じ意味である。
【００６７】
図１１は、ゲート酸化膜を形成し、ゲート電極となるポリシリコン膜のアニール後に測定したウェル濃度を示している。ｐウェルは、四つの濃度のピーク（P_1、P_2、P_3、P_4）があることが分かる。
【００６８】
図１２は、周辺回路領域のｎウェル形成領域への四度目のイオン注入後のウェル濃度を示している。周辺回路領域では、打ち込みエネルギー及びドーズ量が異なる四度のイオン注入でｎウェルを形成している。よって、ウェルの深さ方向に沿って四つの濃度のピーク（P_1、P_2、P_3、P_4）がある。なお、図１３は、ゲート酸化膜を形成し、ゲート電極となるポリシリコン膜のアニール後に測定したウェル濃度を示している。ｎウェルは、四つの濃度のピーク（P_1、P_2、P_3、P_4）があることが分かる。
【００６９】
図１４は、メモリセル領域のｐウェル形成領域への三度目のイオン注入後のウェル濃度を示している。メモリセル領域では、打ち込みエネルギー及びドーズ量が異なる三度のイオン注入でｐウェルを形成している。よって、ウェルの深さ方向に沿って三つの濃度のピーク（P_1、P_2、P_3）がある。なお、図１５は、ゲート酸化膜を形成し、ゲート電極となるポリシリコン膜のアニール後に測定したウェル濃度を示している。ｐウェルは、三つの濃度のピーク（P_1、P_2、P_3）があることが分かる。
【００７０】
図１６は、メモリセル領域のｎウェル形成領域への三度目のイオン注入後のウェル濃度を示している。メモリセル領域では、打ち込みエネルギー及びドーズ量が異なる三度のイオン注入でｎウェルを形成している。よって、ウェルの深さ方向に沿って三つの濃度のピーク（P_1、P_2、P_3）がある。なお、図１７は、ゲート酸化膜を形成し、ゲート電極となるポリシリコン膜のアニール後に測定したウェル濃度を示している。ｎウェルは、三つの濃度のピーク（P_1、P_2、P_3）があることが分かる。
【００７１】
［効果の説明］
この実施の形態に係る半導体記憶装置は、メモリセル領域のウェルの深さを、周辺回路領域のウェルの深さに比べて、小さくしていることを特徴としている。これにより、ラッチアップの発生の可能性を低くしながら、メモリセル領域のｎウェルとｐウェルとの間の素子分離構造の長さを縮小している。この理由を説明する。
【００７２】
（１）ラッチアップは、寄生ＭＯＳのリーク電流もしくは基板電流と、基板抵抗との積が一定値以上になると発生する。基板抵抗を下げるためには、深いウェルを形成する必要がある。レジストパターンの厚さとウェルの深さとは、比例している。よって、深いウェルを形成するためには、レジストパターンの厚さを大きくしなければならない。
【００７３】
しかし、厚いレジストパターンで深いウェルを形成すると、図１に示すように、周辺回路

領域１４において、例えば、セミリセスＬＯＣＯＳ酸化膜４６下で、ｎウェル４２とｐウェル４４とが大きく重なり合うことになる。この理由を図７を用いて説明する。

【００７４】

（２）図７は、素子分離構造１３０の上に、レジストパターン１３２が形成された状態を示している。１３６は、レジスト端部、すなわち、レジストパターン１３２の端部を示している。１３４は、設計上のレジストパターンを示している。１３８は、レジスト端部、すなわち、設計上のレジストパターン１３４の端部を示している。

【００７５】

符号ａは、近接効果やローディング効果によるレジスト端部の位置の後退距離を示している。符号ｂは、レジストパターンをベークした際におけるレジストの上端部の収縮距離を示している。レジスト端部１３６の上部は、レジスト端部１３８の上部に比べ、ａ＋ｂだけ形成位置が後退していることが分かる。

【００７６】

１４０は、設計上のレジストパターン１３４をマスクとしてウェルを形成した場合におけるウェル端部を示している。１４２は、レジストパターン１３２をマスクとしてウェルを形成した場合におけるウェル端部を示している。ウェル端部１４２の上部は、ウェル端部１４０の上部に比べ、レジスト端部１３６の上部の形成位置が後退した影響を受け、符号ｃで示す距離だけ前進している。よって、隣のウェルへの入り込みが大きくなり、重なりが大きくなる。これにより生じる影響を、図８を用いて説明する。

【００７７】

図８に示すように、ｐウェル１５０とｎウェル１５２との重なりが大きいと、ｐ型ソース／ドレイン１５４とｐウェル１５０との距離ｄ及びｎ型ソース／ドレイン１５６とｎウェル１５２との距離ｅは、ウェル形成の際のイオンの打ち込みドーズ量により、一方又は共に短くなる。これらの距離が短くなることにより、例えば、距離ｅが短くなった場合、ｎ型ソース／ドレイン１５６からｐウェル１５０を通り、ｎウェル１５２に到達する寄生ＭＯＳのリーク電流が流れやすくなる。これは寄生ＭＯＳの実効チャネル長が短くなることに起因する。この寄生ＭＯＳのリーク電流がラッチアップのトリガー電流となることがある。

【００７８】

一方、厚さの小さい、例えば、２μｍ以下のレジストパターンで、ウェルを形成すると、この重なりを比較的小さくできる。なぜなら、レジストパターンの端部に、レジスト端部の位置の後退距離ａの発生やレジストの上端部の収縮距離ｂの発生が生じないからである。

【００７９】

なお、素子分離構造１５８の長さｆを大きくすれば、距離ｄ、ｅを短くしないですむ。寸法に余裕がある周辺回路領域では、素子分離構造１５８の長さｆを大きくすることができる。しかし、寸法に余裕がないメモリセル領域では、素子分離構造１５８の長さｆを大きくすれば、メモリセルの微細化という要請に反することになる。

【００８０】

（３）ところで、周辺回路領域では、チャネル幅が大きく駆動能力の高いトランジスタを配置するため基板電流の値が大きい。したがって、ラッチアップ防止のためには、基板抵抗を下げる必要がある。よって、周辺回路領域では、ウェルの深さを大ききしなければならない。一方、メモリセル領域では、メモリセルを構成するトランジスタのサイズが小さいため、基板電流の値が小さい。したがって、基板抵抗をそれほど下げなくても、ラッチアップを防止できる。よって、メモリセル領域では、ウェルの深さを小さくすることができる。

【００８１】

以上より、メモリセル領域では、ウェルの深さを小さくしている。これにより、ｐウェルとｎウェルとの重なりを小さくし、ラッチアップの発生の可能性を低くしている。

【００８２】

［効果を証明する実験の説明］
上記効果を証明するための実験を行った。まず、深いウェル（深さ２．０μｍ）が形成され、かつセミリセスＬＯＣＯＳ酸化膜の長さが異なる複数のサンプル及び浅いウェル（深さ０．８μｍ）が形成され、かつセミリセスＬＯＣＯＳ酸化膜の長さが異なる複数のサンプルを準備した。ウェル形成条件を、表１に示す。なお、セミリセスＬＯＣＯＳ酸化膜の膜厚は、０．４μｍである。
【００８３】
【表１】

		深いウェルA	深いウェルB	浅いウェル
	ポジレジスト膜厚	3.8μm	3.8μm	2.0μm
nウェル	（1）低抵抗層	P 1.2MeV 1E13	P 1.2MeV 1E13	
	（2）チャネルカット層	P 360KeV 4E12	P 360KeV 6E12	P 360KeV 6E12
	（3）パンチスルーストッパー層	P 180KeV 2E12	P 180KeV 2E12	P 180KeV 2E12
	（4）チャネルドープ層	BF_2 70KeV 6E12	BF_2 70KeV 6E12	BF_2 70KeV 6E12
pウェル	（1）低抵抗層	B 700KeV 1E13	B 700KeV 1E13	
	（2）チャネルカット層	B 150KeV 4E12	B 150KeV 8E12	B 150KeV 8E12
	（3）パンチスルーストッパー層	B 80KeV 4E12	B 80KeV 8E12	B 80KeV 8E12
	（4）チャネルドープ層	BF_2 70KeV 3.5E12	BF_2 70KeV 3.5E12	BF_2 70KeV 3.5E12

これらのサンプルのリーク電流を測定した。測定条件は、次の通りである。ｎウェルの電位５Ｖ、ｐウェルの電位０Ｖ、ｎチャネルトランジスタのソース０Ｖ、ドレイン５Ｖ、ｎチャネルトランジスタのゲート５Ｖの条件下、ｎウェルからｎチャネルトランジスタのソースへ流れ込む電流を測定した。また、ｎウェルの電位５Ｖ、ｐウェルの電位０Ｖ、ｐチャネルトランジスタのソース５Ｖ、ドレイン０Ｖ、ｐチャネルトランジスタのゲート０Ｖの条件下、ｐウェルからｐチャネルトランジスタのソースへ流れ込む電流を測定した。
【００８４】
そして、測定結果を図９に示す。黒丸は深いウェルＡのデータを示し、白丸は深いウェルＢのデータを示し、×は、浅いウェルのデータを示している。測定結果を考察する前に、まず、距離L_1及びL_2の定義を説明する。図８に示すように、素子分離構造１５８の中央を通る垂直線１６０を基準とし、この垂直線１６０からｎ型ソース／ドレイン１５６までの距離をL_1、垂直線１６０からｐ型ソース／ドレイン１５４までの距離をL_2としている。よって、例えば、０．５μｍとは、セミリセスＬＯＣＯＳ酸化膜の長さが１．０μｍのサ

ンプルを示している。

【００８５】

図９に示すように、浅いウェルでは、ｐウェル、ｎウェルともに、距離が０．５μｍに近くなっても、リーク電流は、深いウェルと比較して低い値となる。このことは、メモリセル領域のウェルの深さを周辺回路領域のウェルの深さより小さくすると、メモリセル領域のウェルの深さが周辺回路領域のウェルの深さと同じ場合に比べ、メモリセル領域ではセミリセスＬＯＣＯＳ酸化膜の長さを小さくしても、寄生ＭＯＳのリーク電流が増加せず、ラッチアップの発生の可能性が小さいことを示している。

【００８６】

［その他の効果の説明］

（１）図１に示すように、この実施の形態によれば、ｎウェル１６の深さと、ｐウェル１８の深さとが同じである。よって、メモリセル領域１２において、ウェルの深さが異なることが原因となるトランジスタどうしの性能のアンバランスが生じることはない。

【００８７】

（２）図１に示すように、この実施の形態によれば、ｐウェル１８は、セミリセスＬＯＣＯＳ酸化膜４０より下の位置まで形成されている。したがって、ｐウェル１８をウェルコンタクト領域３８にまで延ばすことがでる。よって、ｐウェル１８とウェルコンタクト領域３８とを容易に接続することができる。従って、メモリセル領域のウェルコンタクトをメモリセル毎でなく、例えば、３２ビットおきに配置することが可能となる。よって、ウェルコンタクトに要する面積を縮小できる。なお、図示はされていないが、ｎウェル１６についても同じことが言える。

【００８８】

（３）図１に示すように、この実施の形態によれば、ｎウェル１６及びｐウェル１８がセミリセスＬＯＣＯＳ酸化膜２０、４０より下の位置まで形成されている。よって、ソース２６、３６及びドレイン２８、３４が浅くなりすぎることを回避できる。

【００８９】

（４）図１に示すように、この実施の形態によれば、ｎウェル１６に形成されたソース２６及びドレイン２８の深さと、ｐウェル１８に形成されたドレイン３６及びソース３４の深さとは、同じである。これにより、メモリセル領域１２において、ソース、ドレインの深さが異なることが原因となるトランジスタどうしの性能のアンバランスが生じることはない。

【００９０】

（５）図１に示すように、この実施の形態によれば、メモリセル領域１２、周辺回路領域１４は、ともにツインウェル構造である。よって、ｎウェル４２及びｐウェル４４となる領域に、それぞれ、低抵抗層を形成後、ｎウェル１６となる領域とｎウェル４２となる領域とに同時に、チャネルカット層、パンチスルーストッパ層、チャネルドープ層を形成し、ｐウェル１８となる領域とｐウェル４４となる領域とに同時に、チャネルカット層、パンチスルーストッパ層、チャネルドープ層を形成することができる。これにより、工程の簡略化を図れる。

【００９１】

（６）図１に示すように、この実施の形態によれば、ｎウェル１６に形成されたソース２６及びドレイン２８の深さと、ｐウェル１８に形成されたソース３４及びドレイン３６の深さと、ｎウェル４２に形成されたソース／ドレイン５２、５４の深さと、ｐウェル４４に形成されたソース／ドレイン６０、６２の深さと、は、同じである。よって、ソース２６、ドレイン２８とソース／ドレイン５２、５４とを同時に形成できる。また、ソース３４、ドレイン３６とソース／ドレイン６０、６２とを同時に形成できる。これにより、工程の簡略化を図れる。

【００９２】

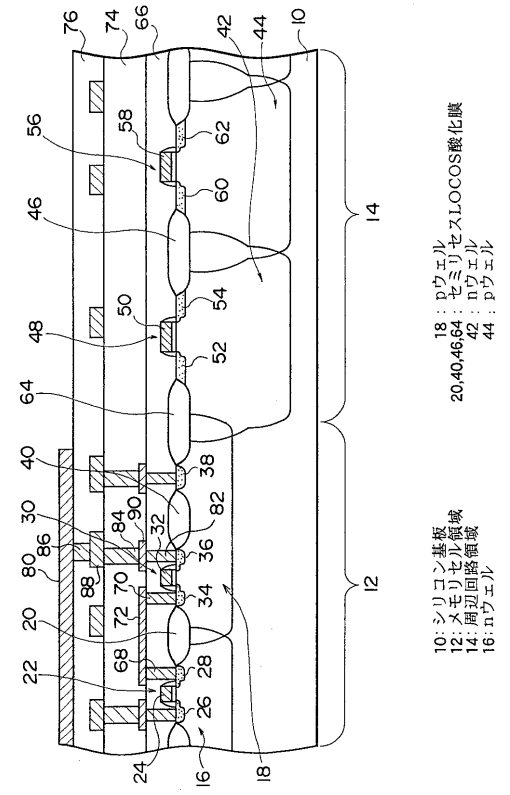
【図面の簡単な説明】

【図１】本発明に係る半導体記憶装置の一実施の形態の断面図である。

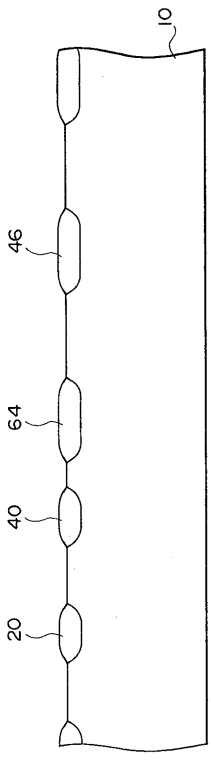
【図２】本発明に係る半導体記憶装置の一実施の形態の第１の製造工程を説明するための断面図である。
【図３】本発明に係る半導体記憶装置の一実施の形態の第２の製造工程を説明するための断面図である。
【図４】本発明に係る半導体記憶装置の一実施の形態の第３の製造工程を説明するための断面図である。
【図５】本発明に係る半導体記憶装置の一実施の形態の第４の製造工程を説明するための断面図である。
【図６】本発明に係る半導体記憶装置の一実施の形態の第５の製造工程を説明するための断面図である。
【図７】レジストパターンの形状変化を説明する断面図である。
【図８】ラッチアップを説明する断面図である。
【図９】ウェルの深さとリーク電流との関係を示すグラフである。
【図１０】周辺回路領域のｐウェル形成領域への四度目のイオン注入後のウェル濃度を示すグラフである。
【図１１】周辺回路領域のｐウェル形成領域へ四度のイオン注入をし、そしてゲート酸化膜を形成し、ゲート電極となるポリシリコン膜のアニール後に測定したウェル濃度を示すグラフである。
【図１２】周辺回路領域のｎウェル形成領域への四度目のイオン注入後のウェル濃度を示すグラフである。
【図１３】周辺回路領域のｎウェル形成領域へ四度のイオン注入をし、そしてゲート酸化膜を形成し、ゲート電極となるポリシリコン膜のアニール後に測定したウェル濃度を示すグラフである。
【図１４】メモリセル領域のｐウェル形成領域への三度目のイオン注入後のウェル濃度を示すグラフである。
【図１５】メモリセル領域のｐウェル形成領域へ三度のイオン注入をし、そしてゲート酸化膜を形成し、ゲート電極となるポリシリコン膜のアニール後に測定したウェル濃度を示すグラフである。
【図１６】メモリセル領域のｎウェル形成領域への三度目のイオン注入後のウェル濃度を示すグラフである。
【図１７】メモリセル領域のｎウェル形成領域へ三度のイオン注入をし、そしてゲート酸化膜を形成し、ゲート電極となるポリシリコン膜のアニール後に測定したウェル濃度を示すグラフである。
【図１８】特開平８－３３０５２８号公報に開示されたＳＲＡＭのメモリセル領域と周辺回路領域とを示す断面図である。
【符号の説明】
１０　シリコン基板
１２　メモリセル領域
１４　周辺回路領域
１６　ｎウェル
１８　ｐウェル
２０　セミリセスＬＯＣＯＳ酸化膜
２２　ｐチャネルトランジスタ
２６　ソース
２８　ドレイン
３０　ｎチャネルトランジスタ
３４　ソース
３６　ドレイン
３８　ウェルコンタクト領域
４８　ｐチャネルトランジスタ

５２　ソース／ドレイン
５４　ソース／ドレイン
５６　ｎチャネルトランジスタ
６０　ソース／ドレイン
６２　ソース／ドレイン
９２　レジストパターン
９４　低抵抗層
９６　レジストパターン
９８　低抵抗層
１００　レジストパターン
１０２、１０４　チャネルカット層
１０６、１０８　パンチスルーストッパー層
１１０、１１２　チャネルドープ層
１１４　レジストパターン
１１６、１１８　チャネルカット層
１２０、１２２　パンチスルーストッパー層
１２４、１２６　チャネルドープ層

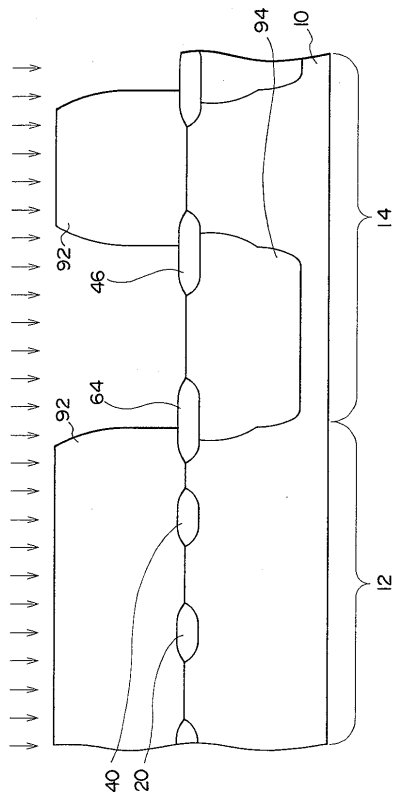
【図１】



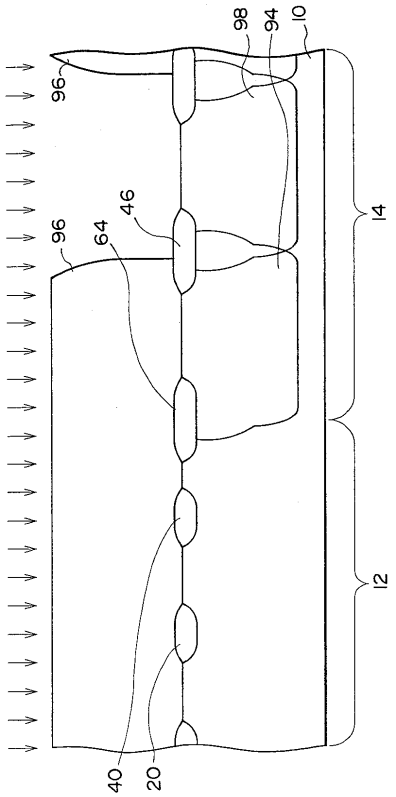
【図２】



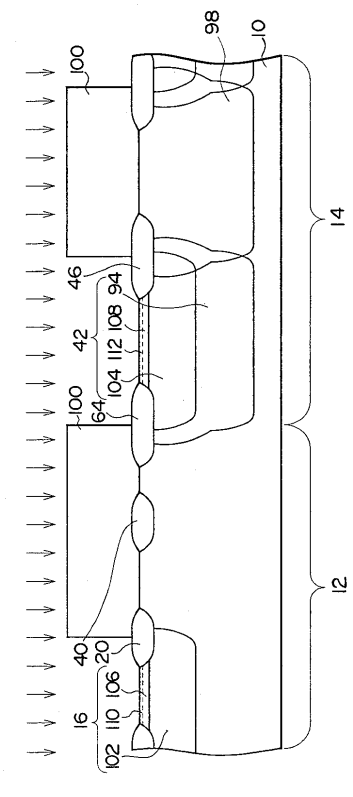
【図３】


94
10
92
46
64
92
14
12
40
20

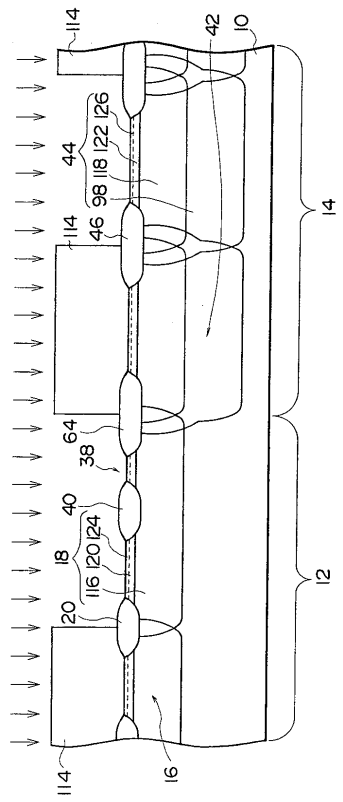
【図４】


98
94
10
96
46
96
64
14
12
40
20

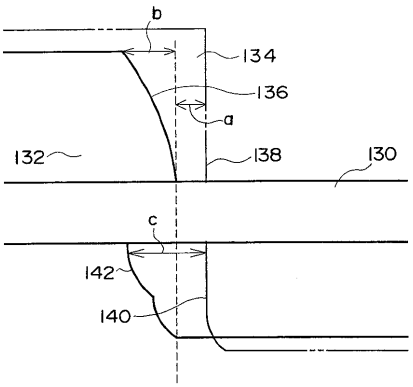
【図５】


98
10
100
14
46
94
108
42
112
104
100
64
12
40
20
106
16
110
102

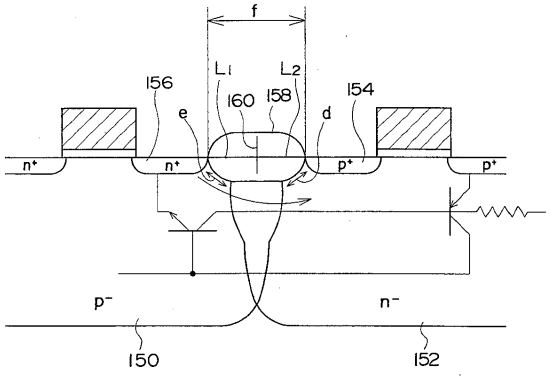
【図６】


114
42
10
126
122
44
118
98
14
114
46
64
38
40
124
18
120
116
20
12
114
16

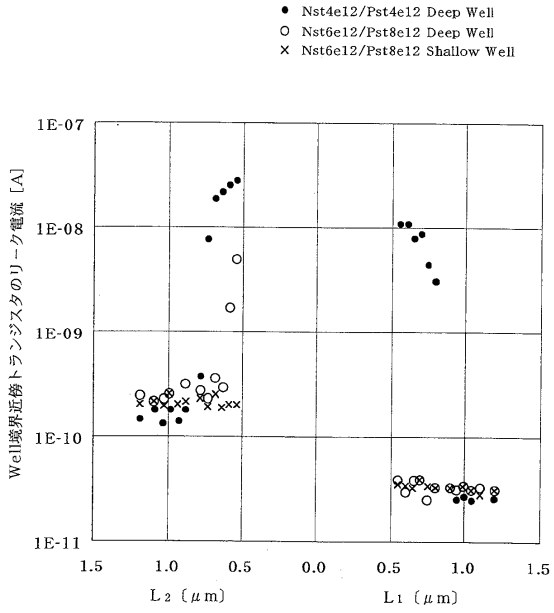
【図７】


b
134
136
a
132
138
130
c
142
140

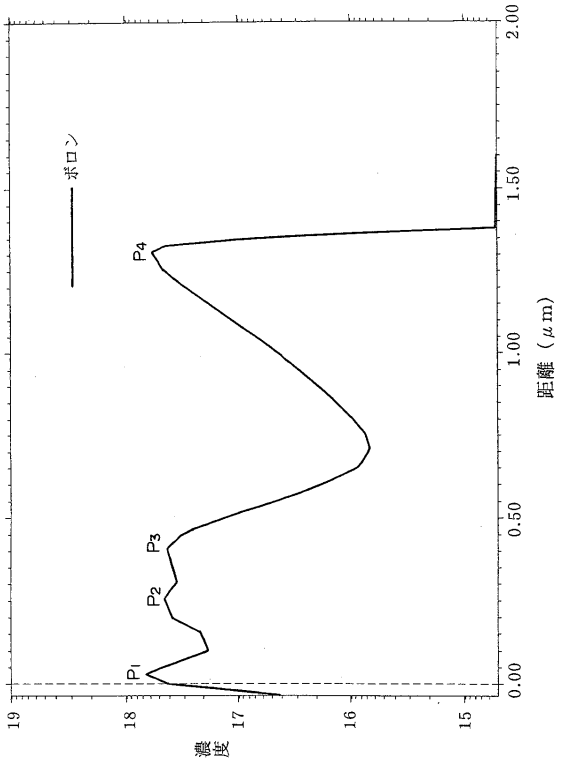
【図８】


f
L1
L2
156
160
158
154
e
d
n+
n+
p+
p+
p−
n−
150
152

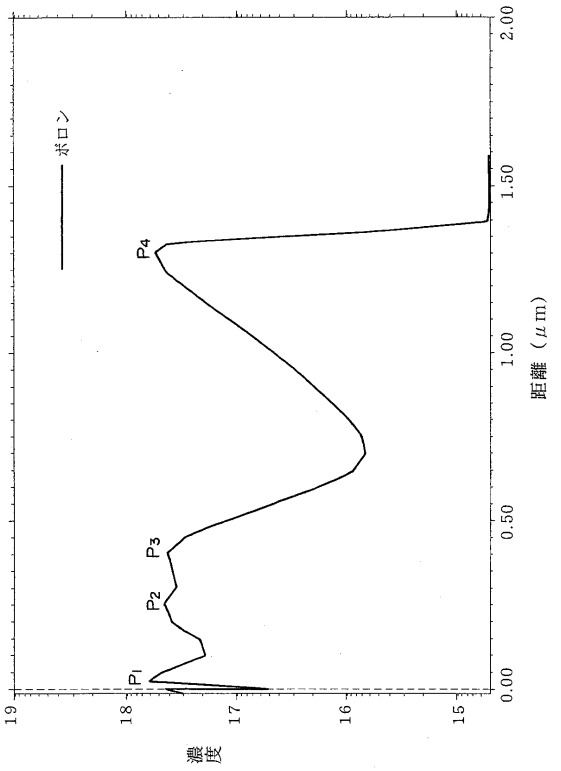
【図９】


Nst4e12/Pst4e12 Deep Well
Nst6e12/Pst8e12 Deep Well
Nst6e12/Pst8e12 Shallow Well
Well境界近傍トランジスタのリーク電流 [A]
1E-07
1E-08
1E-09
1E-10
1E-11
1.5
1.0
0.5
0.0
0.5
1.0
1.5
L2〔μm〕
L1〔μm〕

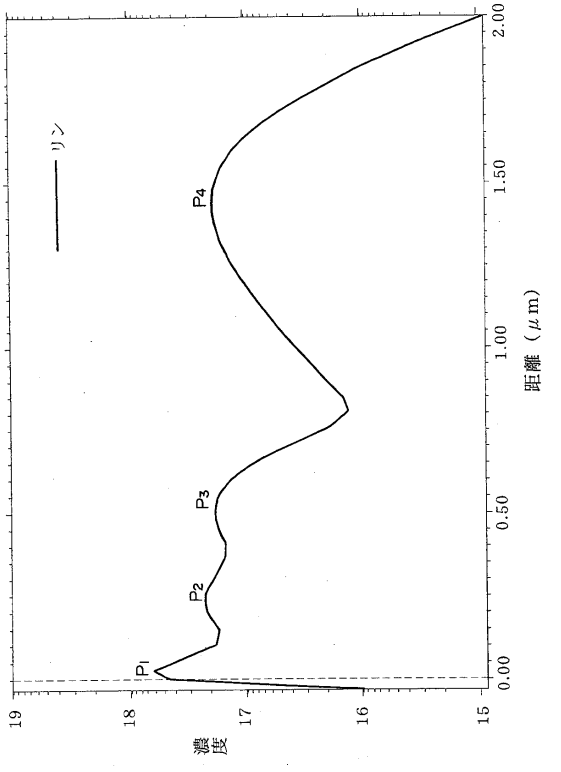
【図１０】


ボロン
P4
P3
P2
P1
2.00
1.50
1.00
0.50
0.00
距離（μm）
19
18
17
16
15
濃度

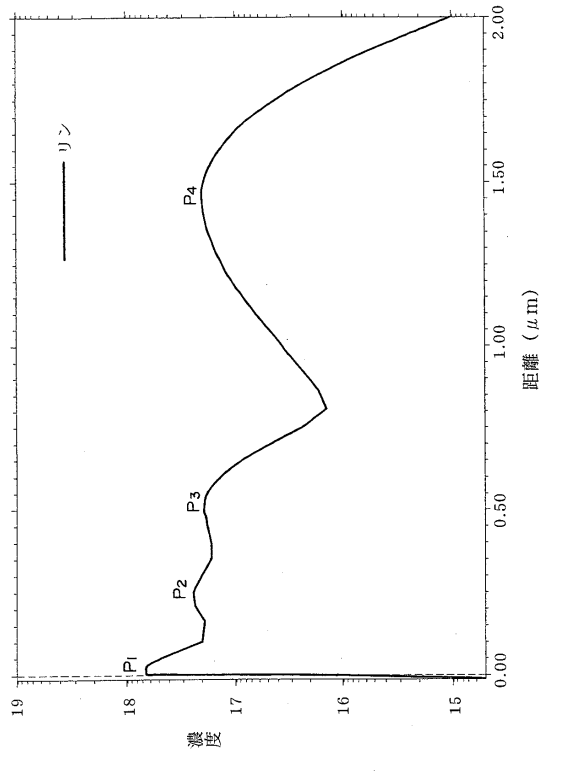
【図１１】



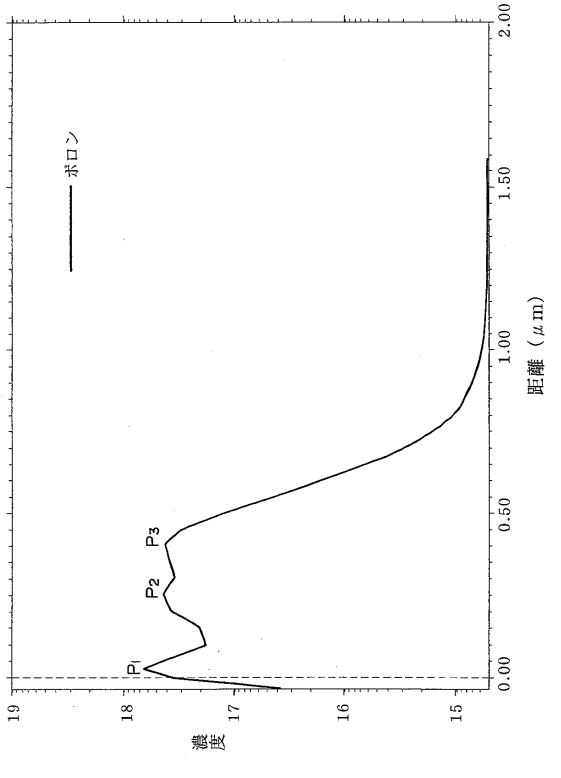
【図１２】



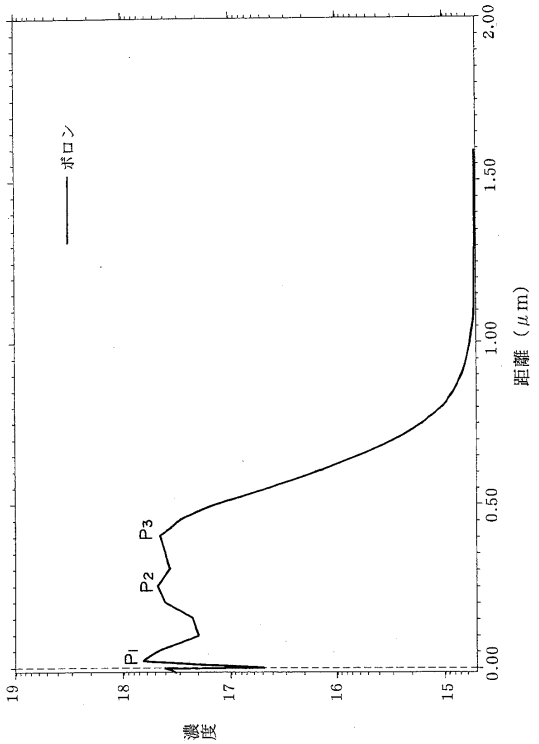
【図１３】



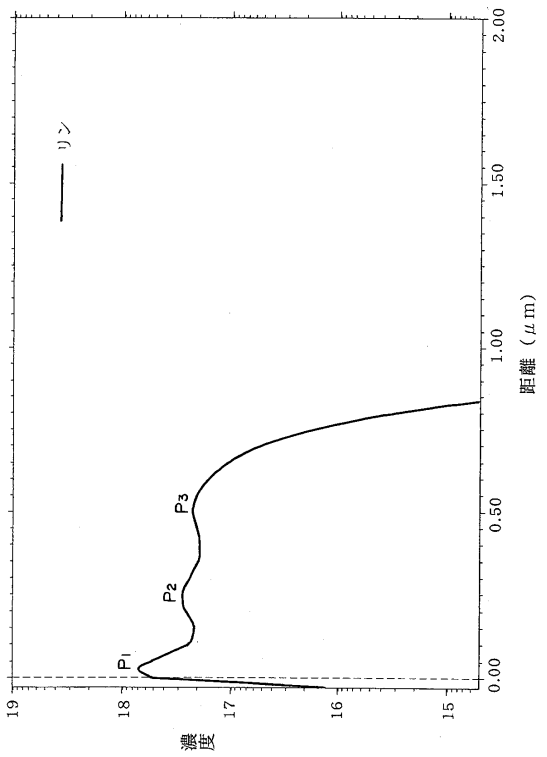
【図１４】



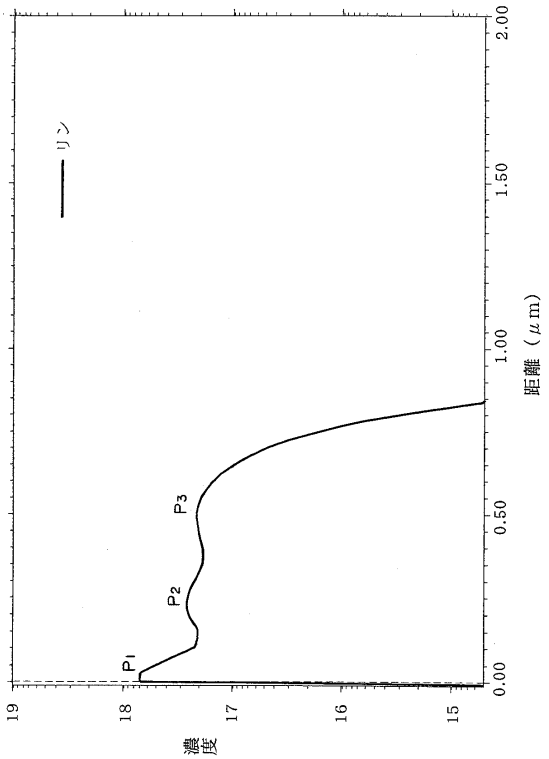
【図１５】



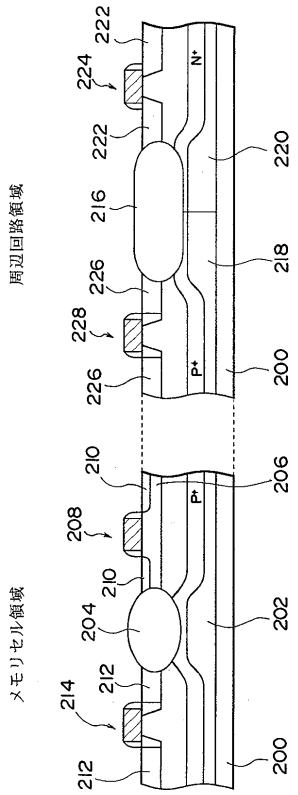
【図１６】



【図１７】



【図１８】



フロントページの続き

(72)発明者　唐澤　純一
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

合議体
審判長　松本　邦夫
審判官　瀧内　健夫
審判官　河本　充雄

(56)参考文献　特開平９－１２９７４３（ＪＰ，Ａ）
特開平４－１２５６５（ＪＰ，Ａ）
特開昭６０－６５５６２（ＪＰ，Ａ）