



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년02월13일
 (11) 등록번호 10-1947663
 (24) 등록일자 2019년02월07일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H03F 3/45</i> (2006.01)</p> <p>(21) 출원번호 10-2014-7014839</p> <p>(22) 출원일자(국제) 2012년10월26일
 심사청구일자 2017년07월28일</p> <p>(85) 번역문제출일자 2014년05월30일</p> <p>(65) 공개번호 10-2014-0096101</p> <p>(43) 공개일자 2014년08월04일</p> <p>(86) 국제출원번호 PCT/US2012/062144</p> <p>(87) 국제공개번호 WO 2013/066752
 국제공개일자 2013년05월10일</p> <p>(30) 우선권주장
 61/554,907 2011년11월02일 미국(US)
 61/601,912 2012년02월22일 미국(US)</p> <p>(56) 선행기술조사문헌
 US05939904 A*
 US06563382 B1*
 US06731135 B2*
 L. Vincent 외, "A Fully Integrated 32 nm MultiProbe for Dynamic PVT Measurements within Complex Digital SoC," 2nd International Workshop on CMOS Variability, VARI' 11, 2011. 05.*
 *는 심사관에 의하여 인용된 문헌</p> | <p>(73) 특허권자
 마벨 월드 트레이드 리미티드
 바베이도스 비비14027 세인트 마이클 브리튼스 힐
 건사이트 로드 로리존</p> <p>(72) 발명자
 사이루시안 사산
 미국 캘리포니아 95066 스코트 밸리 실버우드 드
 라이브 231
 우에하라 그레고리 티.
 미국 텍사스 78703 오스틴 모홀 드라이브 1515</p> <p>(74) 대리인
 박장원</p> |
|--|---|

전체 청구항 수 : 총 18 항

심사관 : 신우열

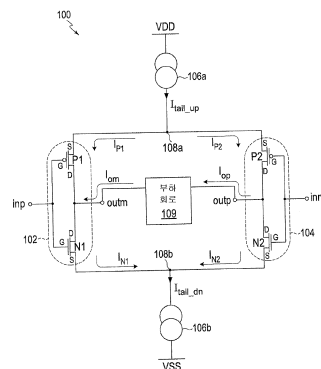
(54) 발명의 명칭 차동 증폭기

(57) 요약

본 발명의 실시형태들은 차동 증폭기를 제공한다. 이 차동 증폭기는 상보형 트랜지스터들의 제 1 쌍, 상보형 트랜지스터들의 제 2 쌍, 및 전류원을 포함한다. 상보형 트랜지스터들의 제 1 쌍의 제 1 제어단자들은 차동 증폭기의 제 1 입력 노드에 결합되며, 상보형 트랜지스터들의 제 1 쌍의 제 1 구동 단자들은 부하를 구동하기 위하여

(뒷면에 계속)

대표도 - 도1a



차동 증폭기의 제 1 출력 노드에 결합된다. 상보형 트랜지스터들의 제 2 쌍의 제 2 제어 단자들은 차동 증폭기의 제 2 입력 노드에 결합되며, 상보형 트랜지스터들의 제 2 쌍의 제 2 구동 단자들은 부하를 구동하기 위해 차동 증폭기의 제 2 출력 노드에 결합된다. 전류원은 상보형 트랜지스터들의 제 1 쌍과 상보형 트랜지스터들의 제 2 쌍을 통해 흐르는 실질적으로 일정한 전체 전류를 유지하도록 구성된다.

명세서

청구범위

청구항 1

제 1 제어 단자들이 차동 증폭기의 제 1 입력 노드에 결합됨과 아울러, 제 1 구동 단자들이 부하를 구동하기 위해 상기 차동 증폭기의 제 1 출력 노드에 결합된 상보형 트랜지스터들의 제 1 쌍;

제 2 제어 단자들이 상기 차동 증폭기의 제 2 입력 노드에 결합됨과 아울러, 제 2 구동 단자들이 부하를 구동하기 위해 상기 차동 증폭기의 제 2 출력 노드에 결합된 상보형 트랜지스터들의 제 2 쌍;

상기 상보형 트랜지스터들의 제 1 쌍 및 상보형 트랜지스터들의 제 2 쌍을 통하여 흐르는 실질적으로 일정한 전류 전류를 유지하도록 구성된 전류원; 및

기준 전압과 관련하여 상기 제 1 출력 노드 및 제 2 출력 노드에서 공통 모드 전압 레벨을 유지하도록, 다이오드 접속되는 상보형 트랜지스터들의 제 3 쌍에 의거하여 상기 기준 전압을 발생하도록 구성된 기준 전압 발생기를 포함하는 차동 증폭기.

청구항 2

제 1 항에 있어서,

상기 전류원은 제 1 전류원이며, 상기 차동 증폭기는 제 2 전류원을 더 포함하며, 상기 제 1 전류원 및 제 2 전류원은 각각 고전압원으로부터 제 1의 실질적으로 일정한 전류를 유지하고 저전압 소오스로부터 제 2의 실질적으로 일정한 전류를 유지하도록 구성된 것을 특징으로 하는 차동 증폭기.

청구항 3

제 1 항에 있어서,

상기 제 1 출력 노드 및 제 2 출력 노드에서 공통 모드 응답을 억제하도록 구성된 공통 모드 피드백 회로를 더 포함하는 것을 특징으로 하는 차동 증폭기.

청구항 4

제 3 항에 있어서,

상기 공통 모드 피드백 회로는 기준 전압과 관련하여 상기 제 1 출력 노드 및 제 2 출력 노드에서 공통 모드 전압 레벨을 유지하도록 구성되는 것을 특징으로 하는 차동 증폭기.

청구항 5

삭제

청구항 6

제 1 항에 있어서,

상기 상보형 트랜지스터들의 제 3 쌍은 상기 제 1 쌍 및 제 2 쌍에 대한 정합 특성들을 갖는 것을 특징으로 하는 차동 증폭기.

청구항 7

제 1 항에 있어서,

상기 기준 전압 발생기는 전압 레귤레이터에 피드백 신호를 발생시켜 이 전압 레귤레이터가 상기 피드백 신호에 의거하여 상기 차동 증폭기에 대한 공급 전압을 조절할 수 있도록 구성된 것을 특징으로 하는 차동 증폭기.

청구항 8

제 7 항에 있어서,

상기 피드백 신호는 상기 차동 증폭기와 동일한 집적 회로(IC) 칩 상에 있는 상기 전압 레귤레이터에 제공되는 것을 특징으로 하는 차동 증폭기.

청구항 9

제 7 항에 있어서,

상기 피드백 신호는 상기 차동 증폭기를 포함하는 집적 회로(IC) 칩의 외부에 있는 상기 전압 레귤레이터에 제공되는 것을 특징으로 하는 차동 증폭기.

청구항 10

제 1 항에 있어서,

상기 차동 증폭기의 이득을 조절하도록 구성된 조절 가능한 저항 컴포넌트들을 더 포함하는 것을 특징으로 하는 차동 증폭기.

청구항 11

제 1 항에 있어서,

상기 부하는 상기 출력 노드들에 각각 결합되는 제 1 전류원 부하 및 제 2 전류원 부하를 포함하는 것을 특징으로 하는 차동 증폭기.

청구항 12

제 11 항에 있어서,

상기 제 1 전류원 부하 및 제 2 전류원 부하는 동일한 타입의 트랜지스터들을 사용하는 것을 특징으로 하는 차동 증폭기.

청구항 13

제 11 항에 있어서,

상기 부하는 상기 제 1 전류원 부하에 대한 상보 타입의 제 3 전류원 부하와, 상기 제 2 전류원 부하에 대한 상보 타입의 제 4 전류원 부하를 포함하는 것을 특징으로 하는 차동 증폭기.

청구항 14

제 1 항에 있어서,

상기 상보형 트랜지스터들의 제 1 쌍은 제 1 P타입 MOS 트랜지스터 및 제 1 N타입 MOS 트랜지스터를 포함하며, 상기 제 1 제어 단자들은 상기 제 1 P타입 MOS 트랜지스터 및 제 1 N타입 MOS 트랜지스터의 게이트 단자들이며, 상기 제 1 구동 단자들은 상기 제 1 P타입 MOS 트랜지스터 및 제 1 N타입 MOS 트랜지스터의 드레인 단자들이며; 상기 상보형 트랜지스터들의 제 2 쌍은 제 2 P타입 MOS 트랜지스터 및 제 2 N타입 MOS 트랜지스터를 포함하며, 상기 제 2 제어 단자들은 상기 제 2 P타입 MOS 트랜지스터 및 제 2 N타입 MOS 트랜지스터의 게이트 단자들이며, 상기 제 2 구동 단자들은 상기 제 2 P타입 MOS 트랜지스터 및 제 2 N타입 MOS 트랜지스터의 드레인 단자들인 것을 특징으로 하는 차동 증폭기.

청구항 15

차동 증폭기 내의 상보형 트랜지스터들의 쌍들과의 매칭 특성들을 가지며 다이오드-접속된 토폴로지(diode-connected topology)를 갖도록 구성된 상보형 트랜지스터들의 제 1 쌍; 및

상기 상보형 트랜지스터들의 제 1 쌍에서의 전압 강하에 의거하여 피드백 신호 - 상기 피드백 신호는 상기 차동 증폭기에 대한 공급 전압을 조절하도록 사용됨 - 를 발생하도록 구성된 피드백 신호 발생 회로를 포함하는 것을

특징으로 하는 회로.

청구항 16

제 15 항에 있어서,

상기 피드백 신호에 의거하여 상기 차동 증폭기에 대한 공급 전압을 조절하도록 구성된 전압 레귤레이터를 더 포함하는 것을 특징으로 하는 회로.

청구항 17

제 15 항에 있어서,

상기 피드백 신호는 상기 차동 증폭기에 공급 전압을 제공하는 외부 전압 레귤레이터에 제공되는 것을 특징으로 하는 회로.

청구항 18

삭제

청구항 19

차동 증폭기의 제 1 입력 노드 - 상기 제 1 입력 노드는 N타입 및 P타입 트랜지스터들의 제 1 쌍의 제어 단자들을 제어함 - 및 제 2 입력 노드 - 상기 제 2 입력 노드는 N타입 및 P타입 트랜지스터들의 제 2 쌍의 제어 단자들을 제어함 - 에서 차동 입력 신호들의 쌍을 수신하는 단계;

동일한 타입의 상기 트랜지스터들을 통하여 흐르는 실질적으로 일정한 전체 전류를 유지하는 단계;

상기 두 타입들의 트랜지스터들에 의해서 제어된 전류에 의해 상기 차동 증폭기의 제 1 출력 노드 및 제 2 출력 노드 사이에 결합된 부하를 구동하는 단계;

다이오드 접속되는 상보형 트랜지스터들의 제 3 쌍에 의거하여 기준 전압을 생성하는 단계; 및

상기 기준 전압과 관련하여 상기 제 1 출력 노드 및 제 2 출력 노드에서 공통 모드 전압 레벨을 유지하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 20

제 19 항에 있어서,

상기 제 1 출력 노드 및 제 2 출력 노드의 공통 모드 응답을 억제하는 단계를 더 포함하는 것을 특징으로 하는 방법.

발명의 설명

기술 분야

[0001] 참조에 의한 결합

[0002] 본 발명은 2011년 11월 2일에 출원되고 발명의 명칭이 "Efficient High Speed Amplifiers"인 미국 가출원 61/554,907호와, 2012년 2월 22일에 출원되고 발명이 명칭이 "Efficient High Speed Amplifiers"인 미국 가출원 61/601,912호의 혜택을 주장하며, 상기 미국의 두 출원은 전체내용이 여기에 참조로 포함되어 있다.

배경 기술

[0003] 여기에 제공된 배경 설명은 일반적으로 본 발명의 문맥(context)을 제공하기 위한 것이다. 본 배경기술 부분에 설명되는 정도도의 현재 지명된 발명자들의 워크(work)는 물론 출원시에 종래기술로서 달리 적격하지 않은 설명의 실시형태들은 명시적으로든 암묵적으로든 본 발명의 대한 종래기술로서 인정되는 것이 아니다.

[0004] 차동 증폭기는 일반적으로 정합 바이폴라 트랜지스터들(matching biPOLar transistors)의 쌍, 정합 MOS(metal-oxide-semiconductor) 트랜지스터의 쌍 등을 포함한다. 일례에서, 차동 증폭기는 전류원 및 2개의 부하 컴포넌트들과 결합된 정합 N-타입 MOS 트랜지스터들의 쌍을 포함한다. 특히, 2개의 N타입 MOS 트랜지스터들의 소오스

단자들은 함께 결합되며, 전류원에 결합된다. 2개의 N타입 MOS 트랜지스터들의 드레인 단자들은 2개의 부하 컵 포넛트들에 각각 결합된다. 차동 증폭기는 2개의 N타입 MOS 트랜지스터들의 게이트 단자들에서 한쌍의 차동 입력들을 수신하며, 2개의 N타입 MOS 트랜지스터들의 드레인 단자들로부터 차동 출력들의 쌍을 발생한다.

발명의 내용

- [0005] 본 발명의 실시형태는 차동 증폭기를 제공한다. 차동 증폭기는 상보형 트랜지스터들의 제 1 쌍, 상보형 트랜지스터들의 제 2 쌍, 및 전류원을 포함한다. 상보형 트랜지스터들의 제 1 쌍의 제 1 제어 단자들은 차동 증폭기의 제 1 입력 노드에 결합되고, 상보형 트랜지스터들의 제 1 쌍의 제 1 구동 단자들은 부하를 구동하기 위해 차동 증폭기의 제 1 출력 노드에 결합된다. 상보형 트랜지스터들의 제 2 쌍의 제 2 제어 단자들은 차동 증폭기의 제 2 입력 노드에 결합되고, 상보형 트랜지스터들의 제 2 쌍의 제 2 구동 단자들은 부하를 구동하기 위해 차동 증폭기의 제 2 출력 노드에 결합된다. 전류원은 상보형 트랜지스터들의 제 1 쌍 및 상보형 트랜지스터들의 제 2 쌍을 통하여 흐르는 실질적으로 일정한 전체 전류를 유지하도록 구성된다.
- [0006] 일실시예에 있어서, 전류원은 제 1 전류원이다. 차동 증폭기는 제 2 전류원을 더 포함하며, 제 1 전류원 및 제 2 전류원은 각각 고전압 소오스로부터 제 1의 실질적으로 일정한 전류를 유지하고 저전압 소오스로부터 제 2의 실질적으로 일정한 전류를 유지하도록 구성된다.
- [0007] 본 발명의 일실시형태에 의하면, 차동 증폭기는 제 1 출력 노드 및 제 2 출력 노드에서 공통 모드 응답을 억제하도록 구성된 공통 모드 피드백 회로를 더 포함한다. 일실시예에 있어서, 공통 모드 피드백 회로는 기준 전압과 관련하여 제 1 출력 노드 및 제 2 출력 노드에서 공통의 모드 전압 레벨을 유지하도록 구성된다. 일실시예에서, 기준 전압 발생기는 다이오드 접속되는 상보형 트랜지스터들의 제 3 쌍에 의거하여 기준 전압을 발생하도록 구성된다. 상보형 트랜지스터들의 제 3 쌍은 제 1 쌍 및 제 2 쌍에 대한 정합 특성들을 갖는다.
- [0008] 더욱이, 일실시예에서, 기준 전압 발생기는 전압 레귤레이터로의 피드백 신호를 발생시켜 전압 레귤레이터가 피드백 신호에 의거하여 차동 증폭기에 대한 공급 전압을 조절할 수 있도록 구성되어 있다. 일실시예에서, 전압 레귤레이터는 차동 증폭기와 동일한 집적 회로(IC) 칩상에 있다. 다른 예에서, 전압 레귤레이터는 차동 증폭기를 포함하는 집적 회로(IC) 칩의 외부에 있다.
- [0009] 더욱이, 일실시예에 있어서, 차동 증폭기는 이 차동 증폭기의 이득을 조절하도록 구성된 조절 가능한 저항 컴포넌트들을 포함한다.
- [0010] 본 발명의 일실시형태에 의하면, 부하는 출력 노드들에 각각 결합되는 제 1 전류원 부하 및 제 2 전류원 부하를 포함한다. 일실시예에 있어서, 제 1 전류원 부하 및 제 2 전류원 부하는 동일한 타입의 트랜지스터들을 사용한다. 더욱이, 부하는 제 1 전류원 부하에 대한 상보 타입의 제 3 전류원 부하와, 제 2 전류원 부하에 대한 상보 타입의 제 4 전류원 부하를 포함한다.
- [0011] 일실시예에 있어서, 상보형 트랜지스터들의 제 1 쌍은 제 1 P타입 MOS 트랜지스터 및 제 1 N타입 MOS 트랜지스터를 포함하며, 제 1 제어 단자들은 제 1 P타입 MOS 트랜지스터 및 제 1 N타입 MOS 트랜지스터의 게이트 단자들이며, 제 1 구동 단자들은 제 1 P타입 MOS 트랜지스터 및 제 1 N타입 MOS 트랜지스터의 드레인 단자들이다. 상보형 트랜지스터들의 제 2 쌍은 제 2 P타입 MOS 트랜지스터 및 제 2 N타입 MOS 트랜지스터를 포함하며, 제 2 제어 단자들은 제 2 P타입 MOS 트랜지스터 및 제 2 N타입 MOS 트랜지스터의 게이트 단자들이며, 제 2 구동 단자들은 제 2 P타입 MOS 트랜지스터 및 제 2 N타입 MOS 트랜지스터의 드레인 단자들이다.
- [0012] 본 발명의 실시형태는 회로를 제공한다. 이 회로는 차동 증폭기 내에서 상보형 트랜지스터들의 쌍들과의 매칭 특성들을 갖도록 구성된 상보형 트랜지스터들의 쌍을 포함한다. 더욱이, 회로는 상보형 트랜지스터들의 쌍에서의 전압 강하에 의거하여 피드백 신호를 발생하도록 구성된 피드백 신호 발생 회로를 포함한다. 피드백 신호는 차동 증폭기에 대한 공급 전압을 조절하도록 사용된다.
- [0013] 본 발명의 실시형태들은 다른 회로를 제공한다. 이 회로는 제 1 전류원 부하와 이 제 1 전류원 부하에 상보적인 제 2 전류원 부하를 포함한다. 제 1 전류원 부하 및 제 2 전류원 부하는 차동 증폭기에서 상보형 트랜지스터들의 제 1 쌍에 대한 부하로서의 역할을 하도록 구성되어 있다. 이 회로는 또한, 제 3 전류원 부하와 이 제 3 전류원 부하에 상보적인 제 4 전류원 부하를 포함한다. 제 3 전류원 부하 및 제 4 전류원 부하는 차동 증폭기에서 상보형 트랜지스터들의 제 2 쌍에 대한 부하로서 역할을 하도록 구성되어 있다.
- [0014] 본 발명의 실시형태들은 방법을 제공한다. 이 방법은 차동 증폭기의 제 1 입력 노드 및 제 2 입력 노드에서 차동 입력 신호들의 쌍을 수신하는 단계를 포함한다. 제 1 입력 노드는 N타입 및 P타입 트랜지스터들의 제 1 쌍의

제어 단자들을 제어하며, 제 2 입력 노드는 N타입 및 P타입 트랜지스터들의 제 2 쌍의 제어 단자들을 제어한다. 더욱이, 이 방법은 동일한 타입의 트랜지스터들을 통하여 흐르는 실질적으로 일정한 전체 전류를 유지하는 단계, 및 두 타입들의 트랜지스터들에 의해서 제어된 전류에 의해 차동 증폭기의 제 1 출력 노드 및 제 2 출력 노드 사이에 결합된 부하를 구동하는 단계를 포함한다.

[0015] 예들로서 제시된 본 발명의 다양한 실시예들은 다음 도면들을 참조하여 상세하게 설명될 것이며, 여기서 동일 참조 부호는 동일 요소들을 나타낸다.

도면의 간단한 설명

- [0016] 도 1a-1c는 본 발명의 일실시예에 의한 차동 증폭기들의 도면들을 도시한다.
- 도 2a-2b는 본 발명의 일실시예에 의한, 공통 모드 피드백을 가진 차동 증폭기들의 도면들을 도시한다.
- 도 3a는 본 발명의 일실시예에 의한 기준 전압 발생기의 도면을 도시한다.
- 도 3b는 본 발명의 일실시예에 의한 차동 증폭기의 캐스캐이드를 도시한다.
- 도 4a는 본 발명의 일실시예에 의한 다른 기준 전압 발생기의 도면을 도시한다.
- 도 4b는 본 발명의 일실시예에 의한, 도 4a의 기준 전압 발생기를 사용하는 차동 증폭기의 도면을 도시한다.
- 도 5는 본 발명에 의한 전압 레귤레이터를 도시한다.
- 도 6a 및 6b는 본 발명의 일실시예에 의한 외부 전압 레귤레이터의 도면을 도시한다.
- 도 7은 본 발명의 일실시예에 의한, 디제너레이션 저항(degeneration resistor)들을 가진 차동 증폭기의 도면을 도시한다.
- 도 8은 본 발명의 일실시예에 의한, 출력 저항들을 가진 차동 증폭기의 도면을 도시한다.
- 도 9a는 본 발명의 일실시예에 의한 부하 회로의 도면을 도시한다.
- 도 9b는 도 9a의 부하 회로를 가진 차동 증폭기의 도면을 도시한다.
- 도 10은 본 발명의 일실시예에 의한 프로세스 예(1000)의 개요를 설명하는 플로우차트를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0017] 도 1a은 본 발명의 일실시예에 의한 차동 증폭기(100)의 도면을 도시한다. 차동 증폭기(100)는 매칭 상보형 트랜지스터 쌍들(102, 104), 전류원들(106a, 106b) 및 부하 회로(109)의 쌍을 포함한다. 이들 요소들은 도 1에 도시된 바와 같이 함께 결합된다.
- [0018] 도 1a의 예에 있어서, 상보형 트랜지스터 쌍(102)은 함께 결합된 N타입 MOS 트랜지스터(N1), 및 P타입 MOS 트랜지스터(P1)를 포함하며, 상보형 트랜지스터 쌍(104)은 함께 결합된 N타입 MOS 트랜지스터(N2) 및 P 타입 MOS 트랜지스터(P2)를 포함한다. 특히, 트랜지스터들(N1, P1)의 게이트 단자들은 제 1 입력 노드(inp)(비반전 입력)에 함께 결합되며, 트랜지스터들(N2, P2)의 게이트 단자들은 제 2 노드 입력 노드(inm)(반전 입력)에 함께 결합되며, 트랜지스터(N1, P1)의 드레인 단자들은 제 1 출력 노드(outm)에 함께 결합되며, 트랜지스터들(N2, P2)의 드레인 단자들은 제 2 출력 노드(outp)에 함께 결합된다.
- [0019] 본 발명의 일실시형태에 의하면, N타입 트랜지스터들(N1, N2)은 정합 트랜지스터들이며, P타입 트랜지스터들(P1, P2)은 정합 트랜지스터들이다. 일예에서, 트랜지스터들(N1, N2)은 층들에 있어서 실질적으로 동일한 패턴들로 형성되며, 따라서 트랜지스터들(N1, N2)은 실질적으로 동일한 도핑, 동일한 사이즈, 동일한 기하학적 구조 등을 가지며, 실질적으로 동일한 트랜지스터 특징들을 가진다. 유사하게, 트랜지스터들(P1, P2)은 층들에 있어서 실질적으로 동일한 패턴들로 형성되며, 따라서 트랜지스터들(P1, P2)은 실질적으로 동일한 도핑, 동일한 사이즈, 동일한 기하학적 구조 등을 가지며, 실질적으로 동일한 트랜지스터 특징들을 가진다.
- [0020] 더욱이, 트랜지스터들(P1, P2)의 소오스 단자들은 전류원(106a)과 함께 결합되며, 트랜지스터들(N1, N2)의 소오스 단자들은 전류원(106b)에 함께 결합된다. 일실시예에 있어서, 전류원들(106a, 106b)은 바이어스 전류들을 제공하여 적절한 작동 조건들에서 트랜지스터들(P1, P2, N1, N2)을 바이어싱(biasing)한다. 일예에 있어서, 전류원(106a)은 트랜지스터들(P1, P2)에 비교적 일정한 전체 전류(I_{tail_up})를 제공하며, 전류원(106b)은 트랜지스

터들(N1, N2)에 비교적 일정한 전체 전류(I_{tail_dn})를 제공한다. P타입 MOS 트랜지스터들(P1, P2)을 통해 흐르는 전류들(I_{P1} , I_{P2})의 합은 I_{tail_up} 와 동일하며, 실질적으로 일정하다. 유사하게, N타입 MOS 트랜지스터들(N1, N2)을 통해 흐르는 전류들(I_{N1} , I_{N2})의 합은 I_{tail_dn} 와 동일하며, 실질적으로 일정하다. 일례에서, I_{tail_up} 는 I_{tail_dn} 와 실질적으로 동등하다.

[0021] 작동시에, 입력 노드들(inp, inm)은 차동 입력 신호들의 쌍을 수신하며, 매칭 상보형 트랜지스터 쌍들(102, 104)의 쌍은 차동 입력 신호들을 증폭하고, 부하 회로(109)를 구동한다. 따라서, 출력 노드들(oum, oup)은 차동 출력 신호들의 쌍을 발생한다.

[0022] 특히, 일례에 있어서, 차동 입력 신호들의 쌍의 전압 차(ΔV_{in})가 보다 커지게 될 때, 입력 노드(inp) 상의 전압은 보다 커지게 되며, 입력 노드(inm) 상의 전압은 보다 작아 지게 된다. 입력 노드(inp)상의 보다 큰 전압은 트랜지스터(N1)를 통해 흐르는 전류(I_{N1})가 보다 커지게 하며, 또한 트랜지스터(P1)를 통해 흐르는 전류(I_{P1})가 보다 작아 지게 한다. 이후, 출력 노드(outm)로 흐르는 부하 전류(I_{om})는 보다 커지게 된다. 입력 노드(inm) 상의 보다 작은 전압은 트랜지스터(N2)를 통해 흐르는 전류(I_{N2})가 보다 작아지게 하며, 또한 트랜지스터(P2)를 통해 흐르는 전류(I_{P2})가 보다 커지게 한다. 이후, 출력 노드(outp) 밖으로 흐르는 부하 전류(I_{op})는 보다 커지게 된다. 일례에 있어서, 부하 전류(I_{om})는 부하 전류(I_{op})와 동일하다. 보다 큰 부하 전류들은 이후 출력 노드들(outm, outp) 상에서 차동 출력 신호들의 쌍의 전압 차가 보다 커지게 한다.

[0023] 본 발명의 일실시예에 의하면, N타입 트랜지스터들(N1, N2), 및 P타입 트랜지스터들(P1, P2) 둘다는 신호 증폭에 기여한다. 일례에 있어서, 제조 프로세스는 동일한 전류 밀도에 대해서 대략 동일한 트랜스-컨덕턴스(trans-conductance)를 갖는 N타입 MOS 트랜지스터들(N1, N2) 및 P타입 MOS 트랜지스터들(P1, P2)을 형성한다. 따라서, N타입 MOS 트랜지스터들(N1, N2) 및 P타입 MOS 트랜지스터들(P1, P2)은 동일한 폭 및 길이를 가지며, 트랜지스터들(N1, N2, P1, P2)은 대략 동일한 트랜스-컨덕턴스(g_m)를 가지며, 이후 차동 증폭기(100)의 트랜스 컨덕턴스는 식 1과 같이 표현될 수 있다.

$$\frac{\partial \Delta I_{om}}{\partial \Delta V_{in}} = 2 \times g_m \quad (\text{식 1})$$

[0025] 따라서, 차동 증폭기(100)의 유효 트랜스-컨덕턴스(effective trans-conductance)는 예컨대, 신호 증폭을 위해 단지 N타입 MOS 트랜지스터(N1, N2)를 사용하는 다른 차동 증폭기의 트랜스-컨덕턴스의 대략 2배이다.

[0026] 다른 예에 있어서, 차동 증폭기(100)내의 트랜지스터들(N1, N2, P1, P2)의 폭은 반으로 줄어들며, 따라서 차동 증폭기(100)의 전체 게이트 영역은 비감소된 사이즈의 N타입 MOS 트랜지스터들 만을 포함하는 다른 차동 증폭기와 대략 동일하다. 이후, 차동 증폭기(100)는 다른 차동 증폭기와 대략 동일한 입력 캐패시턴스를 가지며, 다른 차동 증폭기와 대략 동일한 유효 트랜스-컨덕턴스를 가진다. 일례에서, 폭 감소로 인해, 차동 증폭기(100)에 있어서의 바이어스 전류들은 다른 차동 증폭기와 유사한 작동 조건들에서 작동하도록 차동 증폭기(100)내의 트랜지스터들을 바이어싱하기 위해 반으로 줄어들며, 따라서 차동 증폭기(100)는 다른 차동 증폭기에 의해서 소모된 전류의 반을 소모한다. 따라서, 차동 증폭기(100)는 동일한 입력 캐패시턴스 및 동일한 유효 트랜스-컨덕턴스에 대한 감소된 전류 소모를 달성한다.

[0027] 몇몇 실시예들에 있어서 단지 하나의 전류원이 사용됨을 주목해야 한다.

[0028] 도 1b 및 1c는 각각 본 발명의 일실시예에 의한 차동 증폭기(100') 및 차동 증폭기(100'')의 도면을 도시한다. 차동 증폭기(100') 및 차동 증폭기(100'')는 전술한 차동 증폭기(100)와 유사하게 작동한다. 차동 증폭기(100') 및 차동 증폭기(100'')는 또한, 차동 증폭기(100)에 사용된 것과 동일하거나 또는 동등한 특정 컴포넌트들을 이용하여, 이들 컴포넌트들의 설명은 위에 제공되었으며, 명확함을 목적으로 여기에서는 생략될 것이다. 도 1b에 있어서, 차동 증폭기(100')는 단지 하나의 전류원(106a)을 포함한다. 트랜지스터들(N1, N2)의 소오스 단자들은 VSS와 같은 저전압원에 접속된다. 도 1c에 있어서 차동 증폭기(100'')는 단지 하나의 전류원(106b)을 포함하며, 트랜지스터들(P1, P2)의 소오스 단자들은 VDD와 같은 고전압원에 접속된다.

[0029] 도 2a는 본 발명의 일실시예에 의한 차동 증폭기(200)의 도면을 도시한다. 차동 증폭기(200)는 전술한 차동 증

폭기(100)와 유사하게 작동한다. 차동 증폭기(200)는 또한 차동 증폭기(100)에 사용된 것과 동일하거나 또는 동등한 특정 컴포넌트들을 이용하며, 이들 컴포넌트들의 설명은 위에 제공되었으며, 명확함을 목적으로 여기에서는 생략될 것이다. 용이하고 명확함을 위해, 부하 회로가 도시되지 않음을 주목해야 한다. 차동 증폭기(200)는 온도 변화로 인한 장치 특성들의 변화들 등으로 인해 공통 모드 응답과 같은, 공통 모드 응답을 억제하도록 바이어스 전류원들중 하나를 조절하기 위해 공통 모드 피드백을 사용한다.

[0030] 특히, 도 2a의 예에 있어서, 차동 증폭기(200)는 공통 모드 피드백(CMFB) 제어 바이어스 전류원(210)을 포함한다. CMFB 제어 바이어스 전류원(210)은 공통 모드 감지부(211) 및 제어가능한 바이어스 전류원부(212)를 포함한다. 도 2a의 예에 있어서, 공통 모드 감지부(211)는 두개의 출력 노드들(outm, outp) 사이에 직렬 결합된 두개의 저항 컴포넌트들(R1, R2)을 포함한다. 일예에 있어서, 저항 컴포넌트들(R1, R2)은 동일한 저항을 가지며, 따라서 노드(202)에서 감지된 전압(V_{cmo})은 공통 모드 응답을 나타낸다.

[0031] 제어가능한 바이어스 전류원부(212)는 증폭기(204), 및 N타입 MOS 트랜지스터(N00)와 같은, 바이어스 전류(I_{tail_dn})를 제공하는 트랜지스터를 포함한다. 증폭기(204)는 기준 전압(V_{cmo_ref})과 감지된 전압(V_{cmo})을 비교하고, 그 비교결과를 사용하여 네가티브 피드백을 가진 N타입 MOS 트랜지스터(N00)를 제어한다. 일예에 있어서, 공통 모드 응답으로 인해, 출력 노드들(outm, outp)에서의 전압들 둘다는 보다 커지게 되고, 따라서 노드(202)에서의 전압(V_{cmo})은 보다 큼으로써 제어가능한 바이어스 전류원부(212)는 바이어스 전류(I_{tail_dn})를 증가시킨다. 따라서, N타입 MOS 트랜지스터(N1, N2)의 소오스-드레인 전류들은 증가한다. 증가된 소오스-드레인 전류들은 출력 노드들(outm, outp)에서의 전압들을 저하시키며, 따라서 공통 모드 응답을 억제한다.

[0032] 일예에 있어서, 저항 컴포넌트들(R1, R2)의 저항이 부하 회로(미도시됨)의 출력 임피던스보다 매우 크다는 것을 주목해야 한다. 또한, 공통 모드 감지부(211)는 적절하게 변경될 수 있음을 주목해야 한다. 일예에 있어서, 저항 컴포넌트들(R1, R2)은 전류원 토폴로지에 있어서의 트랜지스터들과 같은 트랜지스터들에 의해 구현된다. 다른 예에 있어서, 공통 모드 감지부(211)는 용량성 컴포넌트들을 사용한다.

[0033] 차동 증폭기(200)는 적절하게 변경될 수 있음을 또한 주목해야 한다. 일예에 있어서, 공통 모드 피드백은 공통 모드 응답을 억제하기 위해 바이어스 전류(I_{tail_up})를 조절하기 위해 사용된다.

[0034] 도 2b는 차동 증폭기(200)로부터 변경된 다른 차동 증폭기(200')의 도면을 도시한다. 차동 증폭기(200')는 전술한 차동 증폭기(200)와 유사하게 작동한다. 차동 증폭기(200')는 또한 차동 증폭기(200)에 사용된 것과 동일하거나 또는 동등한 특정 컴포넌트들을 이용하며, 이들 컴포넌트들의 설명은 위에 제공되었으며, 명확함을 목적으로 여기에서 생략될 것이다. 그러나, N타입 트랜지스터들(N1, N2)에 대한 전체 바이어스 전류(I_{tail_dn})는 두 소오스들인, 제 1 부분(I_{tail_dn1})을 제공하는 전류원(206)과 제 2 부분(I_{tail_dn2})을 제공하는 N타입 MOS 트랜지스터(N00)에 의해 제공된다. 제 1 부분(I_{tail_dn1})은 비교적 일정하며, 제 2 부분은 공통 모드 피드백에 의거하여 조절된다.

[0035] 도 3a는 본 발명의 일실시예에 의한 CMFB 제어 바이어스 전류원(210)에 사용하기 위한 기준 전압(V_{cmo_ref})을 발생하는 회로(300)의 도면을 도시한다. 회로(300)는 상보형 트랜지스터들의 쌍인, P타입 MOS 트랜지스터(P0) 및 N타입 MOS 트랜지스터(N0), 전류원(302) 및 전압원(304)을 포함한다. 이들 요소들은 도 3a에 도시된 바와 같이 함께 결합된다.

[0036] 일예에 있어서, 회로(300)는 차동 증폭기(200)와 동일한 집적 회로(IC) 칩상에 제조된다. 더욱이, P타입 MOS 트랜지스터(P0)는 트랜지스터들(P1, P2)에 대한 매칭 트랜지스터이며, 따라서 트랜지스터들(P1, P2)과 실질적으로 동일한 트랜지스터 특징들을 가지며, 유사하게 N타입 MOS 트랜지스터(N0)는 트랜지스터들(N1, N2)에 대한 매칭 트랜지스터이며, 따라서 트랜지스터들(N1, N2)과 실질적으로 동일한 트랜지스터 특징들을 갖는다. 따라서, 상보형 쌍(P0, N0)은 상보형 쌍(P1, N1) 및 상보형 쌍(P2, N2)을 매칭시킨다.

[0037] 도 3a의 예에 있어서, 전류원(302)은 P타입 MOS 트랜지스터(P0)에 일정한 바이어스 전류($I_{ref1} = I_{tail_up}/2$)를 제공하며, 이 일정한 바이어스 전류는 전류원(106a)에 의해 제공되는, P타입 MOS 트랜지스터(P1, P2)에 대한 전체 바이어스 전류의 절반이다. 일실시예에 있어서, 전류원(302) 및 전류원(106a)

은 전류 미러 구조를 이용하여 형성된다.

[0038] 전압원(304)은 어느 적절한 전압원일 수 있다. 일례에 있어서, 전압원(304)은 밴드-갭(band-gap) 전압 기반 전압원이다. 다른 예에 있어서, 전압원(304)은 N타입 MOS 트랜지스터(N1, N2)에 전체 바이어스 전류의 절반인 일정 바이어스 전류를 제공하는 전류원으로 교체된다.

[0039] 상보형 쌍(P0, N0)은 P0 및 N0의 게이트 단자들이 다이오드-접속으로서 언급되는, P0 및 P0의 드레인 단자들과 결합됨을 제외하고, 상보형 쌍(P1와 N1, 또는 P2와 N2)과 유사하게 함께 결합된다. P0 및 P0의 결합된 게이트/드레인 단자들은 전압(V_{emi_ref})을 발생한다. 전압(V_{emi_ref})은 이후 차동 증폭기(200)에 있어서 기준 전압(V_{cmo_ref})으로서 사용된다.

[0040] 일례에 있어서, P0의 게이트 단자 및 드레인 단자는 단락되기 때문에 P0의 소오스-드레인 전압은 일정한 바이어스 전류(I_{ref1})와 P0의 트랜지스터 특징들의 함수이다. 일례에 있어서, P0를 통해 흐르는 전류(I_D)는 식 2로서 표현될 수 있다:

$$I_D = I_{ref1} = -\frac{1}{2}\mu_p C_{ox} \frac{W}{L} (V_{DS} - V_{TH})^2 \quad (식 2)$$

[0042] 여기서, μ_p 는 홀들의 모빌리티이며, C_{ox} 는 단위 면적당 게이트 산화물 캐피시턴스이며, W 는 P0의 채널폭이며, L 은 P0의 채널 길이이며, V_{DS} 는 드레인-소오스 전압이며, V_{TH} 는 P0의 임계 전압이다. 따라서, P0의 소오스-드레인 전압은 일정한 바이어스 전류(I_{ref1}) 및 P0의 트랜지스터 특징들의 함수이다.

[0043] 유사하게, N0의 소오스-드레인 전압은 일정한 바이어스 전류(I_{ref1})와 N0의 트랜지스터 특징들의 함수이다.

[0044] 본 발명의 일실시예에 의하면, 기준 전압(V_{cmo_ref})은 N1와 상보형 쌍(P1)을 매칭하며 N2와 상보형 쌍(P2)을 매칭하는 트랜지스터들(P0, N0)에 의거하여 발생하기 때문에, 기준 전압(V_{cmo_ref})은 프로세스, 전압 및 온도(PVT) 변화 효과들로 인해 공통 모드 응답과 같은, 차동 증폭기(200)의 공통-모드 응답을 추적한다. 따라서, 기준 전압(V_{cmo_ref})을 발생하는 회로(300)를 사용하여 차동 증폭기(200)는 PVT 변화들을 통해 하이 공통 모드 거절(high common mode rejection)을 달성한다.

[0045] 도 3b는 본 발명의 일실시예에 의한, 기준 전압들로서 회로(300)에 의해 발생된 전압(V_{emi_ref})을 이용하여 복수의 차동 증폭기들(200a-200c)의 도면을 도시한다. 일례에 있어서, 복수의 차동 증폭기들(200a-200c) 각각은 차동 증폭기(200)와 동일한 구조를 가지며, 차동 증폭기와 유사하게 작동한다.

[0046] 도 3b의 예에 있어서, 복수의 차동 증폭기들(200a-200c)은 캐스캐이드 구조로 결합된다. 예컨대, 차동 증폭기(200a)의 출력 단자들(outp, outm)은 각각 차동 증폭기(200b)와 같은 이어지는 차동 증폭기의 입력 단자들(inp, inm)에 결합되며, 차동 증폭기(200b)의 출력 단자들(outp, outm)은 각각 차동 증폭기(200c), 기타 등등과 같은 다른 이어지는 차동 증폭기의 입력 단자들(inp, inm)에 결합된다.

[0047] 게다가, 복수의 차동 증폭기들(200a-200c)은 공통 모드 응답을 억제하기 위해 기준 전압(V_{cmo_ref})으로서 회로(300)에 의해 발생된 전압(V_{emi_ref})을 이용한다.

[0048] 도 4a는 본 발명의 일실시예에 의한 내부 전압원($VDD_{internal}$)을 발생하는 회로(400)의 도면을 도시한다. 회로(400)는 회로(300)에 사용된 것과 동일하거나 동등한, 전류원(302), P타입 MOS 트랜지스터(P0), N타입 MOS 트랜지스터(N0) 및 전압 기준(304)과 같은 특정 컴포넌트들을 이용하며, 이들 컴포넌트들의 설명은 위에 제공되어 있으며, 명확함을 목적으로 여기에서는 생략될 것이다.

[0049] 추가적으로, 회로(400)는 IC 칩의 외부 전원으로부터 수신된 전원과 같은 전원(VDD)을 수신하고, 내부 전압원($VDD_{internal}$)을 발생하도록 구성된 내부 VDD 레귤레이터(402)를 포함한다. 본 발명의 일실시형태에 의하면, 내부 전압원($VDD_{internal}$)은 전력 손실을 줄이기 위해 전원(VDD)으로부터 감소된다. 본 발명의 다른 실시형태에 의하면, IC 칩 상의 몇몇 트랜지스터들 또는 모든 트랜지스터들은 비교적 얇은 게이트 산화물을 가지며, 따라서 트랜지스터들의 최대 전압 정격은 대략 VDD-VSS 이거나 이보다 낮다. 내부 전압원

($V_{DD_{internal}}$)은 전기적인 과스트레스 조건들을 회피하기 위해 전원(VDD)으로부터 이들 트랜지스터들에 대해서 안전한 레벨까지 감소한다.

[0050] 도 4a의 예에 있어서, 회로(400)는 레귤레이터 기준 전압(V_{reg_ref})을 발생하여 내부 VDD 레귤레이터(402)에 레귤레이터 기준 전압(V_{reg_ref})을 제공하도록 구성된 피드백 신호 발생 회로(405)를 포함한다. 이후, 내부 VDD 레귤레이터(402)는 레귤레이터 기준 전압(V_{reg_ref})과 동일한 전압 레벨과 같은, 레귤레이터 기준 전압(V_{reg_ref})에 의거하여 내부 전압원($V_{DD_{internal}}$)을 발생한다.

[0051] 일예에 있어서, 피드백 신호 발생 회로(405)는 연산 증폭기(404), 가산기(406) 및 전압 기준(408)을 포함한다. 전압 기준(408)은 전압(V_{ref2})을 가산기(406)에 제공하도록 구성된다. 연산 증폭기(404)는 가산기(406)에 트랜지스터(P0)의 소오스 전압(source voltage)을 제공하는 버퍼로서 구성된다. 가산기(406)는 소오스 전압을 전압(V_{ref2})과 합산하여 레귤레이터 기준 전압(V_{reg_ref})을 발생한다. 내부 VDD 레귤레이터(402)가 레귤레이터 기준 전압(V_{reg_ref})과 같은 전압 레벨을 갖도록 내부 전압원($V_{DD_{internal}}$)을 발생할 때, 전류원(306) 상에서의 전압 강하는 전압(V_{ref2})이다.

[0052] 또한, 도 4a의 예에 있어서, 레귤레이터 기준 전압(V_{reg_ref})은 P0상에서의 소오스-드레인 전압 강하와, N0 상에서의 드레인-소오스 전압 강하에 의거하여 발생된다. P0 상에서의 소오스-드레인 전압 강하는 P0의 트랜지스터의 특징들에 의거하기 때문에, P0 상에서의 드레인-소오스 전압 강하는 N0의 트랜지스터의 특징에 의거한다. 트랜지스터 특징들은 프로세스 변화들, 온도 변화들 등과 같은 변화들에 의해 영향을 받을 수 있다. 이후, 레귤레이터 기준 전압(V_{reg_ref})은 P0 및 N0에 대한 특정 포화 전류들을 달성하기 위해 프로세스 변화들 및 온도 변화들로 인해 전압 강하 변화들을 추적한다. 따라서, 내부 전압원($V_{DD_{internal}}$)은 프로세스 변화들 및 온도 변화들 중에 조절되며, P0 및 N0가 다이오드-접속된 토폴로지에 대한 포화 전류와 같은 특정 작동 포인트들을 달성할 수 있게 한다.

[0053] 더욱이, 내부 전압원($V_{DD_{internal}}$)은 회로(400)와 동일한 칩 상에서 다른 회로들에 대한 전원으로 제공된다. 내부 전압원($V_{DD_{internal}}$)이 프로세스 변화들 및 온도 변화들을 상쇄하도록 조절되기 때문에, 다른 회로들이 또한 프로세스 변화들 및 온도 변화들 중에 특정 작동 포인트들을 달성할 수 있다.

[0054] 도 4b는 차동 증폭기(200)의 작동을 지원하기 위해, 내부 전압원($V_{DD_{internal}}$)을 양의 공급 전압으로서 제공하고, 전압(V_{cmi_ref})을 기준 전압(V_{cmo_ref})으로서 제공하는 도면을 도시한다. 일예에 있어서, 상보 쌍(N1과 P1, N2와 P2)은 매칭 상보 쌍(N0와 P0)과 매칭되고, 따라서 전원의 조절은 프로세스 변화들 및 온도 변화들을 상쇄하며, 상보 쌍(N1과 P1, N2와 P2)은 프로세스 변화들 및 온도 변화들 중에 특정 작동 포인트들을 달성할 수 있다.

[0055] 일예에서, 레귤레이터 기준 전압(V_{reg_ref})은 IC 칩의 외측인 외부 전압 레귤레이터에 제공되어 IC 칩에 대한 공급 전압을 조절할 수 있다는 것을 또한 주목해야 한다.

[0056] 도 5는 본 발명의 일실시예에 의한 전력 제어 회로(500)를 도시한다. 전력 제어 회로(500)는 회로(400)에 사용된 것과 동일한 또는 동등한 특정 컴포넌트들을 이용하며, 이들 컴포넌트들의 설명은 위에 제공되었으며, 명확함을 목적으로 여기에서는 생략될 것이다.

[0057] 도 5의 예에 있어서, 레귤레이터 기준 전압(V_{reg_ref})은 도 4a에 있어서의 예와 유사하게 발생된다. 그러나, 전력 제어 회로(500)는 내부 전압 레귤레이터를 갖지 않는다. 레귤레이터 기준 전압(V_{reg_ref})은 외부의 전압 레귤레이터(미도시됨)에 제공되며, 외부 전압 레귤레이터는 레귤레이터 기준 전압(V_{reg_ref})에 의거하여 전원 전압($V_{DD_{internal}}$)을 제공한다.

[0058] 도 6a는 본 발명의 일실시예에 의한, IC 칩(600)의 외부에 있는 전압 레귤레이터(622)와 결합된 IC 칩(600)의 도면을 도시한다. 일예에 있어서, 전압 레귤레이터(622) 및 IC 칩(600)은 인쇄 회로 기판 상에 조립된다.

- [0059] IC 칩(600) 상의 회로들의 일부는 아날로그 회로들이다. 예컨대, IC 칩(600)은 아날로그 회로들의 아날로그부(612)를 포함한다. 도 6a의 예에 있어서, 아날로그부(612)는 복수의 아날로그 회로들(614) 및 전력 제어 회로(500)를 포함한다. 전력 제어 회로(500)는 레귤레이터 기준 전압(V_{reg_ref})을 외부 전압 레귤레이터(622)에 제공한다. 외부 전압 레귤레이터(622)는 레귤레이터 기준 전압(V_{reg_ref})에 의거하여 IC 칩(600)의 전원 입력 패드(604)에 대한 전원을 조절한다. 예컨대, 전원은 레귤레이터 기준 전압(V_{reg_ref})과 실질적으로 동일한 전압 포텐셜($V_{DD_{internal}}$)을 가진다.
- [0060] 일예에 있어서, IC 칩(600)은 수신된 전원을 전원 입력 패드(604)로부터 복수의 아날로그 회로(614)로 분배하는 전원 분배 그리드(616)를 포함한다.
- [0061] IC 칩(600)의 다른 부분들은 아날로그부(612)와 다른 전원을 이용하거나 아날로그 부(612)와 같은 전원을 이용할 수 있다는 것을 주목해야 한다.
- [0062] 도 6b는 본 발명의 일실시예에 의한 IC 칩(600')의 외부에 있는 전압 레귤레이터(622)와 결합된 IC 칩(600')의 다른 도면을 도시한다. 일예에 있어서, 전압 레귤레이터(622) 및 IC 칩(600')은 인쇄 회로 기판상에 조립된다. 도 6b의 예에 있어서, 전원 입력 패드(604) 상의 수신된 전원은 전력 그리드(616')에 의해 IC 칩(600') 상의 모든 회로들에 분배된다.
- [0063] 본 발명의 일실시예에 의하면, 전압 레벨($V_{DD_{internal}}$)은 전력 소모를 줄이도록 작동하기 위해 회로들을 위해 필요한 거의 최소 전압 레벨로 유지된다. 게다가, 전압 레벨($V_{DD_{internal}}$)은 프로세서 변화들, 온도 변화들 등과 같은 변화들을 상쇄하기 위해, 레귤레이터 기준 전압(V_{reg_ref})에 의거하여 전압 레귤레이터(622)에 의해서 전압 레벨($V_{DD_{internal}}$)이 조절된다.
- [0064] 차동 증폭기들(100, 100', 100", 200, 200') 등과 같은 개시된 차동 증폭기들은 가변 이득 증폭기, 프로그램가능한 이득 증폭기, 연속 시간 선형 이퀄라이저(continuous time linear equalizer) 등과 같은 다양한 응용들을 위해 적절하게 변경될 수 있음을 주목해야 한다.
- [0065] 도 7은 본 발명의 일실시예에 의한 차동 증폭기(700)의 도면을 도시한다. 차동 증폭기(700)는 차동 증폭기(100)에 사용된 것과 동일하거나 동등한 특정 컴포넌트들을 이용하며, 이들 컴포넌트들의 설명은 위에 제공되었으며, 명확함을 목적으로 여기에서는 생략될 것이다.
- [0066] 도 7의 예에 있어서, 차동 증폭기(700)는 디제너레이션 저항들(R_{1p} , R_{1n} , R_{2p} , R_{2n})을 포함한다. 일예에 있어서, 디제너레이션 저항들(R_{1p} , R_{2p} , R_{1n} , R_{2n})의 저항값들은 차동 증폭기(700)의 이득을 변화시키도록 조절될 수 있다. 따라서, 차동 증폭기(700)는 가변 이득 증폭기, 프로그램가능한 이득 증폭기, 연속 시간 선형 이퀄라이저 등과 같은 응용들에 사용될 수 있다.
- [0067] 디제너레이션 저항들(R_{1p} , R_{2p} , R_{1n} , R_{2n})은 레지스터 어레이, MOS 트랜지스터들 등과 같은 어떤 적절한 기법들을 이용하여 구현될 수 있음을 주목해야 한다.
- [0068] 일실시예에 있어서, 차동 증폭기(700)는 레지스터 쌍(R_{1p} , R_{2p})을 포함하지만 레지스터 쌍(R_{1n} , R_{2n})을 포함하지 않는다. 다른 실시예에서, 차동 증폭기(700)는 저항 쌍(R_{1p} , R_{2p})을 생략하면서 저항 쌍(R_{1n} , R_{2n})을 포함한다. 디제너레이션 저항들(R_{1p} , R_{2p} , R_{1n} , R_{2n})의 저항 값들은 동일한 값들을 가질 수 있거나 또는 가질 수 없다.
- [0069] 도 8은 본 발명의 일실시예에 의한 다른 차동 증폭기(800)의 블록도를 도시한다. 차동 증폭기(800)는 차동 증폭기(700)에 사용된 것과 동일하거나 또는 동등한 특정 컴포넌트를 이용하며, 이들 컴포넌트들의 설명은 위에 제공되었으며, 명확함을 목적으로 여기에서는 생략될 것이다.
- [0070] 도 8의 예에 있어서, 차동 증폭기(800)는 부하 회로(109) 내에 두개의 출력 저항 컴포넌트들(R_{1o} , R_{2o})을 포함한다. 일예에 있어서, 출력 저항 컴포넌트들(R_{1o} , R_{2o})의 저항값은 차동 증폭기(800)의 이득을 변경하도록 조절될 수 있다. 출력 저항 컴포넌트들(R_{1o} , R_{2o})은 다이오드-접속된 트랜지스터들, 전류원으로 구성

된 트랜지스터들 등과 같은, 저항들 및/또는 트랜지스터들로서 구현될 수 있음을 주목해야 한다.

- [0071] 도 9a는 본 발명의 일실시예에 의한 부하 회로(900)의 도면을 도시한다. 부하 회로(900)는 차동 증폭기들(100, 100', 100", 200, 200', 700, 800) 등과 같은 개시된 차동 증폭기들에 사용되어 차동 증폭기들을 위한 부하로서 역할을 할 수 있다.
- [0072] 도 9a의 예에 있어서, 부하 회로(900)는 저항 컴포넌트들을 형성하기 위해 MOS 트랜지스터들을 사용한다. 특히, N타입 MOS 트랜지스터(N_{1R}) 및 P타입 MOS 트랜지스터(P_{1R})는 다이오드-접속되어서, 기준 전류(I_{ref_up} , I_{ref_dn})에 대한 응답으로 적절한 게이트 바이어스 전압들을 발생한다. 더욱이, N_{1R} 에 의해 발생된 게이트 바이어스 전압은 N타입 트랜지스터들(N_{1L} , N_{2L})에 제공되며, P_{1R} 에 의해 발생된 게이트 바이어스 전압은 P타입 MOS 트랜지스터들(P_{1L} , P_{2L})에 제공된다. 트랜지스터들(N_{1L} , P_{1L})은 각각 전류원들로서 구성되어 출력 노드(outm)에 대한 저항성의 부하들로서의 역할을 하며, 트랜지스터들(N_{2L} , P_{2L})은 각각 전류원들로서 구성되어서 출력 노드(outp)에 대한 저항성 부하들로서의 역할을 한다.
- [0073] 더욱이, 도 9a의 예에 있어서, 전압 라인들(V1, V2)은 동일한 전압 포텐셜에 접속될 수 있다. 유사하게, 전압 라인들(V3, V4)은 동일한 전압 포텐셜에 접속될 수 있다. 몇몇 실시예들에 있어서, 4개의 전압 라인들(V1-V4) 각각은 서로 다른 바이어싱 전압 포텐셜들에 접속될 수 있다.
- [0074] 추가적으로, 도 9a의 예에 있어서, 저항들(R)은 트랜지스터들(N_{1L} , P_{1L} , N_{2L} , P_{2L})의 게이트 단자들에 게이트 바이어스 전압들을 결합하도록 사용된다. 일예에 있어서, 캐피시턴스(C)는 트랜지스터(N_{1L} , P_{1L} , N_{2L} , P_{2L})의 기생 용량을 나타낸다. 몇몇 실시예들에 있어서, 캐피시턴스(C)는 기생 용량에 추가하여 실제 캐패시터(real capacitor)를 포함한다. 저항들(R)은 부하 회로(900)를 사용하는 차동 증폭기의 고주파 동작을 향상시킨다.
- [0075] 부하 회로(900)는 적절히 변경될 수 있다는 것을 주목해야 한다. 일예에 있어서, N타입 MOS 트랜지스터들(N_{1L} , N_{2L} , N_{1R})은 생략되며, 다른 예에 있어서, P타입 MOS 트랜지스터들(P_{1L} , P_{2L} , P_{1R})이 생략된다.
- [0076] 도 9b는 본 발명의 일실시예에 의한 차동 증폭기(950)의 도면을 도시한다. 차동 증폭기(950)는 전술한 차동 증폭기(100)와 유사하게 작동한다. 차동 증폭기(950)는 또한 차동 증폭기(100)에 사용된 것과 동일하거나 또는 동등한 특정 컴포넌트들을 이용하며, 이들 컴포넌트들의 설명은 위에 제공되어 있으며, 명확함을 목적으로 여기에서 생략될 것이다. 차동 증폭기(950)는 부하 회로(109) 대신에 부하 회로(900)를 사용한다.
- [0077] 도 9b의 예에 있어서, 전압 라인들(V1, V2)은 P1 및 P2의 소오스 포텐셜과 같은 포텐셜을 가지도록 노드(108a)에 접속된다. 전압 라인들(V3, V4)은 N1 및 N2의 소오스 포텐셜과 같은 포텐셜을 갖도록 노드(108b)에 접속된다.
- [0078] 전압 라인들(V1-V4)이 다른 적절한 전압 포텐셜들에 관계할 수 있음을 주목해야 한다.
- [0079] 도 10은 본 발명의 실시예에 의한, 차동 증폭기(100), 차동 증폭기(200) 등과 같은 차동 증폭기에 의해 실행된 프로세스 예(1000)의 개요를 설명하는 플로우차트를 도시한다. 차동 증폭기는 P타입 트랜지스터들 및 N타입 트랜지스터들 둘다를 갖는 매칭 상보형 쌍의 쌍을 포함한다. 프로세스는 S1001에서 시작되며 S1010으로 진행된다.
- [0080] S1010에서, 차동 입력 신호들의 쌍은 차동 증폭기의 입력 노드들에서 수신된다. 예컨대, 차동 증폭기(100)의 입력 노드들(inp, inm)은 차동 입력 신호들의 쌍을 수신한다. 입력 노드(inp)에 의해 수신된 신호는 P타입 트랜지스터(P1) 및 N타입 트랜지스터(N1) 둘다의 게이트 단자들을 제어하며, 입력 노드(inm)에 의해 수신된 신호는 P타입 트랜지스터들(P2) 및 N타입 트랜지스터(N2) 둘다의 게이트 단자들을 제어한다.
- [0081] S1020에서, 차동 증폭기의 대응하는 차동 부분들을 통해 흐르는 전체 전류는 실질적으로 일정하게 유지된다. 예컨대, 전류원(106a)은 P타입 트랜지스터들(P1, P2)을 통해 흐르는 비교적 일정한 전체 전류를 유지하며, 전류원(106b)은 N타입 트랜지스터들(N1, N2)을 통해 흐르는 비교적 일정한 전체 전류를 유지한다.
- [0082] S1030에서, 전류는 차동 증폭기의 출력 노드들 사이에 결합된 부하 회로를 통해 구동되어서 차동 출력 신호들의 쌍을 발생한다. 전류는 차동 입력 신호들과 관련하여 증폭된다. 전류의 증폭은 N타입 트랜지스터들 및 P타입 트랜지스터들 둘 다에 의해 기여된다. 예컨대, 차동 증폭기(100)는 출력 노드들(outm, outp) 사이에 결합된 부하

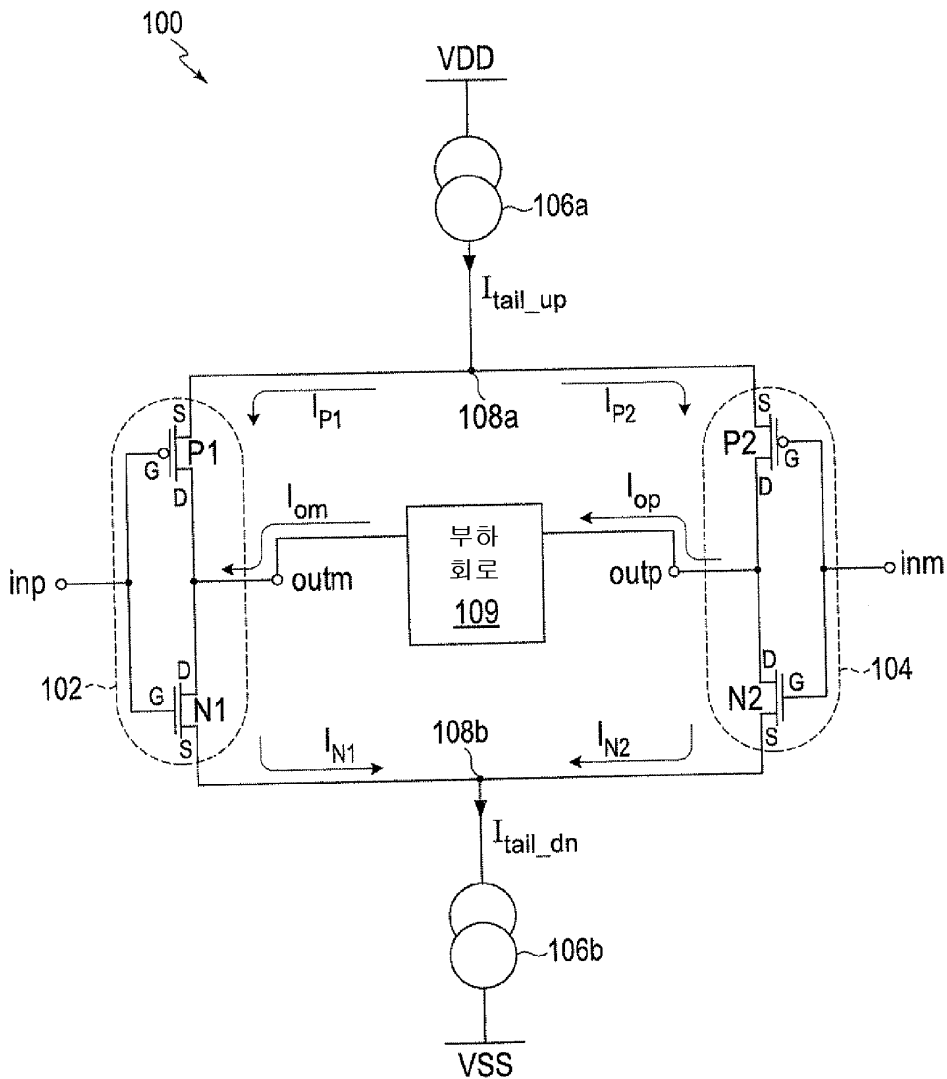
회로(109)를 통해 전류를 구동하여서, 차동 출력 전압 신호들을 발생한다. 전류는 차동 입력 신호들과 관련하여 증폭된다. 전류의 증폭은 N타입 트랜지스터들(N1, N2)과 P타입 트랜지스터들(P1, P2) 둘다에 의해 기여된다. 이후, 프로세스는 S1099로 진행되어 종료한다.

[0083] 프로세스(1000)는 추가적인 단계들을 포함할 수 있다는 것을 주목해야 한다. 일례에 있어서, 차동 증폭기(200)는 출력 노드들에서의 공통 모드 응답을 억제하는 단계들을 포함할 수 있다.

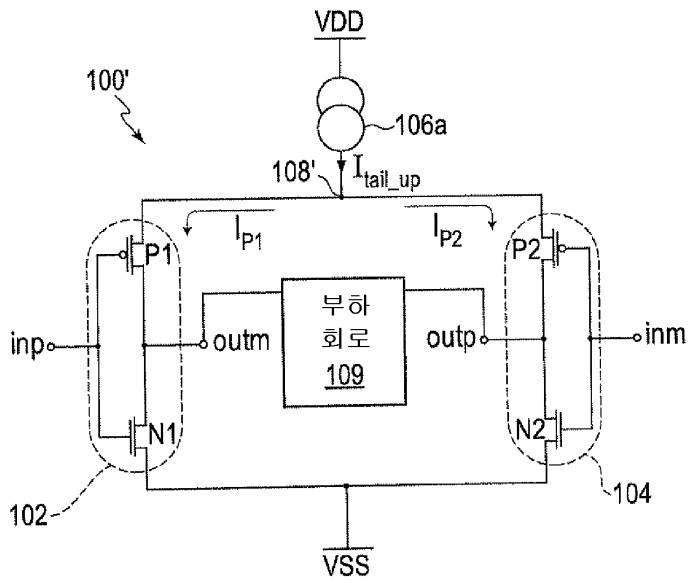
[0084] 본 발명의 실시형태는 예들로서 제시된 특정 실시예들과 관련하여 설명되었으나, 이 예들에 대한 대체들, 변경들, 변형들이 이루어질 수 있다. 따라서, 여기서 설명된 실시예들은 예시적이며 제한하려고 하는 것은 아니다. 아래에 설명된 청구항들의 범위로부터 벗어남이 없이 이루어질 수 있는 변경들이 있다.

도면

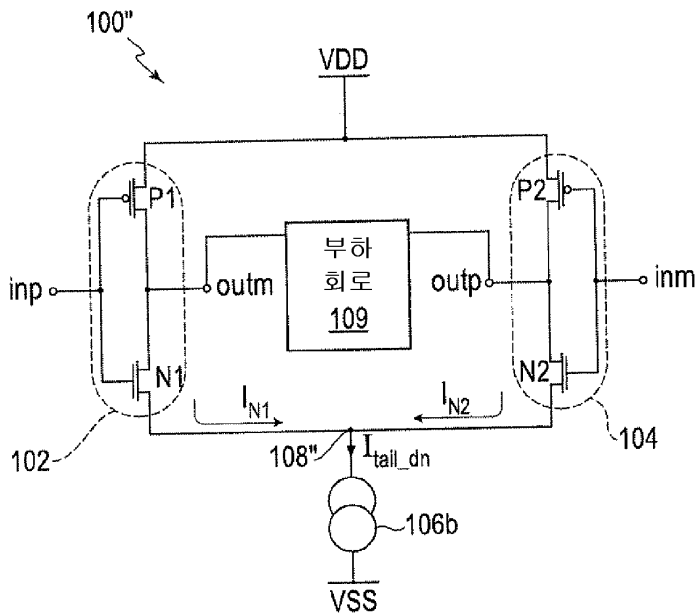
도면1a



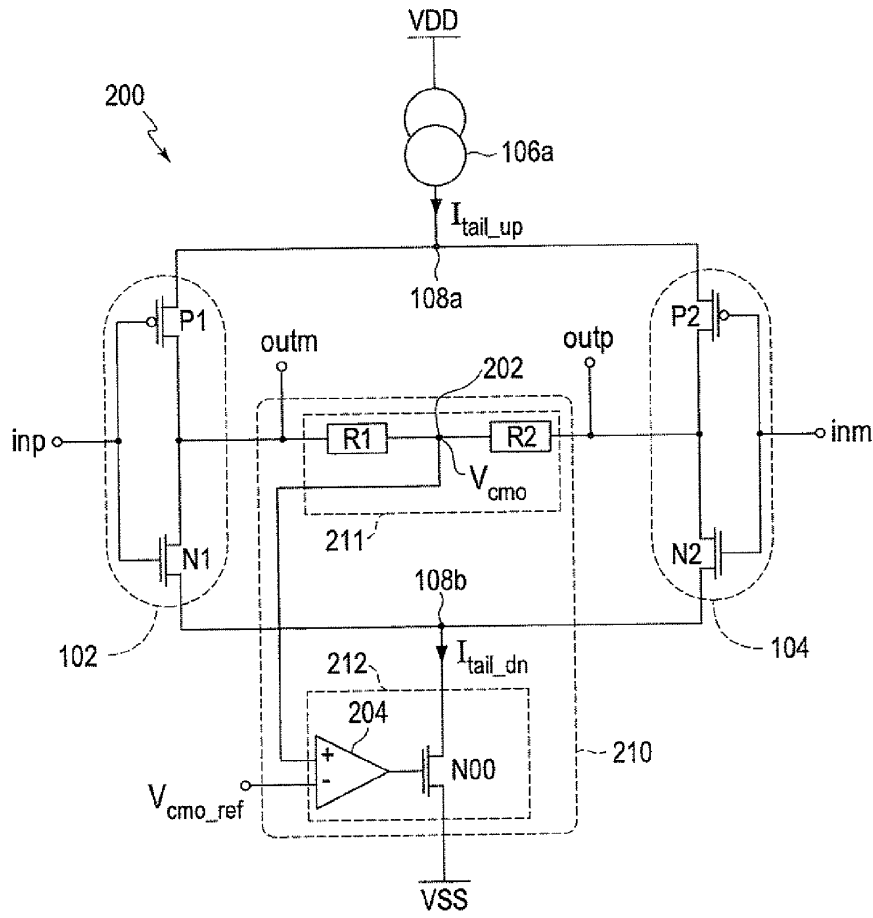
도면1b



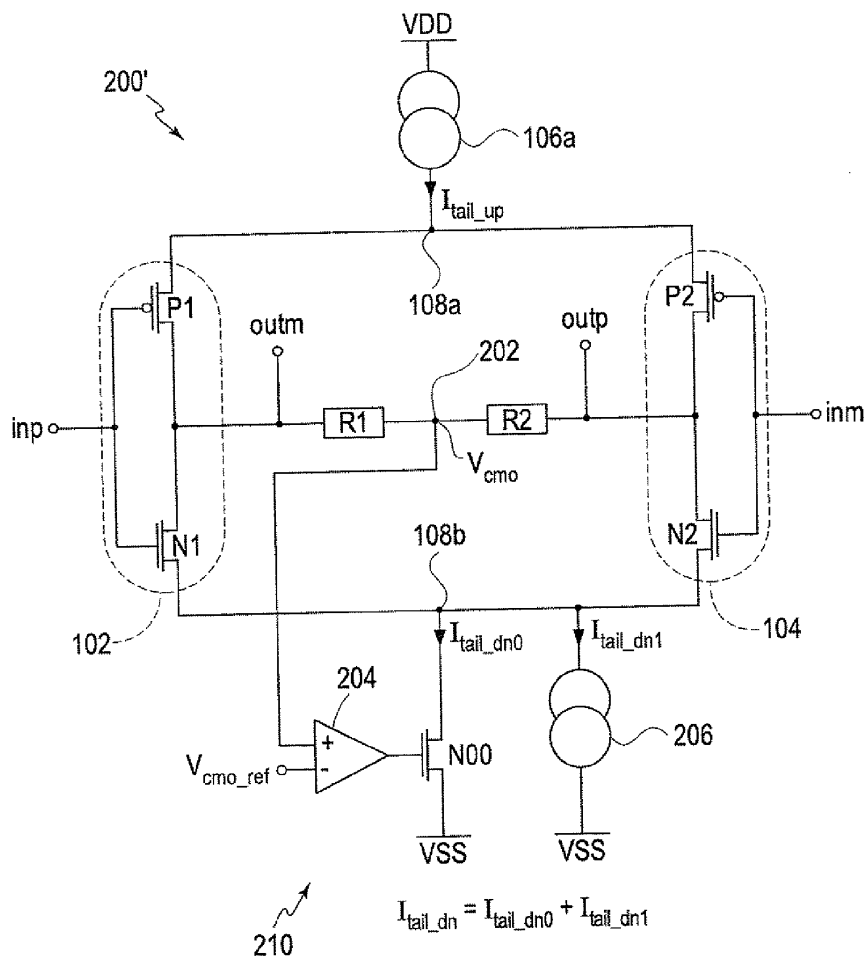
도면1c



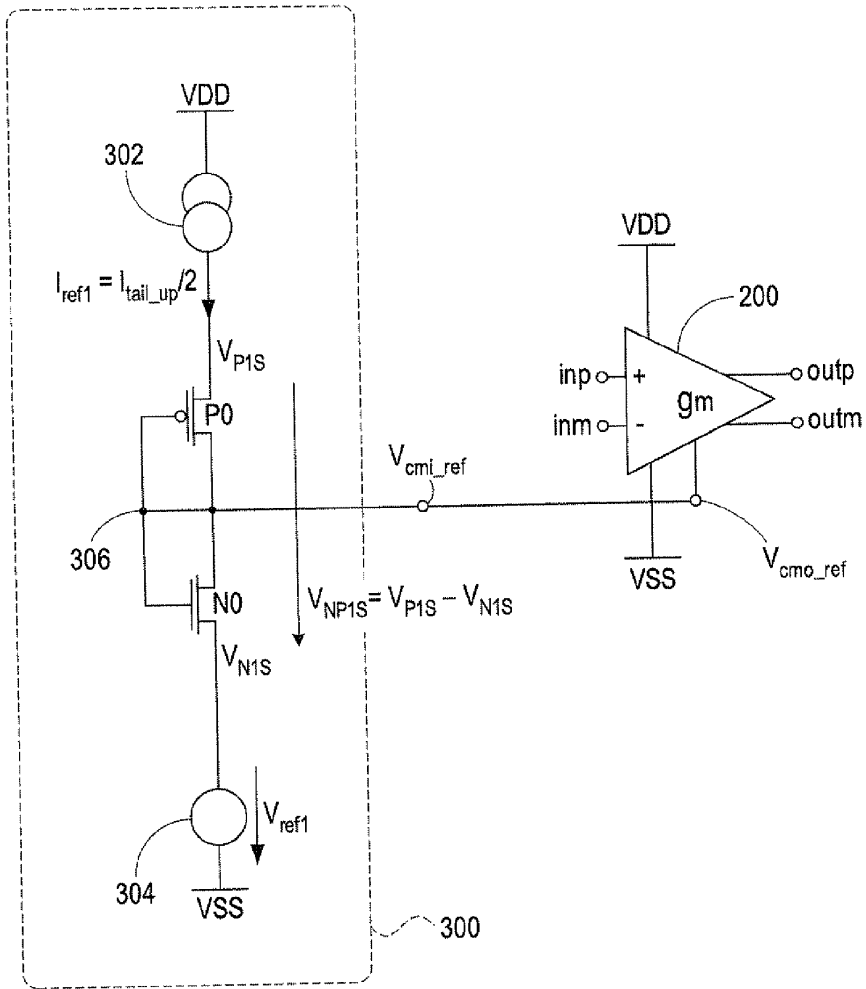
도면2a



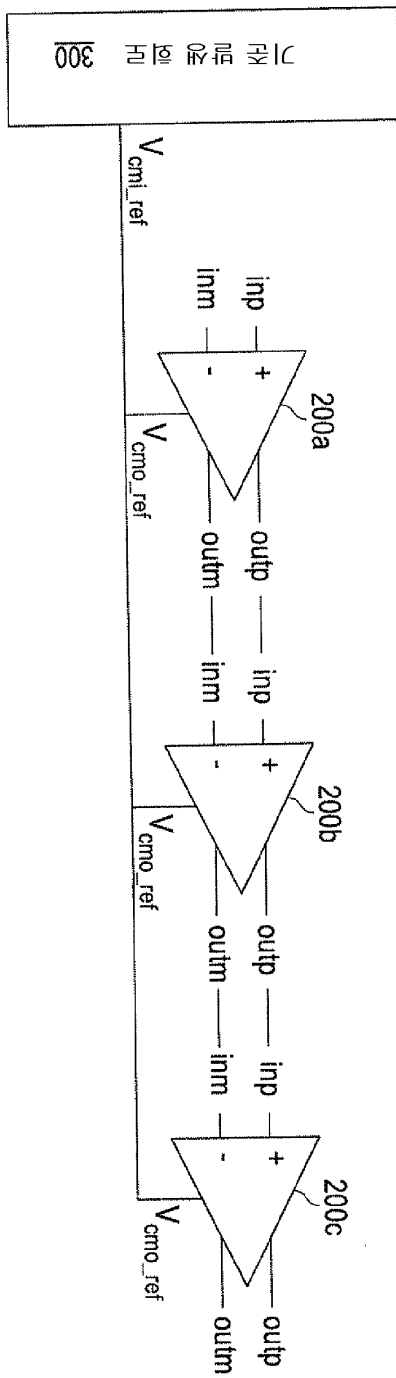
도면2b



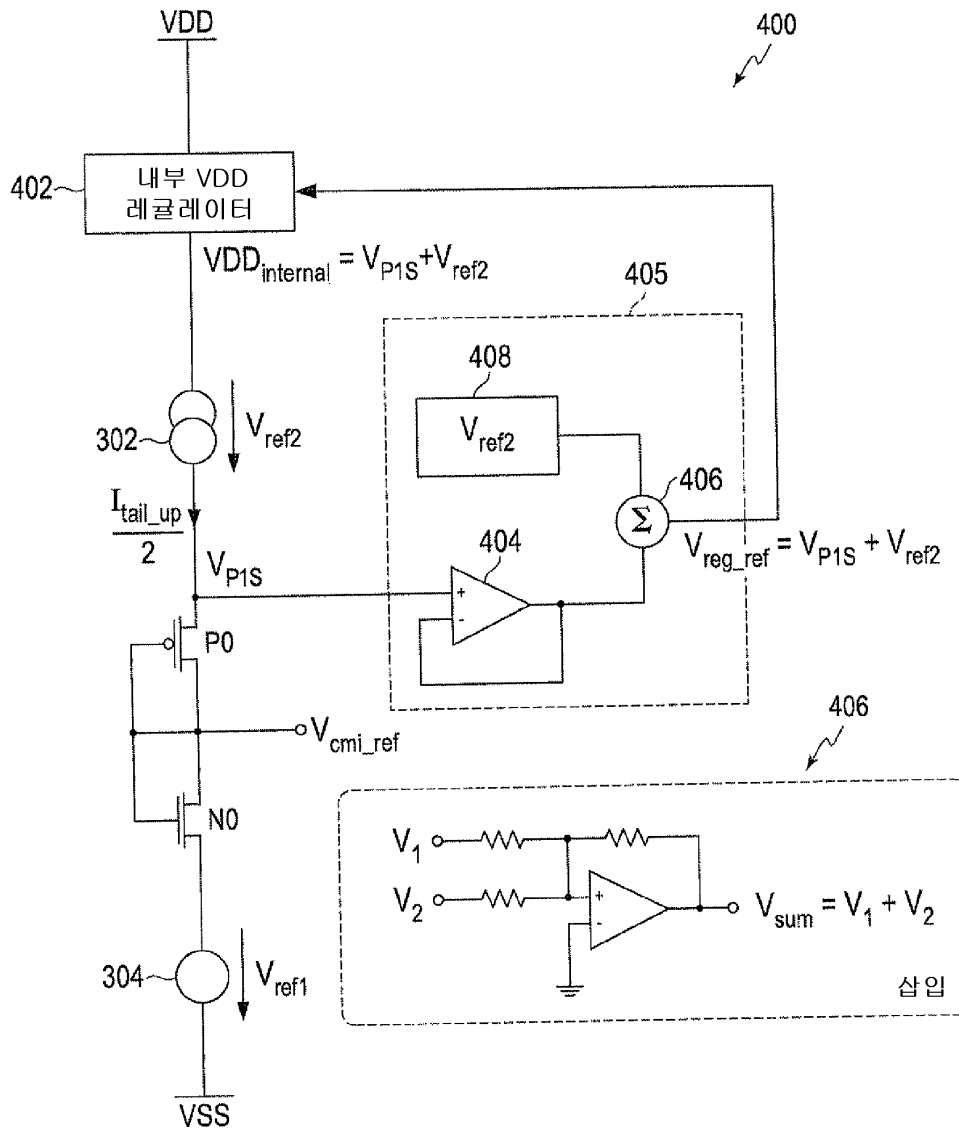
도면3a



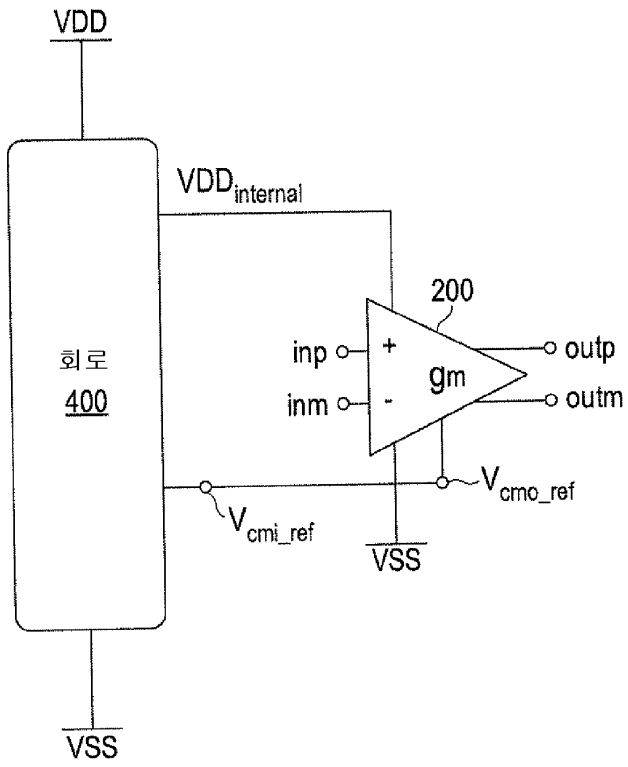
도면3b



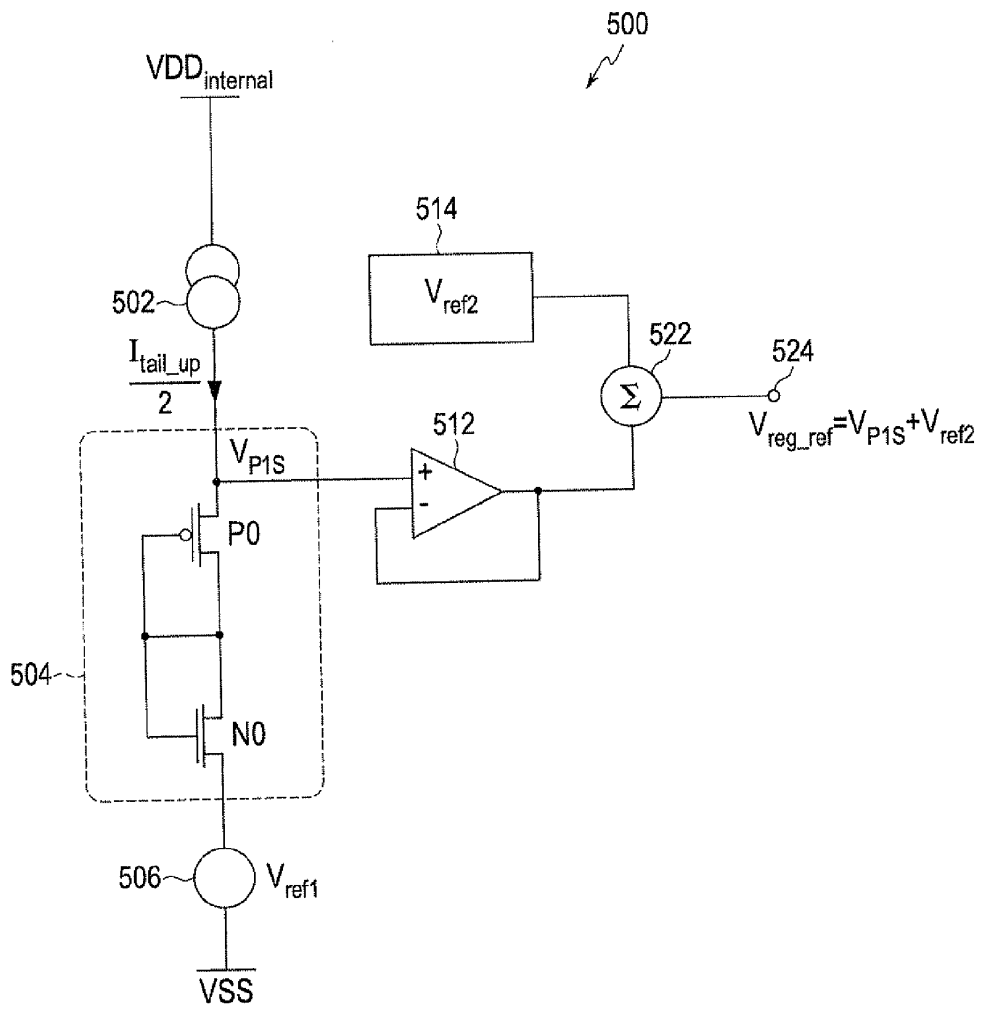
도면4a



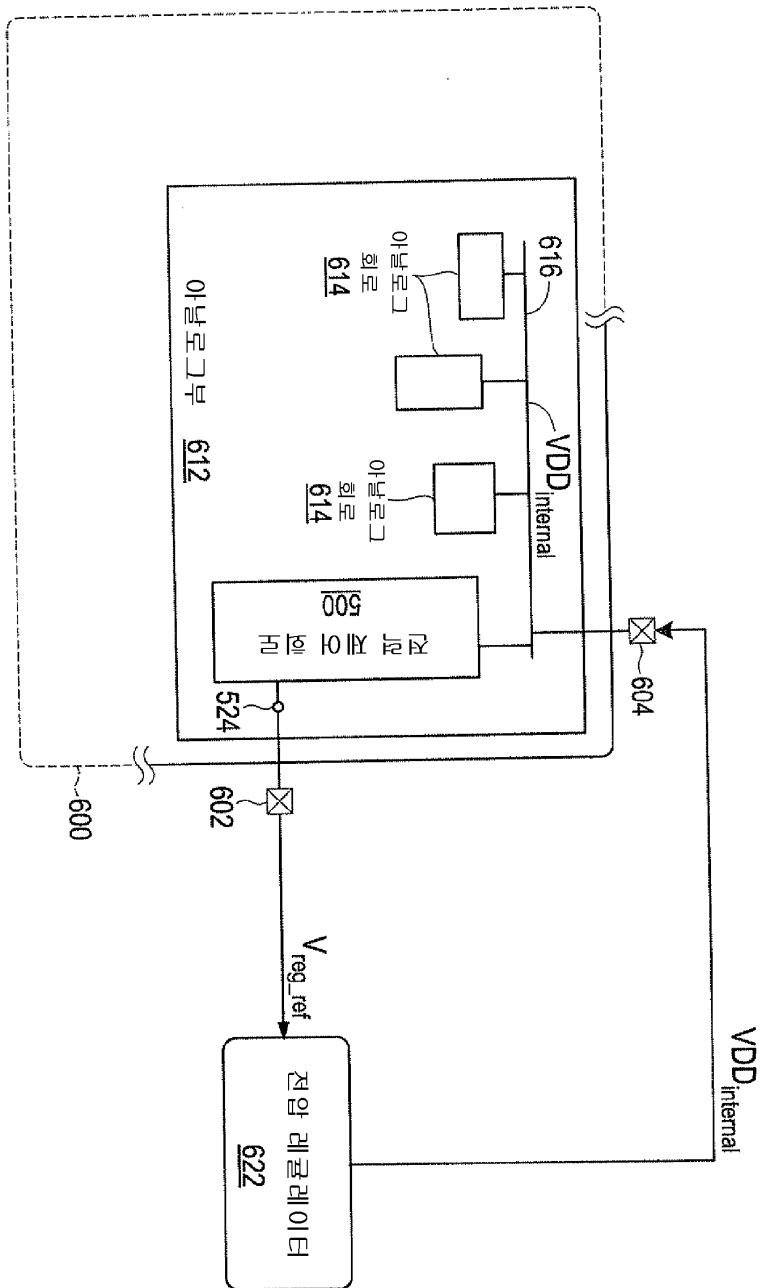
도면4b



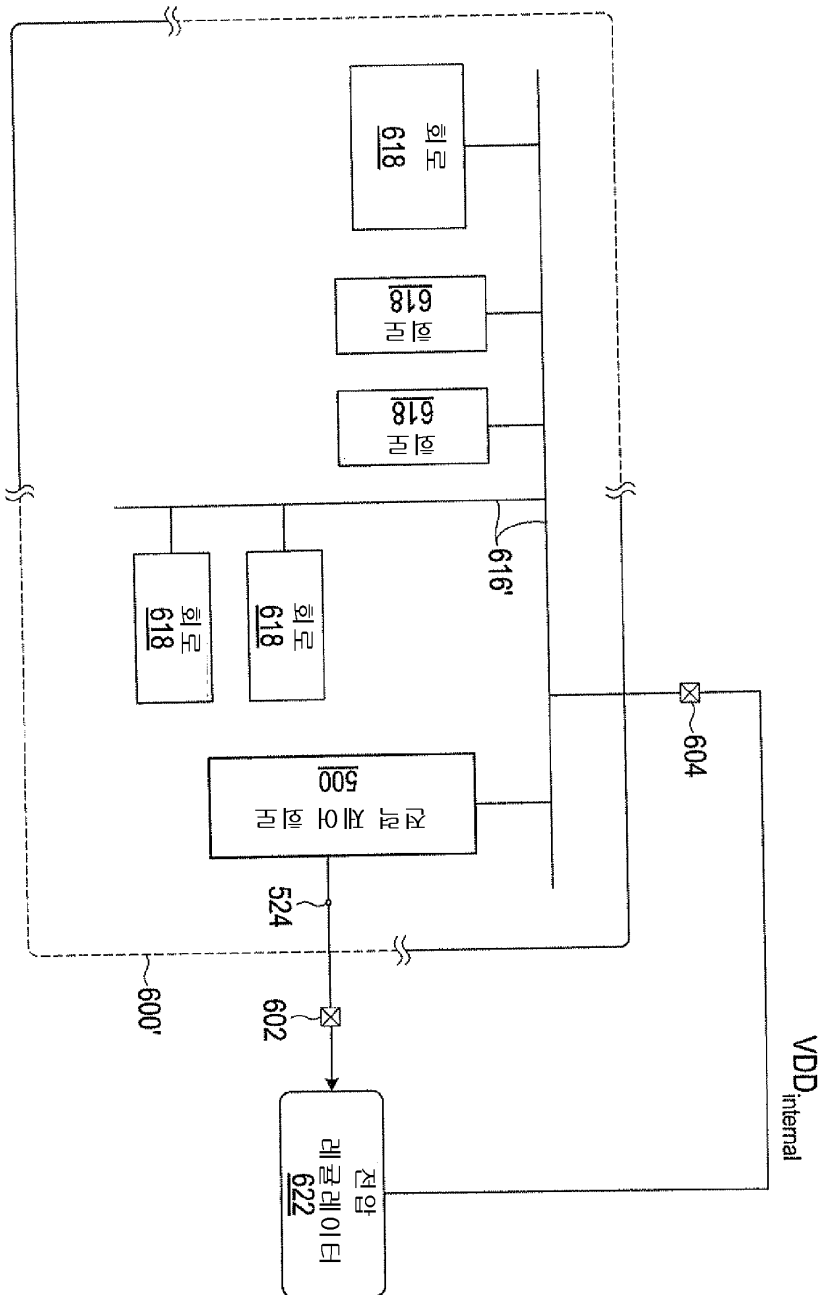
도면5



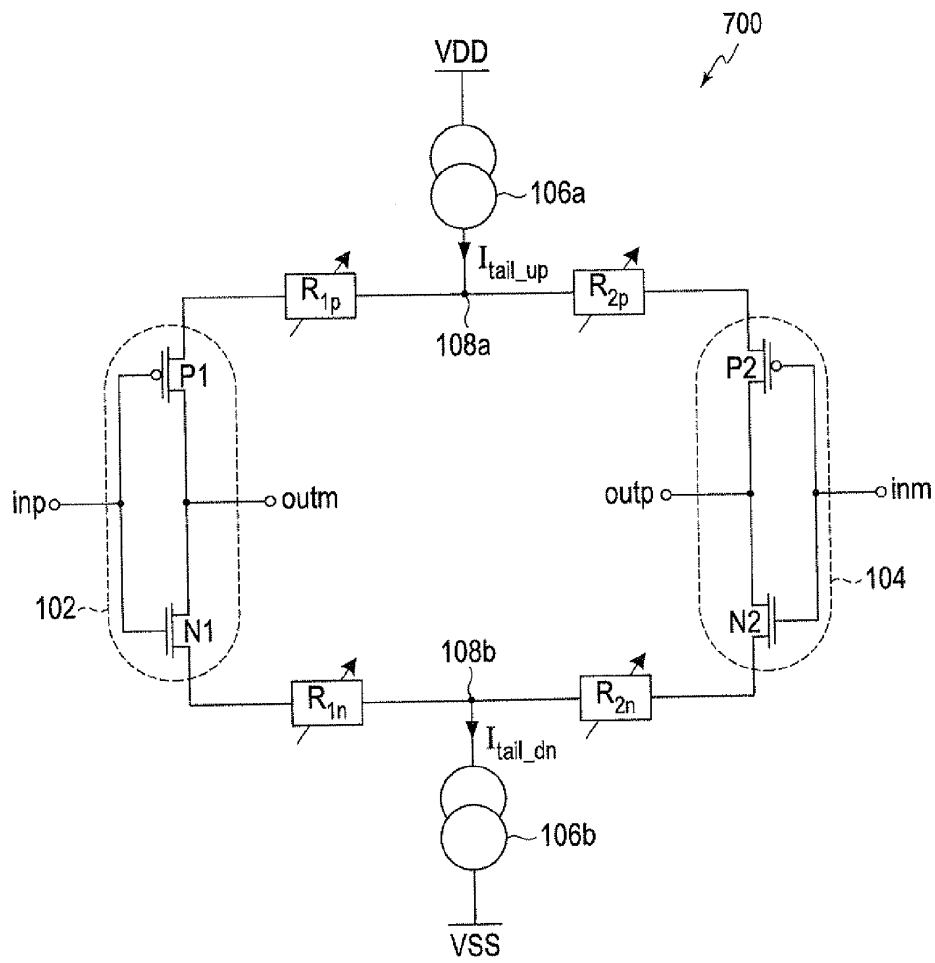
도면6a



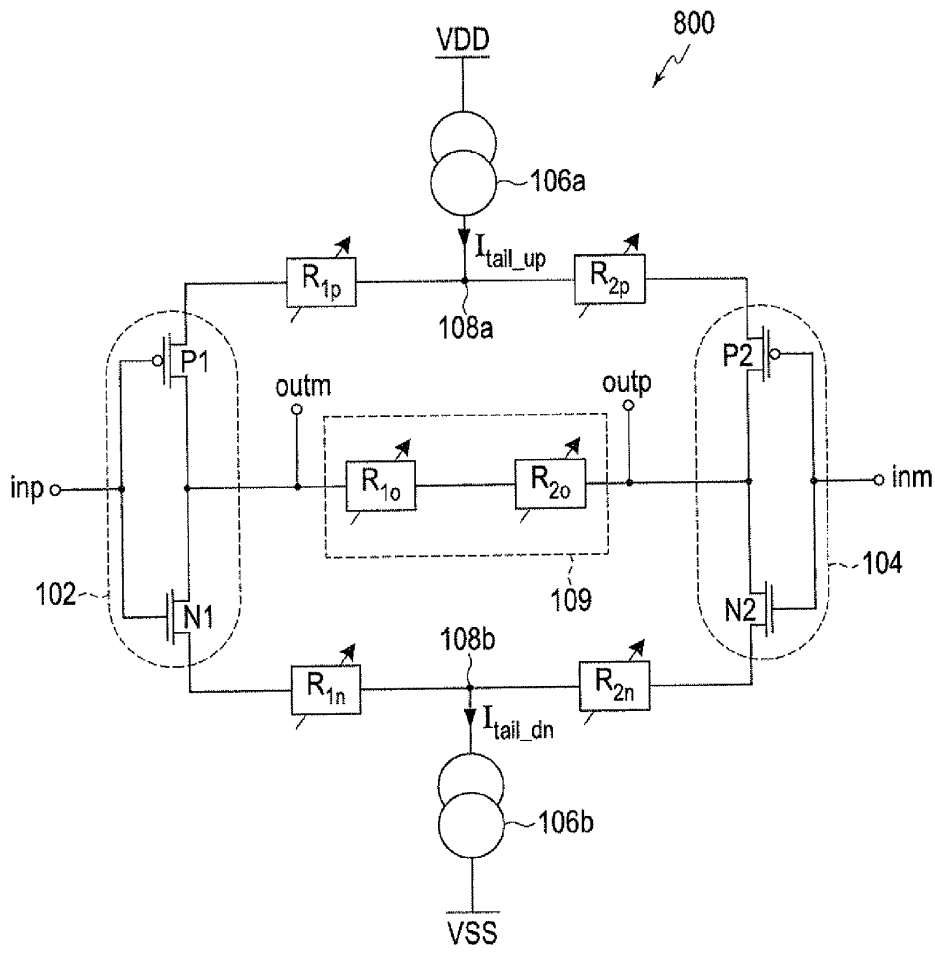
도면6b



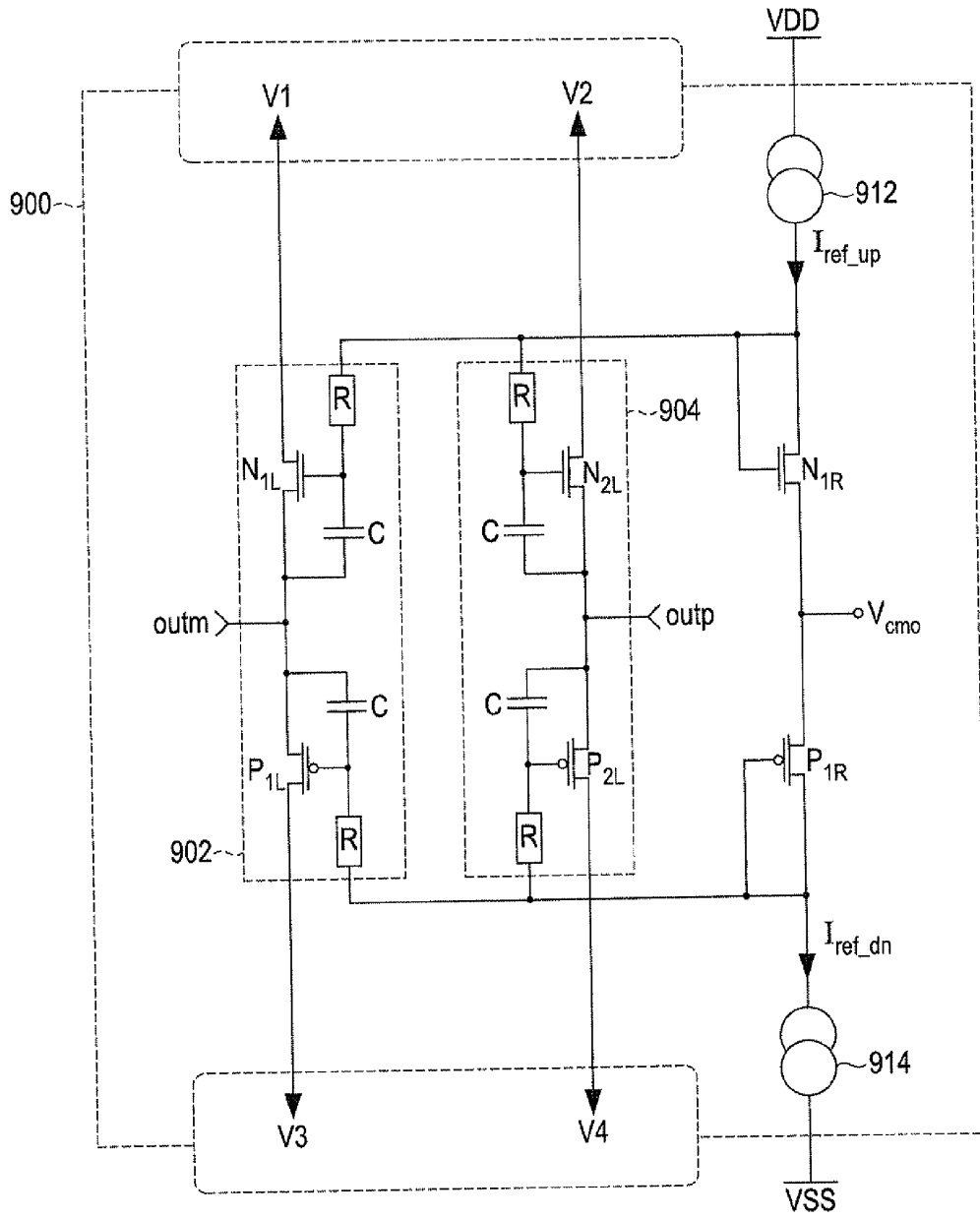
도면7



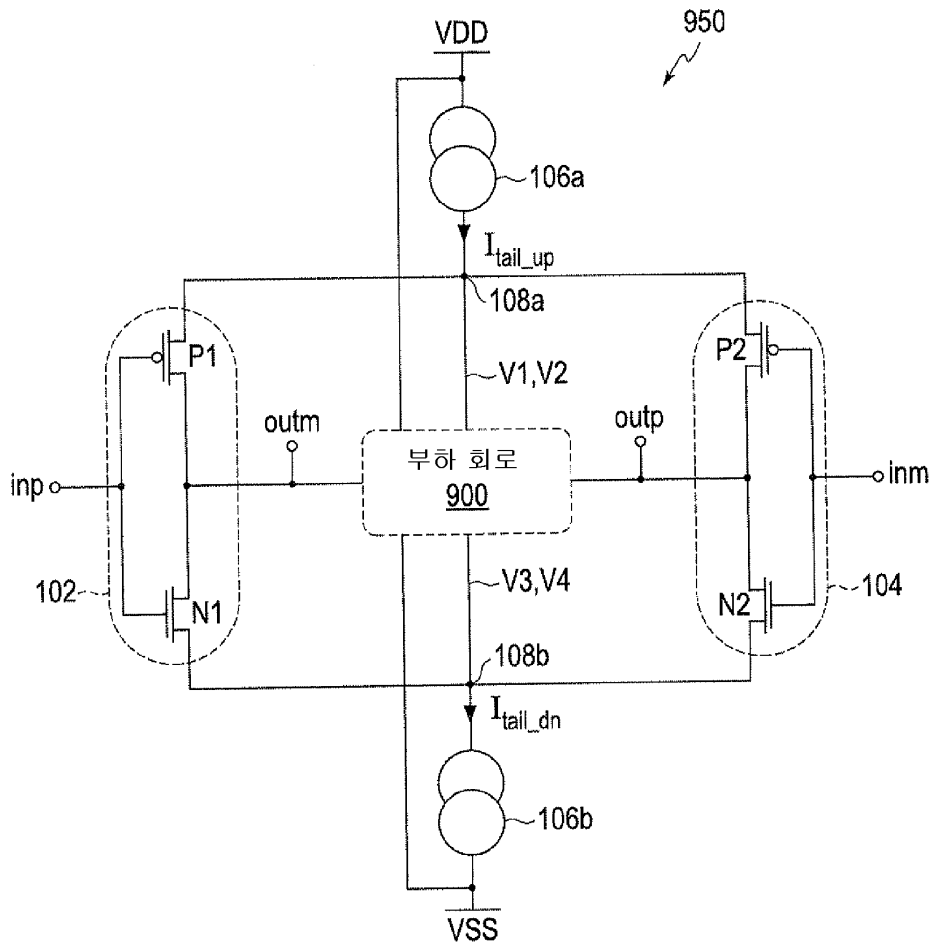
도면8



도면9a



도면9b



도면10

