



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 197 169

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 01 09 78
(21) PV 5693-78

(11)(B 1)

(51) Int. Cl.³ G 06 F 11/22

(40) Zveřejněno 31 07 79

(45) Vydáno 15 08 83

(75)

Autor vynálezu SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení s testovacím modulem

1

Předmětem vynálezu je zapojení s testovacím modulem, které řeší zrychlení detekce poruchy, při funkčním testování mikroprocesorů.

Jednou z používaných metod funkčního testování mikroprocesorů je srovnávání odezev testovaného mikroprocesoru s odezvami funkčního normálu, kdy oba mikroprocesory pracují v reálném čase. Protože u mikroprocesorů není přístupná celá řada vnitřních bodů, je výhodné řešit strukturu mikroprocesoru tak, aby diagnosticky důležité informace byly k dispozici pro zápis do testovacího zařízení. Dosud známá zapojení testovacích zařízení vychází z předpokladu, že je nutné zadat vždy celou posloupnost instrukcí k tomu, aby bylo možno diagnostickou informaci přečíst. Proces detekce se tak prodlužuje.

Tuto nevýhodu odstraňuje a zrychlení postupu při detekci poruchy v mikroprocesoru řeší zapojení s testovacím modulem podle vynálezu, jehož podstatou je, že druhý výstup bloku ovládání obsazení je spojen se vstupem bloku ovládání hradel, první výstup bloku ovládání hradel je spojen s prvním ovládacím vstupem a s druhým ovládacím vstupem prvního mikroprocesoru a první výstup bloku ovládání hradel je spojen s prvním ovládacím vstupem a s druhým ovládacím vstupem druhého mikroprocesoru.

Výhodou tohoto zapojení je zkrácení procesu detekce poruchy v mikroprocesoru, protože test končí ihned po první chybné interpretaci instrukce u testovaného mikropro-

cesoru. Přitom lze použít neupravených aplikačních programů.

Na výkrese je zapojení podle vynálezu, kde je uvedeno propojení společně s označením jednotlivých bloků. Linka žádosti 7 je spojena se vstupem 21 prioritního hradla 2, s výstupem žádosti 34 prvního mikroprocesoru 3 s prvním vstupem 43 prvního prioritního přijímače 4 s výstupem žádosti 54 druhého mikroprocesoru 5 a s prvním výstupem 100 bloku ovládání žádosti 10 testovacího modulu 26. Linka výběru 8 s výstupem výběru 35 prvního mikroprocesoru 3, s výstupem 55 druhého mikroprocesoru 5 a se vstupem 122 řídicího modulu 12 a s výstupem výběru 130 bloku ovládání výběru 13 testovacího modulu 26. Linka obsazení 9 je spojena s výstupem obsazení 36 prvního mikroprocesoru 3, s výstupem obsazení 56 druhého mikroprocesoru 5 a s prvním výstupem obsazení 110 a s hradlovacím vstupem 111 bloku ovládání 11 testovacího modulu 26. Datová sběrnice 23 je spojena s datovým výstupem 250 paměti programu 25 s datovým výstupem 37 prvního mikroprocesoru 3, s datovým výstupem 57 druhého mikroprocesoru 5 a se vstupem 192 datového registru 19 a s druhým vstupem 171 bloku porovnání dat 17 testovacího modulu 26. Adresní sběrnice 24 je spojena s adresním vstupem 251 paměti programu 25, s adresním výstupem 38 prvního mikroprocesoru 3, s adresním výstupem 58 druhého mikroprocesoru 5 a vstupem 182 adresního registru 18 a druhým vstupem 152 bloku porovnání adresy 15 testovacího modulu 26. Dále výstup 20 prioritního hradla 2 je spojen s prioritním vstupem 30 prvního mikroprocesoru 3, prioritní výstup 31 prvního mikroprocesoru 3 je spojen s prvním vstupem 60 druhého prioritního přijímače 6, výstup 40 prvního prioritního přijímače 4 je spojen s prioritním vstupem 50 druhého mikroprocesoru 5 a prioritní výstup 51 druhého mikroprocesoru 5 je spojen s druhým vstupem 61 druhého prioritního přepínače 6. Výstup 63 druhého prioritního přepínače 6 je spojen s prioritním vstupem 120 řídicího modulu 12, prioritní výstup 121 řídicího modulu 12 je spojen s druhým vstupem 42 prvního prioritního přepínače 4, vstup žádosti 124 řídicího modulu 12 je spojen s druhým výstupem 103 bloku ovládání žádosti 10. Ovládací výstup 123 řídicího modulu 12 je spojen s nahrazovacím vstupem 131 bloku ovládání výběru 13, druhý výstup 132 bloku ovládání výběru 13 je spojen se vstupem 140 bloku ovládání priority 14 a s nahrazovacím vstupem 112 bloku ovládání obsazení 11, druhý výstup 115 bloku ovládání obsazení 11 je spojen s nulovacím vstupem 133 bloku ovládání výběru 13, s nulovacím vstupem 102 bloku ovládání žádosti 10, který je řízen přes nahrazovací vstup 101 a se vstupem 160 bloku ovládání hradel 16. Výstup 141 bloku ovládání priority 14 je spojen s ovládacím vstupem 62 druhého prioritního přepínače 6, s ovládacím vstupem 41 prvního prioritního přepínače 4 a s ovládacím vstupem 22 prioritního hradla 2. První nulovací vstup 113 bloku ovládání obsazení 11 je spojen s výstupem 172 bloku porovnání dat 17, který je ovládán přes synchronizační vstup 173. Druhý nulovací vstup 114 bloku ovládání obsazení 11 je spojen s výstupem 150 bloku porovnání adresy 15, který je ovládán přes synchronizační vstup 153. Dále výstup 191 datového registru 19 je spojen s prvním vstupem 170 bloku porovnání dat 17 a výstup 181 registru adresy 18 je spojen s prvním vstupem 151 bloku porovnání adresy 15. Konečně první výstup 162 bloku ovládání hradel 16 je spojen s hodinovým vstupem 190 registru

dat 19, s hodinovým vstupem 180 registru adresy 18, s prvním ovládacím vstupem 32 a s druhým ovládacím vstupem 33 prvního mikroprocesoru 3 a druhý výstup 161 bloku ovládání hradel 16 je spojen s prvním ovládacím vstupem 52 a s druhým ovládacím vstupem 53 druhého mikroprocesoru 5.

Funkce zapojení : následující:

První mikroprocesor 3 a druhý mikroprocesor 5 pracují ve víceprocesorovém režimu a využívají společně paměť programu 25. Z výstupu 141 bloku ovládání priority 14 je prioritní hradlo 2 otevřeno, u prvního prioritního přepínače 4 je spojen druhý vstup 42 s výstupem 40 a u druhého prioritního přepínače 6 je spojen první vstup 60 s výstupem 63. Nejvyšší prioritu má tudíž první mikroprocesor 3, druhý v pořadí je testovací modul 26 a třetí je druhý mikroprocesor 5. Každý mikroprocesor žádá o přidělení sběrnice na lince žádosti 7, po příchodu prioritního signálu zastaví jeho další šíření, vysílá signál na lince výběru 8 a pak signál na lince obsazení 9. Po každé provedené operaci použít sběrnici a přidělovací proces proběhne znovu. Když není testovací modul 26 iniciován, propouští prioritní signál na prioritní vstup 50 druhého mikroprocesoru 5 a oba mikroprocesory se střídají v ovládání sběrnice. V případě, že systém přechází na testovací režim dojde k vyslání signálu z prvního výstupu 100 bloku ovládání žádosti 10. Řízení na sběrnici získá první mikroprocesor 3, který má nejvyšší prioritu a provede první instrukci testu. Přitom adresa následující instrukce je připravena v instrukčním čítači a výsledek operace je ve výstupním datovém registru. Jakmile první mikroprocesor 3 vyšle signál na linku obsazení, přestává vysílat signály na lince žádosti 7 a lince výběru 8. V tomto okamžiku propustí první mikroprocesor 3 prioritní signál na prioritní vstup 120 řídicího modulu 12. Řídicí modul 12 řeší střet signálu na prioritním vstupu 120 a signálu na vstup žádosti 124. V případě, že žádost o přidělení sběrnice přišla dříve, prioritní signál se nepropustí na prioritní výstup 121 a signál na ovládacím výstupu 123 způsobí vyslání signálu na linku výběru 8, do bloku ovládání obsazení 11 a do bloku ovládání priority 14. Signál na výstupu 141 bloku ovládání priority 14 uvede prioritní hradlo 2 do nepropustného stavu, u prvního prioritního přijímače spojí první vstup 43 s výstupem 40 a u druhého prioritního přijímače 6 spojí druhý vstup 61 s výstupem 63. Nyní má nejvyšší prioritu druhý mikroprocesor 5. Jakmile první mikroprocesor 3 ukončí operaci a přestane vysílat signál na lince obsazení 9, odblokuje se signál na nahazovacím vstupu 112 bloku ovládání obsazení 11 a z prvního výstupu 110 se vyšle signál na linku obsazení 9 a z druhého výstupu 115 se vyšle signál na nulovací vstup 102 bloku ovládání žádosti 10, na nulovací vstup 133 bloku ovládání výběru 13 a na vstup 160 bloku ovládání hradel 16. Jakmile přestane testovací modul 26 vysílat signál na lince výběru 8, proběhne proces přidělení sběrnice u druhého mikroprocesoru 5, ten vyšle signál na linku výběru 8 a čeká až testovací modul 26 ukončí operaci a skončí vysílání signálu na lince obsazení 9. Během této doby se signálem na výstupu 162 bloku ovládání hradel 16 otevrou výstupní hradla z instrukčního čítače a výstupního datového registru prvního mikroprocesoru 3 a tyto informace se zapíší do adresní sběrnice 24 do adresního

registru 18 signálem na hodinovém vstupu 180 a z datové sběrnice 23 do datového registru 19 signálem na hodinovém vstupu 190. Pak testovací modul 26 ukončí čtení z prvního mikroprocesoru 3 a přestane vysílat signál na lince obsazení 9. Řešení na sběrnici převezme druhý mikroprocesor 5 a sejme z paměti programu 25 stejnou instrukci testu jako první mikroprocesor 3. Testovací modul 26 po přečtení sběrnice opět žádá signálem na lince žádosti 7 a po příchodu prioritního signálu, který druhý mikroprocesor 5 propustí na prioritní vstup 120 řídicího modulu 12, začne vysílat signál na lince výběru 8. Po ukončení operace druhým mikroprocesorem 5 obsadí testovací modul 26 sběrnici a signálem na druhém výstupu 161 bloku ovládání hradel 16 otevře hradla u instrukčního čítače a výstupního datového registru a sejme obsahy na druhý vstup 171 bloku porovnávání dat 17 a na druhý vstup 152 bloku porovnávání adresy 15. Okamžik koincidence určují signály na synchronizačním vstupu 153 a 173. V případě souhlasu obsah adresního registru 18 a datového registru 17 se čtenou informací objeví se signály na výstupech 150 a 172 a je umožněno shození signálu na lince obsazení 9. V opačném případě testovací modul 26 operaci neukončí a průběh testu se zastaví, doprovázen příslušnou signalizací pro operátora.

Možnost použití uvedeného zapojení je při detekci poruchy v mikroprocesoru s vhodně navrženou vnitřní strukturou, který pracuje se sběrnici uvedeného typu.

PŘEDMĚT VYNÁLEZU

1. Zapojení s testovacím modulem, obsahujícím registry a bloky porovnání, vyznačující se tím, že druhý výstup (115) bloku ovládání obsazení (11) je spojen se vstupem (160) bloku ovládání hradel (16), první výstup (162) bloku ovládání hradel (16) je spojen s prvním ovládacím vstupem (32) a s druhým ovládacím vstupem (33) prvního mikroprocesoru (3) a první výstup (161) bloku ovládání hradel (16) je spojen s prvním ovládacím vstupem (52) a s druhým ovládacím vstupem (53) druhého mikroprocesoru (5).
2. Zapojení podle bodu 1, vyznačující se tím, že první výstup (162) bloku ovládání hradel (16) je spojen s hodinovým vstupem (190) registru dat (19) a s hodinovým vstupem (180) registru adresy (18), výstup (141) bloku ovládání priority (14) je spojen s ovládacím vstupem (62) druhého prioritního přepínače (6), s ovládacím vstupem (41) prvního prioritního přepínače (4) a s ovládacím vstupem (22) prioritního hradla (2), druhý výstup (132) bloku ovládání výběru (13) je spojen se vstupem (140) bloku ovládání priority (14) a výstup (63) druhého prioritního přepínače (6) je spojen s prioritním vstupem (120) řídicího modulu (12).
3. Zapojení podle bodu 1, vyznačující se tím, že první nulovací vstup (113) bloku ovládání obsazení (11) je spojen s výstupem (172) bloku porovnání dat (17) a druhý nulovací vstup (114) bloku ovládání obsazení (11) je spojen s výstupem (150) bloku porovnání adresy (15).

