

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6232945号  
(P6232945)

(45) 発行日 平成29年11月22日 (2017.11.22)

(24) 登録日 平成29年11月2日 (2017.11.2)

|                   |                  |            |     |
|-------------------|------------------|------------|-----|
| (51) Int.Cl.      |                  | F I        |     |
| <b>H04N 1/00</b>  | <b>(2006.01)</b> | H04N 1/00  | C   |
| <b>G03G 21/00</b> | <b>(2006.01)</b> | G03G 21/00 | 502 |
| <b>B41J 29/38</b> | <b>(2006.01)</b> | B41J 29/38 | Z   |

請求項の数 5 (全 14 頁)

(21) 出願番号 特願2013-231331 (P2013-231331)  
 (22) 出願日 平成25年11月7日 (2013.11.7)  
 (65) 公開番号 特開2015-91105 (P2015-91105A)  
 (43) 公開日 平成27年5月11日 (2015.5.11)  
 審査請求日 平成28年10月21日 (2016.10.21)

(73) 特許権者 000006747  
 株式会社リコー  
 東京都大田区中馬込1丁目3番6号  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (72) 発明者 小玉 大地  
 東京都大田区中馬込1丁目3番6号 株式  
 会社リコー内  
 審査官 花田 尚樹

最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【特許請求の範囲】

【請求項 1】

画像処理に用いられるパラメータを記憶するメインメモリと、  
 前記パラメータを複数のパスの画像データのそれぞれに対応して記憶する複数のパラメータレジスタと、

前記複数のパラメータレジスタに記憶されている前記パラメータを用いて、複数のパスの画像データのそれぞれ毎に画像データに対して画像処理を実行する画像処理部と、

プロセッサから与えられた転送指示を前記複数のパスの画像データのそれぞれに対応して記憶する複数の起動レジスタと、

何れかの前記起動レジスタに転送指示がアサートされた場合に、対応するパスの画像データに対する前記画像処理を実行していない期間に、対応するパスの画像データの前記パラメータを、前記メインメモリから対応するパラメータレジスタへと転送するパラメータ転送部と、

を備える画像処理装置。

【請求項 2】

前記複数の起動レジスタに前記転送指示がアサートされた順序を記憶する指示順序記憶部をさらに備え、

前記パラメータ転送部は、前記転送指示がアサートされた順序を優先して、前記パラメータを転送するパスを決定する

請求項 1 に記載の画像処理装置。

10

20

## 【請求項 3】

前記複数のパスの画像データに対する画像処理の実行期間を示すゲート信号がネゲートされた順序を記憶するゲート順序記憶部をさらに備え、

前記パラメータ転送部は、前記ゲート信号がネゲートされた順序を優先して、前記パラメータを転送するパスを決定する

請求項 1 に記載の画像処理装置。

## 【請求項 4】

プロセッサがアクセスしている期間、前記パラメータ転送部による前記パラメータの転送の中止を指示するウェイト制御部をさらに備える請求項 1 から 3 の何れか 1 項に記載の画像処理装置。

10

## 【請求項 5】

前記パラメータ転送部は、前記パラメータの転送を中止した後、転送を途中で中止した前記パラメータに対応する前記パラメータレジスタへと再転送する

請求項 4 に記載の画像処理装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、画像処理装置に関する。

## 【背景技術】

## 【0002】

20

原稿を読み取ってデジタルデータに変換するスキャナ装置が知られている。スキャナ装置は、例えば、複写装置、プリンタ装置およびファクシミリ装置、または、これらのうち何れか 2 つを備える複合装置等にも設けられる。スキャナ装置は、近年、原稿読取部において、1 回の通紙で、両面原稿の表裏を同時に読み取る機構（1 パス両面同時読取機構）を有する。この機構を有するスキャナ装置によれば、1 面分の読み取り時間で 2 面分を読み取れるので、生産性を向上することができる。

## 【0003】

ところで、この機能を有するスキャナ装置は、読み取り時間を短縮できるが、2 面分の画像データに対する画像処理を並列化しなければならず、トータルコストが大きくなる。この問題に対し、安価なローカルメモリを配置し、読み取った 2 面分の画像を一旦ローカルメモリに蓄積し、1 面ずつ順次に画像処理した後に、出力装置に転送するスキャナ装置が提案されている。このようにすることで、この機構を有するスキャナ装置は、両面原稿の読み取りの生産性を向上させながら、トータルコストを小さくすることができる。

30

## 【0004】

ただし、1 パス両面同時読取機構は、原稿読取部のセンサが表面用と裏面用とで物理的に異なるので、読み取られた画像データの色味等は、表面側と裏面側との間で異なる。従って、この機構を有するスキャナ装置は、画質調整のためのパラメータを表面側の画像処理と裏面側の画像処理とで交互に切り替えながら、1 面ずつ順次に画像処理をしなければならない。

## 【0005】

40

ここで、画質調整のためのパラメータは、画像処理の実行に先立って、メインメモリから対象のレジスタへと転送される。このため、従来のスキャナ装置では、パラメータ書き換えのための専用のパラメータ DMA C (Direct Memory Access Controller) を備える。これにより、従来のスキャナ装置では、表面側の画像処理と裏面側の画像処理との間で行うパラメータの書き換えのオーバーヘッドを少なくするとともに、CPU (Central Processing Unit) の処理負担を軽減させている。

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

ところで、従来のパラメータ DMA C は、CPU から起動指示を受けた後、すぐにパラ

50

メータの転送を開始する。このため、CPUは、パラメータDMACの起動タイミングをソフトウェアプログラム等に従って管理する必要があった。しかし、CPUが起動タイミングを検知するためには、割り込み信号を受信するまたはレジスタを読み出す等の処理を実行する必要があり、処理時間がかかっていた。

#### 【0007】

また、スキャナおよびプロッタで共通に1つのパラメータDMACを使用したり、複数の色版で共通に1つのパラメータDMACを使用したりする場合、CPUは、パラメータDMACが他の用途で使用されていないかを確認しつつ、それぞれの処理の優先度を判断してパラメータDMACに対して起動指示を与えなければならない。さらに、CPUとパラメータDMACとはどちらもレジスタへアクセスするので、競合の可能性が生じる。従って、CPUは、常にパラメータDMACの動作状況を管理しなければならず制御が煩雑であった。

10

#### 【0008】

本発明は、上記に鑑みてなされたものであって、画像処理に用いられるパラメータの転送タイミングをCPU等のプロセッサに管理させること無く、プロセッサの負担を軽減させることができる画像処理装置を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0009】

上述した課題を解決し、目的を達成するために、本発明に係る画像処理装置は、画像処理に用いられるパラメータを記憶するメインメモリと、前記パラメータを複数のパスの画像データのそれぞれに対応して記憶する複数のパラメータレジスタと、前記複数のパラメータレジスタに記憶されている前記パラメータを用いて、複数のパスの画像データのそれぞれ毎に画像データに対して画像処理を実行する画像処理部と、プロセッサから与えられた転送指示を前記複数のパスの画像データのそれぞれに対応して記憶する複数の起動レジスタと、何れかの前記起動レジスタに転送指示がアサートされた場合に、対応するパスの画像データに対する前記画像処理を実行していない期間に、対応するパスの画像データの前記パラメータを、前記メインメモリから対応するパラメータレジスタへと転送するパラメータ転送部と、を備える。

20

#### 【発明の効果】

#### 【0010】

本発明によれば、画像処理に用いられるパラメータの転送タイミングをCPU等のプロセッサに管理させること無く、プロセッサの負担を軽減させることができる。

30

#### 【図面の簡単な説明】

#### 【0011】

【図1】図1は、実施形態に係る画像形成装置の構成を示す図である。

【図2】図2は、画像処理装置の構成を示す図である。

【図3】図3は、画像処理装置における処理フローを示す図である。

【図4】図4は、パラメータDMACの構成を示す図である。

【図5】図5は、起動レジスタへのアサートを優先する場合のパラメータの転送のタイミングを示す図である。

40

【図6】図6は、ゲート信号のネゲートを優先する場合のパラメータの転送のタイミングを示す図である。

【図7】図7は、パラメータの転送の中止および再転送をする場合のタイミングを示す図である。

#### 【発明を実施するための形態】

#### 【0012】

以下に、本発明に係る実施形態を図面に基づいて詳細に説明する。なお、この実施形態によりこの発明が限定されるものではない。

#### 【0013】

図1は、画像形成装置10の構成を示す。画像形成装置10は、スキャナおよびプリン

50

タを有する機器である。例えば、画像形成装置 10 は、複写装置、プリンタ装置およびファクシミリ装置、または、これらのうち何れか 2 つを備える複合装置等として用いられる。

#### 【0014】

画像形成装置 10 は、プロッタ 21 と、表面側スキャナ 22 と、裏面側スキャナ 23 と、パネル 24 と、ハードディスクドライブ 25 と、制御部 26 と、メインメモリ 30 とを備える。

#### 【0015】

プロッタ 21 は、画像データに応じた画像を用紙に印刷する。表面側スキャナ 22 は、用紙の表面の画像を光学的に読み取って、用紙の表面側を表す画像データを生成する。裏面側スキャナ 23 は、用紙の裏面の画像を光学的に読み取って、用紙の裏面側を表す画像データを生成する。表面側スキャナ 22 および裏面側スキャナ 23 は、両面原稿の表裏を同時に読み取る機構により、1 回の通紙動作で同時に表面側の画像データおよび裏面側の画像データを生成する。

10

#### 【0016】

パネル 24 は、ユーザに情報を表示するとともに、ユーザからの操作情報を入力する。ハードディスクドライブ 25 は、読み取った画像データおよび印刷用の画像データを記憶する不揮発性の大容量記憶装置である。

#### 【0017】

制御部 26 は、プロッタ 21、表面側スキャナ 22、裏面側スキャナ 23、パネル 24 およびハードディスクドライブ 25 を制御するとともに、装置全体を制御する。メインメモリ 30 は、DRAM (Dynamic Random Access Memory) 等の揮発性の半導体メモリである。メインメモリ 30 は、制御部 26 に接続され、画像処理の対象となる画像データ、および、画像処理に用いられるパラメータを記憶する。

20

#### 【0018】

なお、メインメモリ 30 は、画像処理に用いられるパラメータを画像データの系統 (パス) 毎に記憶する。メインメモリ 30 は、一例として、印刷対象の画像データの色版毎 (例えば、Y, M, C, K 毎) に、および、スキャン読み取りをした画像データの色版毎 (例えば、Y, M, C, K 毎) に、パラメータを記憶する。また、さらに、メインメモリ 30 は、スキャン読み取りをした画像データについては、さらに、表面側か裏面側かによって異なるパラメータを記憶する。

30

#### 【0019】

制御部 26 は、メモリコントローラ 51 と、プロッタ制御部 52 と、表面側制御部 53 と、裏面側制御部 54 と、画像処理装置 55 と、CPU 56 と、ROM (Read Only Memory) 57 と、DMA (Direct Memory Access) 58 と、パネルコントローラ 61 と、ハードディスクコントローラ 62 と、通信コントローラ 63 とを有する。これらの各機能ブロックは、例えば、1 または複数のチップ上に形成されており、バスまたはインターフェイスを介して互いに接続される。

#### 【0020】

メモリコントローラ 51 は、メインメモリ 30 に対するアクセスを制御する。プロッタ制御部 52 は、プロッタ 21 を制御する。プロッタ制御部 52 は、メインメモリ 30 に記憶されている印刷対象の画像データを受け取って、プロッタ 21 に印刷させる。

40

#### 【0021】

表面側制御部 53 は、表面側スキャナ 22 を制御する。表面側制御部 53 は、表面側スキャナ 22 により読み取られた画像データに対して、シェーディング補正等の補正処理を行い、メインメモリ 30 に記憶させる。

#### 【0022】

裏面側制御部 54 は、裏面側スキャナ 23 を制御する。また、裏面側制御部 54 は、裏面側スキャナ 23 により読み取られた画像データに対して、シェーディング補正等の補正処理を行い、メインメモリ 30 に記憶させる。

50

## 【0023】

画像処理装置55は、メインメモリ30に記憶されている画像データを取得して、画像処理を実行する。そして、画像処理装置55は、画像処理をした後の画像データをメインメモリ30に記憶させる。

## 【0024】

ここで、画像処理装置55は、画像データのパス毎にメインメモリ30からパラメータを取得し、取得したパラメータを用いて画像処理を実行する。さらに、画像処理装置55は、1回の通紙で表面側と裏面側の同時にスキャン読み取りをした画像データに対しては、1回のパスで表面側と裏面側とを交互に切り替えて画像処理を実行する。この場合において、画像処理装置55は、表面側の画像処理を実行する場合に用いるパラメータと、裏面側の画像処理を実行する場合のパラメータとを、それぞれの処理の前に切り替える。

10

## 【0025】

CPU56は、プログラムを実行して装置全体の制御をするプロセッサである。ROM57は、CPU56により実行されるプログラム等を記憶する。

## 【0026】

DMA58は、メインメモリ30から他のユニットへの画像データの転送、または、他のユニットからメインメモリ30への画像データの転送を、CPU56に代わり制御する。DMA58は、一例として、プロッタ21の動作に同期して、印刷対象の画像データをメインメモリ30から読み出して、プロッタ制御部52へと転送する。また、DMA58は、一例として、表面側スキャナ22の動作に同期して、表面側の画像データを表面側制御部53から取得して、メインメモリ30へと書き込む。また、DMA58は、一例として、裏面側スキャナ23の動作に同期して、裏面側の画像データを裏面側制御部54から取得して、メインメモリ30へと書き込む。

20

## 【0027】

また、DMA58は、画像処理装置55による処理対象の画像データをメインメモリ30から読み出して、画像処理装置55へと転送する。また、DMA58は、画像処理装置55により画像処理がされた後の画像データを取得して、メインメモリ30に書き込む。

## 【0028】

パネルコントローラ61は、パネル24を制御する。ハードディスクコントローラ62は、ハードディスクドライブ25へのデータの書き込みおよび読み出しを制御する。通信コントローラ63は、ネットワークを介した外部のコンピュータ等との通信を制御する。

30

## 【0029】

図2は、画像処理装置55の構成を示す図である。画像処理装置55は、画像処理部81と、ゲート信号生成部82と、インターフェイス部83と、複数のパラメータレジスタ84と、パラメータDMAC85とを有する。

## 【0030】

画像処理部81は、複数のパスの画像データのそれぞれ毎に画像処理を実行する。画像処理部81は、一例として、印刷対象の画像データの色版毎（例えば、Y、M、C、K毎）、および、スキャン読み取りをした画像データの色版毎（例えば、Y、M、C、K毎）に、ガンマ補正、フィルタ処理および色補正等を行う。

40

## 【0031】

ゲート信号生成部82は、複数のパス毎に、画像処理部81による画像処理の実行期間を示すゲート信号を生成する。ゲート信号は、画像処理の実行期間中は有効（アサート）となり、画像処理を実行していない期間は無効（ネゲート）となる。

## 【0032】

インターフェイス部83は、CPU56またはパラメータDMAC85からの複数のパラメータレジスタ84に対するパラメータの書き込みのアクセスを受け付ける。

## 【0033】

複数のパラメータレジスタ84は、画像処理に用いられるパラメータを、複数のパスの画像データのそれぞれに対応して記憶する。複数のパラメータレジスタ84には、一例と

50

して、印刷対象の画像データのそれぞれの色版（例えば、Y、M、C、K）に対応するパラメータを記憶するパラメータレジスタ84、および、スキャン読み取りをした画像データのそれぞれの色版（例えば、Y、M、C、K毎）に対応するパラメータを記憶するパラメータレジスタ84が含まれる。さらに、複数のパラメータレジスタ84には、スキャン読み取りをした画像データのパスのそれぞれについては、表面側の画像データに対応するパラメータを記憶するパラメータレジスタ84、および、裏面側の画像データに対応するパラメータを記憶するパラメータレジスタ84も含まれる。

#### 【0034】

パラメータDMAC85は、CPU56からの指示に応じて、メインメモリ30から指示がされたパスの画像データに対応するパラメータを読み出して、対応するパラメータレジスタ84へと転送する。

10

#### 【0035】

このような構成の画像処理装置55においては、画像処理部81は、それぞれのパスの画像データに対する画像処理の実行に先立って、対応するパラメータレジスタ84からパラメータを読み出す。そして、画像処理部81は、パラメータレジスタ84に記憶されているパラメータを用いて、画像データに対して画像処理を実行する。

#### 【0036】

さらに、画像処理部81は、1回の通紙で表面側と裏面側の同時にスキャン読み取りをした画像データに対しては、1回のパスで表面側と裏面側とを交互に切り替えて画像処理を実行する。この場合において、画像処理装置55は、用紙と用紙との間の期間毎に、対応するパラメータレジスタ84からパラメータを読み出して、表面側の画像処理に用いるパラメータと、裏面側の画像処理に用いるパラメータとを切り替える。

20

#### 【0037】

図3は、画像処理装置55における処理フローを示す図である。CPU56は、あるパスの画像データに対する画像処理を画像処理装置55に実行させる場合、その画像処理に先立って、対応するパラメータをメインメモリ30から対応するパラメータレジスタ84へと転送させる。この場合、CPU56は、自身が転送処理を実行してもよいし、パラメータDMAC85に転送を代行させてもよい。

#### 【0038】

ここで、CPU56がパラメータDMAC85にパラメータの転送を代行させる場合、図3に示す順序で処理が実行される。

30

#### 【0039】

まず、ステップS11において、CPU56は、パラメータDMAC85に対して、パラメータの転送指示を与える。パラメータDMAC85は、パラメータの転送指示を受けると、続いて、ステップS12において、ゲート信号がネゲートされたか否かを判定する。

#### 【0040】

パラメータDMAC85は、ゲート信号がネゲートするまでステップS12で処理を待機する。ゲート信号がネゲートされると、パラメータDMAC85は、処理をステップS13に進める。

40

#### 【0041】

ステップS13において、パラメータDMAC85は、メインメモリ30からパラメータを読み出す。続いて、ステップS14において、パラメータDMAC85は、読み出したパラメータを対応するパラメータレジスタ84に書き込む。

#### 【0042】

このような処理を実行する画像処理装置55は、CPU56からパラメータの転送指示を受け取り、且つ、対応するゲート信号がネゲートされている場合において、パラメータをメインメモリ30から対応するパラメータレジスタ84へと転送することができる。

#### 【0043】

図4は、パラメータDMAC85の構成を示す図である。パラメータDMAC85は、

50

複数の起動レジスタ 9 1 と、指示順序記憶部 9 2 と、ゲート順序記憶部 9 3 と、パラメータ転送部 9 4 と、ウェイト制御部 9 5 とを有する。

【0044】

複数の起動レジスタ 9 1 は、CPU 5 6 から与えられた転送指示を、複数のパスの画像データのそれぞれに対応して記憶する。複数の起動レジスタ 9 1 には、一例として、印刷対象の画像データのそれぞれの色版（例えば、Y、M、C、K）に対応する転送指示を記憶する起動レジスタ 9 1、および、スキャン読み取りをした画像データのそれぞれの色版（例えば、Y、M、C、K 毎）に対応する転送指示を記憶する起動レジスタ 9 1 が含まれる。さらに、複数の起動レジスタ 9 1 には、スキャン読み取りをした画像データのパスのそれぞれについては、表面側の画像データに対応する転送指示を記憶する起動レジスタ 9 1、および、裏面側の画像データに対応する転送指示を記憶する起動レジスタ 9 1 も含まれる。

10

【0045】

指示順序記憶部 9 2 は、複数の起動レジスタ 9 1 に転送指示がアサートされた順序を記憶する。ゲート順序記憶部 9 3 は、複数のパスの画像データに対する画像処理の実行期間を示すゲート信号がネゲートされた順序を記憶する。

【0046】

パラメータ転送部 9 4 は、何れかの起動レジスタ 9 1 に転送指示がアサートされた場合に、対応するパスの画像データのパラメータをメインメモリ 3 0 から対応するパラメータレジスタ 8 4 へと転送する。この場合において、パラメータ転送部 9 4 は、対象のパスの画像データに対する画像処理の実行期間を示すゲート信号がネゲートされている期間に、対象のパスの画像データに対応するパラメータを、メインメモリ 3 0 から対応するパラメータレジスタ 8 4 へと転送する。

20

【0047】

具体的には、パラメータ転送部 9 4 は、決定部 1 0 1 と、リクエスト送信部 1 0 2 と、受信部 1 0 3 と、内部メモリ 1 0 4 と、転送制御部 1 0 5 とを含む。

【0048】

決定部 1 0 1 は、パラメータをメインメモリ 3 0 から対応するパラメータレジスタ 8 4 へと転送するパスを決定する。より具体的には、決定部 1 0 1 は、起動レジスタ 9 1 に対して CPU 5 6 から転送指示がアサートされ、且つ、ゲート信号がネゲートされているパスを、パラメータを転送するパスとして決定する。

30

【0049】

さらに、決定部 1 0 1 は、複数のパスの起動レジスタ 9 1 に対して転送指示がアサートされた場合には、指示順序記憶部 9 2 に記憶されている転送指示がアサートされた順序、または、ゲート順序記憶部 9 3 に記憶されているゲート信号がネゲートされた順序に基づき、複数のパラメータの転送順序を決定する。そして、決定部 1 0 1 は、決定した転送順序に従って、1 パスずつ順次にパラメータを転送するパスを決定する。

【0050】

ここで、決定部 1 0 1 は、一例として、転送指示がアサートされた順序を優先して、パラメータを転送するパスを決定する。また、決定部 1 0 1 は、一例として、ゲート信号がネゲートされた順序を優先して、パラメータを転送するパスを決定してもよい。なお、転送指示がアサートされた順序を優先してパスを決定するモードのことを、転送指示優先モードといい、図 5 を参照してさらに説明する。また、ゲート信号がネゲートされた順序を優先してパスを決定するモードのことを、ゲート信号優先モードといい、図 6 を参照してさらに説明する。

40

【0051】

リクエスト送信部 1 0 2 は、決定部 1 0 1 によりパスが決定されると、決定されたパスのパラメータに対する読み出しリクエスト（データおよびアドレス）を、メインメモリ 3 0 に送信する。受信部 1 0 3 は、メインメモリ 3 0 からパラメータを受信して、内部メモリ 1 0 4 に一時的に記憶させる。転送制御部 1 0 5 は、内部メモリ 1 0 4 に一時的に記憶

50

されたパラメータを、転送指示がアサートされたパスに対応するパラメータレジスタ 8 4 に書き込む。

【0052】

ウェイト制御部 9 5 は、CPU 5 6 がパラメータレジスタ 8 4 にアクセスしているか否かを監視する。そして、ウェイト制御部 9 5 は、CPU 5 6 がパラメータレジスタ 8 4 にアクセスしている期間、パラメータ転送部 9 4 によるパラメータの転送の中止を指示する。転送の中止の指示を受けたパラメータ転送部 9 4 の転送制御部 1 0 5 は、パラメータの転送を中止する。

【0053】

また、ウェイト制御部 9 5 は、パラメータの転送を中止した後、CPU 5 6 のパラメータレジスタ 8 4 に対するアクセスが終了した場合、転送を中止したパラメータの再転送の指示をパラメータ転送部 9 4 の転送制御部 1 0 5 に対して与える。再転送の指示を受けた転送制御部 1 0 5 は、転送を途中で中止したパラメータが存在すれば、転送を途中で中止したパラメータに対応するパラメータレジスタ 8 4 へと再転送する。

10

【0054】

図 5 は、起動レジスタ 9 1 へのアサートを優先する場合のパラメータの転送のタイミングを示す図である。

【0055】

図 5 では、第 1 から第 5 のパスのゲート信号を示す。本例のゲート信号は、L 論理が有効、H 論理が無効（ネゲート）を表す。このような負論理のゲート信号に代えて、正論理のゲート信号が用いられてもよい。また、図 5 では、下向き矢印の位置が、そのパスについて転送指示がアサートされたタイミングを示す。また、下向き矢印の上に付された数字は、転送指示がアサートされた順序を示す。なお、後述の図 6 でも同様である。

20

【0056】

転送指示優先モードに設定されている場合、パラメータ転送部 9 4 は、例えば、図 5 に示すようなタイミングでそれぞれのパスのパラメータを転送する。

【0057】

図 5 の例では、時刻  $t_1$  で第 3 のパスの転送指示がアサートされ、続いて、時刻  $t_2$  で第 2 のパスの転送指示がアサートされ、続いて、時刻  $t_3$  で第 1 のパスの転送指示がアサートされる。そして、時刻  $t_4$  で、第 1 のパスのゲート信号がネゲートされる。

30

【0058】

時刻  $t_4$  では、第 1 のパスだけが、転送指示がアサートされ且つゲート信号がネゲートされている。従って、パラメータ転送部 9 4 は、時刻  $t_4$  から、第 1 のパスのパラメータをメインメモリ 3 0 から対応するパラメータレジスタ 8 4 へと転送する。

【0059】

続いて、時刻  $t_5$  で第 2 のパスのゲート信号がネゲートされる。そして、時刻  $t_6$  で、第 1 のパスのパラメータの転送が完了すると同時に、第 3 のゲート信号がネゲートされる。

【0060】

時刻  $t_6$  では、第 2 のパスと第 3 のパスが、共に、転送指示がアサートされ且つゲート信号がネゲートされている。そこで、パラメータ転送部 9 4 は、転送指示優先モードで優先順位を判断し、転送指示が先にアサートされている第 3 のパスを第 2 のパスに優先して、次にパラメータを転送するパスとして決定する。従って、パラメータ転送部 9 4 は、時刻  $t_6$  から、第 3 のパスのパラメータをメインメモリ 3 0 から対応するパラメータレジスタ 8 4 へと転送する。

40

【0061】

続いて、時刻  $t_7$  で、第 3 のパスのパラメータの転送が完了する。時刻  $t_7$  では、第 2 のパスだけが、転送指示がアサートされ且つゲート信号がネゲートされている。そこで、パラメータ転送部 9 4 は、第 2 のパスを次にパラメータを転送するパスとして決定する。従って、パラメータ転送部 9 4 は、時刻  $t_7$  から、第 2 のパスのパラメータをメインメモリ 3 0 から対応するパラメータレジスタ 8 4 へと転送する。

50

## 【0062】

続いて、時刻 $t_8$ で第4のパスの転送指示がアサートされる。続いて、時刻 $t_9$ で、第2のパスのパラメータの転送が完了する。続いて、時刻 $t_{10}$ で第5のパスの転送指示がアサートされる。そして、時刻 $t_{11}$ で、第4のパスのゲート信号と第5のパスのゲート信号とが同時にネゲートされる。

## 【0063】

時刻 $t_{11}$ では、第4のパスと第5のパスが、共に、転送指示がアサートされ且つゲート信号がネゲートされている。そこで、パラメータ転送部94は、転送指示優先モードで優先順位を判断し、転送指示が先にアサートされている第4のパスを第5のパスに優先して、次にパラメータを転送するパスとして決定する。従って、パラメータ転送部94は、時刻 $t_{11}$ から、第4のパスのパラメータをメインメモリ30から対応するパラメータレジスタ84へと転送する。

10

## 【0064】

続いて、時刻 $t_{12}$ で、第4のパスのパラメータの転送が完了する。時刻 $t_{12}$ では、第5のパスだけが、転送指示がアサートされ且つゲート信号がネゲートされている。そこで、パラメータ転送部94は、第5のパスを次にパラメータを転送するパスとして決定する。従って、パラメータ転送部94は、時刻 $t_{12}$ から、第5のパスのパラメータをメインメモリ30から対応するパラメータレジスタ84へと転送する。

## 【0065】

以上のような転送指示優先モードでは、例えば、複数のパスのゲート信号が同時期に重複してネゲートされる場合に明示的にパラメータの転送順序を制御することができる。

20

## 【0066】

図6は、ゲート信号のネゲートを優先する場合のパラメータの転送のタイミングを示す図である。

## 【0067】

ゲート信号優先モードに設定されている場合、パラメータ転送部94は、例えば、図6に示すようなタイミングでそれぞれのパスのパラメータを転送する。

## 【0068】

図6の例では、時刻 $t_{21}$ で第3のパスの転送指示がアサートされ、続いて、時刻 $t_{22}$ で第2のパスの転送指示がアサートされ、続いて、時刻 $t_{23}$ で第1のパスの転送指示がアサートされ、続いて、時刻 $t_{24}$ で第4のパスの転送指示がアサートされる。

30

## 【0069】

そして、時刻 $t_{25}$ で、第1のパスのゲート信号がネゲートされる。時刻 $t_{25}$ では、第1のパスだけが、転送指示がアサートされ且つゲート信号がネゲートされている。従って、パラメータ転送部94は、時刻 $t_{25}$ から、第1のパスのパラメータをメインメモリ30から対応するパラメータレジスタ84へと転送する。

## 【0070】

続いて、時刻 $t_{26}$ で第4のパスのゲート信号がネゲートされる。そして、時刻 $t_{27}$ で、第1のパスのパラメータの転送が完了すると同時に、第2のゲート信号がネゲートされる。

40

## 【0071】

時刻 $t_{27}$ では、第2のパスと第4のパスが、共に、転送指示がアサートされ且つゲート信号がネゲートされている。そこで、パラメータ転送部94は、ゲート信号優先モードで優先順位を判断し、ゲート信号が先にネゲートされている第4のパスを、第2のパスに優先して、次にパラメータを転送するパスとして決定する。従って、パラメータ転送部94は、時刻 $t_{27}$ から、第4のパスのパラメータをメインメモリ30から対応するパラメータレジスタ84へと転送する。

## 【0072】

続いて、時刻 $t_{28}$ で第3のゲート信号がネゲートされる。続いて、時刻 $t_{29}$ で第4のパスのパラメータの転送が完了する。時刻 $t_{29}$ では、第2のパスと第3のパスが、共に、転

50

送指示がアサートされ且つゲート信号がネゲートされている。そこで、パラメータ転送部 94 は、ゲート信号優先モードで優先順位を判断し、ゲート信号が先にネゲートされている第 2 のパスを、第 3 のパスに優先して、次にパラメータを転送するパスとして決定する。従って、パラメータ転送部 94 は、時刻  $t_{29}$  から、第 2 のパスのパラメータをメインメモリ 30 から対応するパラメータレジスタ 84 へと転送する。

**【0073】**

続いて、時刻  $t_{30}$  で第 2 のパスのパラメータの転送が完了する。時刻  $t_{30}$  では、第 3 のパスだけが、転送指示がアサートされ且つゲート信号がネゲートされている。そこで、パラメータ転送部 94 は、第 3 のパスを次にパラメータを転送するパスとして決定する。従って、パラメータ転送部 94 は、時刻  $t_{30}$  から、第 3 のパスのパラメータをメインメモリ 30 から対応するパラメータレジスタ 84 へと転送する。

10

**【0074】**

以上のような転送指示優先モードでは、例えば、複数のゲート信号のネゲートの期間が同一である場合、残りのネゲートの期間が短いパスから順にパラメータの転送をすることができる。従って、転送指示優先モードでは、パラメータの転送が間に合わなくなる可能性を小さくすることができる。

**【0075】**

図 7 は、パラメータの転送の中止および再転送をする場合のタイミングを示す図である。

**【0076】**

20

パラメータ DMA C 85 がパラメータレジスタ 84 への転送タイミングを制御しているので、CPU 56 は、パラメータ DMA C 85 が動作中か否かを管理していない。従って、パラメータ DMA C 85 は、CPU 56 の動作と競合しないように動作している。具体的には、パラメータ DMA C 85 は、CPU 56 のパラメータレジスタ 84 へのアクセス信号を常時監視し、CPU 56 がアクセス中の場合には処理を待機し、CPU 56 がアクセスしていないタイミングでパラメータレジスタ 84 へアクセスする。

**【0077】**

しかし、パラメータ DMA C 85 がパラメータの転送を開始したサイクルと同一のサイクルで CPU 56 がパラメータレジスタ 84 にアクセスした場合、または、パラメータ DMA C 85 がパラメータの転送をしている最中に CPU 56 がパラメータレジスタ 84 へのアクセスを開始した場合、競合が発生する。この場合、パラメータ DMA C 85 は、図 7 に示すように動作を行う。

30

**【0078】**

なお、図 7 において、クロックはシステムのクロックを表し、クロックの上に付された番号は任意に付したクロック番号を示す。

**【0079】**

まず、1 番目のクロックの立ち上がりにおいて、パラメータ DMA C 85 は、CPU 56 のアクセスが無いのでデータの転送を開始する。2 番目のクロックの立ち上がりにおいて、パラメータ DMA C 85 は、CPU 56 のアクセスが無いので、アクセスを継続している。続いて、3 番目のクロックの立ち上がりにおいて、パラメータ DMA C 85 は、データの転送を終了する。なお、図 7 の例では、データの転送期間を 2 サイクルとしているが、どのような長さであってもよい。

40

**【0080】**

続いて、4 番目のクロックの立ち上がりにおいて、パラメータ DMA C 85 は、次のアクセスまで処理を待機する。

**【0081】**

続いて、5 番目のクロックの立ち上がりにおいて、パラメータ DMA C 85 は、データの転送を開始する。ただし、同じクロックにおいて、CPU 56 のアクセスが開始される。

**【0082】**

50

続いて、6番目のクロックの立ち上がりにおいて、パラメータDMAC85は、CPU56のアクセスを検知し、データの転送を中止する。パラメータDMAC85は、データの転送が完了しなかったため、転送を中止したデータを保持する。

#### 【0083】

続いて、10番目のクロックの立ち上がりにおいて、パラメータDMAC85は、CPU56のアクセスが無くなったので、一時的に保持しているデータ（転送を中止したデータ）を再転送する。なお、図7の例では、パラメータDMAC85は、CPU56のアクセスが終了してから、次のデータの転送を開始するまでの期間を1サイクルとしているが、任意のサイクルであってよい。

#### 【0084】

以上のように、パラメータDMAC85がCPU56のアクセスを監視して動作しているので、CPU56が実行するソフトウェアプログラムに影響を与えず、CPU56の処理負担を軽減することができる。

#### 【0085】

以上のような本実施形態に係る画像処理装置55は、CPU56から転送指示がアサートされ且つゲート信号がネゲートされている場合に、パラメータDMAC85がパラメータをメインメモリ30から対応するパラメータレジスタ84に転送する。これにより、画像処理装置55によれば、パラメータの転送タイミングをCPU56に管理させることなく、CPU56の負担を軽減させることができる。

#### 【0086】

また、本実施形態に係る画像処理装置55によれば、パラメータDMAC85が、画像処理のパスの優先度を判断して1パスずつパラメータを転送するので、CPU56がそれぞれのパスの優先度の管理をしなくてよく、CPU56の負担を軽減させることができる。

#### 【0087】

また、本実施形態に係る画像処理装置55によれば、パラメータDMAC85が、CPU56からパラメータレジスタ84へのアクセスを監視しているので、パラメータDMAC85とCPU56との競合が生じず、さらに、CPU56による監視負担を軽減させることができる。

#### 【符号の説明】

#### 【0088】

- 10 画像形成装置
- 21 プロッタ
- 22 表面側スキャナ
- 23 裏面側スキャナ
- 24 パネル
- 25 ハードディスクドライブ
- 26 制御部
- 30 メインメモリ
- 51 メモリコントローラ
- 52 プロッタ制御部
- 53 表面側制御部
- 54 裏面側制御部
- 55 画像処理装置
- 56 CPU
- 57 ROM
- 58 DMA
- 61 パネルコントローラ
- 62 ハードディスクコントローラ
- 63 通信コントローラ

10

20

30

40

50

- |       |            |
|-------|------------|
| 8 1   | 画像処理部      |
| 8 2   | ゲート信号生成部   |
| 8 3   | インターフェイス部  |
| 8 4   | パラメータレジスタ  |
| 8 5   | パラメータDMA C |
| 9 1   | 起動レジスタ     |
| 9 2   | 指示順序記憶部    |
| 9 3   | ゲート順序記憶部   |
| 9 4   | パラメータ転送部   |
| 9 5   | ウェイト制御部    |
| 1 0 1 | 決定部        |
| 1 0 2 | リクエスト送信部   |
| 1 0 3 | 受信部        |
| 1 0 4 | 内部メモリ      |
| 1 0 5 | 転送制御部      |

【先行技術文献】

【特許文献】

【 0 0 8 9 】

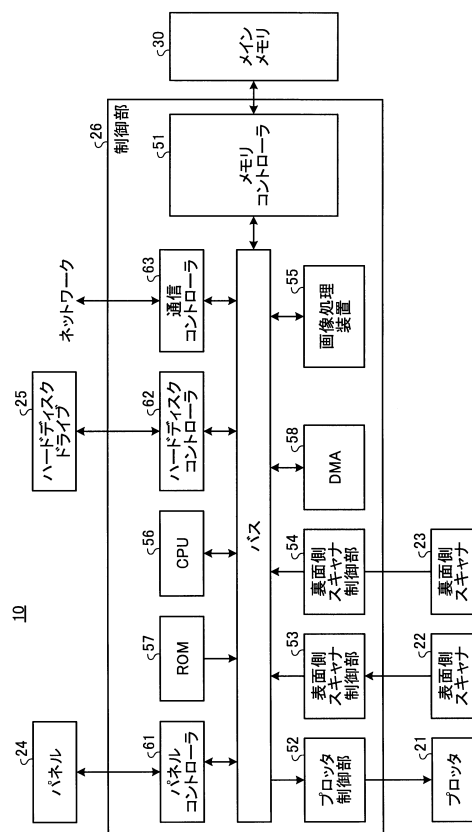
【特許文献1】特開2008-234065号公報

【特許文献2】特開2009-123091号公報

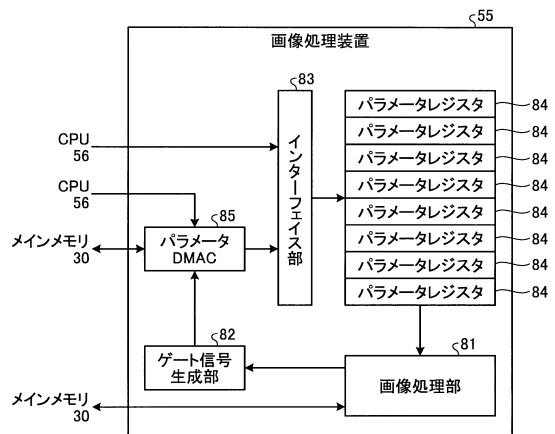
10

20

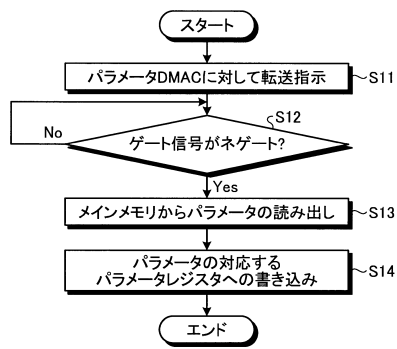
【図 1】



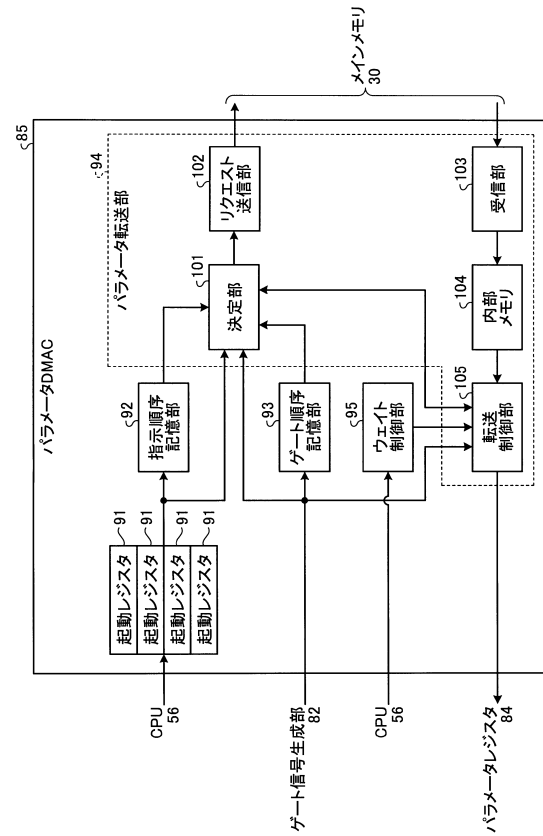
【図 2】



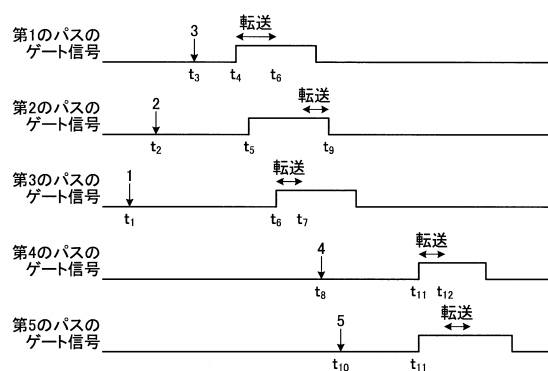
【図 3】



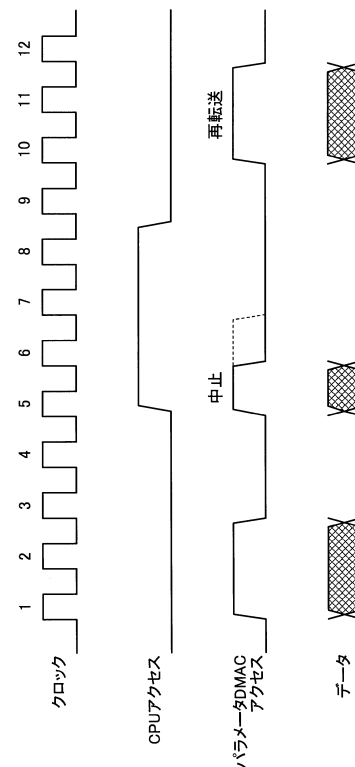
【図 4】



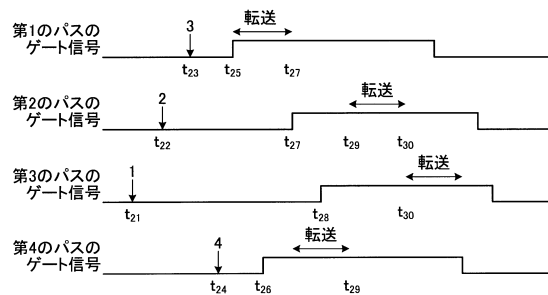
【図 5】



【図 7】



【図 6】



---

フロントページの続き

- (56)参考文献 特開2011-234240 (JP, A)  
特開2005-135240 (JP, A)  
特開2003-241983 (JP, A)  
特開2009-218924 (JP, A)

(58)調査した分野(Int.Cl., DB名)

|      |       |        |
|------|-------|--------|
| H04N | 1/00  |        |
| B41J | 29/00 | -29/70 |
| G03G | 15/00 |        |
|      | 15/36 |        |
|      | 21/00 |        |
|      | 21/02 |        |
|      | 21/14 |        |
|      | 21/20 |        |