

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5281069号
(P5281069)

(45) 発行日 平成25年9月4日(2013.9.4)

(24) 登録日 平成25年5月31日(2013.5.31)

(51) Int.Cl.

F I

HO 1 L 21/8244 (2006.01)

HO 1 L 27/10 3 8 1

HO 1 L 27/11 (2006.01)

請求項の数 10 (全 11 頁)

(21) 出願番号	特願2010-271209 (P2010-271209)	(73) 特許権者	500262038
(22) 出願日	平成22年12月6日 (2010.12.6)		台湾積體電路製造股▲ふん▼有限公司
(65) 公開番号	特開2011-119741 (P2011-119741A)		Taiwan Semiconductor
(43) 公開日	平成23年6月16日 (2011.6.16)		r Manufacturing Com
審査請求日	平成22年12月6日 (2010.12.6)		pany, Ltd.
(31) 優先権主張番号	61/267, 341		台湾新竹科學工業園區新竹市力行六路八號
(32) 優先日	平成21年12月7日 (2009.12.7)		8, Li-Hsin Rd. 6, Hsin
(33) 優先権主張国	米国 (US)		chu Science Park, Hs
(31) 優先権主張番号	12/890, 132		inchu, Taiwan 300-77
(32) 優先日	平成22年9月24日 (2010.9.24)		, R. O. C.
(33) 優先権主張国	米国 (US)	(74) 代理人	100077838
			弁理士 池田 憲保
		(74) 代理人	100082924
			弁理士 福田 修一

最終頁に続く

(54) 【発明の名称】 集積回路

(57) 【特許請求の範囲】

【請求項 1】

集積回路構造であって、SRAMセルからなり、前記SRAMセルは、
第一ストレート (straight) フィンと、
前記第一ストレートフィンから物理的に切り離され、前記第一ストレートフィンに平行な第一部分と第二部分を有する屈曲 (bended) フィンと、
前記第一ストレートフィンに平行でなく、前記第一部分と前記第二部分に相互接続される前記屈曲フィンの第三部分と、
第一ゲートストリップの部分を含み、前記第一ゲートストリップが、前記第一ストレートフィンと前記屈曲フィンの前記第一部分を有する第一、及び、第二サブプルダウントランジスタを形成するプルダウントランジスタと、
第二ゲートストリップの部分を含み、前記第二ゲートストリップが、前記第一ストレートフィンを有する第一サブパスゲートトランジスタを形成するパスゲートトランジスタと、
を含み、
前記屈曲フィンの前記第一部分と前記第一ストレートフィンは第一距離を有し、前記屈曲フィンの前記第二部分と前記第一ストレートフィンは、前記第一距離より大きい第二距離を有し、
前記プルダウントランジスタのフィンの第一の数は、前記パスゲートトランジスタのフィンの第二の数より多いことを特徴とする集積回路。

10

20

【請求項 2】

更に、前記第一ストレートフィンに平行な第二ストレートフィンを有し、前記プルダウントランジスタは、更に、前記第二ストレートフィンの第一部分からなる第三サブプルダウントランジスタを含み、前記パスゲートトランジスタは、更に、前記第二ストレートフィンの第二部分からなる第二サブパスゲートトランジスタを含むことを特徴とする請求項 1 に記載の集積回路。

【請求項 3】

前記第一距離は、前記集積回路の形成技術により許容される最小距離にほぼ等しく、前記集積回路は、更に、

前記第一ストレートフィンの一部上の第一エピタキシャル半導体領域と、

前記屈曲フィンの前記第一部分上にあり、且つ、前記第一エピタキシャル半導体領域と、連続した半導体領域を形成する第二エピタキシャル半導体領域と、

前記第一ストレートフィンと前記屈曲フィン間に水平に位置し、前記第一、及び、前記第二エピタキシャル半導体領域に電氣的に接続されるコンタクトプラグと、からなることを特徴とする請求項 1 に記載の集積回路。

【請求項 4】

前記第一距離は、前記集積回路の形成技術により許容される最小距離にほぼ等しく、前記集積回路構造は、更に、前記第一ストレートフィンと前記屈曲フィン上に直接延伸し、電氣的に接続されるコンタクトプラグを有することを特徴とする請求項 1 に記載の集積回路。

【請求項 5】

前記屈曲フィンの前記第二部分は、前記SRAMセルの境界まで延伸し、前記第二ゲートストリップを有するダミートランジスタを形成し、前記屈曲フィンの前記第二部分は、追加のSRAMセル中の追加のダミートランジスタの追加フィンと、連続した半導体フィンを形成することを特徴とする請求項 1 に記載の集積回路。

【請求項 6】

集積回路構造であって、SRAMセルからなり、前記SRAMセルは、

第一ストレートフィンと、屈曲フィンとを有し、

前記屈曲フィンは、前記第一ストレートフィンに平行な第一部分と、前記第一ストレートフィンに平行な第二部分と、前記第一ストレートフィンに平行でなく、前記第一部分と

前記第二部分と相互接続される前記屈曲フィンの第三部分を有すると共に、
第一ゲートストリップの部分を含み、前記第一ゲートストリップが、前記第一ストレートフィンと前記屈曲フィンの前記第一部分を有する第一、及び、第二サブプルダウントランジスタを形成するプルダウントランジスタと、

第二ゲートストリップの部分を含み、前記第二ゲートストリップが、前記第一ストレートフィンを有する第一サブパスゲートトランジスタを形成すると共に、前記屈曲フィンの前記第二部分を有するダミートランジスタを形成し、前記第一サブパスゲートトランジスタと前記ダミートランジスタによって構成されたパスゲートトランジスタと備え、

前記屈曲フィンの前記第一部分と前記第一ストレートフィンは第一距離を有し、前記屈曲フィンの前記第二部分と前記第一ストレートフィンは、前記第一距離より大きい第二距離を有することを特徴とする集積回路構造。

【請求項 7】

更に、第二ストレートフィンを有し、

前記プルダウントランジスタは、更に、前記第二ストレートフィンの第一部分と前記第一ゲートストリップの追加部分とを含む第三サブプルダウントランジスタを含み、

前記パスゲートトランジスタは、更に、前記第二ストレートフィンの第二部分と、前記第二ゲートストリップの追加部分を含む第二サブパスゲートトランジスタを含むことを特徴とする請求項 6 に記載の集積回路構造。

【請求項 8】

前記屈曲フィンの前記第二部分は前記SRAMセルの境界まで延伸し、追加のSRAMセルの追

10

20

30

40

50

加のダミートランジスタの追加のフィンと、連続した半導体フィンを形成することを特徴とする請求項 6 に記載の集積回路構造。

【請求項 9】

集積回路構造であって、SRAMセルからなり、前記SRAMセルは、

第一ストレートフィンと、

前記第一ストレートフィンから物理的に切り離され、前記第一ストレートフィンに平行な第二ストレートフィンと、

第一ゲートストリップの部分を含み、前記第一ゲートストリップが、前記第一ストレートフィンの第一部分及び前記第二ストレートフィンの第一部分をそれぞれ備えた第一、及び、第二サブプルダウントランジスタを形成するプルダウントランジスタと、

第二ゲートストリップの部分を含み、前記第二ゲートストリップが、前記第一ストレートフィンの第二部分を有するバスゲートトランジスタの第一サブバスゲートトランジスタを形成すると共に、前記第二ゲートストリップが、前記第二ストレートフィンの第二部分に直接延伸し、ダミートランジスタを形成するバスゲートトランジスタと、
からなることを特徴とする集積回路構造。

【請求項 10】

前記第二ストレートフィンは前記SRAMセルの境界まで延伸し、追加のSRAMセル中の追加のダミートランジスタの追加のフィンと、連続した半導体フィンを形成することを特徴とする請求項 9 に記載の集積回路構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置に関するものであって、特に、メモリセル、更には、レイアウト設計、及び、フィン型電界効果トランジスタ (FinFET) からなるスタティックランダムアクセスメモリ (static random access memory: SRAM) セルの製造方法に関するものである。

【背景技術】

【0002】

フィン型電界効果トランジスタ (FinFET) は、プレーナ型トランジスタよりも広いゲート幅を必要とする集積回路に幅広く使用されている。FinFETの主な長所は、小さいチップ面積を使用することである。これらの長所を最大限にするため、高密度装置に用いられる時、例えば、スタティックランダムアクセスメモリ (static random access memory: SRAM) アレイ、FinFET が、よく、単一フィンFinFETとして設計される例えば、特許文献 1 には、FinFETを用いたSRAMが開示されている。

【0003】

しかし、単一フィンFinFETを有するSRAMは、ベータ比率が低い等、セル比率が低いという問題に直面することがある。ここで、ベータ比率は、プルダウントランジスタの駆動電流と各バスゲートトランジスタの駆動電流の比率である。ベータ比率はセル安定性にとって重要である。一般に、ベータ比率は、好ましくは、1以上である。しかし、高密度SRAMアレイの形成において、この要求はプロセスを難しくしてしまう。例えば、同一時間で、セルサイズを小さく維持し、この必要条件を満足させるのは困難である。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特表 2006 - 511091 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、マルチフィンを有するFinFETのSRAM構造を提供し、上述の問題を改善することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様に係るSRAMセルは、ストレート（straight）フィンと、ストレートフィンから物理的に切り離された曲がった、即ち、屈曲した（bended）フィン（以下、屈曲フィンと呼ぶ）を含んでいる。屈曲フィンは、ストレートフィンに平行な第一部分と第二部分を有する。屈曲フィンの第一部分とストレートフィンの間の距離は、屈曲フィンの第二部分とストレートフィンの間の距離より小さい。SRAMセルは、第一ゲートストリップの一部分を含むプルダウントランジスタを含み、前記プルダウントランジスタは、ストレートフィン及び屈曲フィンの第一部分と、それぞれ第一と第二サブプルダウントランジスタを形成しているSRAMセルは、更に、第二ゲートストリップの一部分を含むパスゲートトランジスタを含み、ストレートフィンと第一サブパスゲートトランジスタを形成する。前記プルダウントランジスタは、パスゲートトランジスタより多いフィンを有している。

10

【0007】

別の具体例も開示される。

【発明の効果】

【0008】

本発明によれば、改善されたセル安定性を有するSRAMが得られる。

【図面の簡単な説明】

【0009】

【図1】SRAMセルの回路図で、SRAMセルのプルダウントランジスタはマルチフィントランジスタFinFETである。

20

【図2】図1で示される具体例に係るSRAMセルの配置図である。

【図3A】図2に示されたSRAMセルにおける一部断面図である。

【図3B】SRAMセルにおける他の例に係る一部断面図である。

【図4】本発明に係る他の具体例のSRAMの配置図である

【図5】本発明に係る更に他の具体例のSRAMの配置図である。

【図6】本発明の別の具体例に係るSRAMの配置図である。

【図7】本発明の更に別の具体例によるSRAMの配置図である。

【発明を実施するための形態】

【0010】

30

本発明によれば、マルチフィン型電界効果トランジスタ(FinFET) からなる新規なSRAM、及び、対応する配置が提供される。続いて、具体例の変形例等について説明する。各種図面と実施例の説明中、同様な符号が同様な素子に付される。

【0011】

図1は、具体例に係るSRAMセルの回路図である。SRAMセルは、パスゲートトランジスタPG1とPG2、プルアップ（pull-up）トランジスタPU1とPU2、及び、プルダウントランジスタPD1とPD2を含んでいる。パスゲートトランジスタPG1とPG2のゲートはワードラインWLにより制御され、ワードラインによって、現在のSRAMセルが選択されるかどうかを決定する。プルアップトランジスタPU1とPU2、プルダウントランジスタPD1とPD2により形成されるラッチは、ビットを保存する。保存されたビットは、ビットラインBLとBLBにより、SRAMセルに書き込まれるか、SRAMセルから読み取られる。SRAMセルには、正の電源ノードVCCと電源ノードVSSにより電源が供給される。電源ノードVSSは電氣的に接地されてもよい。

40

【0012】

プルダウントランジスタPD1とPD2は、それぞれ、二以上の半導体フィンを含むマルチフィン型FinFETである。一方、パスゲートトランジスタPG1とPG2、及び、プルアップトランジスタPU1とPU2は、単一フィンFinFET、或いは、マルチフィンFinFETである。従って、プルダウントランジスタPD1とPD2、及び、パスゲートトランジスタPG1とPG2中のフィンの数を調整することにより、ベータ比率 I_{PD1}/I_{PG1} 、或いは、 I_{PD2}/I_{PG2} （ここで、 I_{PD1} 、 I_{PD2} 、 I_{PG1} 、及び、 I_{PG2} は、それぞれ、トランジスタPD1、PD2、PG1、及

50

び、PG2の駆動電流である)を、望ましい値、例えば、1以上に調整することができる。 I_{PU1}/I_{PG1} 、或いは、 I_{PU2}/I_{PG2} (ここで、 I_{PU1} と I_{PU2} は、それぞれ、トランジスタPU1 と PU2の駆動電流である)で示されるアルファ比率も、望ましい値に調整できる。

【0013】

図2は、図1で示される具体例に係るSRAMセルの配置を示す図で、SRAM中のトランジスタに参照符号が付けられている。ユニットセルの境界 (cell boundary) も示されている。図示された部分は、四個の同一構造のSRAMセルを含んでおり、これにより、2x2 アレイを形成している。具体例中、フィン、例えば、SRAMセル中のFin1とFin2は同じ幅を有するが、異なる幅を有していても良い。以下の説明中、トランジスタPG1、PD1、及び、PU1だけを含むSRAMセルの第一ポートだけが詳述され、トランジスタPG2、PD2、及び、PU2を含む第二ポートは、第一ポート中のトランジスタと本質的に同じ特徴を有する。よって、第二ポートの詳細は省略する。図2と図4～図7には、様々な要素、例えば、VCC- contact、VSS- contact、butted- contact、BL- contactとBLB- contact も示され、各種コンタクトの作用も、それらの名前により表されている。説明を通じて、コンタクトは、コンタクトプラグとも称される。

【0014】

プルダウントランジスタPD1 (PD-11とPD-12で示される2個のトランジスタを含んでいる)は、二個のフィンFin1 と Fin2を有し、Fin1 と Fin2は、互いに、物理的に分離されている。従って、プルダウントランジスタPD1は、二個のサブトランジスタPD-11と PD-12からなるダブルフィントランジスタで、サブトランジスタPD-11は、フィンFin1とゲートストリップ (ポリシリコンストリップ、或いは、金属合金ストリップ) G1により形成され、サブトランジスタPD-12 は、フィンFin2 とゲートストリップG1により形成されている。

【0015】

パスゲートトランジスタPG1は1フィンFin1だけを有する。従って、パスゲートトランジスタPG1は、フィンFin1とゲートストリップG2により形成される単一フィントランジスタである。図示された例では、ゲートストリップG2もフィン Fin2上に延伸されている。しかし、フィンFin2とゲートストリップ G2により形成されるトランジスタ (以下で、ダミートランジスタ Dummy1 と称される)のソース/ドレイン領域Dummy1-SD は、ビットラインコンタクトBL-contactから電氣的に切り離され、これにより、トランジスタDummy1は、ダミートランジスタで、パスゲートトランジスタPG1を同時にオン、或いは、オフにしたりすることができない。従って、具体例中、全フィンは同じフィン幅を有し、ベータ比率は約2である。同様に、SRAMセルの第二ポートはダミートランジスタDummy2を含んでいる。

【0016】

具体例中、フィン Fin1はストレートフィンで、フィン Fin2 は、三つの部分Fin2-1、Fin2-2、及び、Fin2-3を有する屈曲フィンである。部分Fin2-1は、ソース、ドレイン、及び、サブトランジスタPD-12のチャネル領域を形成する。部分Fin2-3は、ゲートストリップ G2と、ダミートランジスタDummy1を形成する。部分Fin2-1とFin2-3はフィン Fin1に平行で、部分Fin2-2は平行ではなく、ストレートフィン Fin1に垂直である。

【0017】

図3Aと図3Bは、図2で示される構造の断面図で、図2の線3-3に沿って断面された断面図であり、サブトランジスタPD-1とPD-12のソースとドレイン領域と交叉している。図3Aで示されるように、フィンFin1とFin2は近接して設置される。一具体例において、フィン Fin1とFin2 の距離 S1は、形成技術で許容される最小距離である。例えば、45 nm 技術では、距離 S1は約60～約90nmである。別の具体例では、S1は約 60 nmより小さい。しかし、当業者なら、図示された寸法範囲は単なる例に過ぎず、使用する異なる形成技術により変化することが理解できる。フィン Fin1とFin2は、下方基板20と同じ材料、例えば、シリコン、シリコンゲルマニウム、シリコン炭素、或いは、類似物から形成される。エピタキシャル層22が、フィン Fin1 と Fin2 上に形成されて、物理的に分離されたフィ

10

20

30

40

50

ンFin1と Fin2が電氣的に相互接続されている。フィンFin1上に形成されるエピタキシャル層 22の部分は、フィン Fin2 上のエピタキシャル層 22 の部分と相互に一体化され、連続した半導体層 22を形成している。エピタキシャル層 22は、フィン Fin1とFin2とは異なる組成物によって形成されても良い。ソース/ドレインシリサイド領域 24 は、エピタキシャル層 22上に形成される。コンタクト VSS- contact、或いは、コンタクト PD-D (図 2 を参照)であるコンタクトが、ソース/ドレインシリサイド領域24上に形成され、これにより、フィンFin1 と Fin2に電氣的に接続される。具体例中、コンタクトVSS-contactと PD-Dは、フィン Fin1 と Fin2間に水平に配置されているが、フィン Fin1 と Fin2の任意の一つ、或いは、両方の上に直接形成されてもよい。この具体例では、上面図から分かるように、コンタクトVSS- contactと PD-D は方形である(図 2)。

10

【 0 0 1 8 】

図 3 B は別の具体例を示し、フィンFin1とFin2上に、エピタキシャル層 22 (点線で示される)がない、或いは、エピタキシャル層 22が形成されるが、フィンFin1とFin2上のエピタキシャル層 22の部分が一体化されていない。コンタクトVSS contact はサブトランジスタPD-11 と PD-12のソース上まで直接延伸し、接続されている。コンタクト PD-D は、サブトランジスタPD-11とPD-12のドレインまで直接延伸し、接続されている。本具体例において、コンタクトVSS-contactと PD-D は、異なる長さで幅の長方形である (上面図で見た場合)。

【 0 0 1 9 】

図 2 をもう一度参照すると、サブプルダウントランジスタPD-11とPD-12のソースとドレイン部分のフィンFin1とFin2 は、互いに物理的に切り離されている。特に、45 nm、或いは、それ以下の技術が用いられる際、フィンFin1とFin2を接合することが工程上難しくなる場合、この工程を扱いやすいものになっている。

20

【 0 0 2 0 】

フィン Fin1とFin2間の距離S1が小さい場合、この問題は更に厳しくなる。しかし、図 3 A、或いは、図 3 B 中のスキームを用いることにより、フィン Fin1と Fin2は、プロセスの困難度を増加させることなく、電氣的に相互接続される。更に、フィンFin1とFin2間の距離 S1を、形成技術により許容される最小距離まで減少させることができる。従って、各SRAMセルは小チップ面積だけを占有する。

【 0 0 2 1 】

30

フィン部分Fin2-3は、距離 S1より大きい距離 S2だけ、フィン Fin1から離される。具体例においては、距離S2は、距離S1より、約 125 パーセント、約 150 パーセント、或いは、約180パーセント大きい。従って、パスゲートトランジスタ PG1のソース/ドレイン領域に接続されるコンタクトBL- contactは、パスゲートトランジスタ PG1とダミートランジスタ Dummy1の各ソース/ドレイン領域とを電氣的に不所望に接続しない。

【 0 0 2 2 】

図 4 は、図1で示されるSRAMの別の配置図である。特別の定めがない限り、図 4 ~ 図 7 の同一の参考符号は、図 2 ~ 図 3 B 中に示された同一の素子を示しているため、ここで詳述しない。図 4 の具体例は、フィン部分 Fin2-3が、近接するSRAMセルのフィン部分 Fin2-3 から切り離されていること以外は、図 3 で示される具体例と本質的に同じである。比較すると、図 2 に示されたSRAMセルのフィン部分 Fin2-3は、境界まで連続して延在し、近接するSRAMセルのフィン部分 Fin2-3と単一連続フィンを形成している。図 4 は、別のリソグラフィマスクのパターンである切断ゲートCut-gateのパターンも説明している。フィンの形成は、フィンを形成するステップと、不要部分を除去するステップと、を含み、パターンCut-gate は、フィンの不要部分を除去するのに用いられる。距離S2は距離 S1より大きくから、フィンFin2 が容易に除去され、フィン Fin1 が誤って切断されることがないことが判る。フィンFin2を切断することにより、フィン部分 Fin2-3の後端キャップ Fin-End は、全セル境界から離れた位置にある。

40

【 0 0 2 3 】

図 5 は、図 1 で示されるSRAMセルの別の配置を示す図である。この具体例では、ストレ

50

ートフィン Fin1に平行であるストレートフィンFin3 が加えられている。フィンFin1とFin3間の距離S3は、距離 S1以上である。よって、プルダウントランジスタ PD は、サブトランジスタPD-11、PD-12、及び、PD-13からなるトリプルフィントランジスタである。コンタクトVSS Contactと PD-D は、本質的に、図3 Aと図3 Bで示されるのと同じスキームを用いて、サブプルダウントランジスタPD-11、PD-12、及び、PD-13のソースとドレイン領域に接続され、エピタキシャル層を通して、或いは、3個のフィンFin1、Fin2、Fin3上に直接延伸してそれらを電氣的に接続する大きなコンタクトを通して、設けられている。

【0024】

パスゲートトランジスタ PG1 (PG-11 と PG-12で示される)は、サブトランジスタPG-11と PG-12からなるダブルフィントランジスタである。コンタクトVSS Contact と PD-D は、本質的に、図3 A、或いは、図3 Bで示されるのと同じスキームを用いて、サブプルダウントランジスタPD-11、PD-12、及び、PD-13のソースとドレイン領域に接続される。SRAMセルは、約 1.5に等しいベータ比率を有する。更に、プルアップトランジスタ PU1 は、サブトランジスタPU-11 と PU-12からなるダブルフィントランジスタで、フィン Fin4 と Fin5 、及び、ゲートストリップG1からなる。コンタクトVCC Contactは、本質的に、図3 A、或いは、図3 Bで示されるのと同じスキームを用いて、プルアップトランジスタのソース領域に接続される。従って、SRAMセルは、約 1 に等しいアルファ比率を有する。

【0025】

図6は、図1で示されるSRAMの別の配置図である。本具体例は、フィン部分Fin2-3が、近接するSRAMセルのフィン部分Fin2-3' から切断されていること以外は、図5で示される具体例と本質的に同じである。同様に、切断ゲートCut-gate がフィン Fin2の切断に用いられる。よって、フィン Fin2の後端キャップは全セル境界から分離される。同様に、距離 S2は距離 S1より大きく、フィン Fin2 が容易に切断されて、フィン Fin1 が誤って切断されることがない。

【0026】

図7は、別の具体例による図1で示されるSRAMの更に別の配置図である。この具体例において、フィンFin1、Fin2、及び、Fin3 は平行で、全て、まっすぐである。フィン Fin1とFin3は距離S1を有し、形成技術により許容される最小距離である。フィンFin1とFin2は、距離S1より大きい距離 S2 を有する。距離S1 と S2の例の値(図3を参照)は、前の段落で既に説明されているので、説明を省略する。

【0027】

図7において、フィンFin1とFin3間は距離が短いため、サブトランジスタPD-11 と PD-13のソース領域 (及び、ドレイン領域)は、本質的に、図3 A、或いは、図3 Bで示されるのと同じスキームを用いて(例えば、コンタクト VSS contact 1により)、相互接続される。一方、距離 S2は十分に大きく、サブトランジスタPD-11 と PD-12のソース領域 (及び、ドレイン領域)は、図3 A、或いは、図3 Bで示されるようなスキームにより接続されない。代わりに、コンタクトVSS contact 2 (サブトランジスタ PD-12のソースに接続される)は、金属線M1-connectにより、サブプルダウントランジスタPD-11と PD-13のソースに電氣的に接続される。金属線M1-connectは、金属化層の底部 (通常はM1で、図3 Aと図3 Bを参照)にあり、コンタクト VSS contact1 とVSS contact2上方に、直接位置する。サブプルダウントランジスタPD-11、PD-12、及び、PD-13のドレイン側接続は、基本的に、ソース側と同じである。

【0028】

パスゲートトランジスタ PG1 (PG-11と PG-12を含み、PG-11と PG-12で示される)は、Fin3とゲートストリップG2からなるサブトランジスタPG-11と、フィン Fin1 とゲートストリップ G2からなるサブトランジスタ PG-12と、からなるダブルフィントランジスタである。ゲートストリップG2もフィン Fin2上に延伸することが観察される。トランジスタDummy1のソース/ドレイン領域Dummy1-SD は、ビットラインコンタクトBL contactから電氣的に切り離されており、これにより、トランジスタDummy1もダミートランジスタで、サブパ

10

20

30

40

50

スゲートトランジスタPG-11 と PG-12と同時に、オン、オフにすることができない。従って、図7で示されるように、SRAMセルのベータ比率は約 1.5である。同様に、アルファ比率は約 1である。

【0029】

具体例において、マルチフィンブルダウントランジスタは電氣的に接続され、物理的に切り離されている。これは、フィンを屈曲すること、或いは、ダミートランジスタを形成することにより達成される。各配置は、特に、例えば、45 nm、或いは、それより小さい小型集積回路にとって、工程的に使用し易い。各SRAMセルのベータ比率は 1以上に増加し、セル安定性が改善される。

【0030】

本発明では好ましい実施例を前述の通り開示したが、これらは決して本発明に限定するものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変形や修飾を加えることができ、従って本発明の保護範囲は、特許請求の範囲で指定した内容を基準とする。

【産業上の利用可能性】

【0031】

本発明に係る集積回路は、例えば、キャッシュメモリ等の高速メモリとして利用できる。

【符号の説明】

【0032】

BL、BLB ビットライン
 BL-contact、BLB-contact コンタクト
 Cut-gate 切断ゲート
 Dummy1、Dummy2 ダミートランジスタ
 Dummy1-SD ダミートランジスタのソース/ドレイン領域
 Fin1、Fin2、Fin2-1~Fin2-3、Fin2-3'、Fin3、Fin4、Fin5 フィン
 Fin-End 後端キャップ
 G1、G2 ゲートストリップ
 M1-connect 金属線
 PD1、PD2 プルダウントランジスタ
 PD-11、PD-12、PD-13、PD-21、PD-22 サブプルダウントランジスタ
 PG1、PG2 パスゲートトランジスタ
 PG-11、PG-12、PG-21、PG-22 サブパスゲートトランジスタ
 PU1、PU2 プルアップトランジスタ
 PU-11、PU-12、PU-21、PU-22 サブトランジスタ
 VCC 正の電源ノード
 VCC-contact、VSS-contact、Butted-contact、PD-D、VSS-contact1、VSS-contact2
 コンタクト
 VSS 電源ノード
 S1、S2、S3 距離
 WL ワードライン

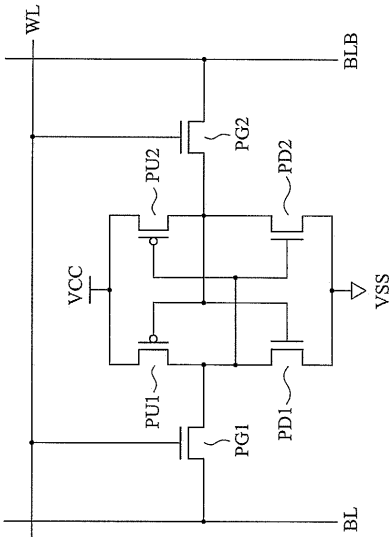
10

20

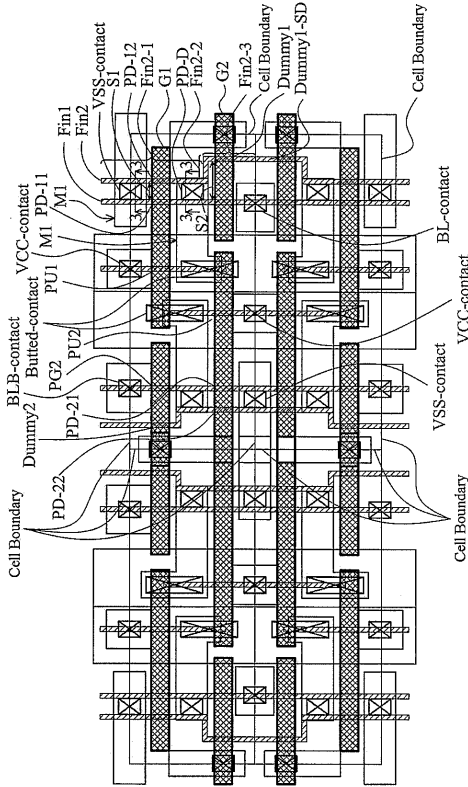
30

40

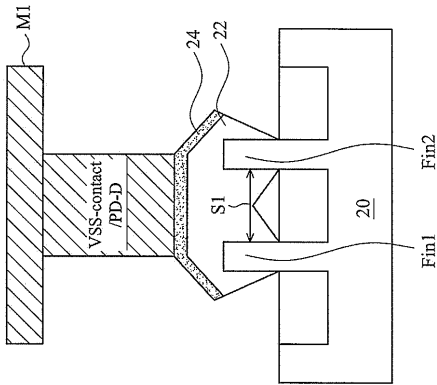
【図 1】



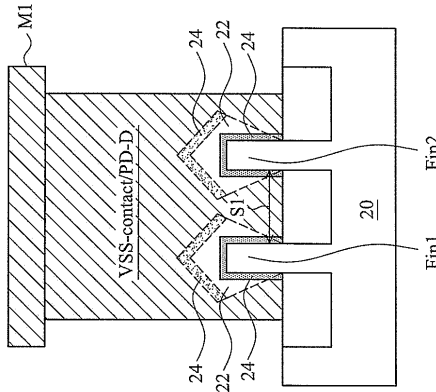
【図 2】



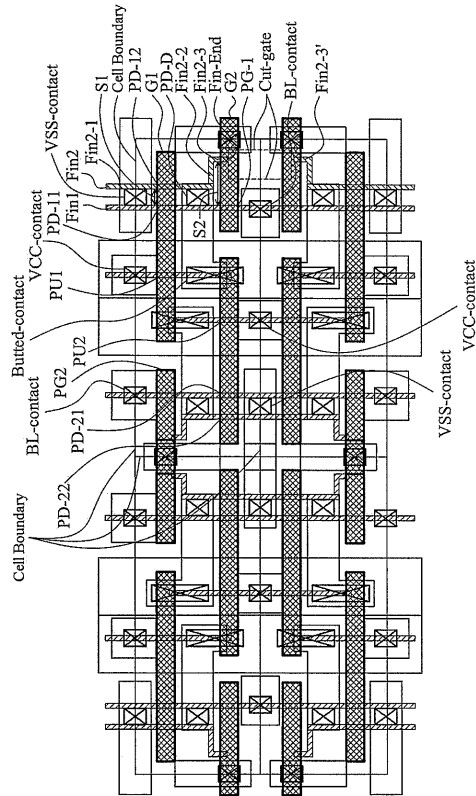
【図 3 A】



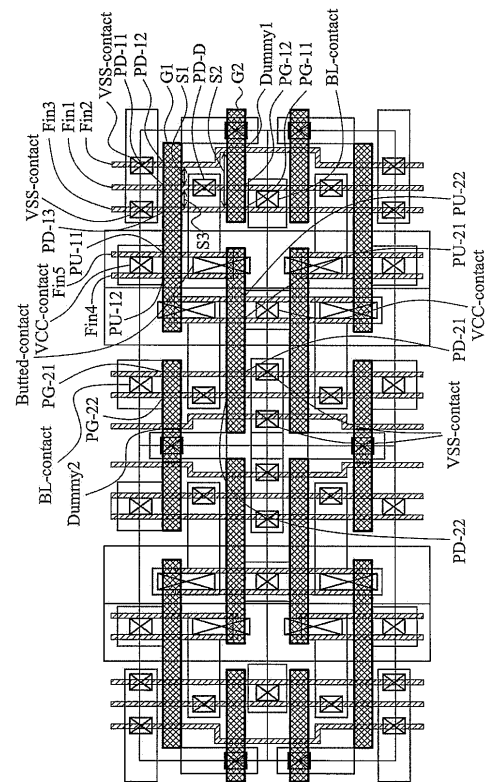
【図 3 B】



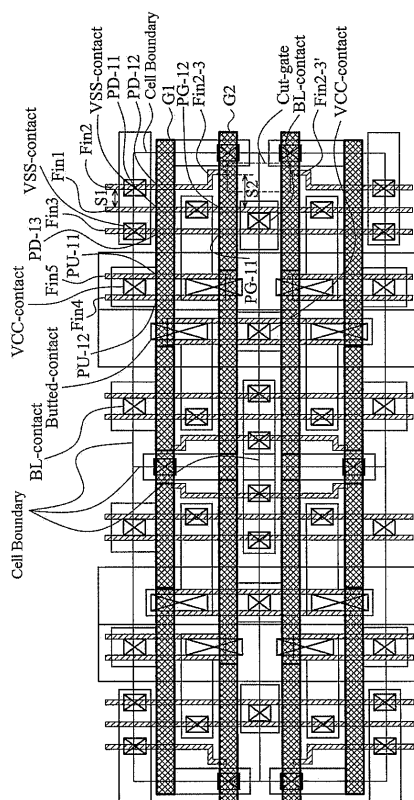
【図 4】



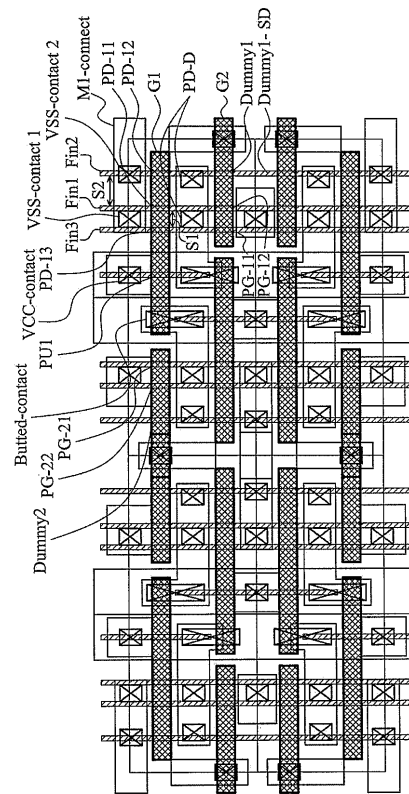
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 廖 忠志

台湾新竹縣竹東鎮二重里學府東路447巷15號

審査官 小山 満

(56)参考文献 特開2008-311503(JP,A)

特開2008-288272(JP,A)

国際公開第2009/123306(WO,A1)

国際公開第2010/054139(WO,A1)

特開2009-130210(JP,A)

特開2005-302934(JP,A)

特開2002-222874(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8244

H01L 27/11