



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201816902 A

(43) 公開日：中華民國 107 (2018) 年 05 月 01 日

(21) 申請案號：106120817

(22) 申請日：中華民國 106 (2017) 年 06 月 22 日

(51) Int. Cl. : H01L21/60 (2006.01)

H01L23/485 (2006.01)

(30) 優先權：2016/10/28 南韓

10-2016-0141781

(71) 申請人：三星電機股份有限公司 (南韓) SAMSUNG ELECTRO-MECHANICS CO., LTD.  
(KR)

南韓

(72) 發明人：金亨俊 KIM, HYOUNG JOON (KR)；李斗煥 LEE, DOO HWAN (KR)；河京武  
HARR, KYOUNG MOO (KR)；吳暻燮 OH, KYUNG SEOB (KR)

(74) 代理人：葉璟宗；鄭婷文；詹富閔

申請實體審查：有 申請專利範圍項數：16 項 圖式數：13 共 52 頁

(54) 名稱

扇外型半導體封裝以及製造扇外型半導體封裝的方法

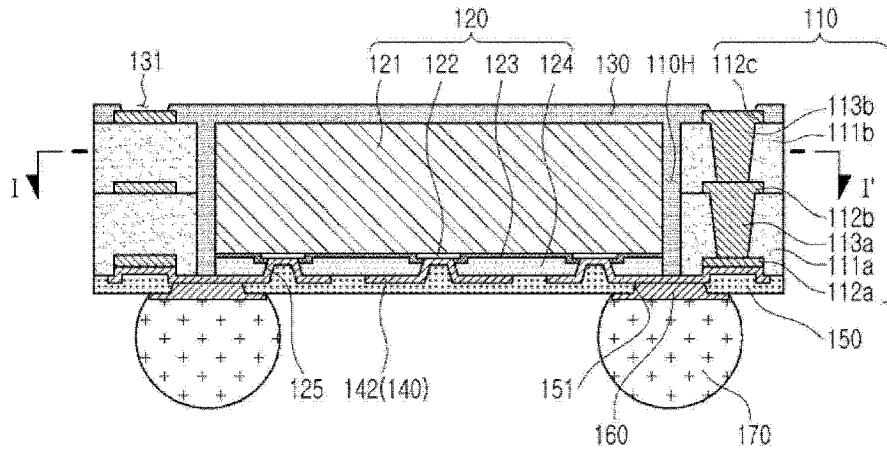
FAN-OUT SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURING THE FAN-OUT  
SEMICONDUCTOR

(57) 摘要

一種扇外型半導體封裝包括：第一連接構件、半導體晶片、包封體以及第二連接構件。第一連接構件具有貫穿孔。半導體晶片配置於貫穿孔中，並具有其上配置有連接墊的主動面以及與主動面相對的非主動面。第二連接構件配置於第一連接構件及半導體晶片的主動面上，其中第一連接構件及第二連接構件分別包括電性連接至連接墊的重佈線層，其中半導體晶片包括配置於主動面上的第一鈍化層，半導體晶片包括配置於第一鈍化層上的第二鈍化層，且其中第二連接構件的重佈線層直接形成在第二鈍化層的表面上，並延伸至第一連接構件的表面上。

A fan-out semiconductor package includes a first connection member having a through-hole, a semiconductor chip disposed in the through-hole, the semiconductor chip having an active surface with connection pads disposed thereon and the semiconductor chip having an inactive surface opposing the active surface, an encapsulant, and a second connection member disposed on the first connection member and the active surface of the semiconductor chip, wherein the first connection member and the second connection member include redistribution layers electrically connected to the connection pads, wherein the semiconductor chip includes a first passivation layer disposed on the active surface and the semiconductor chip includes a second passivation layer disposed on the first passivation layer, and wherein the redistribution layer of the second connection member is directly formed on one surface of the second passivation layer and extends onto one surface of the first connection member.

指定代表圖：



【圖9】

符號簡單說明：

- 110 . . . 第一連接構件
- 110H . . . 貫穿孔
- 111a . . . 第一絕緣層
- 111b . . . 第二絕緣層
- 112a . . . 第一重佈線層
- 112b . . . 第二重佈線層
- 112c . . . 第三重佈線層
- 113a . . . 第一導通孔
- 113b . . . 第二導通孔
- 120 . . . 半導體晶片
- 121 . . . 本體
- 122 . . . 連接墊
- 123 . . . 第一鈍化層
- 124 . . . 第二鈍化層
- 125 . . . 開口
- 130 . . . 包封體
- 131 . . . 開口
- 140 . . . 重佈線層
- 142 . . . 第二連接構件
- 150 . . . 鈍化層
- 151 . . . 開口
- 160 . . . 凸塊下金屬層
- 170 . . . 連接端子

## 【發明說明書】

【中文發明名稱】扇外型半導體封裝以及製造扇外型半導體封裝的方法

【英文發明名稱】 FAN-OUT SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURING THE FAN-OUT SEMICONDUCTOR

[相關申請案的交叉引用]

【0001】 本申請案主張 2016 年 10 月 28 日在韓國智慧財產局中申請的韓國專利申請案第 10-2016-0141781 號的優先權的權益，所述申請案的揭露內容以全文引用的方式併入本文中。

【技術領域】

【0002】 本揭露是關於一種扇外型半導體封裝以及其製造方法。

【先前技術】

【0003】 近年，在半導體晶片相關技術發展中，重要的趨勢為減小半導體晶片的尺寸。因此，在封裝技術領域中，隨著對小型尺寸半導體晶片等的需求的快速增加，已經需要實現具有多個引腳的小型尺寸半導體封裝。

【0004】 扇外型封裝即為一種滿足上述技術需求而提出的封裝技術。此種扇外型封裝具有小型的尺寸，並可藉由在半導體晶片所

配置的區域對連接端子進行重新分佈而實現多個引腳。

**【發明內容】**

**【0005】** 本揭露的一個態樣可提供一種扇外型半導體封裝，可被製造為超小型尺寸並具有超薄厚度以減少成本，且可提供一種其製造方法。

**【0006】** 根據本揭露的一個態樣，可提供一種扇外型半導體封裝，其中具有貫穿孔並包括重佈線層的連接構件被引入至半導體晶片配置的區域中，且重佈線層直接在保護連接構件的最外層鈍化層以及半導體晶片的主動面上形成，以使連接構件的重佈線層與半導體晶片的連接墊彼此連接。

**【0007】** 根據本揭露的一個態樣，扇外型半導體封裝可包括：第一連接構件、半導體晶片、包封體以及第二連接構件。第一連接構件具有貫穿孔。半導體晶片配置於貫穿孔中，並具有多個連接墊配置於其上的主動面及非主動面。包封體包封第一連接構件的至少部分以及半導體晶片的非主動面。而第二連接構件配置於第一連接構件及半導體晶片的主動面上，其中第一連接構件及第二連接構件分別包括電性連接至這些連接墊的多個重佈線層，半導體晶片包括配置於主動面的第一鈍化層以及配置於第一鈍化層的第二鈍化層上，且第二連接構件的重佈線層在第二鈍化層的表面上直接形成，並延伸至第一連接構件的表面上。

**【0008】** 根據本揭露的一個態樣，扇外型半導體封裝的製造方法

可包括：製備具有貫穿孔並包括重佈線層的第一連接構件；在貫穿孔中配置半導體晶片，半導體晶片具有其上配置有多個連接墊的主動面以及與主動面對的非主動面，半導體晶片包括第一鈍化層以及第二鈍化層，第一鈍化層配置於主動面上，第二鈍化層配置於第一鈍化層上；形成包封體，包封第一連接構件的至少部分及半導體晶片的非主動面的至少部分；以及藉由在第一連接構件的一表面及第二鈍化層的表面上形成重佈線層而形成第二連接構件，第二連接構件的重佈線層接觸第一連接構件的重佈線層及半導體晶片的這些連接墊。

#### 【圖式簡單說明】

【0009】下文特舉實施例，並配合所附圖式作詳細說明，本揭露的上述及其他態樣、特徵及優點將能更明顯易懂，在所附圖式中：

圖 1 為根據本揭露的例示性實施例說明電子裝置系統實例的方塊示意圖；

圖 2 為根據本揭露的例示性實施例說明電子裝置系統實例的立體示意圖；

圖 3A 及圖 3B 為根據本揭露的例示性實施例說明扇入型半導體封裝在封裝前及封裝後狀態的剖視示意圖；

圖 4 為根據本揭露的例示性實施例說明扇入型半導體封裝的封裝製程的剖視示意圖；

圖 5 為根據本揭露的例示性實施例說明扇入型半導體封裝安裝於中介基板上且最終安裝於電子裝置的主板上之情形的剖視示

意圖；

圖 6 為根據本揭露的例示性實施例說明扇入型半導體封裝嵌入中介基板中且最終安裝於電子裝置的主板上之情形的剖視示意圖；

圖 7 為根據本揭露的例示性實施例說明扇外型半導體封裝的剖視示意圖；

圖 8 為根據本揭露的例示性實施例說明扇外型半導體封裝安裝於電子裝置的主板上之情形的剖視示意圖；

圖 9 為根據本揭露的例示性實施例說明扇外型半導體封裝的一實施例的剖視示意圖；

圖 10 為沿圖 9 所示剖線 I-I' 截取的俯視示意圖；

圖 11A 至圖 11B 為說明製造圖 9 的扇外型半導體封裝的製程一實施例；

圖 12 為根據本揭露的例示性實施例說明扇外型半導體封裝另一實施例的剖視示意圖；以及

圖 13 為根據本揭露的例示性實施例說明扇外型半導體封裝又一實施例的剖視示意圖。

## 【實施方式】

【0010】 在下文中，將參照圖式說明本揭露中的各例示性實施例。在所附圖式中，為清晰起見，可誇大或調整各組件的形狀、尺寸等。

【0011】 本文中所使用的用語「例示性實施例」並不指代同一例示性實施例，而是為強調與另一例示性實施例的特定特徵或特性

不同的特定特徵或特性而提供。然而，本文中所提供的例示性實施例被視為能夠藉由彼此整體地或部分地組合而實施。舉例而言，即使並未在另一例示性實施例中說明在特定例示性實施例中說明的一個元件，然而除非在另一例示性實施例中提供了相反或矛盾的說明，否則所述元件亦可被理解為與另一例示性實施例相關的說明。

**【0012】** 在說明中組件與另一組件的「連接」的意義包括經由第三組件の間接連接以及在兩個組件之間是直接連接。另外，「電性連接」意為包括物理連接及物理斷接的概念。應理解，當以「第一」及「第二」來指代元件時，所述元件並非由此受到限制。使用「第一」及「第二」可能僅用於將所述元件與其他元件區分開的目的，且可不限制所述元件的順序或重要性。在一些情形中，在不背離本文中所提出的申請專利範圍的條件下，第一元件可被稱作第二元件。相似地，第二元件亦可被稱作第一元件。

**【0013】** 在本文中，所附圖式中說明上部分、下部分、上側面、下側面、上表面、下表面等。舉例而言，第一連接構件配置在高於重佈線層的水平高度上。然而，本申請專利範圍不以此為限。另外，垂直方向指代上述向上方向及向下方向，且水平方向指代與上述向上方向及向下方向垂直的方向。在此情況下，垂直截面意指沿垂直方向上的平面截取的情形，且垂直截面的實例可為圖式中所示的剖視圖。此外，水平截面指代沿水平方向上的平面截取的情形，且水平截面的實例可為圖式中所示的平面圖。

【0014】 使用本文中所使用的用語僅為了說明例示性實施例而非限制本揭露。在此情況下，除非在上下文中另有解釋，否則單數形式包括複數形式。

## 電子裝置

【0015】 圖 1 為根據本揭露的例示性實施例說明電子裝置系統實施例的方塊示意圖。

【0016】 參考圖 1，電子裝置 1000 中可容納主板 1010。主板 1010 可包括物理連接或電性連接至其的晶片相關組件 1020、網路相關組件 1030 以及其他組件 1040 等。該些組件可連接至以下將說明的其他組件，以形成各種訊號線 1090。

【0017】 晶片相關組件 1020 可包括：記憶體晶片，例如揮發性記憶體（例如動態隨機存取記憶體（dynamic random access memory，DRAM）、非揮發性記憶體（例如唯讀記憶體（read only memory，ROM）、快閃記憶體等；應用處理器晶片，例如中央處理器（例如，中央處理單元（central processing unit，CPU）、圖形處理器（例如，圖形處理單元（graphic processing unit，GPU）、數位訊號處理器、密碼處理器（cryptographic processor）、微處理器、微控制器等；及邏輯晶片，例如類比至數位轉換器（analog-to-digital converter，ADC）、應用專用積體電路（application-specific integrated circuit，ASIC）等。然而晶片相關組件 1020 不以此為限，亦可包含多種其他無線或有線標準或協定。另外，晶片相關組件

1020 可彼此組合。

**【0018】** 網路相關組件 1030 可包括例如以下協定：無線保真 (wireless fidelity, Wi-Fi) (電氣及電子工程師學會 (Institute of Electrical And Electronics Engineers, IEEE) 802.11 家族等)、全球互通微波存取 (worldwide interoperability for microwave access, WiMAX)(IEEE 802.16 家族等)、IEEE 802.20、長期演進(long term evolution, LTE)、僅支援資料的演進(evolution data only, Ev-DO)、高速封包存取+ (high speed packet access +, HSPA+)、高速下行封包存取+ (high speed downlink packet access +, HSDPA+)、高速上行封包存取+ (high speed uplink packet access +, HSUPA+)、增強型資料 GSM 環境 (enhanced data GSM environment, EDGE)、全球行動通訊系統 (global system for mobile communications, GSM)、全球定位系統 (global positioning system, GPS)、通用封包無線電服務 (general packet radio service, GPRS)、分碼多重存取 (code division multiple access, CDMA)、分時多重存取 (time division multiple access, TDMA)、數位增強型無線電訊 (digital enhanced cordless telecommunications, DECT)、藍芽、3G 協定、4G 協定、5G 協定以及繼上述協定之後指定的任何其他無線協定及有線協定。然而，網路相關組件 1030 不以此為限，而亦可包括多種其他無線標準或協定或者有線標準或協定。另外，網路相關組件 1030 可與上文所描述的晶片相關組件 1020 一起彼此組合。

**【0019】** 其他組件 1040 可包括高頻電感器、鐵氧體電感器 (ferrite

inductor)、功率電感器 (power inductor)、鐵氧體珠粒 (ferrite beads)、低溫共燒陶瓷 (low temperature co-fired ceramic; LTCC)、電磁干擾 (electromagnetic interference; EMI) 濾波器、多層陶瓷電容器 (multilayer ceramic capacitor; MLCC)、其組合等。然而，其他組件 1040 不以此為限，而亦可包括用於各種其他目的的被動組件等。另外，其他組件 1040 可與上述晶片相關組件 1020 或網路相關組件 1030 一起彼此組合。

**【0020】** 視電子裝置 1000 的類型，電子裝置 1000 可包括可物理連接至或電性連接至主板 1010 的其他組件，或是可不物理連接至或不電性連接至主板 1010 的其他組件。該些其他組件可包括例如照相機模組 1050、天線 1060、顯示器裝置 1070、電池 1080、音訊編解碼器 (未繪示)、視訊編解碼器 (未繪示)、功率放大器 (未繪示)、羅盤 (未繪示)、加速度計 (未繪示)、陀螺儀 (未繪示)、揚聲器 (未繪示)、大容量儲存單元 (例如硬碟驅動機) (未繪示)、光碟 (compact disk, CD) 驅動機 (未繪示)、數位多功能光碟 (digital versatile disk, DVD) 驅動機 (未繪示) 等。然而，該些其他組件不以此為限，而是視電子裝置 1000 的類型等亦可包括各種用途的其他組件。

**【0021】** 電子裝置 1000 可為智慧型電話、個人數位助理 (personal digital assistant, PDA)、數位攝影機、數位照相機 (digital still camera)、網路系統、電腦、監視器、平板個人電腦 (tablet PC)、筆記型個人電腦、隨身型易網機個人電腦 (netbook PC)、電視、

視訊遊戲機 ( video game machine )、智慧型手錶或汽車組件等。然而，電子裝置 1000 不以此為限，且可為處理資料的任何其他電子裝置。

【0022】 圖 2 為根據本揭露的例示性實施例說明電子裝置系統實施例的立體示意圖。

【0023】 參照圖 2，半導體封裝可於上述的電子裝置 1000 中使用於各種目的。舉例而言，主板 1110 可容置於智慧型電話 1100 的本體 1101 中，且各種電子組件 1120 可物理連接至或電性連接至主板 1110。另外，可物理連接至或電性連接至主板 1110 或可不物理連接至或不電性連接至主板 1110 的其他組件（例如：相機模組 1130），其可容置於本體 1101 中。電子組件 1120 中的一些電子組件可為晶片相關組件，且半導體封裝 100 可例如為晶片相關組件之間的應用程式處理器，但不以此為限。所述電子裝置不必僅限於智慧型電話 1100，而是可為上述其他電子裝置。

## 半導體封裝

【0024】 一般而言，在半導體晶片中整合有諸多精細的電路。然而，半導體晶片自身不能充當已完成的半導體產品，且可能因外部物理性或化學性影響而受損。因此，半導體晶片無法單獨使用，但可封裝於電子裝置等之中且在電子裝置等中以封裝狀態使用。

【0025】 此處，由於半導體晶片與電子裝置的主板之間存在電性連接方面的電路寬度差異 ( circuit widths ) 而需要半導體封裝。詳

細而言，半導體晶片的連接墊的大小及半導體晶片的連接墊之間  
的間隔極為精細，但電子裝置中所使用的主板的組件接合墊  
(component mounting pads)的大小及主板的組件接合墊之間  
的間隔顯著地大於半導體晶片的連接墊的大小及間隔。因此，可能難  
以將半導體晶片直接安裝於主板上，並需要用於緩衝半導體晶片  
與主板之間的電路寬度差的封裝技術。

【0026】 視半導體封裝的結構及目的，使用封裝技術製造的半導  
體封裝可分類為扇入型半導體封裝或扇外型半導體封裝。

【0027】 將在下文中參照圖式更詳細地說明扇入型半導體封裝及  
扇外型半導體封裝。

### 扇入型半導體封裝

【0028】 圖 3A 及圖 3B 為根據本揭露的例示性實施例說明扇入型  
半導體封裝在封裝前及封裝後狀態的剖視圖。

【0029】 圖 4 為根據本揭露的例示性實施例說明扇入型半導體封  
裝的封裝製程的剖視示意圖。

【0030】 參照圖式，半導體晶片 2220 可為例如處於裸露狀態下的  
積體電路 (integrated circuit, IC)，半導體晶片 2220 包括：本體  
2221，包括矽 (Si)、鍺 (Ge)、砷化鎵 (GaAs) 等；連接墊 2222，  
形成於本體 2221 的一個表面上且包括例如鋁 (Al) 等導電材料；  
以及保護層 2223，其例如為氧化物膜或氮化物膜等，且形成於本  
體 2221 的表面上並覆蓋連接墊 2222 的至少部分。在此情況下，

由於連接墊 2222 顯著地在尺寸上是小的，因此可能難以將積體電路（IC）安裝於中級印刷電路板（printed circuit board，PCB）上以及電子裝置的主板等上。

【0031】 因此，視半導體晶片 2220 尺寸，連接構件 2240 可形成在半導體晶片 2220 上，以對連接墊 2222 進行重新分佈。連接構件 2240 可藉由以下步驟來形成：利用例如感光成像介電（photoimagable dielectric，PID）樹脂等絕緣材料在半導體晶片 2220 上形成絕緣層 2241；形成外露連接墊 2222 的導通孔 2243h；並接著形成佈線圖案 2242 及導通孔 2243。接著，可形成保護連接構件 2240 的保護層 2250、可形成開口 2251 及可形成凸塊下金屬層 2260 等。亦即，可藉由一系列製程來製造包括例如半導體晶片 2220、連接構件 2240、保護層 2250、及凸塊下金屬層 2260 的扇入型半導體封裝 2200。

【0032】 如上所述，所述扇入型半導體封裝可具有一種封裝形式，其中半導體晶片的例如輸入/輸出（input/output，I/O）端子等所有的連接墊均配置於半導體晶片內，且可具有極佳的電性特性，且可以低成本進行生產。因此，已以扇入型半導體封裝形式製造出安裝於智慧型電話中的諸多元件。詳細而言，已經發展許多安裝於智慧型電話的元件，其在具有相對較小尺寸時仍可以進行快速的訊號傳送。

【0033】 然而，由於所有輸入/輸出端子需要配置於扇入型半導體封裝中的半導體晶片內部，因此扇入型半導體封裝具有較大的空

間限制。因此，可能難以將此結構應用至具有大量輸入/輸出端子的半導體晶片或具有較小尺寸的二維半導體晶片。另外，由於上述缺點，扇入型半導體封裝無法在電子裝置的主板上直接安裝及使用。原因在於，即使藉由重佈線製程增大半導體晶片的輸入/輸出端子的尺寸及半導體晶片的各輸入/輸出端子之間間隔，在此情況下，半導體晶片的輸入/輸出端子的尺寸及半導體晶片的各輸入/輸出端子之間間隔可能仍不足以使扇入型半導體封裝直接安裝於電子裝置的主板上。

**【0034】** 圖 5 為根據本揭露的例示性實施例說明扇入型半導體封裝安裝於中介基板上且最終安裝於電子裝置的主板上之情形的剖視示意圖。

**【0035】** 圖 6 為根據本揭露的例示性實施例說明扇入型半導體封裝嵌入中介基板中且最終安裝於電子裝置的主板上之情形的剖視示意圖。

**【0036】** 參照圖式，在扇入型半導體封裝 2200 中，半導體晶片 2220 的連接墊 2222 (亦即，輸入/輸出端子) 可經由中介基板 2301 再次重新分佈，且扇入型半導體封裝 2200 可在其安裝於中介基板 2301 上的狀態下最終安裝於電子裝置的主板 2500 上。在此情況下，可藉由底部填充樹脂 2280 等來固定焊球 2270 等，且半導體晶片 2220 的外側面可被模製材料 2290 等覆蓋。扇入型半導體封裝 2200 可嵌入單獨的中介基板 2302 中，半導體晶片 2220 的連接墊 2222 (亦即，輸入/輸出端子) 可在扇入型半導體封裝 2200 嵌

入於中介基板 2302 中的狀態中，由中介基板 2302 重新分佈，且扇入型半導體封裝 2200 可最終安裝於電子裝置的主板 2500 上。

**【0037】** 如上所述，可能難以直接在電子裝置的主板上安裝及使用扇入型半導體封裝。因此，扇入型半導體封裝可安裝於單獨的中介基板上，並接著藉由封裝製程安裝於電子裝置的主板上；或者扇入型半導體封裝可在扇入型半導體封裝嵌入於中介基板中的狀態下在電子裝置的主板上安裝及使用。

### 扇外型半導體封裝

**【0038】** 圖 7 為根據本揭露的例示性實施例說明扇外型半導體封裝的剖視示意圖。

**【0039】** 參照圖式，在扇外型半導體封裝 2100 中，舉例而言，半導體晶片 2120 的外側面由包封體 2130 保護，且半導體晶片 2120 的連接墊 2122 可藉由連接構件 2140 而在半導體晶片 2120 之外進行重新分佈。在此情況下，鈍化層 2150 可進一步在連接構件 2140 上形成，且凸塊下金屬層 2160 可進一步在鈍化層 2150 的開口中形成。焊球 2170 可進一步在凸塊下金屬層 2160 上形成。半導體晶片 2120 可為包括本體 2121、連接墊 2122、鈍化層（圖中未繪示）等的積體電路。連接構件 2140 可包括絕緣層 2141、重佈線層 2142 以及導通孔 2143，重佈線層 2142 形成在絕緣層 2141 上，而導通孔 2143 將連接墊 2122 與重佈線層 2142 彼此電性連接。

**【0040】** 如上所述，扇外型半導體封裝可具有一種形式，其中半

導體晶片的輸入/輸出端子經由形成於半導體晶片上的連接構件重新分佈並在半導體晶片之外配置。如上所述，在扇入型半導體封裝中，半導體晶片的所有輸入/輸出端子均需要配置於半導體晶片內。因此，當半導體晶片的尺寸減小時，需要減小球的尺寸及間距，進而使得無法在扇入型半導體封裝中使用標準化球佈局（standardized ball layout）。另一方面，所述扇外型半導體封裝具有一種形式，其中藉由於半導體晶片上形成的連接構件，半導體晶片的輸入/輸出端子被重新分佈並配置於半導體晶片之外，如上所述。因此，即使半導體晶片的尺寸減小的情況下，標準化球佈局亦可照樣用於扇外型半導體封裝中，使得扇外型半導體封裝可安裝於電子裝置的主板上而無需使用單獨的中介基板，如下所述。

**【0041】** 圖 8 為根據本揭露的例示性實施例說明扇外型半導體封裝安裝於電子裝置的主板上之情形的剖視示意圖。

**【0042】** 參照圖式，扇外型半導體封裝 2100 可經由焊球 2170 等安裝於電子裝置的主板 2500 上。亦即，如上所述，扇外型半導體封裝 2100 包括連接構件 2140，連接構件 2140 形成於半導體晶片 2120 上且能夠將連接墊 2122 重新分佈至面積大於半導體晶片 2120 面積的扇出區域，使得實際上可在扇外型半導體封裝 2100 中使用標準化球佈局。因此，扇外型半導體封裝 2100 可在不使用單獨的中介基板等的條件下安裝於電子裝置的主板 2500 上。

**【0043】** 如上所述，由於扇外型半導體封裝可安裝於電子裝置的

主板上而無需使用單獨的中介基板，因此扇外型半導體封裝可在其厚度小於使用中介基板的扇入型半導體封裝的厚度的情況下實施。因此，可使扇外型半導體封裝小型化且輕薄化。另外，扇外型半導體封裝具有極佳的熱特性及電性特性，尤其適合用於行動裝置。因此，扇外型半導體封裝可被實作成較使用印刷電路板（PCB）的一般堆疊式封裝（POP）類型的形式更小型（compact）的形式，且可解決因出現翹曲（warping）現象而造成的問題。

【0044】同時，扇外型半導體封裝意指一種封裝技術，如上文所述用於將半導體晶片安裝於電子裝置的主板等上，並保護半導體晶片免受外部影響，且與例如中介基板等的印刷電路板（PCB）在概念方面不同，印刷電路板具有與扇外型半導體封裝不同的規格及目的等，且具有扇入型半導體封裝嵌入其中。

【0045】以下將參考圖式說明一種扇外型半導體封裝以及其製造方法，扇外型半導體封裝可製造為超小型尺寸以及超薄厚度以減少成本。

【0046】圖 9 為根據本揭露的例示性實施例說明扇外型半導體封裝一實施例的剖視示意圖。

【0047】圖 10 為沿圖 9 的扇外型半導體封裝的剖線 I-I'所截取的平面示意圖。

【0048】參照圖式，根據本揭露中的例示性實施例的扇外型半導體封裝 100 可包括：第一連接構件 110、半導體晶片 120、包封體 130、第二連接構件 140。第一連接構件 110 具有貫穿孔 110H。半

導體晶片 120 配置於第一連接構件 110 的貫穿孔 110H 中，並具有連接墊 122 配置於其上的主動面及與所述主動面對的非主動面。包封體 130 包封第一連接構件 110 的至少部分以及半導體晶片 120 的至少部分。第二連接構件 140 配置於第一連接構件 110 上及半導體晶片 120 的主動面上。第一連接構件 110 可包括重佈線層 112a、重佈線層 112b 以及重佈線層 112c，重佈線層 112a、重佈線層 112b 以及重佈線層 112c 電性連接至半導體晶片 120 的連接墊 122。第二連接構件 140 亦可包括重佈線層 142，重佈線層 142 電性連接至半導體晶片 120 的連接墊 122。第二連接構件 140 的重佈線層 142 可形成在半導體晶片 120 的第二鈍化層 124 的表面上，並延伸至第一連接構件 110 的表面上，在重佈線層 142 與第二鈍化層 124 之間毋須插置單獨絕緣層。如上所述，第一連接構件 110 可包括重佈線層 112a、重佈線層 112b 以及重佈線層 112c，從而減少第二連接構件 140 的層數，而且可在配置半導體晶片 120 之前形成第一連接構件 110，使得半導體晶片 120 的良率下降問題可以解決。另外，重佈線層 142 藉由電鍍等方式在半導體晶片 120 的第二鈍化層 124 上直接形成，並延伸至第一連接構件 110，此為了形成重佈線層 142 而在對應的區域中所需要的絕緣層可被省略，因而可能得以小型化、輕薄化扇外型半導體封裝的厚度，並減少扇外型半導體封裝的成本。在第二鈍化層 124 上直接形成重佈線層 142 的意思是，使用第二鈍化層 124 作為絕緣層，藉由電鍍等方式在第二鈍化層 124 上形成重佈線層 142。

【0049】 同時，半導體晶片 120 可具有多個開口 125，這些開口 125 貫穿第一鈍化層 123 及第二鈍化層 124，並暴露連接墊 122 的至少部分，且第二連接構件 140 的重佈線層 142 可配置在被暴露的連接墊 122 以及這些開口 125 的多個壁面上，從而接觸半導體晶片 120 的連接墊 122。另外，第一連接構件 110 可具有凹陷部分，凹陷部分在第一連接構件 110 的表面向內形成，並接觸第二連接構件 140，且第二連接構件 140 的重佈線層 142 可配置於凹陷部分中，從而接觸第一連接構件 110 的重佈線層 112a。如上所述，第二連接構件 140 的重佈線層 142 可直接接觸半導體晶片 120 的連接墊 122 及第一連接構件 110 的重佈線層 112a，並可使半導體晶片 120 的連接墊 122 與第一連接構件 110 的重佈線層 112a 彼此電性連接，儘管扇外型半導體封裝微型化與薄型化，在扇外型半導體封裝的佈線設計仍可具有高的自由度。

【0050】 同時，包封體 130 可填充貫穿孔 110H 的壁面與半導體晶片 120 的側面之間的空間的至少部分，且第二連接構件 140 的重佈線層 142 可延伸至填充於貫穿孔 110H 的壁面與半導體晶片 120 的側面之間的至少部分空間的包封體 130 的表面上。在此情況下，第二鈍化層 124 的表面、包封體 130 的表面以及第一連接構件 110 的具有第二連接構件 140 的重佈線層 142 形成於其上的表面可配置於相同的水平高度上。此處，相同水平高度的概念包括：由於製程中的誤差，第二鈍化層的表面、包封體的表面以及第一連接構件的表面配置於大致相同平面上以及它們配置在完全相同平面

上的情況。如上所述，由於第二連接構件 140 的重佈線層 142 可在平坦的表面上形成，重佈線層 142 可被平整形成而不造成例如電鍍缺陷等問題。

【0051】 以下將更詳細說明根據例示性實施例的扇外型半導體封裝所包括的個別組件。

【0052】 視特定材料，第一連接構件 110 可維持扇外型半導體封裝的剛性，並用於確保包封體 130 的厚度均勻性。扇外型半導體封裝可作為第一連接構件 110 的堆疊式封裝 (POP) 的部分。第一連接構件 110 可包括多個重佈線層 112a、重佈線層 112b 以及重佈線層 112c，以有效地重新分佈半導體晶片 120 的連接墊 122，且第一連接構件 110 可提供一種寬佈線設計區域 (wide wiring design region)，以顯著地抑制重佈線層在其他區域中形成。半導體晶片 120 可配置於貫穿孔 110H 中，以便由預定距離將半導體晶片 120 自第一連接構件 110 區隔。半導體晶片 120 的多個側面可被第一連接構件 110 環繞。單獨的被動組件 (例如：電容器或感應器) 可進一步配置於貫穿孔 110H 中，且被動組件可電性連接至半導體晶片 120。

【0053】 第一連接構件 110 可包括第一絕緣層 111a、第一重佈線層 112a、第二重佈線層 112b、第二絕緣層 111b 以及第三重佈線層 112c。第一重佈線層 112a 第二連接構件 140 的重佈線層 142 接觸，並嵌入於第一絕緣層 111a 中。第二重佈線層 112b 配置於第一絕緣層 111a 的表面上，所述表面與第一重佈線層 112a 所嵌入的第一

絕緣層 111a 的另一表面相對。第二絕緣層 111b 配置於第一絕緣層 111a 上，並覆蓋第二重佈線層 112b。第三重佈線層 112c 配置於第二絕緣層 111b 上。第一重佈線層至第三重佈線層 112a、112b 以及 112c 可電性連接至連接墊 122。第一重佈線層 112a、第二重佈線層 112b 以及第二重佈線層 112b、第三重佈線層 112c 可分別經由貫穿第一絕緣層 111a 及第二絕緣層 111b 的第一導通孔 113a 及第二導通孔 113b 而彼此電性連接。

**【0054】** 由於第一連接構件 110 可包括數量較大的重佈線層 112a、重佈線層 112b 及重佈線層 112c，因此可進一步簡化第二連接構件 140。因此，在形成第二連接構件 140 製程中出現的缺陷所導致的良率下降可被抑制，且第二連接構件 140 可被薄化。第一重佈線層 112a 可陷入第一絕緣層 111a 中，使得第一絕緣層 111a 的下表面及第一重佈線層 112a 的下表面之間具有台階。亦即，第一連接構件 110 可具有凹陷部分。當包封體 130 形成時，可藉由凹陷部分防止包封體 130 滲入而污染第一重佈線層 112a。

**【0055】** 第一連接構件 110 的第二重佈線層 112b 可配置於半導體晶片 120 的主動面與非主動面之間的水平高度上。第一連接構件 110 厚度可對應半導體晶片 120 的厚度而形成。也就是說，第二重佈線層 112b 在第一連接構件 110 中形成，第二重佈線層 112b 所配置的水平高度介於半導體晶片 120 主動面的水平高度與非主動面的水平高度之間。

**【0056】** 第一連接構件 110 的第一重佈線層 112a 的厚度、第二重

佈線層 112b 的厚度以及第三重佈線層 112c 的厚度可大於第二連接構件 140 的重佈線層 142 的厚度。由於第一連接構件 110 的厚度可等於或大於半導體晶片 120 的厚度，因此視第一連接構件 110 的規格，重佈線層 112a、重佈線層 112b 及重佈線層 112c 可具有相對較大的尺寸。另一方面，第二連接構件 140 的重佈線層 142 透過精密電路製程（例如：半導體製程）形成，第二連接構件 140 的重佈線層 142 可以相對較小尺寸的厚度形成。

【0057】舉例而言，絕緣層 111a 及絕緣層 111b 的材料可包括無機填料及絕緣樹脂的材料。舉例而言，可使用熱固性樹脂（例如：環氧樹脂）、熱塑性樹脂（例如：聚醯亞胺樹脂）或包括例如無機填料（如：氧化矽（silica）、礬土（alumina）等）等加強材料的樹脂等，具體而言，味素構成膜（Ajinomoto Build up Film，ABF）、感光成像介電（PID）樹脂或雙馬來醯亞胺三嗪（Bismaleimide Triazine，BT）等。或者，絕緣材料亦可為其中有熱固性樹脂或熱塑性樹脂來與無機填料一同注入（impregnated）例如玻璃纖維（或玻璃布、玻璃纖維布）的核心材料，例如預浸體等的材料。

【0058】重佈線層 112a、重佈線層 112b 以及重佈線層 112c 可包括導電材料，例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）或其合金等。重佈線層 112a、重佈線層 112b 以及重佈線層 112c 可視對應層的設計而執行各種功能。舉例而言，重佈線層 112a、重佈線層 112b 以及重佈線層 112c 可包括接地（ground，GND）圖案、電源（power，PWR）圖案、

訊號 (signal, S) 圖案等。此處，訊號圖案可包括除了接地圖案、電源圖案等之外的各種訊號，例如資料訊號等。另外，重佈線層 112a、重佈線層 112b 以及重佈線層 112c 可包括用於導通孔的接墊圖案、用於連接端子的接墊圖案等。

**【0059】** 導通孔 113a 及導通孔 113b 中每一者的材料可為導電材料。導通孔 113a 及導通孔 113b 可分別以導電材料完整填充，或者導電材料亦可沿每個導通孔的孔壁形成。當用於導通孔 113a 及導通孔 113b 的孔洞形成時，第一重佈線層 112a 及第二重佈線層 112b 的接墊圖案中的一些圖案可作為限制器 (stopper)，因而可利於導通孔 113a 及導通孔 113b 中每一者具有錐形 (其上表面寬度大於下表面寬度) 的製程。在此情況下，導通孔 113a 及導通孔 113b 可分別與第二重佈線層 112b 的部分以及第三重佈線層 112c 的部分整合。

**【0060】** 半導體晶片 120 可為於單一晶片中整合的數百至數百萬個元件或更多的數量設置的積體電路 (IC)。舉例而言，所述積體電路可為應用處理器晶片，例如中央處理器 (例如中央處理單元)、圖形處理器 (例如圖形處理單元)、數位訊號處理器、密碼處理器、微處理器、微控制器等，但不以此為限。半導體晶片 120 可包括本體 121、連接墊 122、第一鈍化層 123 以及第二鈍化層 124。連接墊 122 在本體 121 上形成。第一鈍化層 123 在本體 121 上形成，並覆蓋連接墊 122 的至少部分。第二鈍化層 124 配置於第一鈍化層 123 上。半導體晶片 120 可具有開口 125，所述開口

125 貫穿第一鈍化層 123 及第二鈍化層 124，並暴露連接墊 122 的至少部分。另外，絕緣層（未繪示）等可進一步配置於其他所需的位置中，例如介於本體 121 與連接墊 122 之間的位置、介於本體 121 與第一鈍化層 123 之間的位置等。

【0061】半導體晶片 120 可以主動晶圓為基礎而形成。在此情況下，本體 121 的基本材料（base material）可為矽（Si）、鍺（Ge）、砷化鎵（GaAs）等。在本體 121 上可形成各種電路。連接墊 122 可將半導體晶片 120 電性連接至其他組件。連接墊 122 中每一者的材料可為例如鋁（Al）等導電材料。第一鈍化層 123 可為  $\text{SiO}_2$  等所形成的氧化物層、 $\text{Si}_x\text{N}_y$  等所形成的氮化物層，或為氧化物層及氮化物層的雙層。第二鈍化層 124 可為包括已知有機材料的有機絕緣層。舉例而言，第二鈍化層 124 可為感光層或非感光聚醯亞胺層（non-photosensitive polyimide layer）。聚醯亞胺等所形成的第二鈍化層 124 亦可為聚合物絕緣材料的種類，且第二鈍化層 124 可作為佈線的絕緣層，且可因而在第二鈍化層 124 上直接形成重佈線層 142，毋須額外的絕緣層。

【0062】包封體 130 可保護半導體晶片 120。包封體 130 的包封形式不受特別限制，其形式可為包封體 130 環繞半導體晶片 120 的至少部分。舉例而言，包封體 130 可覆蓋第一連接構件 110 的至少部分以及半導體晶片 120 非主動面的至少部分，且包封體 130 填充貫穿孔 110H 的壁面及半導體晶片 120 的多個側面之間的空間。舉例而言，包封體 130 的特定材料不受特別限制。舉例而言，

絕緣材料可用作包封體 130 的特定材料。在此情況下，所述絕緣材料可為：熱固性樹脂，例如環氧樹脂等；熱塑性樹脂，例如聚醯亞胺；具有例如注入於熱固性樹脂及熱塑性樹脂中的無機填料等加強材料的樹脂，例如味素構成膜（ABF）、FR-4、雙馬來醯亞胺三嗪（BT）、感光成像介電（PID）樹脂等。另外，亦可使用已知的模製材料，例如環氧模製化合物（epoxy molding compound，EMC）等。或者，亦可使用其中有熱固性樹脂或熱塑性樹脂來與無機填料一同注入例如玻璃纖維（或玻璃布、玻璃纖維布）的核心材料中的樹脂作為絕緣材料。

**【0063】** 第二連接構件 140 可對半導體晶片 120 的連接墊 122 進行重新分佈。具有各種功能的數十至數百個連接墊 122 可藉由第二連接構件 140 而進行重新分佈，且視所述功能可經由連接端子 170 而物理連接至或電性連接至外源。第二連接構件 140 可包括重佈線層 142，直接形成在半導體晶片 120 的第二鈍化層 124 的表面上，並延伸至包封體 130 及第一連接構件 110 上。重佈線層 142 可配置於被暴露的半導體晶片 120 的連接墊 122 及開口 125 的壁面上，從而接觸連接墊 122。重佈線層 142 可配置於第一連接構件 110 的凹陷部分中，從而接觸重佈線層 112a。第一連接構件 110 及半導體晶片 120 可經由重佈線層 142 而彼此電性連接。

**【0064】** 重佈線層 142 中每一者的材料可為導電材料，例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）或其合金等。重佈線層 142 可視對應層的設計而執行各

種功能。舉例而言，重佈線層 142 可包括接地（ground，GND）圖案、電源（power，PWR）圖案、訊號（signal，S）圖案等。此處，訊號圖案可包括除了接地圖案、電源圖案等之外的各種訊號，例如資料訊號等。另外，重佈線層 142 可包括各種接墊圖案。

**【0065】** 鈍化層 150 可附加地用於保護第二連接構件 140 免受外部物理或化學損傷。鈍化層 150 可具有開口 151，其暴露第二連接構件 140 的重佈線層 142 的至少部分。所述開口可以數十至數百的數量設置。鈍化層 150 的材料沒有特定限制，但可為感光絕緣材料，例如感光成像介電（PID）樹脂。或者，亦可使用阻焊劑作為鈍化層 150 的材料。或者，可使用絕緣樹脂作為鈍化層 150 的材料，絕緣樹脂不包括核心材料但包括填料，例如包括無機填料及環氧樹脂的味素構成膜（ABF）。當包括無機填料及絕緣樹脂的絕緣材料（例如：味素構成膜（ABF）等）作為鈍化層 150 的材料時，第二連接構件 140 的絕緣層 141 亦可包括無機填料及絕緣樹脂。

**【0066】** 凸塊下金屬層 160 可另外用以改善連接端子 170 的連接可靠性，並改善扇外型半導體封裝的板級可靠性。凸塊下金屬層 160 可連接至經由鈍化層 150 的開口 151 外露的第二連接構件 140 的重佈線層 142。凸塊下金屬層 160 可在鈍化層 150 的開口 151 中藉由已知的金屬化方法形成，此已知的金屬化方法使用已知的導電金屬（例如：金屬），但不以此為限。

**【0067】** 連接端子 170 可另外用以向外物理連接或電性連接扇出

型半導體封裝。舉例而言，扇外型半導體封裝可經由連接端子 170 安裝於電子裝置的主板上。連接端子 170 中的每一者可由導電材料形成，例如焊料等。然而，此僅為舉例說明，且連接端子 170 中每一者的材料不特別以此為限。連接端子 170 中的每一者可為接腳（land）、焊球、引腳等。連接端子 170 可形成為多層結構或單層結構。當連接端子 170 形成為多層結構時，連接端子 170 可包括銅（Cu）柱及焊料。當連接端子 170 形成為單層結構時，連接端子 170 可包括錫-銀焊料或銅（Cu）。然而，此僅為舉例說明，連接端子 170 不以此為限。

**【0068】** 連接端子 170 的數目、間隔或配置等不受特別限制，且可由此技術領域中具有通常知識者視設計細節而充分修改。舉例而言，根據半導體晶片 120 的連接墊 122 的數量，連接端子 170 可設置為數十至數千的數量，但不以此為限，且亦可設置為數十至數千或更多的數量或者數十至數千或更少的數量。當連接端子 170 為焊球時，連接端子 170 可覆蓋於延伸至鈍化層 150 的表面上凸塊下金屬層 160 的側表面，而可改善連接可靠性。

**【0069】** 連接端子 170 中的至少一者可配置在扇出區域中。所述扇出區域為除了配置有半導體晶片 120 的區域之外的區域。亦即，根據例示性實施例的扇外型半導體封裝可為扇外型封裝。相較於扇入型封裝而言，扇外型封裝可具有極佳的可靠性、可實施多個輸入/輸出端子，並可有利於 3D 連接。另外，相較於球柵陣列（ball grid array，BGA）封裝、接腳柵陣列（land grid array，LGA）封

裝等而言，扇外型封裝可在無需單獨的板的條件下安裝於電子裝置上。因此，扇外型封裝可製造為具有相對較小的厚度，並可具有價格競爭力。

**【0070】** 同時，雖然圖式中未繪示，必要時，金屬層可進一步配置於貫穿孔 110H 的孔壁上。金屬層可用於有效散出由半導體晶片 120 所產生的熱。另外，金屬層亦可用於阻擋電磁波。另外，單獨的被動組件（例如：電容器、感應器等）可進一步配置於貫穿孔 110H 中。另外，多個半導體晶片 120 可配置於貫穿孔 110H 中。另外，貫穿孔 110H 的數量可為多個，且半導體晶片 120 或被動組件可分別配置於貫穿孔 110H 中。除了上述結構，已知的結構可應用於此技術領域中。

**【0071】** 圖 11A 至圖 11B 為說明製造圖 9 的扇外型半導體封裝製程一實施例的圖式。

**【0072】** 參照圖 11A，可先行製備具有貫穿孔 110H 的第一連接構件 110。第一連接構件 110 可藉由以下方法製備，例如：製備載體膜（carrier film），其具有形成在一個表面或相對兩表面上的金屬膜；使用金屬層作為晶種層（seed layer）來形成第一重佈線層 112a；在金屬層上形成第一絕緣層 111a，第一絕緣層 111a 覆蓋第一重佈線層 112a；在第一絕緣層 111a 上形成第二重佈線層 112b；在第一絕緣層 111a 上形成第二絕緣層 111b，第二絕緣層 111b 覆蓋第二重佈線層 112b；在第二絕緣層 111b 上形成第三重佈線層 112c，以形成第一連接構件 110；將第一連接構件 110 自載體膜分

離；接著，移除在第一重佈線層 112a 上的金屬層。當金屬層被移除時，凹陷部分可形成在第一連接構件 110 中。重佈線層 112a、重佈線層 112b 以及重佈線層 112c 可藉由使用乾膜（dry film）等進行圖案化以及藉由已知的電鍍製程填充圖案來形成。絕緣層 111a 及絕緣層 111b 可藉由施行已知的層疊方法或以及硬化方法形成。

**【0073】** 接著，黏合膜 200 可貼附於第一連接構件 110 的表面上。任何可固定第一連接構件 110 的材料可作為黏合膜 200 使用。作為非限制性實例，可使用已知的捲帶（tape）等。已知的捲帶之實例可包括：熱塑性黏合捲帶（thermosetting adhesive tape）或者紫外光可固化黏合捲帶（ultraviolet-curable adhesive tape）等，熱塑性黏合捲帶的黏合性由熱處理弱化；紫外光可固化黏合捲帶的黏合性由紫外光照射弱化。接著，半導體晶片 120 可配置於第一連接構件 110 的貫穿孔 110H 中。舉例而言，藉由貼附半導體晶片 120 至黏合膜 200 的方法，半導體晶片 120 可配置於貫穿孔 110H 中。半導體晶片 120 可以面朝下（face-down）的形式配置，使得主動面上有連接墊 122 配置的半導體晶片 120 貼附至黏合膜 200。同時，半導體晶片 120 可包括第一鈍化層 123 及第二鈍化層 124，第一鈍化層 123 及第二鈍化層 124 配置於主動面上，且此主動面上有連接墊 122 配置。在本實施例中，半導體晶片 120 可貼附至黏合膜 200，其中半導體晶片 120 的開口 125 貫穿第一鈍化層 123 及第二鈍化層 124，並暴露連接墊 122 的至少部分，且開口 125

已經在形成半導體晶片 120 的製程中形成。

【0074】 接著，可使用包封體 130 包封半導體晶片 120。包封體 130 可至少包封第一連接構件 110 及半導體晶片 120 的非主動面，並可填充貫穿孔 110H 內的空間的至少部分。包封體 130 可由已知的方法形成。舉例而言，包封體 130 可藉由以下方法形成：將包封體 130 的前驅物（precursor）層疊，接著硬化前驅物。或者，包封體 130 可藉由以下步驟形成：施加預包封體（pre-encapsulant）的方法至黏合膜 200，以包封半導體晶片 120，並接著硬化預包封體。

【0075】 接著，參照圖 11B，黏合膜 200 可被剝離。剝離黏合膜 200 的方法不受特別限制，但可為已知的方法。舉例而言，當使用可藉由熱處理來弱化黏合性的熱塑性黏合捲帶時，藉由熱處理來弱化黏合膜 200 的黏合性後，黏合膜 200 可被剝離。或者，當使用可藉由紫外光照射來弱化黏合性的紫外光可固化黏合捲帶時，藉由照射紫外光至黏合膜 200 來弱化黏合膜 200 的黏合性後，黏合膜 200 可被剝離。

【0076】 接著，第二連接構件 140 可在第一連接構件 110 及移除黏合膜 200 後的半導體晶片 120 的主動面上形成。藉由電鍍等方式，將重佈線層 142 直接形成在被暴露的連接墊 122、開口 125 的壁面以及第二鈍化層 124 的表面上，藉此可直接形成第二連接構件 140。重佈線層 142 可延伸至包封體 130 的表面以及第一連接構件 110 的表面上。在此情況下，重佈線層 142 可在第一連接

構件 110 的凹陷部分中形成，從而接觸第一連接構件 110 的第一重佈線層 112a。亦即，利用半導體晶片 120 的第二鈍化層 124，可直接形成重佈線層 142。因此，單獨的絕緣層可被省略，扇外型半導體封裝可因而小型化與薄化，且扇外型半導體封裝的成本可降低。

**【0077】** 接著，必要時，鈍化層 150 可在第二連接構件 140 上形成。鈍化層 150 可透過層疊鈍化層 150 的前驅物，並接著硬化前驅物之方法、或是施以形成鈍化層 150 的材料，並接著將材料硬化之方法等來形成。開口 151 可在鈍化層 150 中形成，以暴露第二連接構件 140 的重佈線層 142 的至少部分，且凸塊下金屬層 160 可藉由已知的金屬化方法在開口 151 中形成。必要時，連接端子 170 可在凸塊下金屬層 160 上形成。形成連接端子 170 的方法並不受特別限制。亦即，視連接端子 170 的結構與形式，連接端子 170 可藉由此技術領域中已知的方法形成。可藉由迴焊（reflow）來固定連接端子 170，且連接端子 170 的部分可嵌入於鈍化層 150 中以增強固定力，且連接端子 170 的其餘部分可向外暴露出，使得可靠性可改善。另外，必要時，可形成開口 131，開口 131 貫穿包封體 130，並暴露第一連接構件 110 的第三重佈線層 112c 的至少部分。

**【0078】** 同時，一系列製程可為以下製程：製備尺寸較大的載體膜、製造多個扇外型半導體封裝、且接著藉由切割製程將所述多個扇外型半導體封裝單體化成單獨的扇外型半導體封裝，以利

大量生產。在此情況下，產率可為極佳並/或被增進。

【0079】 圖 12 為根據本揭露的另一例示性實施例說明扇外型半導體封裝的一實施例的剖視示意圖。

【0080】 參照圖式，在根據本揭露另一例示性實施例的扇外型半導體封裝中，第二連接構件 140 可包括多個層。舉例而言，第二連接構件 140 可包括絕緣層 141、第一重佈線層 142、第二重佈線層 144 以及導通孔 143。絕緣層 141 覆蓋第一重佈線層 142。第二重佈線層 144 在絕緣層 141 上形成。而導通孔 143 貫穿絕緣層 141，並使第一重佈線層 142 與第二重佈線層 144 彼此連接。絕緣層 141 的材料可為上述的絕緣材料，例如感光成像介電（PID）樹脂等。導通孔 143 中每一者的材料可為導電材料，例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）或其合金等。導電材料可在導通孔 143 中的每一者中完全填充，或導電材料亦可沿導通孔中每一者的壁面形成。另外，導通孔 143 中的每一者可具有在相關技術中已知的所有形狀，例如錐形、圓柱形等。以下將省略與上述所提供的組態以及製造方法的說明重複的內容。

【0081】 圖 13 為根據本揭露的另一例示性實施例說明扇外型半導體封裝的一實施例的剖視示意圖。

【0082】 參照圖式，在根據本揭露另一例示性實施例的扇外型半導體封裝中，第一連接構件 110 可僅包括第一重佈線層 112a 與第二重佈線層 112b。亦即，必要時可調整第一連接構件 110 的重佈

線層 112a 與重佈線層 112b 的數量。以下將省略與上述所提供的組態以及製造方法的說明重複的內容。

**【0083】** 如上所述，根據本揭露的例示性實施例，可提供一種扇外型半導體封裝及其製造方法，扇外型半導體封裝可製造為超小型尺寸以及超薄厚度，以減少製造成本。

**【0084】** 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾。

#### **【符號說明】**

#### **【0085】**

110：第一連接構件

110H：貫穿孔

111：絕緣層

111a：第一絕緣層

111b：第二絕緣層

112a：第一重佈線層

112b：第二重佈線層

112c：第三重佈線層

113a：第一導通孔

113b：第二導通孔

120：半導體晶片

121：本體

- 122：連接墊
- 123：第一鈍化層
- 124：第二鈍化層
- 125、131、151：開口
- 130：包封體
- 140：第二連接構件
- 141：絕緣層
- 142：第一重佈線層
- 143：導通孔
- 144：第二重佈線層
- 150：鈍化層
- 160：凸塊下金屬層
- 170：連接端子
- 200：黏合膜
- 1000：電子裝置
- 1010、1110：主板
- 1020：晶片相關組件
- 1030：網路相關組件
- 1040：其他組件
- 1050、1130：相機模組
- 1060：天線
- 1070：顯示裝置
- 1080：電池
- 1090：信號線

- 1100：智慧型電話
- 1101：本體
- 1120：電子組件
- 2100：扇外型半導體封裝
- 2120：半導體晶片
- 2121：本體
- 2122：連接墊
- 2130：包封體
- 2140：連接構件
- 2141：絕緣層
- 2142：重佈線層
- 2143、2243、2243h：導通孔
- 2150：鈍化層
- 2160、2260：凸塊下金屬層
- 2170、2270：焊球
- 2200：扇入型半導體封裝
- 2220：半導體晶片
- 2221：本體
- 2222：連接墊
- 2223、2250：保護層
- 2240：連接構件
- 2241：絕緣層
- 2242：佈線圖案
- 2251：開口

2280：底部填充樹脂

2290：模製材料

2301、2302：中介基板

2500：主板



201816902

申請日: 106/06/22

## 【發明摘要】

IPC分類: H01L 21/60 (2006.01)  
H01L 23/485 (2006.01)

【中文發明名稱】扇外型半導體封裝以及製造扇外型半導體封裝的方法

【英文發明名稱】 FAN-OUT SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURING THE FAN-OUT SEMICONDUCTOR

【中文】一種扇外型半導體封裝包括：第一連接構件、半導體晶片、包封體以及第二連接構件。第一連接構件具有貫穿孔。半導體晶片配置於貫穿孔中，並具有其上配置有連接墊的主動面以及與主動面對的非主動面。第二連接構件配置於第一連接構件及半導體晶片的主動面上，其中第一連接構件及第二連接構件分別包括電性連接至連接墊的重佈線層，其中半導體晶片包括配置於主動面上的第一鈍化層，半導體晶片包括配置於第一鈍化層上的第二鈍化層，且其中第二連接構件的重佈線層直接形成在第二鈍化層的表面上，並延伸至第一連接構件的表面上。

【英文】A fan-out semiconductor package includes a first connection member having a through-hole, a semiconductor chip disposed in the through-hole, the semiconductor chip having an active surface with connection pads disposed thereon and the semiconductor chip having an inactive surface opposing the active surface, an encapsulant, and a

second connection member disposed on the first connection member and the active surface of the semiconductor chip, wherein the first connection member and the second connection member include redistribution layers electrically connected to the connection pads, wherein the semiconductor chip includes a first passivation layer disposed on the active surface and the semiconductor chip includes a second passivation layer disposed on the first passivation layer, and wherein the redistribution layer of the second connection member is directly formed on one surface of the second passivation layer and extends onto one surface of the first connection member.

【指定代表圖】圖9。

【代表圖之符號簡單說明】

110：第一連接構件

110H：貫穿孔

111a：第一絕緣層

111b：第二絕緣層

112a：第一重佈線層

112b：第二重佈線層

112c：第三重佈線層

113a：第一導通孔

113b：第二導通孔

120：半導體晶片

121：本體

122：連接墊

123：第一鈍化層

124：第二鈍化層

125：開口

130：包封體

131：開口

140：重佈線層

142：第二連接構件

150：鈍化層

151：開口

160：凸塊下金屬層

170：連接端子

**【特徵化學式】**

無

## 【發明申請專利範圍】

【第1項】 一種扇外型半導體封裝，包括：

第一連接構件，具有貫穿孔；

半導體晶片，配置於所述貫穿孔中，所述半導體晶片具有多個連接墊配置於其上的主動面及與所述主動面對的非主動面；

包封體，包封所述第一連接構件的至少部分及所述半導體晶片的所述非主動面；以及

第二連接構件，配置於所述第一連接構件及所述半導體晶片的所述主動面上，

其中所述第一連接構件及所述第二連接構件包括電性連接至所述些連接墊的多個重佈線層，

其中所述半導體晶片包括配置於所述主動面上的第一鈍化層，且所述半導體晶片包括配置於所述第一鈍化層上的第二鈍化層，以及

其中所述第二連接構件的所述重佈線層直接形成於所述第二鈍化層的表面，並延伸至所述第一連接構件的表面上。

【第2項】 如申請專利範圍第1項所述的扇外型半導體封裝，其中所述半導體晶片具有貫穿所述第一鈍化層及所述第二鈍化層的多個開口，所述些開口暴露所述些連接墊的至少部分，且

所述第二連接構件的所述重佈線層配置於被暴露的所述連接墊以及所述開口的多個壁面上，使得所述第二連接構件接觸所述半導體晶片的所述些連接墊。

【第3項】如申請專利範圍第1項所述的扇外型半導體封裝，其中所述第一連接構件具有形成在所述第一連接構件的表面的凹陷部分，所述凹陷部分接觸所述第二連接構件，且

所述第二連接構件的所述重佈線層配置於所述凹陷部分中，使得所述第二連接構件接觸所述第一連接構件的所述重佈線層。

【第4項】如申請專利範圍第1項所述的扇外型半導體封裝，其中所述包封體填充所述貫穿孔的多個壁面以及所述半導體晶片的多個側面之間的空間的至少部分，以及

所述第二連接構件的所述重佈線層延伸至所述包封體的表面，藉此填充所述貫穿孔的所述些壁面及所述半導體晶片的所述些側面之間的所述空間的至少部分。

【第5項】如申請專利範圍第4項所述的扇外型半導體封裝，其中所述第二鈍化層的表面、所述包封體的表面以及所述第一連接構件的形成有所述第二連接構件的所述重佈線層的表面配置於相同的水平高度上。

【第6項】如申請專利範圍第1項所述的扇外型半導體封裝，其中所述第一鈍化層包括氧化物層及氮化物層中的至少一者，且

所述第二鈍化層包括有機絕緣層。

【第7項】如申請專利範圍第1項所述的扇外型半導體封裝，其中所述第一連接構件包括第一絕緣層、第一重佈線層以及第二重佈線層，所述第一重佈線層接觸所述第二連接構件的所述重佈線層，並嵌入所述第一絕緣層中，所述第二重佈線層配置於所述第

一絕緣層的另一表面上，而所述另一表面相對於所述第一絕緣層的嵌有所述第一重佈線層的表面。

【第8項】如申請專利範圍第7項所述的扇外型半導體封裝，其中所述第一連接構件更包括第二絕緣層及第三重佈線層，所述第二絕緣層配置於所述第一絕緣層上，並覆蓋所述第二重佈線層，所述第三重佈線層配置於所述第二絕緣層上。

【第9項】如申請專利範圍第7項所述的扇外型半導體封裝，其中所述第一重佈線層的下表面相對於所述第一絕緣層的下表面具有台階。

【第10項】如申請專利範圍第7項所述的扇外型半導體封裝，其中所述第一重佈線層的厚度大於所述第二連接構件的所述重佈線層的厚度。

【第11項】如申請專利範圍第8項所述的扇外型半導體封裝，其中所述第二重佈線層所配置的水平高度介於所述半導體晶片的所述主動面的水平高度與所述非主動面的水平高度之間。

【第12項】一種扇外型半導體封裝的製造方法，包括：

製備具有貫穿孔並包括重佈線層的第一連接構件；

在至少部分的所述貫穿孔中配置半導體晶片，所述半導體晶片具有其上配置有多個連接墊的主動面及相對於所述主動面的非主動面，所述半導體晶片包括配置於所述主動面上的第一鈍化層，且所述半導體晶片具有配置於所述第一鈍化層上的第二鈍化層；

形成包封體，包封所述第一連接構件的至少部分以及所述半導體晶片的所述非主動面；以及

藉由在所述第一連接構件的表面以及所述第二鈍化層的表面直接形成重佈線層而形成第二連接構件，所述第二連接構件的所述重佈線層接觸所述第一連接構件的所述重佈線層以及所述半導體晶片的所述些連接墊。

**【第13項】** 如申請專利範圍第12項所述的扇外型半導體封裝的製造方法，其中在配置所述半導體晶片的步驟之前，形成貫穿所述第一鈍化層及所述第二鈍化層的多個開口，所述些開口暴露所述半導體晶片中的所述些連接墊的至少部分，以及

在形成所述第二連接構件的步驟中，所述第二連接構件的所述重佈線層亦形成在被暴露的所述些連接墊上以及形成在所述些開口的多個壁面上。

**【第14項】** 如申請專利範圍第12項所述的扇外型半導體封裝的製造方法，其中在製備所述第一連接構件的步驟中，在所述第一連接構件的表面形成凹陷部分，以及

在形成所述第二連接構件的步驟中，所述第二連接構件的所述重佈線層亦形成於所述凹陷部分內。

**【第15項】** 如申請專利範圍第12項所述的扇外型半導體封裝的製造方法，其中在形成所述包封體的步驟中，所述包封體填充於所述貫穿孔的多個壁面及所述半導體晶片的多個側面之間的空間的至少部分，以及

在形成所述第二連接構件的步驟中，所述第二連接構件的所述重佈線層亦形成在所述包封體的表面上，所述包封體填充於所述貫穿孔的所述些壁面以及所述半導體晶片的所述些側面之間的空間的至少部分。

**【第16項】** 如申請專利範圍第15項所述的扇外型半導體封裝的製造方法，其中所述第二鈍化層的表面、所述包封體的表面以及所述第一連接構件的形成有所述第二連接構件的所述重佈線層的表面配置於相同的水平高度上。





















## 【發明說明書】

【中文發明名稱】扇外型半導體封裝以及製造扇外型半導體封裝的方法

【英文發明名稱】FAN-OUT SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURING THE FAN-OUT SEMICONDUCTOR

[相關申請案的交叉引用]

【0001】本申請案主張 2016 年 10 月 28 日在韓國智慧財產局中申請的韓國專利申請案第 10-2016-0141781 號的優先權的權益，所述申請案的揭露內容以全文引用的方式併入本文中。

【技術領域】

【0002】本揭露是關於一種扇外型半導體封裝以及其製造方法。

【先前技術】

【0003】近年，在半導體晶片相關技術發展中，重要的趨勢為減小半導體晶片的尺寸。因此，在封裝技術領域中，隨著對小型尺寸半導體晶片等的需求的快速增加，已經需要實現具有多個引腳的小型尺寸半導體封裝。

【0004】扇外型封裝即為一種滿足上述技術需求而提出的封裝技術。此種扇外型封裝具有小型的尺寸，並可藉由在半導體晶片所

配置的區域對連接端子進行重新分佈而實現多個引腳。

**【發明內容】**

**【0005】** 本揭露的一個態樣可提供一種扇外型半導體封裝，可被製造為超小型尺寸並具有超薄厚度以減少成本，且可提供一種其製造方法。

**【0006】** 根據本揭露的一個態樣，可提供一種扇外型半導體封裝，其中具有貫穿孔並包括重佈線層的連接構件被引入至半導體晶片配置的區域中，且重佈線層直接在保護連接構件的最外層鈍化層以及半導體晶片的主動面上形成，以使連接構件的重佈線層與半導體晶片的連接墊彼此連接。

**【0007】** 根據本揭露的一個態樣，扇外型半導體封裝可包括：第一連接構件、半導體晶片、包封體以及第二連接構件。第一連接構件具有貫穿孔。半導體晶片配置於貫穿孔中，並具有多個連接墊配置於其上的主動面及非主動面。包封體包封第一連接構件的至少部分以及半導體晶片的非主動面。而第二連接構件配置於第一連接構件及半導體晶片的主動面上，其中第一連接構件及第二連接構件分別包括電性連接至這些連接墊的多個重佈線層，半導體晶片包括配置於主動面的第一鈍化層以及配置於第一鈍化層的第二鈍化層上，且第二連接構件的重佈線層在第二鈍化層的表面上直接形成，並延伸至第一連接構件的表面上。

**【0008】** 根據本揭露的一個態樣，扇外型半導體封裝的製造方法

可包括：製備具有貫穿孔並包括重佈線層的第一連接構件；在貫穿孔中配置半導體晶片，半導體晶片具有其上配置有多個連接墊的主動面以及與主動面對的非主動面，半導體晶片包括第一鈍化層以及第二鈍化層，第一鈍化層配置於主動面上，第二鈍化層配置於第一鈍化層上；形成包封體，包封第一連接構件的至少部分及半導體晶片的非主動面的至少部分；以及藉由在第一連接構件的一表面及第二鈍化層的表面上形成重佈線層而形成第二連接構件，第二連接構件的重佈線層接觸第一連接構件的重佈線層及半導體晶片的這些連接墊。

#### 【圖式簡單說明】

【0009】 下文特舉實施例，並配合所附圖式作詳細說明，本揭露的上述及其他態樣、特徵及優點將能更明顯易懂，在所附圖式中：

圖 1 為根據本揭露的例示性實施例說明電子裝置系統實施例的方塊示意圖；

圖 2 為根據本揭露的例示性實施例說明電子裝置系統實施例的立體示意圖；

圖 3A 及圖 3B 為根據本揭露的例示性實施例說明扇入型半導體封裝在封裝前及封裝後狀態的剖視示意圖；

圖 4 為根據本揭露的例示性實施例說明扇入型半導體封裝的封裝製程的剖視示意圖；

圖 5 為根據本揭露的例示性實施例說明扇入型半導體封裝安裝於中介基板上且最終安裝於電子裝置的主板上之情形的剖視示

意圖；

圖 6 為根據本揭露的例示性實施例說明扇入型半導體封裝嵌入中介基板中且最終安裝於電子裝置的主板上之情形的剖視示意圖；

圖 7 為根據本揭露的例示性實施例說明扇外型半導體封裝的剖視示意圖；

圖 8 為根據本揭露的例示性實施例說明扇外型半導體封裝安裝於電子裝置的主板上之情形的剖視示意圖；

圖 9 為根據本揭露的例示性實施例說明扇外型半導體封裝的一實施例的剖視示意圖；

圖 10 為沿圖 9 所示剖線 I-I' 截取的俯視示意圖；

圖 11A 至圖 11B 為說明製造圖 9 的扇外型半導體封裝的製程一實施例；

圖 12 為根據本揭露的例示性實施例說明扇外型半導體封裝另一實施例的剖視示意圖；以及

圖 13 為根據本揭露的例示性實施例說明扇外型半導體封裝又一實施例的剖視示意圖。

## 【實施方式】

**【0010】** 在下文中，將參照圖式說明本揭露中的各例示性實施例。在所附圖式中，為清晰起見，可誇大或調整各組件的形狀、尺寸等。

**【0011】** 本文中所使用的用語「例示性實施例」並不指代同一例示性實施例，而是為強調與另一例示性實施例的特定特徵或特性

不同的特定特徵或特性而提供。然而，本文中所提供的例示性實施例被視為能夠藉由彼此整體地或部分地組合而實施。舉例而言，即使並未在另一例示性實施例中說明在特定例示性實施例中說明的一個元件，然而除非在另一例示性實施例中提供了相反或矛盾的說明，否則所述元件亦可被理解為與另一例示性實施例相關的說明。

**【0012】** 在說明中組件與另一組件的「連接」的意義包括經由第三組件的間接連接以及在兩個組件之間的直接連接。另外，「電性連接」意為包括物理連接及物理斷接的概念。應理解，當以「第一」及「第二」來指代元件時，所述元件並非由此受到限制。使用「第一」及「第二」可能僅用於將所述元件與其他元件區分開的目的，且可不限制所述元件的順序或重要性。在一些情形中，在不背離本文中所提出的申請專利範圍的條件下，第一元件可被稱作第二元件。相似地，第二元件亦可被稱作第一元件。

**【0013】** 在本文中，所附圖式中說明上部分、下部分、上側面、下側面、上表面、下表面等。舉例而言，第一連接構件配置在高於重佈線層的水平高度上。然而，本申請專利範圍不以此為限。另外，垂直方向指代上述向上方向及向下方向，且水平方向指代與上述向上方向及向下方向垂直的方向。在此情況下，垂直截面意指沿垂直方向上的平面截取的情形，且垂直截面的實例可為圖式中所示的剖視圖。此外，水平截面指代沿水平方向上的平面截取的情形，且水平截面的實例可為圖式中所示的平面圖。

【0014】 使用本文中所使用的用語僅為了說明例示性實施例而非限制本揭露。在此情況下，除非在上下文中另有解釋，否則單數形式包括複數形式。

## 電子裝置

【0015】 圖 1 為根據本揭露的例示性實施例說明電子裝置系統實施例的方塊示意圖。

【0016】 參考圖 1，電子裝置 1000 中可容納主板 1010。主板 1010 可包括物理連接或電性連接至其的晶片相關組件 1020、網路相關組件 1030 以及其他組件 1040 等。該些組件可連接至以下將說明的其他組件，以形成各種訊號線 1090。

【0017】 晶片相關組件 1020 可包括：記憶體晶片，例如揮發性記憶體（例如動態隨機存取記憶體（dynamic random access memory，DRAM）、非揮發性記憶體（例如唯讀記憶體（read only memory，ROM）、快閃記憶體等；應用處理器晶片，例如中央處理器（例如，中央處理單元（central processing unit，CPU）、圖形處理器（例如，圖形處理單元（graphic processing unit，GPU）、數位訊號處理器、密碼處理器（cryptographic processor）、微處理器、微控制器等；及邏輯晶片，例如類比至數位轉換器（analog-to-digital converter，ADC）、應用專用積體電路（application-specific integrated circuit，ASIC）等。然而晶片相關組件 1020 不以此為限，亦可包含多種其他無線或有線標準或協定。另外，晶片相關組件

1020 可彼此組合。

**【0018】** 網路相關組件 1030 可包括例如以下協定：無線保真（wireless fidelity，Wi-Fi）（電氣及電子工程師學會（Institute of Electrical And Electronics Engineers，IEEE）802.11 家族等）、全球互通微波存取（worldwide interoperability for microwave access，WiMAX）（IEEE 802.16 家族等）、IEEE 802.20、長期演進（long term evolution，LTE）、僅支援資料的演進（evolution data only，Ev-DO）、高速封包存取+（high speed packet access +，HSPA+）、高速下行封包存取+（high speed downlink packet access +，HSDPA+）、高速上行封包存取+（high speed uplink packet access +，HSUPA+）、增強型資料 GSM 環境（enhanced data GSM environment，EDGE）、全球行動通訊系統（global system for mobile communications，GSM）、全球定位系統（global positioning system，GPS）、通用封包無線電服務（general packet radio service，GPRS）、分碼多重存取（code division multiple access，CDMA）、分時多重存取（time division multiple access，TDMA）、數位增強型無線電訊（digital enhanced cordless telecommunications，DECT）、藍芽、3G 協定、4G 協定、5G 協定以及繼上述協定之後指定的任何其他無線協定及有線協定。然而，網路相關組件 1030 不以此為限，而亦可包括多種其他無線標準或協定或者有線標準或協定。另外，網路相關組件 1030 可與上文所描述的晶片相關組件 1020 一起彼此組合。

**【0019】** 其他組件 1040 可包括高頻電感器、鐵氧體電感器（ferrite

inductor)、功率電感器 (power inductor)、鐵氧體珠粒 (ferrite beads)、低溫共燒陶瓷 (low temperature co-fired ceramic; LTCC)、電磁干擾 (electromagnetic interference; EMI) 濾波器、多層陶瓷電容器 (multilayer ceramic capacitor; MLCC)、其組合等。然而，其他組件 1040 不以此為限，而亦可包括用於各種其他目的的被動組件等。另外，其他組件 1040 可與上述晶片相關組件 1020 或網路相關組件 1030 一起彼此組合。

**【0020】** 視電子裝置 1000 的類型，電子裝置 1000 可包括可物理連接至或電性連接至主板 1010 的其他組件，或是可不物理連接至或不電性連接至主板 1010 的其他組件。該些其他組件可包括例如照相機模組 1050、天線 1060、顯示器裝置 1070、電池 1080、音訊編解碼器 (未繪示)、視訊編解碼器 (未繪示)、功率放大器 (未繪示)、羅盤 (未繪示)、加速度計 (未繪示)、陀螺儀 (未繪示)、揚聲器 (未繪示)、大容量儲存單元 (例如硬碟驅動機) (未繪示)、光碟 (compact disk, CD) 驅動機 (未繪示)、數位多功能光碟 (digital versatile disk, DVD) 驅動機 (未繪示) 等。然而，該些其他組件不以此為限，而是視電子裝置 1000 的類型等亦可包括各種用途的其他組件。

**【0021】** 電子裝置 1000 可為智慧型電話、個人數位助理 (personal digital assistant, PDA)、數位攝影機、數位照相機 (digital still camera)、網路系統、電腦、監視器、平板個人電腦 (tablet PC)、筆記型個人電腦、隨身型易網機個人電腦 (netbook PC)、電視、

視訊遊戲機 ( video game machine )、智慧型手錶或汽車組件等。然而，電子裝置 1000 不以此為限，且可為處理資料的任何其他電子裝置。

【0022】圖 2 為根據本揭露的例示性實施例說明電子裝置系統實施例的立體示意圖。

【0023】參照圖 2，半導體封裝可於上述的電子裝置 1000 中使用於各種目的。舉例而言，主板 1110 可容置於智慧型電話 1100 的本體 1101 中，且各種電子組件 1120 可物理連接至或電性連接至主板 1110。另外，可物理連接至或電性連接至主板 1110 或可不物理連接至或不電性連接至主板 1110 的其他組件（例如：相機模組 1130），其可容置於本體 1101 中。電子組件 1120 中的一些電子組件可為晶片相關組件，且半導體封裝 100 可例如為晶片相關組件之間的應用程式處理器，但不以此為限。所述電子裝置不必僅限於智慧型電話 1100，而是可為上述其他電子裝置。

## 半導體封裝

【0024】一般而言，在半導體晶片中整合有諸多精細的電路。然而，半導體晶片自身不能充當已完成的半導體產品，且可能因外部物理性或化學性影響而受損。因此，半導體晶片無法單獨使用，但可封裝於電子裝置等之中且在電子裝置等中以封裝狀態使用。

【0025】此處，由於半導體晶片與電子裝置的主板之間存在電性連接方面的電路寬度差異 ( circuit widths ) 而需要半導體封裝。詳

細而言，半導體晶片的連接墊的大小及半導體晶片的連接墊之間  
的間隔極為精細，但電子裝置中所使用的主板的組件接合墊  
(component mounting pads)的大小及主板的組件接合墊之間  
的間隔顯著地大於半導體晶片的連接墊的大小及間隔。因此，可能難  
以將半導體晶片直接安裝於主板上，並需要用於緩衝半導體晶片  
與主板之間的電路寬度差的封裝技術。

【0026】視半導體封裝的結構及目的，使用封裝技術製造的半導  
體封裝可分類為扇入型半導體封裝或扇外型半導體封裝。

【0027】將在下文中參照圖式更詳細地說明扇入型半導體封裝及  
扇外型半導體封裝。

### 扇入型半導體封裝

【0028】圖 3A 及圖 3B 為根據本揭露的例示性實施例說明扇入型  
半導體封裝在封裝前及封裝後狀態的剖視圖。

【0029】圖 4 為根據本揭露的例示性實施例說明扇入型半導體封  
裝的封裝製程的剖視示意圖。

【0030】參照圖式，半導體晶片 2220 可為例如處於裸露狀態下的  
積體電路 (integrated circuit, IC)，半導體晶片 2220 包括：本體  
2221，包括矽 (Si)、鍺 (Ge)、砷化鎵 (GaAs) 等；連接墊 2222，  
形成於本體 2221 的一個表面上且包括例如鋁 (Al) 等導電材料；  
以及保護層 2223，其例如為氧化物膜或氮化物膜等，且形成於本  
體 2221 的表面上並覆蓋連接墊 2222 的至少部分。在此情況下，

由於連接墊 2222 顯著地在尺寸上是小的，因此可能難以將積體電路（IC）安裝於中級印刷電路板（printed circuit board，PCB）上以及電子裝置的主板等上。

【0031】 因此，視半導體晶片 2220 尺寸，連接構件 2240 可形成在半導體晶片 2220 上，以對連接墊 2222 進行重新分佈。連接構件 2240 可藉由以下步驟來形成：利用例如感光成像介電（photoimagable dielectric，PID）樹脂等絕緣材料在半導體晶片 2220 上形成絕緣層 2241；形成外露連接墊 2222 的導通孔 2243h；並接著形成佈線圖案 2242 及導通孔 2243。接著，可形成保護連接構件 2240 的保護層 2250、可形成開口 2251 及可形成凸塊下金屬層 2260 等。亦即，可藉由一系列製程來製造包括例如半導體晶片 2220、連接構件 2240、保護層 2250、及凸塊下金屬層 2260 的扇入型半導體封裝 2200。

【0032】 如上所述，所述扇入型半導體封裝可具有一種封裝形式，其中半導體晶片的例如輸入/輸出（input/output，I/O）端子等所有的連接墊均配置於半導體晶片內，且可具有極佳的電性特性，且可以低成本進行生產。因此，已以扇入型半導體封裝形式製造出安裝於智慧型電話中的諸多元件。詳細而言，已經發展許多安裝於智慧型電話的元件，其在具有相對較小尺寸時仍可以進行快速的訊號傳送。

【0033】 然而，由於所有輸入/輸出端子需要配置於扇入型半導體封裝中的半導體晶片內部，因此扇入型半導體封裝具有較大的空

間限制。因此，可能難以將此結構應用至具有大量輸入/輸出端子的半導體晶片或具有較小尺寸的二維半導體晶片。另外，由於上述缺點，扇入型半導體封裝無法在電子裝置的主板上直接安裝及使用。原因在於，即使藉由重佈線製程增大半導體晶片的輸入/輸出端子的尺寸及半導體晶片的各輸入/輸出端子之間間隔，在此情況下，半導體晶片的輸入/輸出端子的尺寸及半導體晶片的各輸入/輸出端子之間間隔可能仍不足以使扇入型半導體封裝直接安裝於電子裝置的主板上。

**【0034】** 圖 5 為根據本揭露的例示性實施例說明扇入型半導體封裝安裝於中介基板上且最終安裝於電子裝置的主板上之情形的剖視示意圖。

**【0035】** 圖 6 為根據本揭露的例示性實施例說明扇入型半導體封裝嵌入中介基板中且最終安裝於電子裝置的主板上之情形的剖視示意圖。

**【0036】** 參照圖式，在扇入型半導體封裝 2200 中，半導體晶片 2220 的連接墊 2222 (亦即，輸入/輸出端子) 可經由中介基板 2301 再次重新分佈，且扇入型半導體封裝 2200 可在其安裝於中介基板 2301 上的狀態下最終安裝於電子裝置的主板 2500 上。在此情況下，可藉由底部填充樹脂 2280 等來固定焊球 2270 等，且半導體晶片 2220 的外側面可被模製材料 2290 等覆蓋。扇入型半導體封裝 2200 可嵌入單獨的中介基板 2302 中，半導體晶片 2220 的連接墊 2222 (亦即，輸入/輸出端子) 可在扇入型半導體封裝 2200 嵌

入於中介基板 2302 中的狀態中，由中介基板 2302 重新分佈，且扇入型半導體封裝 2200 可最終安裝於電子裝置的主板 2500 上。

【0037】 如上所述，可能難以直接在電子裝置的主板上安裝及使用扇入型半導體封裝。因此，扇入型半導體封裝可安裝於單獨的中介基板上，並接著藉由封裝製程安裝於電子裝置的主板上；或者扇入型半導體封裝可在扇入型半導體封裝嵌入於中介基板中的狀態下在電子裝置的主板上安裝及使用。

### 扇外型半導體封裝

【0038】 圖 7 為根據本揭露的例示性實施例說明扇外型半導體封裝的剖視示意圖。

【0039】 參照圖式，在扇外型半導體封裝 2100 中，舉例而言，半導體晶片 2120 的外側面由包封體 2130 保護，且半導體晶片 2120 的連接墊 2122 可藉由連接構件 2140 而在半導體晶片 2120 之外進行重新分佈。在此情況下，鈍化層 2150 可進一步在連接構件 2140 上形成，且凸塊下金屬層 2160 可進一步在鈍化層 2150 的開口中形成。焊球 2170 可進一步在凸塊下金屬層 2160 上形成。半導體晶片 2120 可為包括本體 2121、連接墊 2122、鈍化層（圖中未繪示）等的積體電路。連接構件 2140 可包括絕緣層 2141、重佈線層 2142 以及導通孔 2143，重佈線層 2142 形成在絕緣層 2141 上，而導通孔 2143 將連接墊 2122 與重佈線層 2142 彼此電性連接。

【0040】 如上所述，扇外型半導體封裝可具有一種形式，其中半

導體晶片的輸入/輸出端子經由形成於半導體晶片上的連接構件重新分佈並在半導體晶片之外配置。如上所述，在扇入型半導體封裝中，半導體晶片的所有輸入/輸出端子均需要配置於半導體晶片內。因此，當半導體晶片的尺寸減小時，需要減小球的尺寸及間距，進而使得無法在扇入型半導體封裝中使用標準化球佈局（standardized ball layout）。另一方面，所述扇外型半導體封裝具有一種形式，其中藉由於半導體晶片上形成的連接構件，半導體晶片的輸入/輸出端子被重新分佈並配置於半導體晶片之外，如上所述。因此，即使半導體晶片的尺寸減小的情況下，標準化球佈局亦可照樣用於扇外型半導體封裝中，使得扇外型半導體封裝可安裝於電子裝置的主板上而無需使用單獨的中介基板，如下所述。

【0041】 圖 8 為根據本揭露的例示性實施例說明扇外型半導體封裝安裝於電子裝置的主板上之情形的剖視示意圖。

【0042】 參照圖式，扇外型半導體封裝 2100 可經由焊球 2170 等安裝於電子裝置的主板 2500 上。亦即，如上所述，扇外型半導體封裝 2100 包括連接構件 2140，連接構件 2140 形成於半導體晶片 2120 上且能夠將連接墊 2122 重新分佈至面積大於半導體晶片 2120 面積的扇出區域，使得實際上可在扇外型半導體封裝 2100 中使用標準化球佈局。因此，扇外型半導體封裝 2100 可在不使用單獨的中介基板等的條件下安裝於電子裝置的主板 2500 上。

【0043】 如上所述，由於扇外型半導體封裝可安裝於電子裝置的

主板上而無需使用單獨的中介基板，因此扇外型半導體封裝可在其厚度小於使用中介基板的扇入型半導體封裝的厚度的情況下實施。因此，可使扇外型半導體封裝小型化且輕薄化。另外，扇外型半導體封裝具有極佳的熱特性及電性特性，尤其適合用於行動裝置。因此，扇外型半導體封裝可被實作成較使用印刷電路板（PCB）的一般堆疊式封裝（POP）類型的形式更小型（compact）的形式，且可解決因出現翹曲（warping）現象而造成的問題。

【0044】同時，扇外型半導體封裝意指一種封裝技術，如上文所述用於將半導體晶片安裝於電子裝置的主板上，並保護半導體晶片免受外部影響，且與例如中介基板等的印刷電路板（PCB）在概念方面不同，印刷電路板具有與扇外型半導體封裝不同的規格及目的等，且具有扇入型半導體封裝嵌入其中。

【0045】以下將參考圖式說明一種扇外型半導體封裝以及其製造方法，扇外型半導體封裝可製造為超小型尺寸以及超薄厚度以減少成本。

【0046】圖 9 為根據本揭露的例示性實施例說明扇外型半導體封裝一實施例的剖視示意圖。

【0047】圖 10 為沿圖 9 的扇外型半導體封裝的剖線 I-I'所截取的平面示意圖。

【0048】參照圖式，根據本揭露中的例示性實施例的扇外型半導體封裝可包括：第一連接構件 110、半導體晶片 120、包封體 130、第二連接構件 140。第一連接構件 110 具有貫穿孔 110H。半導體

晶片 120 配置於第一連接構件 110 的貫穿孔 110H 中，並具有連接墊 122 配置於其上的主動面及與所述主動面相對的非主動面。包封體 130 包封第一連接構件 110 的至少部分以及半導體晶片 120 的至少部分。第二連接構件 140 配置於第一連接構件 110 上及半導體晶片 120 的主動面上。第一連接構件 110 可包括重佈線層 112a、重佈線層 112b 以及重佈線層 112c，重佈線層 112a、重佈線層 112b 以及重佈線層 112c 電性連接至半導體晶片 120 的連接墊 122。第二連接構件 140 亦可包括重佈線層 142，重佈線層 142 電性連接至半導體晶片 120 的連接墊 122。第二連接構件 140 的重佈線層 142 可形成在半導體晶片 120 的第二鈍化層 124 的表面上，並延伸至第一連接構件 110 的表面上，在重佈線層 142 與第二鈍化層 124 之間毋須插置單獨絕緣層。如上所述，第一連接構件 110 可包括重佈線層 112a、重佈線層 112b 以及重佈線層 112c，從而減少第二連接構件 140 的層數，而且可在配置半導體晶片 120 之前形成第一連接構件 110，使得半導體晶片 120 的良率下降問題可以解決。另外，重佈線層 142 藉由電鍍等方式在半導體晶片 120 的第二鈍化層 124 上直接形成，並延伸至第一連接構件 110，此為了形成重佈線層 142 而在對應的區域中所需要的絕緣層可被省略，因而可能得以小型化、輕薄化扇外型半導體封裝的厚度，並減少扇外型半導體封裝的成本。在第二鈍化層 124 上直接形成重佈線層 142 的意思是，使用第二鈍化層 124 作為絕緣層，藉由電鍍等方式在第二鈍化層 124 上形成重佈線層 142。

【0049】 同時，半導體晶片 120 可具有多個開口 125，這些開口 125 貫穿第一鈍化層 123 及第二鈍化層 124，並暴露連接墊 122 的至少部分，且第二連接構件 140 的重佈線層 142 可配置在被暴露的連接墊 122 以及這些開口 125 的多個壁面上，從而接觸半導體晶片 120 的連接墊 122。另外，第一連接構件 110 可具有凹陷部分，凹陷部分在第一連接構件 110 的表面向內形成，並接觸第二連接構件 140，且第二連接構件 140 的重佈線層 142 可配置於凹陷部分中，從而接觸第一連接構件 110 的重佈線層 112a。如上所述，第二連接構件 140 的重佈線層 142 可直接接觸半導體晶片 120 的連接墊 122 及第一連接構件 110 的重佈線層 112a，並可使半導體晶片 120 的連接墊 122 與第一連接構件 110 的重佈線層 112a 彼此電性連接，儘管扇外型半導體封裝微型化與薄型化，在扇外型半導體封裝的佈線設計仍可具有高的自由度。

【0050】 同時，包封體 130 可填充貫穿孔 110H 的壁面與半導體晶片 120 的側面之間的空間的至少部分，且第二連接構件 140 的重佈線層 142 可延伸至填充於貫穿孔 110H 的壁面與半導體晶片 120 的側面之間的至少部分空間的包封體 130 的表面上。在此情況下，第二鈍化層 124 的表面、包封體 130 的表面以及第一連接構件 110 的具有第二連接構件 140 的重佈線層 142 形成於其上的表面可配置於相同的水平高度上。此處，相同水平高度的概念包括：由於製程中的誤差，第二鈍化層的表面、包封體的表面以及第一連接構件的表面配置於大致相同平面上以及它們配置在完全相同平面

上的情況。如上所述，由於第二連接構件 140 的重佈線層 142 可在平坦的表面上形成，重佈線層 142 可被平整形成而不造成例如電鍍缺陷等問題。

**【0051】** 以下將更詳細說明根據例示性實施例的扇外型半導體封裝所包括的個別組件。

**【0052】** 視特定材料，第一連接構件 110 可維持扇外型半導體封裝的剛性，並用於確保包封體 130 的厚度均勻性。扇外型半導體封裝可作為第一連接構件 110 的堆疊式封裝 (POP) 的部分。第一連接構件 110 可包括多個重佈線層 112a、重佈線層 112b 以及重佈線層 112c，以有效地重新分佈半導體晶片 120 的連接墊 122，且第一連接構件 110 可提供一種寬佈線設計區域 (wide wiring design region)，以顯著地抑制重佈線層在其他區域中形成。半導體晶片 120 可配置於貫穿孔 110H 中，以便由預定距離將半導體晶片 120 自第一連接構件 110 區隔。半導體晶片 120 的多個側面可被第一連接構件 110 環繞。單獨的被動組件 (例如：電容器或感應器) 可進一步配置於貫穿孔 110H 中，且被動組件可電性連接至半導體晶片 120。

**【0053】** 第一連接構件 110 可包括第一絕緣層 111a、第一重佈線層 112a、第二重佈線層 112b、第二絕緣層 111b 以及第三重佈線層 112c。第一重佈線層 112a 第二連接構件 140 的重佈線層 142 接觸，並嵌入於第一絕緣層 111a 中。第二重佈線層 112b 配置於第一絕緣層 111a 的表面上，所述表面與第一重佈線層 112a 所嵌入的第一

絕緣層 111a 的另一表面相對。第二絕緣層 111b 配置於第一絕緣層 111a 上，並覆蓋第二重佈線層 112b。第三重佈線層 112c 配置於第二絕緣層 111b 上。第一重佈線層至第三重佈線層 112a、112b 以及 112c 可電性連接至連接墊 122。第一重佈線層 112a、第二重佈線層 112b 以及第二重佈線層 112b、第三重佈線層 112c 可分別經由貫穿第一絕緣層 111a 及第二絕緣層 111b 的第一導通孔 113a 及第二導通孔 113b 而彼此電性連接。

**【0054】** 由於第一連接構件 110 可包括數量較大的重佈線層 112a、重佈線層 112b 及重佈線層 112c，因此可進一步簡化第二連接構件 140。因此，在形成第二連接構件 140 製程中出現的缺陷所導致的良率下降可被抑制，且第二連接構件 140 可被薄化。第一重佈線層 112a 可陷入第一絕緣層 111a 中，使得第一絕緣層 111a 的下表面及第一重佈線層 112a 的下表面之間具有台階。亦即，第一連接構件 110 可具有凹陷部分。當包封體 130 形成時，可藉由凹陷部分防止包封體 130 滲入而污染第一重佈線層 112a。

**【0055】** 第一連接構件 110 的第二重佈線層 112b 可配置於半導體晶片 120 的主動面與非主動面之間的水平高度上。第一連接構件 110 厚度可對應半導體晶片 120 的厚度而形成。也就是說，第二重佈線層 112b 在第一連接構件 110 中形成，第二重佈線層 112b 所配置的水平高度介於半導體晶片 120 主動面的水平高度與非主動面的水平高度之間。

**【0056】** 第一連接構件 110 的第一重佈線層 112a 的厚度、第二重

佈線層 112b 的厚度以及第三重佈線層 112c 的厚度可大於第二連接構件 140 的重佈線層 142 的厚度。由於第一連接構件 110 的厚度可等於或大於半導體晶片 120 的厚度，因此視第一連接構件 110 的規格，重佈線層 112a、重佈線層 112b 及重佈線層 112c 可具有相對較大的尺寸。另一方面，第二連接構件 140 的重佈線層 142 透過精密電路製程（例如：半導體製程）形成，第二連接構件 140 的重佈線層 142 可以相對較小尺寸的厚度形成。

【0057】 舉例而言，絕緣層 111a 及絕緣層 111b 的材料可包括無機填料及絕緣樹脂的材料。舉例而言，可使用熱固性樹脂（例如：環氧樹脂）、熱塑性樹脂（例如：聚醯亞胺樹脂）或包括例如無機填料（如：氧化矽（silica）、礬土（alumina）等）等加強材料的樹脂等，具體而言，味素構成膜（Ajinomoto Build up Film，ABF）、感光成像介電（PID）樹脂或雙馬來醯亞胺三嗪（Bismaleimide Triazine，BT）等。或者，絕緣材料亦可為其中有熱固性樹脂或熱塑性樹脂來與無機填料一同注入（impregnated）例如玻璃纖維（或玻璃布、玻璃纖維布）的核心材料，例如預浸體等的材料。

【0058】 重佈線層 112a、重佈線層 112b 以及重佈線層 112c 可包括導電材料，例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）或其合金等。重佈線層 112a、重佈線層 112b 以及重佈線層 112c 可視對應層的設計而執行各種功能。舉例而言，重佈線層 112a、重佈線層 112b 以及重佈線層 112c 可包括接地（ground，GND）圖案、電源（power，PWR）圖案、

訊號 (signal, S) 圖案等。此處，訊號圖案可包括除了接地圖案、電源圖案等之外的各種訊號，例如資料訊號等。另外，重佈線層 112a、重佈線層 112b 以及重佈線層 112c 可包括用於導通孔的接墊圖案、用於連接端子的接墊圖案等。

**【0059】** 導通孔 113a 及導通孔 113b 中每一者的材料可為導電材料。導通孔 113a 及導通孔 113b 可分別以導電材料完整填充，或者導電材料亦可沿每個導通孔的孔壁形成。當用於導通孔 113a 及導通孔 113b 的孔洞形成時，第一重佈線層 112a 及第二重佈線層 112b 的接墊圖案中的一些圖案可作為限制器 (stopper)，因而可利於導通孔 113a 及導通孔 113b 中每一者具有錐形 (其上表面寬度大於下表面寬度) 的製程。在此情況下，導通孔 113a 及導通孔 113b 可分別與第二重佈線層 112b 的部分以及第三重佈線層 112c 的部分整合。

**【0060】** 半導體晶片 120 可為於單一晶片中整合的數百至數百萬個元件或更多的數量設置的積體電路 (IC)。舉例而言，所述積體電路可為應用處理器晶片，例如中央處理器 (例如中央處理單元)、圖形處理器 (例如圖形處理單元)、數位訊號處理器、密碼處理器、微處理器、微控制器等，但不以此為限。半導體晶片 120 可包括本體 121、連接墊 122、第一鈍化層 123 以及第二鈍化層 124。連接墊 122 在本體 121 上形成。第一鈍化層 123 在本體 121 上形成，並覆蓋連接墊 122 的至少部分。第二鈍化層 124 配置於第一鈍化層 123 上。半導體晶片 120 可具有開口 125，所述開口

125 貫穿第一鈍化層 123 及第二鈍化層 124，並暴露連接墊 122 的至少部分。另外，絕緣層（未繪示）等可進一步配置於其他所需的位置中，例如介於本體 121 與連接墊 122 之間的位置、介於本體 121 與第一鈍化層 123 之間的位置等。

【0061】半導體晶片 120 可以主動晶圓為基礎而形成。在此情況下，本體 121 的基本材料（base material）可為矽（Si）、鍺（Ge）、砷化鎵（GaAs）等。在本體 121 上可形成各種電路。連接墊 122 可將半導體晶片 120 電性連接至其他組件。連接墊 122 中每一者的材料可為例如鋁（Al）等導電材料。第一鈍化層 123 可為  $\text{SiO}_2$  等所形成的氧化物層、 $\text{Si}_x\text{N}_y$  等所形成的氮化物層，或為氧化物層及氮化物層的雙層。第二鈍化層 124 可為包括已知有機材料的有機絕緣層。舉例而言，第二鈍化層 124 可為感光層或非感光聚醯亞胺層（non-photosensitive polyimide layer）。聚醯亞胺等所形成的第二鈍化層 124 亦可為聚合物絕緣材料的種類，且第二鈍化層 124 可作為佈線的絕緣層，且可因而在第二鈍化層 124 上直接形成重佈線層 142，毋須額外的絕緣層。

【0062】包封體 130 可保護半導體晶片 120。包封體 130 的包封形式不受特別限制，其形式可為包封體 130 環繞半導體晶片 120 的至少部分。舉例而言，包封體 130 可覆蓋第一連接構件 110 的至少部分以及半導體晶片 120 非主動面的至少部分，且包封體 130 填充貫穿孔 110H 的壁面及半導體晶片 120 的多個側面之間的空間。舉例而言，包封體 130 的特定材料不受特別限制。舉例而言，

絕緣材料可用作包封體 130 的特定材料。在此情況下，所述絕緣材料可為：熱固性樹脂，例如環氧樹脂等；熱塑性樹脂，例如聚醯亞胺；具有例如注入於熱固性樹脂及熱塑性樹脂中的無機填料等加強材料的樹脂，例如味素構成膜（ABF）、FR-4、雙馬來醯亞胺三嗪（BT）、感光成像介電（PID）樹脂等。另外，亦可使用已知的模製材料，例如環氧模製化合物（epoxy molding compound，EMC）等。或者，亦可使用其中有熱固性樹脂或熱塑性樹脂來與無機填料一同注入例如玻璃纖維（或玻璃布、玻璃纖維布）的核心材料中的樹脂作為絕緣材料。

**【0063】** 第二連接構件 140 可對半導體晶片 120 的連接墊 122 進行重新分佈。具有各種功能的數十至數百個連接墊 122 可藉由第二連接構件 140 而進行重新分佈，且視所述功能可經由連接端子 170 而物理連接至或電性連接至外源。第二連接構件 140 可包括重佈線層 142，直接形成在半導體晶片 120 的第二鈍化層 124 的表面上，並延伸至包封體 130 及第一連接構件 110 上。重佈線層 142 可配置於被暴露的半導體晶片 120 的連接墊 122 及開口 125 的壁面上，從而接觸連接墊 122。重佈線層 142 可配置於第一連接構件 110 的凹陷部分中，從而接觸重佈線層 112a。第一連接構件 110 及半導體晶片 120 可經由重佈線層 142 而彼此電性連接。

**【0064】** 重佈線層 142 中每一者的材料可為導電材料，例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）或其合金等。重佈線層 142 可視對應層的設計而執行各

種功能。舉例而言，重佈線層 142 可包括接地（ground，GND）圖案、電源（power，PWR）圖案、訊號（signal，S）圖案等。此處，訊號圖案可包括除了接地圖案、電源圖案等之外的各種訊號，例如資料訊號等。另外，重佈線層 142 可包括各種接墊圖案。

**【0065】** 鈍化層 150 可附加地用於保護第二連接構件 140 免受外部物理或化學損傷。鈍化層 150 可具有開口 151，其暴露第二連接構件 140 的重佈線層 142 的至少部分。所述開口可以數十至數百的數量設置。鈍化層 150 的材料沒有特定限制，但可為感光絕緣材料，例如感光成像介電（PID）樹脂。或者，亦可使用阻焊劑作為鈍化層 150 的材料。或者，可使用絕緣樹脂作為鈍化層 150 的材料，絕緣樹脂不包括核心材料但包括填料，例如包括無機填料及環氧樹脂的味素構成膜（ABF）。當包括無機填料及絕緣樹脂的絕緣材料（例如：味素構成膜（ABF）等）作為鈍化層 150 的材料時，第二連接構件 140 的絕緣層 141 亦可包括無機填料及絕緣樹脂。

**【0066】** 凸塊下金屬層 160 可另外用以改善連接端子 170 的連接可靠性，並改善扇外型半導體封裝的板級可靠性。凸塊下金屬層 160 可連接至經由鈍化層 150 的開口 151 外露的第二連接構件 140 的重佈線層 142。凸塊下金屬層 160 可在鈍化層 150 的開口 151 中藉由已知的金屬化方法形成，此已知的金屬化方法使用已知的導電金屬（例如：金屬），但不以此為限。

**【0067】** 連接端子 170 可另外用以向外物理連接或電性連接扇出

型半導體封裝。舉例而言，扇外型半導體封裝可經由連接端子 170 安裝於電子裝置的主板上。連接端子 170 中的每一者可由導電材料形成，例如焊料等。然而，此僅為舉例說明，且連接端子 170 中每一者的材料不特別以此為限。連接端子 170 中的每一者可為接腳（land）、焊球、引腳等。連接端子 170 可形成為多層結構或單層結構。當連接端子 170 形成為多層結構時，連接端子 170 可包括銅（Cu）柱及焊料。當連接端子 170 形成為單層結構時，連接端子 170 可包括錫-銀焊料或銅（Cu）。然而，此僅為舉例說明，連接端子 170 不以此為限。

**【0068】** 連接端子 170 的數目、間隔或配置等不受特別限制，且可由此技術領域中具有通常知識者視設計細節而充分修改。舉例而言，根據半導體晶片 120 的連接墊 122 的數量，連接端子 170 可設置為數十至數千的數量，但不以此為限，且亦可設置為數十至數千或更多的數量或者數十至數千或更少的數量。當連接端子 170 為焊球時，連接端子 170 可覆蓋於延伸至鈍化層 150 的表面上凸塊下金屬層 160 的側表面，而可改善連接可靠性。

**【0069】** 連接端子 170 中的至少一者可配置在扇出區域中。所述扇出區域為除了配置有半導體晶片 120 的區域之外的區域。亦即，根據例示性實施例的扇外型半導體封裝可為扇外型封裝。相較於扇入型封裝而言，扇外型封裝可具有極佳的可靠性、可實施多個輸入/輸出端子，並可有利於 3D 連接。另外，相較於球柵陣列（ball grid array，BGA）封裝、接腳柵陣列（land grid array，LGA）封

裝等而言，扇外型封裝可在無需單獨的板的條件下安裝於電子裝置上。因此，扇外型封裝可製造為具有相對較小的厚度，並可具有價格競爭力。

**【0070】** 同時，雖然圖式中未繪示，必要時，金屬層可進一步配置於貫穿孔 110H 的孔壁上。金屬層可用於有效散出由半導體晶片 120 所產生的熱。另外，金屬層亦可用於阻擋電磁波。另外，單獨的被動組件（例如：電容器、感應器等）可進一步配置於貫穿孔 110H 中。另外，多個半導體晶片 120 可配置於貫穿孔 110H 中。另外，貫穿孔 110H 的數量可為多個，且半導體晶片 120 或被動組件可分別配置於貫穿孔 110H 中。除了上述結構，已知的結構可應用於此技術領域中。

**【0071】** 圖 11A 至圖 11B 為說明製造圖 9 的扇外型半導體封裝製程一實施例的圖式。

**【0072】** 參照圖 11A，可先行製備具有貫穿孔 110H 的第一連接構件 110。第一連接構件 110 可藉由以下方法製備，例如：製備載體膜（carrier film），其具有形成在一個表面或相對兩表面上的金屬膜；使用金屬層作為晶種層（seed layer）來形成第一重佈線層 112a；在金屬層上形成第一絕緣層 111a，第一絕緣層 111a 覆蓋第一重佈線層 112a；在第一絕緣層 111a 上形成第二重佈線層 112b；在第一絕緣層 111a 上形成第二絕緣層 111b，第二絕緣層 111b 覆蓋第二重佈線層 112b；在第二絕緣層 111b 上形成第三重佈線層 112c，以形成第一連接構件 110；將第一連接構件 110 自載體膜分

離；接著，移除在第一重佈線層 112a 上的金屬層。當金屬層被移除時，凹陷部分可形成在第一連接構件 110 中。重佈線層 112a、重佈線層 112b 以及重佈線層 112c 可藉由使用乾膜（dry film）等進行圖案化以及藉由已知的電鍍製程填充圖案來形成。絕緣層 111a 及絕緣層 111b 可藉由施行已知的層疊方法或以及硬化方法形成。

【0073】 接著，黏合膜 200 可貼附於第一連接構件 110 的表面上。任何可固定第一連接構件 110 的材料可作為黏合膜 200 使用。作為非限制性實例，可使用已知的捲帶（tape）等。已知的捲帶之實例可包括：熱塑性黏合捲帶（thermosetting adhesive tape）或者紫外光可固化黏合捲帶（ultraviolet-curable adhesive tape）等，熱塑性黏合捲帶的黏合性由熱處理弱化；紫外光可固化黏合捲帶的黏合性由紫外光照射弱化。接著，半導體晶片 120 可配置於第一連接構件 110 的貫穿孔 110H 中。舉例而言，藉由貼附半導體晶片 120 至黏合膜 200 的方法，半導體晶片 120 可配置於貫穿孔 110H 中。半導體晶片 120 可以面朝下（face-down）的形式配置，使得主動面上有連接墊 122 配置的半導體晶片 120 貼附至黏合膜 200。同時，半導體晶片 120 可包括第一鈍化層 123 及第二鈍化層 124，第一鈍化層 123 及第二鈍化層 124 配置於主動面上，且此主動面上有連接墊 122 配置。在本實施例中，半導體晶片 120 可貼附至黏合膜 200，其中半導體晶片 120 的開口 125 貫穿第一鈍化層 123 及第二鈍化層 124，並暴露連接墊 122 的至少部分，且開口 125

已經在形成半導體晶片 120 的製程中形成。

【0074】 接著，可使用包封體 130 包封半導體晶片 120。包封體 130 可至少包封第一連接構件 110 及半導體晶片 120 的非主動面，並可填充貫穿孔 110H 內的空間的至少部分。包封體 130 可由已知的方法形成。舉例而言，包封體 130 可藉由以下方法形成：將包封體 130 的前驅物（precursor）層疊，接著硬化前驅物。或者，包封體 130 可藉由以下步驟形成：施加預包封體（pre-encapsulant）的方法至黏合膜 200，以包封半導體晶片 120，並接著硬化預包封體。

【0075】 接著，參照圖 11B，黏合膜 200 可被剝離。剝離黏合膜 200 的方法不受特別限制，但可為已知的方法。舉例而言，當使用可藉由熱處理來弱化黏合性的熱塑性黏合捲帶時，藉由熱處理來弱化黏合膜 200 的黏合性後，黏合膜 200 可被剝離。或者，當使用可藉由紫外光照射來弱化黏合性的紫外光可固化黏合捲帶時，藉由照射紫外光至黏合膜 200 來弱化黏合膜 200 的黏合性後，黏合膜 200 可被剝離。

【0076】 接著，第二連接構件 140 可在第一連接構件 110 及移除黏合膜 200 後的半導體晶片 120 的主動面上形成。藉由電鍍等方式，將重佈線層 142 直接形成在被暴露的連接墊 122、開口 125 的壁面以及第二鈍化層 124 的表面上，藉此可直接形成第二連接構件 140。重佈線層 142 可延伸至包封體 130 的表面以及第一連接構件 110 的表面上。在此情況下，重佈線層 142 可在第一連接

構件 110 的凹陷部分中形成，從而接觸第一連接構件 110 的第一重佈線層 112a。亦即，利用半導體晶片 120 的第二鈍化層 124，可直接形成重佈線層 142。因此，單獨的絕緣層可被省略，扇外型半導體封裝可因而小型化與薄化，且扇外型半導體封裝的成本可降低。

【0077】 接著，必要時，鈍化層 150 可在第二連接構件 140 上形成。鈍化層 150 可透過層疊鈍化層 150 的前驅物，並接著硬化前驅物之方法、或是施以形成鈍化層 150 的材料，並接著將材料硬化之方法等來形成。開口 151 可在鈍化層 150 中形成，以暴露第二連接構件 140 的重佈線層 142 的至少部分，且凸塊下金屬層 160 可藉由已知的金屬化方法在開口 151 中形成。必要時，連接端子 170 可在凸塊下金屬層 160 上形成。形成連接端子 170 的方法並不受特別限制。亦即，視連接端子 170 的結構與形式，連接端子 170 可藉由此技術領域中已知的方法形成。可藉由迴焊（reflow）來固定連接端子 170，且連接端子 170 的部分可嵌入於鈍化層 150 中以增強固定力，且連接端子 170 的其餘部分可向外暴露出，使得可靠性可改善。另外，必要時，可形成開口 131，開口 131 貫穿包封體 130，並暴露第一連接構件 110 的第三重佈線層 112c 的至少部分。

【0078】 同時，一系列製程可為以下製程：製備尺寸較大的載體膜、製造多個扇外型半導體封裝、且接著藉由切割製程將所述多個扇外型半導體封裝單體化成單獨的扇外型半導體封裝，以利

大量生產。在此情況下，產率可為極佳並/或被增進。

【0079】 圖 12 為根據本揭露的另一例示性實施例說明扇外型半導體封裝的一實施例的剖視示意圖。

【0080】 參照圖式，在根據本揭露另一例示性實施例的扇外型半導體封裝中，第二連接構件 140 可包括多個層。舉例而言，第二連接構件 140 可包括絕緣層 141、第一重佈線層 142、第二重佈線層 144 以及導通孔 143。絕緣層 141 覆蓋第一重佈線層 142。第二重佈線層 144 在絕緣層 141 上形成。而導通孔 143 貫穿絕緣層 141，並使第一重佈線層 142 與第二重佈線層 144 彼此連接。絕緣層 141 的材料可為上述的絕緣材料，例如感光成像介電（PID）樹脂等。導通孔 143 中每一者的材料可為導電材料，例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）或其合金等。導電材料可在導通孔 143 中的每一者中完全填充，或導電材料亦可沿導通孔中每一者的壁面形成。另外，導通孔 143 中的每一者可具有在相關技術中已知的所有形狀，例如錐形、圓柱形等。以下將省略與上述所提供的組態以及製造方法的說明重複的內容。

【0081】 圖 13 為根據本揭露的另一例示性實施例說明扇外型半導體封裝的一實施例的剖視示意圖。

【0082】 參照圖式，在根據本揭露另一例示性實施例的扇外型半導體封裝中，第一連接構件 110 可僅包括第一重佈線層 112a 與第二重佈線層 112b。亦即，必要時可調整第一連接構件 110 的重佈

線層 112a 與重佈線層 112b 的數量。以下將省略與上述所提供的組態以及製造方法的說明重複的內容。

【0083】 如上所述，根據本揭露的例示性實施例，可提供一種扇外型半導體封裝及其製造方法，扇外型半導體封裝可製造為超小型尺寸以及超薄厚度，以減少製造成本。

【0084】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾。

#### 【符號說明】

#### 【0085】

110：第一連接構件

110H：貫穿孔

111：絕緣層

111a：第一絕緣層

111b：第二絕緣層

112a：第一重佈線層

112b：第二重佈線層

112c：第三重佈線層

113a：第一導通孔

113b：第二導通孔

120：半導體晶片

121：本體

- 122：連接墊
- 123：第一鈍化層
- 124：第二鈍化層
- 125、131、151：開口
- 130：包封體
- 140：第二連接構件
- 141：絕緣層
- 142：第一重佈線層
- 143：導通孔
- 144：第二重佈線層
- 150：鈍化層
- 160：凸塊下金屬層
- 170：連接端子
- 200：黏合膜
- 1000：電子裝置
- 1010、1110：主板
- 1020：晶片相關組件
- 1030：網路相關組件
- 1040：其他組件
- 1050、1130：相機模組
- 1060：天線
- 1070：顯示裝置
- 1080：電池
- 1090：信號線

- 1100：智慧型電話
- 1101：本體
- 1120：電子組件
- 2100：扇外型半導體封裝
- 2120：半導體晶片
- 2121：本體
- 2122：連接墊
- 2130：包封體
- 2140：連接構件
- 2141：絕緣層
- 2142：重佈線層
- 2143、2243、2243h：導通孔
- 2150：鈍化層
- 2160、2260：凸塊下金屬層
- 2170、2270：焊球
- 2200：扇入型半導體封裝
- 2220：半導體晶片
- 2221：本體
- 2222：連接墊
- 2223、2250：保護層
- 2240：連接構件
- 2241：絕緣層
- 2242：佈線圖案
- 2251：開口

2280：底部填充樹脂

2290：模製材料

2301、2302：中介基板

2500：主板

## 【發明申請專利範圍】

【第1項】一種扇外型半導體封裝，包括：

第一連接構件，具有貫穿孔；

半導體晶片，配置於所述貫穿孔中，所述半導體晶片具有多個連接墊配置於其上的主動面及與所述主動面對的非主動面；

包封體，包封所述第一連接構件的至少部分及所述半導體晶片的所述非主動面；以及

第二連接構件，配置於所述第一連接構件及所述半導體晶片的所述主動面上，

其中所述第一連接構件及所述第二連接構件包括電性連接至所述些連接墊的多個重佈線層，

其中所述半導體晶片包括配置於所述主動面上的第一鈍化層，且所述半導體晶片包括配置於所述第一鈍化層上的第二鈍化層，以及

其中所述第二連接構件的所述重佈線層直接形成於所述第二鈍化層的表面上，並延伸至所述第一連接構件的表面上。

【第2項】如申請專利範圍第1項所述的扇外型半導體封裝，其中所述半導體晶片具有貫穿所述第一鈍化層及所述第二鈍化層的多個開口，所述些開口暴露所述些連接墊的至少部分，且

所述第二連接構件的所述重佈線層配置於被暴露的所述連接墊以及所述開口的多個壁面上，使得所述第二連接構件接觸所述半導體晶片的所述些連接墊。

【第3項】如申請專利範圍第1項所述的扇外型半導體封裝，其中所述第一連接構件具有形成在所述第一連接構件的所述表面的凹陷部分，所述凹陷部分接觸所述第二連接構件，且

所述第二連接構件的所述重佈線層配置於所述凹陷部分中，使得所述第二連接構件接觸所述第一連接構件的所述重佈線層。

【第4項】如申請專利範圍第1項所述的扇外型半導體封裝，其中所述包封體填充所述貫穿孔的多個壁面以及所述半導體晶片的多個側面之間的空間的至少部分，以及

所述第二連接構件的所述重佈線層延伸至所述包封體的表面，藉此填充所述貫穿孔的所述些壁面及所述半導體晶片的所述些側面之間的所述空間的至少部分。

【第5項】如申請專利範圍第4項所述的扇外型半導體封裝，其中所述第二鈍化層的所述表面、所述包封體的所述表面以及所述第一連接構件的所述表面形成有所述第二連接構件的所述重佈線層的所述表面配置於相同的水平高度上。

【第6項】如申請專利範圍第1項所述的扇外型半導體封裝，其中所述第一鈍化層包括氧化物層及氮化物層中的至少一者，且

所述第二鈍化層包括有機絕緣層。

【第7項】如申請專利範圍第1項所述的扇外型半導體封裝，其中所述第一連接構件包括第一絕緣層、第一重佈線層以及第二重佈線層，所述第一重佈線層接觸所述第二連接構件的所述重佈線層，並嵌入所述第一絕緣層中，所述第二重佈線層配置於所述第

一絕緣層的另一表面上，而所述另一表面相對於所述第一絕緣層的嵌有所述第一重佈線層的表面。

【第8項】如申請專利範圍第7項所述的扇外型半導體封裝，其中所述第一連接構件更包括第二絕緣層及第三重佈線層，所述第二絕緣層配置於所述第一絕緣層上，並覆蓋所述第二重佈線層，所述第三重佈線層配置於所述第二絕緣層上。

【第9項】如申請專利範圍第7項所述的扇外型半導體封裝，其中所述第一重佈線層的下表面相對於所述第一絕緣層的下表面具有台階。

【第10項】如申請專利範圍第7項所述的扇外型半導體封裝，其中所述第一重佈線層的厚度大於所述第二連接構件的所述重佈線層的厚度。

【第11項】如申請專利範圍第8項所述的扇外型半導體封裝，其中所述第二重佈線層所配置的水平高度介於所述半導體晶片的所述主動面的水平高度與所述非主動面的水平高度之間。

【第12項】一種扇外型半導體封裝的製造方法，包括：

製備具有貫穿孔並包括重佈線層的第一連接構件；

在至少部分的所述貫穿孔中配置半導體晶片，所述半導體晶片具有其上配置有多個連接墊的主動面及相對於所述主動面的非主動面，所述半導體晶片包括配置於所述主動面上的第一鈍化層，且所述半導體晶片具有配置於所述第一鈍化層上的第二鈍化層；

形成包封體，包封所述第一連接構件的至少部分以及所述半導體晶片的所述非主動面；以及

藉由在所述第一連接構件的表面以及所述第二鈍化層的表面直接形成重佈線層而形成第二連接構件，所述第二連接構件的所述重佈線層接觸所述第一連接構件的所述重佈線層以及所述半導體晶片的所述些連接墊。

【第13項】如申請專利範圍第12項所述的扇外型半導體封裝的製造方法，其中在配置所述半導體晶片的步驟之前，形成貫穿所述第一鈍化層及所述第二鈍化層的多個開口，所述些開口暴露所述半導體晶片中的所述些連接墊的至少部分，以及

在形成所述第二連接構件的步驟中，所述第二連接構件的所述重佈線層亦形成在被暴露的所述些連接墊上以及形成在所述些開口的多個壁面上。

【第14項】如申請專利範圍第12項所述的扇外型半導體封裝的製造方法，其中在製備所述第一連接構件的步驟中，在所述第一連接構件的所述表面形成凹陷部分，以及

在形成所述第二連接構件的步驟中，所述第二連接構件的所述重佈線層亦形成於所述凹陷部分內。

【第15項】如申請專利範圍第12項所述的扇外型半導體封裝的製造方法，其中在形成所述包封體的步驟中，所述包封體填充於所述貫穿孔的多個壁面及所述半導體晶片的多個側面之間的空間的至少部分，以及

在形成所述第二連接構件的步驟中，所述第二連接構件的所述重佈線層亦形成在所述包封體的表面上，所述包封體填充於所述貫穿孔的所述些壁面以及所述半導體晶片的所述些側面之間的空間的至少部分。

**【第16項】** 如申請專利範圍第15項所述的扇外型半導體封裝的製造方法，其中所述第二鈍化層的所述表面、所述包封體的所述表面以及所述第一連接構件的形成有所述第二連接構件的所述重佈線層的所述表面配置於相同的水平高度上。