

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-182158

(P2015-182158A)

(43) 公開日 平成27年10月22日 (2015. 10. 22)

(51) Int.Cl.		F I		テーマコード (参考)
<b>B81B</b> 7/02 (2006.01)		B81B	7/02	3C081
<b>H03H</b> 9/24 (2006.01)		H03H	9/24	5J108

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2014-59445 (P2014-59445)  
 (22) 出願日 平成26年3月24日 (2014. 3. 24)

(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100110777  
 弁理士 宇都宮 正明  
 (74) 代理人 100110858  
 弁理士 柳瀬 睦肇  
 (74) 代理人 100100413  
 弁理士 渡部 温  
 (72) 発明者 吉澤 隆彦  
 山形県酒田市十里塚166番地3 東北エ  
 プソン株式会社内  
 Fターム(参考) 3C081 AA07 BA04 BA22 BA30 BA43  
 BA48 BA53 BA76 CA03 CA14  
 CA15 CA20 EA22 EA41  
 5J108 BB08 KK07

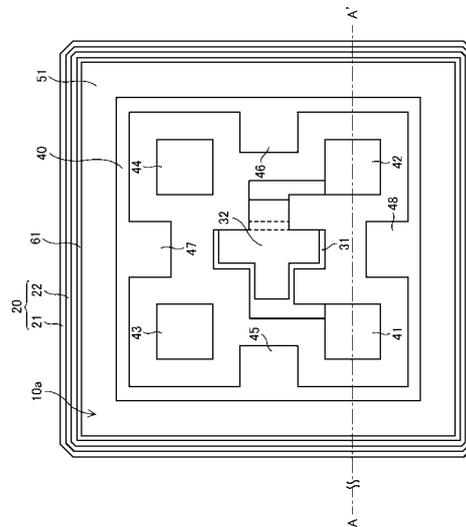
(54) 【発明の名称】 MEMSデバイス

(57) 【要約】

【課題】機能素子と半導体回路素子とを1つの半導体基板に集積化したMEMSデバイスにおいて、半導体基板のトレンチ内で機能素子を収容するキャビティー構造の機械的強度を向上させる。

【解決手段】このMEMSデバイスは、主面の第1の領域にトレンチが形成されると共に、主面の第2の領域に半導体回路素子の不純物拡散領域が形成された半導体基板と、半導体基板のトレンチの底面に直接又は絶縁膜を介して設けられた機能素子と、半導体基板のトレンチ内に設けられ、機能素子の周囲にキャビティーを形成する壁部と、キャビティーを覆う蓋部と、キャビティー内に設けられ、半導体基板のトレンチの底面又は絶縁膜と蓋部の裏面とに接する支柱とを備える。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

主面の第 1 の領域にトレンチが形成されると共に、主面の第 2 の領域に半導体回路素子の不純物拡散領域が形成された半導体基板と、

前記半導体基板のトレンチの底面に直接又は絶縁膜を介して設けられた機能素子と、

前記半導体基板のトレンチ内に設けられ、前記機能素子の周囲にキャビティを形成する壁部と、

前記キャビティを覆う蓋部と、

前記キャビティ内に設けられ、前記半導体基板のトレンチの底面又は前記絶縁膜と前記蓋部の裏面とに接する支柱と、

を備える MEMS デバイス。

10

**【請求項 2】**

前記蓋部及び前記半導体回路素子が設けられた前記半導体基板の主面を覆う絶縁層をさらに備える、請求項 1 記載の MEMS デバイス。

**【請求項 3】**

前記蓋部上の前記絶縁層の表面が、CMP（化学機械研磨）によって加工されている、請求項 2 記載の MEMS デバイス。

**【請求項 4】**

前記支柱が、前記蓋部の裏面の中央部に接する、請求項 1～3 のいずれか 1 項記載の MEMS デバイス。

20

**【請求項 5】**

前記機能素子の少なくとも一部が、前記支柱を構成する、請求項 1～4 のいずれか 1 項記載の MEMS デバイス。

**【請求項 6】**

前記支柱が、前記壁部と一体的に構成されている、請求項 1～3 記載の MEMS デバイス。

**【請求項 7】**

前記支柱が、前記機能素子と前記壁部との間の中央部に設けられている、請求項 1～3 のいずれか 1 項記載の MEMS デバイス。

**【請求項 8】**

前記支柱が、前記機能素子に電氣的に接続された外部接続電極を兼ねる、請求項 1～7 のいずれか 1 項記載の MEMS デバイス。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、レゾネーター、センサー、アクチュエーター等の機能素子、及び/又は、電子回路を 1 つの基板に集積化した MEMS (Micro Electro Mechanical Systems) デバイス等に関する。

**【背景技術】****【0002】**

例えば、機能素子として静電容量タイプのレゾネーターを備える MEMS デバイスにおいて、レゾネーターは、基板に形成されたキャビティ内に真空状態で密閉される。また、真空密閉を必要としない機能素子であっても、塵埃や水分等の影響を防止するために、キャビティ内に密閉される。

40

**【0003】**

そのような機能素子と半導体回路素子とを 1 つの半導体基板に集積化する場合に、従来は、半導体基板上に機能素子を設けて、機能素子の周囲を絶縁膜等で囲むことにより、キャビティが形成されていた。従って、キャビティの上層を研磨することは行われておらず、キャビティを形成する構造について、研磨による機械的ストレスに対する強度は考慮されていなかった。

50

## 【0004】

一方、半導体基板にトレンチを形成してトレンチ内にキャビティを形成する場合には、キャビティを覆う蓋部上に絶縁層を設けて、絶縁層上に配線を形成することが可能となる。絶縁層上に配線を形成するためには、蓋部上に設けられた絶縁層をCMP (Chemical Mechanical Polishing: 化学機械研磨) によって加工して、絶縁層の表面を平坦化することが望ましい。その際に、キャビティ構造が機械的ストレスに対する十分な強度を有していないと、蓋部が変形して、キャビティの気密性や機能素子の特性が損なわれるおそれがある。

## 【0005】

関連する技術として、特許文献1には、小型化及び薄型化を図りながら、MEMSデバイスが収容されるキャビティを高気密に維持することができ、高品質化及び高信頼性化を図った気密パッケージが開示されている。この気密パッケージにおいては、MEMSデバイス基板とIC基板とを枠部を介して接合することにより、MEMSデバイスを収容するキャビティが形成される。

10

## 【0006】

また、特許文献2には、接着層を介して半導体基板と支持体とを貼り合わせる場合において、特定領域にキャビティ空間を容易に設けることができる半導体装置が開示されている。この半導体装置は、半導体基板と、半導体基板上に形成され、半導体基板のキャビティ形成領域の周囲を囲む複数の柱状構造物と、半導体基板の表面上に、接着層及び柱状構造物を介して貼り合わされた支持体とを備え、デバイス素子が、半導体基板と柱状構造物と支持体とで囲まれたキャビティに封止されている。

20

## 【0007】

さらに、特許文献3には、樹脂トランスファーモールド等の際に外圧が加わったとき、電極が可動部に近づく方向に電極に応力が加わることを防止する構造を有するMEMS素子が開示されている。このMEMS素子は、基板及び封止薄膜を有し、機械的振動を行う可動部及び可動部に近接して位置する電極が基板と封止薄膜との間に設けられ、可動部と電極は基板表面に垂直な方向においてギャップを隔てて互いに重なる領域を有し、基板と封止薄膜との間に、電極によって隔てられる第1のキャビティおよび第2のキャビティが形成されており、第1のキャビティは、可動部と電極が重なる領域にある電極から見て基板表面に垂直な方向において可動部側に位置し、第2のキャビティは、可動部と電極が重なる領域にある電極から見て基板表面に垂直な方向において可動部とは反対側に位置し、第1のキャビティの電極と接する側壁の内側表面が、第2のキャビティの電極と接する側壁の内側表面よりも、基板表面と平行な方向において内側に位置する。

30

## 【先行技術文献】

## 【特許文献】

## 【0008】

【特許文献1】特開2009-59941号公報(段落0013-0014、図1)

【特許文献2】国際公開WO2008/023826号再公表公報(要約書、段落0003、図5)

【特許文献3】特許第5192610号公報(段落0017、図1)

40

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0009】

特許文献1においては、キャビティを形成するために複数の基板が用いられる。従って、MEMSデバイスと半導体回路素子とを1つの基板に集積化することはできない。一方、特許文献2及び特許文献3においては、単一の基板上にキャビティが形成される。しかしながら、基板のトレンチ内にキャビティを形成することや、キャビティの上層に形成される絶縁層の表面を平坦化することは開示されていない。

## 【0010】

そこで、上記の点に鑑み、本発明の目的の1つは、機能素子と半導体回路素子とを1つ

50

の半導体基板に集積化したMEMSデバイスにおいて、半導体基板のトレンチ内で機能素子を収容するキャビティー構造の機械的強度を向上させて、キャビティーを覆う蓋部の機械的ストレスによる変形を防止することである。

【課題を解決するための手段】

【0011】

以上の課題を解決するため、本発明の1つの観点に係るMEMSデバイスは、主面の第1の領域にトレンチが形成されると共に、主面の第2の領域に半導体回路素子の不純物拡散領域が形成された半導体基板と、半導体基板のトレンチの底面に直接又は絶縁膜を介して設けられた機能素子と、半導体基板のトレンチ内に設けられ、機能素子の周囲にキャビティーを形成する壁部と、キャビティーを覆う蓋部と、キャビティー内に設けられ、半導体基板のトレンチの底面又は絶縁膜と蓋部の裏面とに接する支柱とを備える。

10

【0012】

本発明の1つの観点によれば、半導体基板のトレンチの底面に直接又は絶縁膜を介して設けられた機能素子の周囲にキャビティーを形成する壁部と、キャビティーを覆う蓋部とが設けられ、さらに、キャビティー内に、半導体基板のトレンチの底面又は絶縁膜と蓋部の裏面とに接する支柱が設けられる。それにより、半導体基板のトレンチ内で機能素子を収容するキャビティー構造の機械的強度を向上させて、キャビティーを覆う蓋部の機械的ストレスによる変形を防止することができる。

【0013】

ここで、MEMSデバイスが、蓋部及び半導体回路素子が設けられた半導体基板の主面を覆う絶縁層をさらに備えるようにしても良い。それにより、機能素子を収容するキャビティーの上層にも、半導体回路素子の上層と同様に、標準的な半導体ウエハプロセスを用いて配線層を配置できるようになり、MEMSデバイスの設計自由度が向上する。

20

【0014】

その場合に、蓋部上の絶縁層の表面が、CMP（化学機械研磨）によって加工されていることが望ましい。それにより、蓋部上の絶縁層の表面が平坦化されて、絶縁層上に配線を形成することが容易になる。

【0015】

以上において、支柱が、蓋部の裏面の中央部に接するようにしても良い。蓋部において最も変形し易いのは中央部であるので、支柱が蓋部の裏面の中央部を支えることにより、蓋部の変形を有効に防止することができる。また、機能素子の少なくとも一部が、支柱を構成するようにしても良い。それにより、キャビティー内のスペースを有効に活用することができる。

30

【0016】

あるいは、支柱が、壁部と一体的に構成されるようにしても良い。それにより、支柱の位置が壁部によって固定されるので、キャビティーの上層に加えられる機械的ストレスによる支柱の位置ずれや傾きを防止することができる。

【0017】

あるいは、支柱が、機能素子と壁部との間の中央部に設けられても良い。その場合には、キャビティーのサイズを確保しながら、機能素子と壁部との間で蓋部が変形し易い箇所を支柱によって支えることができる。

40

【0018】

以上において、支柱が、機能素子に電氣的に接続された外部接続電極を兼ねるようにしても良い。それにより、支柱は、蓋部の変形防止と機能素子の電氣的接続との両方の役割を果たすことができる。

【図面の簡単な説明】

【0019】

【図1】本発明の第1の実施形態に係るMEMSデバイスのトレンチ内の平面図。

【図2】図1のA-A'線におけるMEMSデバイスの主要部を示す断面図。

【図3】本発明の第1の実施形態に係るMEMSデバイスの製造工程における断面図。

50

【図4】本発明の第1の実施形態に係るMEMSデバイスの製造工程における断面図。

【図5】本発明の第2の実施形態に係るMEMSデバイスのトレンチ内の平面図。

【図6】図5のB-B'線におけるMEMSデバイスの主要部を示す断面図。

【発明を実施するための形態】

【0020】

以下、本発明の実施形態について、図面を参照しながら詳細に説明する。なお、同一の構成要素には同一の参照符号を付して、重複する説明を省略する。

本発明の各実施形態に係るMEMSデバイスは、レゾネーター、センサー、アクチュエーター等の機能素子、及び、電子回路を1つの基板に集積化したデバイスである。

【0021】

以下においては、一例として、機能素子として静電容量タイプのレゾネーターを備えると共に、半導体回路素子としてMOS電界効果トランジスタを備えるMEMSデバイスについて説明する。レゾネーターは、半導体基板のトレンチ（表面凹部）内に形成されたキャビティー内に密閉される。

【0022】

< 第1の実施形態 >

図1は、本発明の第1の実施形態に係るMEMSデバイスのトレンチ内の構造を示す平面図である。図1は、キャビティーが蓋部で覆われる前のトレンチ内の構造を示している。また、図2は、図1のA-A'線におけるMEMSデバイスの主要部を示す断面図である。図2に示すように、このMEMSデバイスにおいては、主面（図中上面）の第1の領域（図中右側）にトレンチ10aが形成されると共に、主面の第2の領域（図中左側）に半導体回路素子の不純物拡散領域が形成された半導体基板10が用いられる。

【0023】

半導体基板のトレンチ10aの底面には、絶縁膜20を介して、下部電極31及び上部電極32を有するレゾネーターが設けられている。レゾネーターの上部電極32は、カンチレバー（片持ち梁）状の構造体を含み、構造体の一端が固定され、構造体の他端が可動となっている。

【0024】

また、半導体基板のトレンチ10a内には、レゾネーターの周囲にキャビティーを形成する壁部40が設けられており、壁部40によって形成されるキャビティー内には、少なくとも1つの支柱が設けられている。一例として、図1には、支柱41～48が示されており、図2には、それらの内で、図1のA-A'線上に位置する支柱41及び42のみが示されている。

【0025】

この例においては、下部電極31、上部電極32、壁部40、及び、支柱41～48が、半導体基板のトレンチ10aの底面に絶縁膜20を介して設けられているが、下部電極31、上部電極32、壁部40、及び、支柱41～48は、半導体基板のトレンチ10aの底面に直接設けられても良い。また、壁部40の周囲には、壁部40を補強する絶縁膜51が設けられている。

【0026】

例えば、絶縁膜20は、二酸化ケイ素（ $\text{SiO}_2$ ）の絶縁膜21と、窒化ケイ素（ $\text{SiN}$ ）の絶縁膜22とを含んでいる。下部電極31、上部電極32、壁部40、及び、支柱41～48は、不純物がドーピングされて導電性を有するポリシリコン等で形成される。また、絶縁膜51は、二酸化ケイ素（ $\text{SiO}_2$ ）等で形成される。

【0027】

支柱41～48は、例えば、角柱又は円柱の形状を有している。支柱41～48の中で、支柱41及び42は、レゾネーターの下部電極31及び上部電極32を電子回路にそれぞれ電氣的に接続するための2つ外部接続電極を兼ねている。従って、支柱41は、下部電極31に電氣的に接続されており、下部電極31と一体的に構成されても良い。また、支柱42は、上部電極32に電氣的に接続されており、上部電極32と一体的に構成され

10

20

30

40

50

ても良い。

【0028】

半導体基板のトレンチ10a内において、壁部40によって囲まれた領域がキャビティーとなる。キャビティー内の空間は、高真空領域とされる。キャビティー内に設けられたレゾネーターにおいて、下部電極31と上部電極32との間に交流電圧を印加することにより、静電力によって上部電極32の機械的振動が励起され、この機械的振動に起因する下部電極31と上部電極32との間の静電容量の変化が検出される。

【0029】

図2に示すように、キャビティーは、レゾネーターとの間に間隙を伴って、第1の蓋部60と第2の蓋部70とを含む蓋部によって覆われている。第1の蓋部60は、例えば、窒化ケイ素(SiN)等の絶縁膜61と、導電性を有するポリシリコン膜62とを含んでいる。なお、ポリシリコン膜62の表面に、窒化チタン(TiN)又はサリサイド等の膜が設けられても良い。

10

【0030】

ポリシリコン膜62の一部は、支柱41の主面(図中上面)における所定の領域に設けられ、支柱41に電氣的に接続されている。また、ポリシリコン膜62の該一部から絶縁されている他の一部は、支柱42の主面(図中上面)における所定の領域に設けられ、支柱42に電氣的に接続されている。

【0031】

第1の蓋部60は、開口(リリースホール)60aが形成されており、開口60a以外の部分でキャビティーを覆っている。開口60aは、キャビティー内に形成された犠牲膜をリリースエッチングによって除去する際に使用される。その後、キャビティー内を減圧状態(真空状態)として、第1の蓋部60の表面に、アルミニウム(Al)等の封止材を用いて第2の蓋部70が形成される。

20

【0032】

第2の蓋部70は、ポリシリコン膜62を介して支柱41に電氣的に接続されると共に、第2の蓋部70の他の部分から絶縁された中間導電体71と、ポリシリコン膜62を介して支柱42に電氣的に接続されると共に、第2の蓋部70の他の部分から絶縁された中間導電体72と、第1の蓋部の開口60aを封止する封止部73とを含んでいる。

【0033】

支柱41~48は、キャビティー内において、半導体基板のトレンチ10aの底面又は絶縁膜20と蓋部の裏面(絶縁膜61又はポリシリコン膜62)とに接している。それにより、半導体基板のトレンチ10a内でレゾネーターを収容するキャビティー構造の機械的強度を向上させて、キャビティーを覆う蓋部の機械的ストレスによる変形を防止することができる。その結果、キャビティーの気密性やレゾネーターの特性が維持される。

30

【0034】

ここで、図1に示すように、支柱45~48は、壁部40と一体的に構成されている。それにより、支柱45~48の位置が壁部40によって固定されるので、キャビティーの上層に加えられる機械的ストレスによる支柱45~48の位置ずれや傾きを防止することができる。

40

【0035】

一方、支柱41~44は、レゾネーターと壁部40との間の中央部に設けられている。その場合には、キャビティーのサイズを確保しながら、レゾネーターと壁部40との間で蓋部が変形し易い箇所を支柱41~44によって支えることができる。

【0036】

また、支柱41及び42は、レゾネーターに電氣的に接続された外部接続電極を兼ねている。それにより、支柱41及び42は、蓋部の変形防止とレゾネーターの電氣的接続との両方の役割を果たすことができる。

【0037】

レゾネーターの下部電極31及び上部電極32、壁部40、及び、支柱41~48は、

50

半導体基板のトレンチ10a内において、半導体基板10の主面よりも低い領域に設けられていることが望ましい。それにより、キャビティーが半導体基板10の主面よりも低い領域に形成されるので、蓋部の厚さを、キャビティー内を高真空に保つために十分な厚さとすることができる。

**【0038】**

一方、図2に示すように、半導体基板10の主面の第2の領域には、半導体回路素子が設けられている。例えば、半導体基板10内に、MOS電界効果トランジスタ(MOSFET)のソース及びドレインとなる不純物拡散領域81及び82が設けられ、半導体基板10上に、ゲート絶縁膜を介してゲート電極83が設けられている。

**【0039】**

蓋部及び半導体回路素子が設けられた半導体基板10には、二酸化ケイ素(SiO<sub>2</sub>)又はBPSG(Boron Phosphorus Silicon Glass)等で、半導体基板10の主面を覆う第1の絶縁層(層間絶縁膜)91が設けられている。第1の絶縁層91は、絶縁膜61に接して、第2の蓋部70の中間導電体71及び72を封止部73から絶縁する。

**【0040】**

第1の絶縁層91の第1の領域において、第1の絶縁層91を貫通して中間導電体71及び72にそれぞれ電氣的に接続されたタングステン(W)等のコンタクトプラグ(電極)101及び102が設けられている。また、第1の絶縁層91の第2の領域において、第1の絶縁層91を貫通して不純物拡散領域81及び82及びゲート電極83にそれぞれ電氣的に接続されたタングステン(W)等のコンタクトプラグ(電極)103~105が設けられている。

**【0041】**

第1の絶縁層91の表面に設けられたアルミニウム(Al)等の第1の配線層において、コンタクトプラグ101~105に対する電氣的な接続が行われる。さらに、必要に応じて、第2の絶縁層92を介して第2の配線層が設けられ、以下同様に、所望の数の配線層が配置される。また、最上層の配線層の表面には、保護膜(図示せず)が設けられる。

**【0042】**

このように、蓋部及び半導体回路素子が設けられた半導体基板10の主面を覆う絶縁層91を設けることにより、機能素子を収容するキャビティーの上層にも、半導体回路素子の上層と同様に、標準的な半導体ウエハプロセスを用いて配線層を配置できるようになり、MEMSデバイスの設計自由度が向上する。

**【0043】**

例えば、第1の配線層に設けられた配線111によって、コンタクトプラグ101とコンタクトプラグ103とが電氣的に接続される。また、第2の配線層に設けられた配線112によって、第1の配線層を介して、コンタクトプラグ102とコンタクトプラグ104とが電氣的に接続される。それにより、レゾネーターを半導体回路素子に電氣的に接続することができる。

**【0044】**

ここで、蓋部上の第1の絶縁層91の表面が、CMP(Chemical Mechanical Polishing: 化学機械研磨)によって加工されていることが望ましい。それにより、蓋部上の第1の絶縁層91の表面が平坦化されて、第1の絶縁層91上に配線を形成することが容易になる。

**【0045】**

蓋部上の第1の絶縁層91の表面をCMPによって加工する際に、キャビティーの上層に機械的ストレスが加えられる。本実施形態によれば、キャビティー内に支柱41~48を設けることによって、キャビティー構造の機械的強度を向上させ、蓋部上の第1の絶縁層91の表面をCMPによって加工する際の機械的ストレスによる蓋部の変形を防止することができる。

**【0046】**

図1及び図2に示す例においては、機能素子としてのレゾネーターがキャビティーの中

10

20

30

40

50

中央部に設けられているが、機能素子をキャビティの周辺部に設けて1つの支柱をキャビティの中央部に設けることにより、その支柱が蓋部の裏面の中央部に接するようにしても良い。蓋部において最も変形し易いのは中央部であるので、支柱が蓋部の裏面の中央部を支えることにより、蓋部の変形を有効に防止することができる。

【0047】

次に、図1及び図2に示すMEMSデバイスの製造方法について説明する。

図3及び図4は、本発明の第1の実施形態に係るMEMSデバイスの製造工程における断面図である。まず、図3(a)に示すように、例えば、シリコン単結晶等で構成された半導体基板10の主面の一部に、フォトリソグラフィ法によってレジスト11を設けてドライエッチングを行うことにより、半導体基板10の主面の第1の領域に深いトレンチ(ディープトレンチ)10aが形成される。その後、レジスト11が除去される。

10

【0048】

次に、図3(b)に示すように、半導体基板のトレンチ10aの底面に絶縁膜20が形成される。例えば、絶縁膜20は、二酸化ケイ素( $\text{SiO}_2$ )の絶縁膜21と、窒化ケイ素( $\text{SiN}$ )の絶縁膜22とを含んでいる。窒化ケイ素( $\text{SiN}$ )の絶縁膜22は、後述するキャビティ内の犠牲膜を除去するためのウエットエッチング(リリースエッチング)に耐えることができる。

【0049】

また、半導体基板のトレンチ10aの底面に絶縁膜20を介して、不純物がドーパされて導電性を有するポリシリコン等を形成し、レジストを用いたドライエッチングによってパターンニングすることにより、レゾネーターの下部電極31が形成される。さらに、下部電極31上にギャップ犠牲膜23を形成した後、導電性を有するポリシリコン等を形成し、レジストを用いたドライエッチングによってパターンニングすることにより、レゾネーターの上部電極32、壁部40、支柱41~48(図1)が形成される。その後、ギャップ犠牲膜23が、ウエットエッチングによって除去される。

20

【0050】

これにより、半導体基板のトレンチ10aの底面に絶縁膜20を介して、下部電極31及び上部電極32を有するレゾネーターが形成されると共に、半導体基板のトレンチ10a内に、レゾネーターの周囲にキャビティを形成する壁部40が形成される。また、キャビティ内に、支柱41~48(図1)が形成される。なお、下部電極31、上部電極32、壁部40、及び、支柱41~48は、半導体基板のトレンチ10aの底面に直接形成されても良い。

30

【0051】

次に、レゾネーター等が形成された半導体基板10の表面に、プラズマCVD法によって二酸化ケイ素( $\text{SiO}_2$ )等の絶縁膜が堆積された後、二酸化ケイ素( $\text{SiO}_2$ )等の絶縁膜が、CMP(化学機械研磨)によって研磨され、さらに、エッチングされる。その結果、図4(a)に示すように、半導体基板10のトレンチ内において、壁部40の周囲に二酸化ケイ素( $\text{SiO}_2$ )等の絶縁膜51が形成されると共に、キャビティ内に犠牲膜として二酸化ケイ素( $\text{SiO}_2$ )等の絶縁膜52が形成される。

【0052】

40

次に、絶縁膜51及び52等が形成された半導体基板10の表面に、窒化ケイ素( $\text{SiN}$ )等の絶縁膜が形成された後、窒化ケイ素( $\text{SiN}$ )等の絶縁膜が、レジストを用いたドライエッチングによってパターンニングされる。その結果、支柱41及び42の主面の一部及び絶縁膜51及び52の一部を覆う窒化ケイ素( $\text{SiN}$ )等の絶縁膜61が形成される。

【0053】

また、絶縁膜61等が形成された半導体基板10の表面に、導電性を有するポリシリコン膜が形成された後、ポリシリコン膜が、レジストを用いたドライエッチングによってパターンニングされる。その結果、絶縁膜61及びポリシリコン膜62を含む第1の蓋部60が形成される。第1の蓋部60は、開口60aが形成されており、開口60a以外の部分

50

でキャビティを覆っている。

【0054】

ここで、ポリシリコン膜62の一部は、支柱41の主面における所定の領域に設けられ、支柱41に電氣的に接続される。また、ポリシリコン膜62の他の一部は、支柱42の主面における所定の領域に設けられ、支柱42に電氣的に接続される。

【0055】

次に、第1の蓋部60等が形成された半導体基板10の表面に対して、絶縁膜の平坦化等が行われる。その後、図4(b)に示すように、半導体基板10の主面の第2の領域に、半導体回路素子として、例えば、MOS電界効果トランジスタ(MOSFET)が形成される。

10

【0056】

即ち、半導体基板10上に、ゲート絶縁膜を介してゲート電極83が形成され、ゲート電極83の両側の半導体基板10内に、ソース及びドレインとなる不純物拡散領域81及び82が形成される。また、ゲート絶縁膜及びゲート電極83の側壁に、絶縁性を有するサイドウォールを形成しても良い。さらに、サイドウォールの周囲の領域に、所定の厚さを有する絶縁膜を形成しても良い。

【0057】

次に、MOS電界効果トランジスタ等が形成された半導体基板10の表面に、フォトリソグラフィ法によって、第1の蓋部の開口60aに対応する位置に開口24aを有するレジスト24が設けられる。さらに、キャビティ内の犠牲膜である二酸化ケイ素(SiO<sub>2</sub>)等の絶縁膜が、エッチング液としてフッ酸等を用いたウエットエッチング(リリースエッチング)によって除去される。その後、レジスト24が、アッシング等によって除去される。

20

【0058】

次に、真空チャンバー内において、スパッター(高真空成膜法)によってアルミニウム(Al)等の封止材を第1の蓋部60の表面に堆積させ、堆積した封止材が、レジストを用いたドライエッチングによってパターンニングされる。それにより、図2に示すように、第1の蓋部60の表面に、封止材で第2の蓋部70が形成される。

【0059】

第2の蓋部70は、ポリシリコン膜62を介して支柱41の所定の領域に電氣的に接続される中間導電体71と、ポリシリコン膜62を介して支柱42の所定の領域に電氣的に接続される中間導電体72と、第1の蓋部の開口60aを封止する封止部73とを含んでいる。

30

【0060】

次に、二酸化ケイ素(SiO<sub>2</sub>)又はBPSG等で、第1の蓋部60と第2の蓋部70と半導体回路素子とが形成された半導体基板10の主面を覆う第1の絶縁層91が形成される。第1の絶縁層91は、絶縁膜61に接して、第2の蓋部70の中間導電体71及び72を封止部73から絶縁する。さらに、第1の絶縁層91の表面を、CMP(化学機械研磨)によって加工することが望ましい。それにより、第1の絶縁層91の表面が平坦化されて、第1の絶縁層91上に配線を形成することが容易になる。

40

【0061】

次に、第1の絶縁層91を貫通して中間導電体71及び72にそれぞれ電氣的に接続されるタングステン(W)等のコンタクトプラグ101及び102と、第1の絶縁層91を貫通して半導体回路素子に電氣的に接続されるタングステン(W)等のコンタクトプラグ103~105とが、同時に形成される。

【0062】

次に、第1の絶縁層91の表面に、アルミニウム(Al)等で、第1の配線層が形成される。第1の配線層において、コンタクトプラグ101~105に対する電氣的な接続が行われる。例えば、第1の配線層に設けられた配線111によって、コンタクトプラグ101とコンタクトプラグ103とが電氣的に接続される。

50

## 【0063】

さらに、必要に応じて、第2の絶縁層92を介して第2の配線層が形成され、以下同様に、所望の数の配線層が形成される。例えば、第2の配線層に設けられた配線112によって、第1の配線層を介して、コンタクトプラグ102とコンタクトプラグ104とが電氣的に接続される。

## 【0064】

それにより、レゾネーターを半導体回路素子に電氣的に接続することができる。このように、レゾネーターを収容するキャビティの上層にも、半導体回路素子の上層と同様に、標準的な半導体ウエハプロセスを用いて、必要に応じた数の配線層を配置することができる。その後、最上層の配線層の表面に、保護膜(図示せず)が形成される。

10

## 【0065】

< 第2の実施形態 >

図5は、本発明の第2の実施形態に係るMEMSデバイスのトレンチ内の構造を示す平面図である。図5は、キャビティが蓋部で覆われる前のトレンチ内の構造を示している。また、図6は、図5のB-B'線におけるMEMSデバイスの主要部を示す断面図である。第2の実施形態においては、機能素子の少なくとも一部が支柱を構成している。その他の点に関しては、第2の実施形態は、第1の実施形態と同様である。

## 【0066】

半導体基板のトレンチ10aの底面には、絶縁膜20を介して、下部電極31及び上部電極32を有するレゾネーターが設けられている。ここで、上部電極32の一部が、支柱32aを構成している。さらに、上部電極32は、カンチレバー(片持ち梁)状の2つの構造体32bを含んでおり、各々の構造体32bの一端が支柱32aに固定され、構造体32bの他端が可動となっている。

20

## 【0067】

また、半導体基板のトレンチ10a内には、レゾネーターの周囲にキャビティを形成する壁部40が設けられており、壁部40によって形成されるキャビティ内には、少なくとも1つの支柱が設けられても良い。一例として、図5には、支柱41~48が示されており、図6には、それらの内で、図5のB-B'線上に位置する支柱45及び46のみが示されている。

## 【0068】

この例においては、下部電極31、上部電極32、壁部40、及び、支柱41~48が、半導体基板のトレンチ10aの底面に絶縁膜20を介して設けられているが、下部電極31、上部電極32、壁部40、及び、支柱41~48は、半導体基板のトレンチ10aの底面に直接設けられても良い。また、壁部40の周囲には、壁部40を補強する絶縁膜51が設けられている。

30

## 【0069】

ここで、支柱45、及び、上部電極32の一部によって構成される支柱32aは、レゾネーターの下部電極31及び上部電極32を電子回路にそれぞれ電氣的に接続するための2つの外部接続電極を兼ねている。支柱45は、下部電極31に電氣的に接続されており、下部電極31と一体的に構成されても良い。また、支柱32aは、2つの構造体32bに電氣的に接続されており、2つの構造体32bと一体的に構成されても良い。

40

## 【0070】

半導体基板のトレンチ10a内において、壁部40によって囲まれた領域がキャビティとなる。キャビティ内の空間は、高真空領域とされる。キャビティ内に設けられたレゾネーターにおいて、下部電極31と上部電極32との間に交流電圧を印加することにより、静電力によって上部電極32の構造体32bの機械的振動が励起され、この機械的振動に起因する下部電極31と上部電極32との間の静電容量の変化が検出される。

## 【0071】

図6に示すように、キャビティは、第1の蓋部60と第2の蓋部70とを含む蓋部によって覆われている。第1の蓋部60は、例えば、窒化ケイ素(SiN)等の絶縁膜61

50

と、導電性を有するポリシリコン膜 6 2 とを含んでいる。なお、ポリシリコン膜 6 2 の表面に、窒化チタン ( T i N ) 又はサリサイド等の膜が設けられても良い。

【 0 0 7 2 】

ポリシリコン膜 6 2 の一部は、支柱 4 5 の主面 ( 図中上面 ) における所定の領域に設けられ、支柱 4 5 に電氣的に接続されている。また、ポリシリコン膜 6 2 の他の一部は、支柱 3 2 a の主面 ( 図中上面 ) における所定の領域に設けられ、支柱 3 2 a に電氣的に接続されている。

【 0 0 7 3 】

第 1 の蓋部 6 0 は、図 6 に示されていない位置に開口 ( リリースホール ) が形成されており、開口以外の部分でキャビティーを覆っている。開口は、キャビティー内に形成された犠牲膜をリリースエッチングによって除去する際に使用される。その後、キャビティー内を減圧状態 ( 真空状態 ) として、第 1 の蓋部 6 0 の表面に、アルミニウム ( A l ) 等の封止材を用いて第 2 の蓋部 7 0 が形成される。

10

【 0 0 7 4 】

第 2 の蓋部 7 0 は、ポリシリコン膜 6 2 を介して支柱 4 5 に電氣的に接続されると共に第 1 の蓋部 6 0 の開口を封止する中間導電体 7 1 と、ポリシリコン膜 6 2 を介して支柱 3 2 a に電氣的に接続されると共に、第 2 の蓋部 7 0 の他の部分から絶縁された中間導電体 7 2 とを含んでいる。その他の構造は、第 1 の実施形態におけるのと同様である。

【 0 0 7 5 】

ここで、中間導電体 7 1 を基準電位 ( 例えば、接地電位 0 V ) の配線に接続する場合には、壁部 4 0、支柱 4 5 ~ 4 8、及び、蓋部の大部分が、外部の電子機器が発生する電磁波の影響からレゾネーターを保護するシールドの役目を果たすことができる。その場合に、支柱 3 2 a の周囲以外のキャビティーの底面に下部電極 3 1 を広げて、シールド効果を高めても良い。このようにシールドの役目を果たすことができる構造は、本実施形態に限定されず、当然ながら第 1 の実施形態にも適用することができる。

20

【 0 0 7 6 】

本発明の第 2 の実施形態によれば、機能素子の少なくとも一部が支柱を構成するので、キャビティー内のスペースを有効に活用することができる。また、機能素子の少なくとも一部によって構成される支柱が外部接続電極を兼ねることにより、蓋部の変形防止と機能素子の電氣的接続との両方が達成される。さらに、1つの支柱をキャビティーの中央部に設けることにより、その支柱が、蓋部の裏面の中央部に接している。蓋部において最も変形し易いのは中央部であるので、支柱が蓋部の裏面の中央部を支えることにより、蓋部の変形を有効に防止することができる。

30

【 0 0 7 7 】

上記の実施形態においては、機能素子としてレゾネーターを備える M E M S デバイスについて説明したが、本発明は、以上説明した実施形態に限定されるものではない。例えば、本発明は、センサーやアクチュエーター等の機能素子を備える M E M S デバイスにおいても利用可能であり、当該技術分野において通常の知識を有する者によって、本発明の技術的思想内で多くの変形が可能である。

40

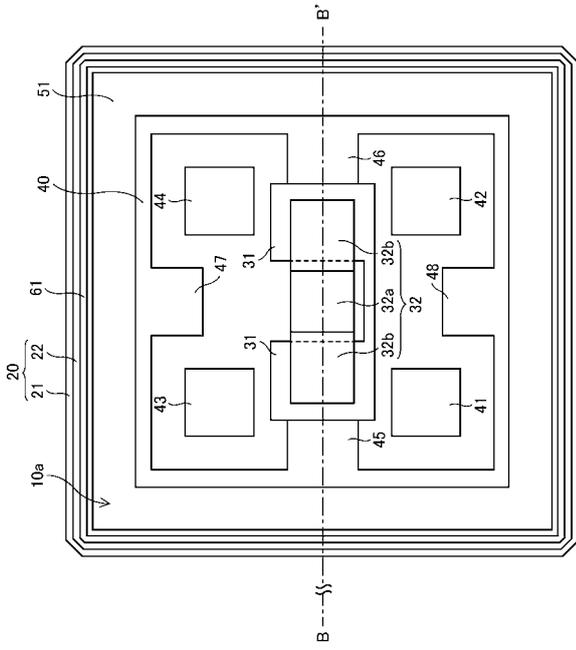
【 符号の説明 】

【 0 0 7 8 】

1 0 ... 半導体基板、1 0 a ... トレンチ、1 1 ... レジスト、2 0 ... 絶縁膜、2 1 ... 二酸化ケイ素 ( S i O <sub>2</sub> ) の絶縁膜、2 2 ... 窒化ケイ素 ( S i N ) の絶縁膜、2 3 ... ギャップ犠牲膜、2 4 ... レジスト、3 1 ... 下部電極、3 2 ... 上部電極、3 2 a ... 支柱、3 2 b ... 構造体、4 0 ... 壁部、4 1 ~ 4 8 ... 支柱、5 1、5 2 ... 絶縁膜、6 0 ... 第 1 の蓋部、6 1 ... 絶縁膜、6 2 ... ポリシリコン膜、7 0 ... 第 2 の蓋部、7 1、7 2 ... 中間導電体、7 3 ... 封止部、8 1、8 2 ... 不純物拡散領域、8 3 ... ゲート電極、9 1、9 2 ... 絶縁層、1 0 1 ~ 1 0 5 ... コンタクトプラグ、1 1 1、1 1 2 ... 配線



【 図 5 】



【 図 6 】

