



AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 01 R / 282 568 3

(22) 07.11.85

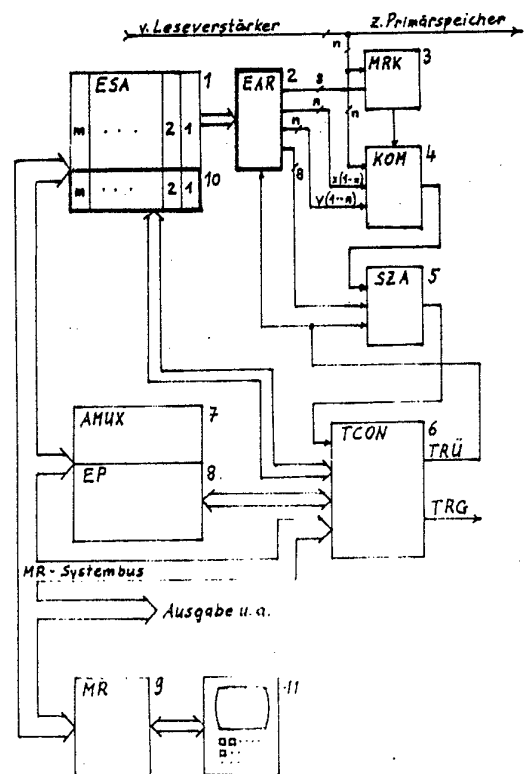
(44) 11.03.87

(71) Deutsche Post, RFZ, 1199 Berlin, Agastrasse, DD

(72) Bögelsack, Martin, Dipl.-Ing., DD

(54) Mehrebenentrigger für serielle Steuerung, insbesondere für Logikanalysator

(57) Die Erfindung bezieht sich auf einen Mehrebenentrigger für serielle Steuerung, der besonders für eine Anwendung im Logikanalysator konzipiert ist. Um die fehlenden Nachlademöglichkeiten und die Speicherproblematik des Ebenenspeichers zu vermeiden, mußte mit der Erfindung die Blockierung des Ebenenspeichers auf eine Blockierung der gerade benutzten Speicherebene reduziert werden, um die Zahl und Flexibilität des Ebenenspeichers zu erhöhen. Dies erreicht die Erfindung dadurch, daß dem Ebenenspeicher ein Ebenenausgangsregister nachgeschaltet und jeder Speicherebene ein Aktivierungsflag zugeordnet ist. Figur



Erfindungsanspruch:

1. Mehrebenentrigger für serielle Steuerung, insbesondere für Logikanalysator mit Mikrorechner, Ebenenspeicher, Mikrorechnerkoppler, Komparator, Sequenzzähler, Triggersteuerer, Adreßmultiplexer und Ebenenanzeige, **gekennzeichnet dadurch**, daß dem Ebenenspeicher (1) ein Ebenenausgangsregister (2) nachgeschaltet und jeder Ebene ein Aktivierungsflag 10.1 ... 10.m zugeordnet ist, daß das Ebenenausgangsregister (2) und die Aktivierungsflags (10) mit dem Triggersteuerer (6) und die Aktivierungsflags (10) mit dem Adreßmultiplexer (7) verbunden sind.

Hierzu 1 Seite Zeichnung

Anwendungsgebiet der Erfindung

Die Erfindung bezieht sich auf eine Anordnung für eine Triggerelektronik, wie sie für wortserielle Steuerungen, vorzugsweise Logikanalysatoren verwendet wird.

Anordnungen dieser Art werden in Logikanalysatoren benötigt, da hier der Umfang der aufgezeichneten Ereignisse durch die Kapazität des Hauptspeichers (oder: Primärspeichers) begrenzt ist und der Schreibvorgang erst nach dem Erscheinen umfangreicher Ereignisse in einer oder mehreren Ebenen gestartet (getriggert) wird.

Diese Triggerung erfordert eine umfangreiche Elektronik, da die aufeinanderfolgenden Ereignisse umfassend ausgewertet werden müssen, bevor sie den Schreibvorgang auslösen.

Charakteristik der bekannten technischen Lösungen

Moderne Logikanalysatoren und andere serielle Steuerungen besitzen einen kombinatorischen Trigger, der aus den Eingangssignalen, einem Teil daraus oder/und aus Triggererweiterungssignalen ein Triggersignal auslöst.

Dieses Triggersignal schaltet dann bei einem Mehrebenentrigger auf die nächste Ebene um, und es wird das Eintreffen der nächsten erfüllten Triggerbedingung erwartet.

Beim Eintreffen der letzten Triggerbedingung wird der Schreibvorgang entsprechend der Triggerart gestartet.

Da die Folge der Ebenen sehr schnell sein soll, werden für derartige Ebenenspeicher Schieberegister oder schnelle Speicher verwendet, deren Umfang aber begrenzt ist. Die maximal mögliche Anzahl der Triggerebenen wird somit von der Art der Hardware des Logikanalysators vorgegeben.

Die Anzahl der sequentiellen Ebenen kann zwischen 1 und 16 liegen. (Zum Beispiel: 1 Ebene beim HP 1611 der Firma Hawlet-Packard; 4 Ebenen beim LAM 4840 der Firma Dolch und 16 Ebenen beim IMAS der Firma Rhode & Schwarz)

Bei diesen Geräten werden die Daten der Triggerebenen vor der Armierung des Gerätes in dem Speicher abgelegt und sind nach der Armierung nicht mehr änderbar. Ein Nachladen weiterer Ebenen ist ebenfalls nicht möglich.

Ziel der Erfindung

Ziel der vorliegenden Erfindung ist es, diese Mängel zu beseitigen und die Speicherebenen und damit die Sequenz der Triggerereignisse auf eine praktisch unbegrenzte Anzahl zu erhöhen, ohne daß sich eine entsprechende Erhöhung des Bauelementeaufwandes und damit der Ausfallrate und des Preises ergibt.

Darlegung des Wesens der Erfindung

Technische Ursache des erwähnten Mangels ist die Blockierung des Ebenenspeichers während des Auswertevorganges und umgekehrt, sowie die Festlegung der Triggersequenz vor dem Start der Abarbeitung durch den Umfang und die Anordnung der Ebenenspeicher.

Der Erfindung liegt daher die Aufgabe zugrunde, die Zahl und die Flexibilität der Triggerebenen zu erhöhen und die Blockierung auf die jeweils benutzte Speicherebene zu beschränken, so daß auch nach dem Start einzelne Ebenen nachladbar sind.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß dem Ebenenspeicher ein Ebenenausgangsregister nachgeschaltet und jeder Ebene ein Aktivierungsflag zugeordnet ist, daß das Ebenenausgangsregister und die Aktivierungsflags mit dem Triggersteuerer und die Aktivierungsflags mit dem Adreßmultiplexer verbunden sind.

Das Ebenenausgangsregister wird vom Ebenenspeicher nach dem Auftreten der Ebene m mit den Daten der Ebene m + 1 geladen. Außerhalb dieser Zeit ist der Ebenenspeicher mit dem Steuerrechner verbunden und kann nachgeladen werden.

Zur Kennzeichnung der geladenen und noch nicht abgearbeiteten Ebenen wird der Triggersteuerer verwendet.

Die Aktivierungsflags werden vom Rechner nach erfolgtem Nachladen einer Ebene gesetzt und nach dem Erscheinen einer erfüllten Ebene gelöscht.

Der Start des Schreibvorganges geschieht somit dann, wenn eine erfüllte Bedingung in einer Ebene erscheint, deren Aktivierungsflag gesetzt und das Folgeflag nicht gesetzt ist.

Damit stehen dem Bediener beliebig viele Ebenen zur Verfügung, deren Zahl nur von der mittleren Folgezeit der einzelnen Ebenen untereinander begrenzt wird.

Ausführungsbeispiel

Die vorliegende Erfindung soll anhand der Figur im nachfolgenden beschriebenen Ausführungsbeispiel näher erläutert werden, die sich auf die Anwendung in einem Logikanalysator bezieht.

Der steuernde Mikrorechner 9 ist über seinen Systembus mit dem Ebenenspeicher 1, dem Triggersteuerer 6 sowie mit dem Adreßmultiplexer 7 und dem Ebenenzeiger 8 verbunden. Der Mikrorechner 9, der außerdem mit Tastatur und Bildschirm 11 verbunden ist, übernimmt für diese Baugruppen Einstell- und Überwachungsfunktionen. Der Ebenenspeicher 1 ist mit einem Ebenenausgangsregister 2 verbunden, das direkt den Mikrorechnerkoppler 3, Komparatoren 4 und den Sequenzzähler 5 mit den jeweiligen Ebenenwerten versorgt. Der Triggersteuerer 6 übernimmt durch Triggerübernahmeimpulse TRÜ die Auswertung der von den Baugruppen gesendeten Daten und bedient den Mikrorechner 9 sowie die Schreibsteuerung des Logikanalysators mit Triggerimpulsen TRG. Jeder Ebene 1...m des Ebenenspeichers 1 ist eines der Aktivierungsflags 10.1...10.m zugeordnet, die mit dem Mikrorechner 9, dem Triggersteuerer 6 sowie mit dem Adreßmultiplexer 7 und Ebenenanzeiger 8 verbunden sind. Diese Aktivierungsflags 10 markieren die geladenen Ebenen, so daß durch den Mikrorechner 9 ständig der erreichte Ebenenzustand 1...m überwachbar ist und ein Ladevorgang ausgelöst werden kann. Gleichzeitig wird durch die Aktivierungsflags 10 die Aussendung des endgültigen Triggerimpulses für die Schreibsteuerung TRG ausgelöst. Beim Verlassen einer Ebene wird das entsprechende Flag gelöscht.

Gesetzt werden die Aktivierungsflags 10 vom Mikrorechner 9 nachdem der Nachladevorgang abgeschlossen ist.

Bei der Armierung des Logikanalysators werden die Ebene 0 im Ebenenausgangsregister 2 und die Ebenen 1.1...1.m im Ebenenspeicher 1 abgelegt. Die weiteren Ebenen werden in RAM-Tabellen des Mikrorechners 9 so gespeichert, daß sie durch Verwendung von Blockausgabebefehlen in den Ebenenspeicher 1 übernommen werden können.

In jeder Triggerebene sind die Vergleichsdaten für jeden Kanal $X(1...n)$ und $V(1...n)$, die Anzahl der Ebenensequenz und in der Betriebsart Busanalysator ist zusätzlich der zum Triggerereignis wahlweise gehörende Rechnerzyklus abgespeichert.

Das Signal $X(1...n)$ gibt an, ob dieser Kanal zur Bildung des Triggerereignisses ausgewertet werden soll. $V(1...n)$ ist das Vergleichssignal für den jeweiligen Kanal.

Zu den abgespeicherten Daten jeder Triggerebene gehört noch die Ebenensequenz, die angibt, wie oft eine Ebene auftreten soll, bevor auf die nächstfolge weitergeschaltet wird.

Ein Triggerimpuls TRG wird ausgelöst, wenn der Ebenenzeiger 8 auf eine Ebene zeigt, deren Aktivierungsflag 10.x gesetzt und das Aktivierungsflag der darauffolgenden Ebene nicht gesetzt ist; zeigt der Ebenenzeiger 8 auf ein nicht gesetztes Aktivierungsflag, so wird auf dem Bildschirm 11 des Analysators ein Ebenenüberlauf angezeigt. Verläßt der Ebenenzeiger 8 eine Ebene, so wird gleichzeitig das Aktivierungsflag 10 der verlassenen Ebene gelöscht. Die Aktivierungsflags werden ständig vom Mikrorechner 9 überwacht, so daß sofort ein Nachladen der verlassenen Ebene veranlaßt wird.

Da die aktuelle Triggerebene im Ebenenausgangsregister 2 steht, kann zwischen den Triggerereignissen der Ebenenspeicher 1 nachgeladen werden. Dazu wird der Adreßbus des Ebenenspeichers 1 durch Umschalten des Adreßmultiplexers 7 mit dem Mikrorechner 9 verbunden, der die Ebenen nachlädt.

Eine Ebene gilt als nachgeladen, wenn das Nachladen ohne Unterbrechung des Ausgabeprogramms, dessen Abschluß das Setzen des Aktivierungsflags ist, erfolgt ist.

Dadurch wird die Anzahl der sequentiellen Triggerebenen nur durch den zur Verfügung stehenden Speicherraum im Mikrorechner 9 und durch die mittlere Ebenenfolgezeit begrenzt, die bis zur Ebenenanzahl $m + 1$ der Umschaltzeit des Ebenenspeichers 1 entspricht (TTL-Geschwindigkeit) und sich bei größer werdender Anzahl der sequentiellen Ebenen der Nachladezeit nähert.

