



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월23일
(11) 등록번호 10-1981694
(24) 등록일자 2019년05월17일

(51) 국제특허분류(Int. Cl.)
H03K 19/177 (2006.01) G06F 17/50 (2006.01)
(52) CPC특허분류
H03K 19/17728 (2013.01)
G06F 17/5054 (2013.01)
(21) 출원번호 10-2017-0167571
(22) 출원일자 2017년12월07일
심사청구일자 2017년12월07일
(56) 선행기술조사문헌
JP2008047707 A*
KR1020130034713 A*
KR1020130118708 A
JP2016025464 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
조선대학교산학협력단
광주광역시 동구 필문대로 309 (서석동)
(72) 발명자
이정아
광주광역시 북구 첨단과기로 123, 교수아파트 C동 1202호(오룡동)
아프잘 우마
광주광역시 동구 필문대로 341-13(학동)
(74) 대리인
특허법인아이엠

전체 청구항 수 : 총 9 항

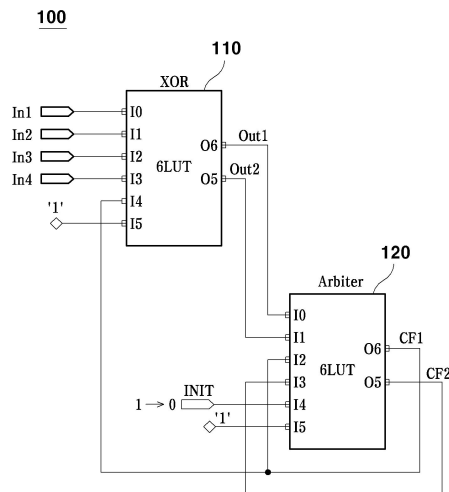
심사관 : 나병윤

(54) 발명의 명칭 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조

(57) 요약

본 발명은 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조에 관한 것으로, 보다 구체적으로 필드 프로그래머블 게이트 어레이 장치의 록업 테이블에서 발생하는 오류를 자가 검출 및 회복할 수 있도록 다중 중복형 모듈러 방식과 이의 조정회로(Arbitrer)를 추가하는 구조의 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조에 관한 것이다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 1711038564

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 중견연구

연구과제명 애플리케이션 오류 허용 특성에 따른 로직 변환 및 연산기 간소화 기법: 에너지 효율적인,
충분히 정확한 컴퓨팅 연산기 설계와 응용

기 여 율 1/2

주관기관 조선대학교

연구기간 2016.06.01 ~ 2017.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1345258270

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 BK21플러스

연구과제명 웰리빙 IT 전문인력 양성팀

기 여 율 1/2

주관기관 조선대학교

연구기간 2016.03.01 ~ 2017.02.28

공지예외적용 : 있음

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

이진 데이터들을 입력받아 특정 연산을 병렬적으로 동일하게 수행하여 각각의 연산 결과를 출력하는 연산 LUT; 및

상기 연산 LUT의 출력 데이터들을 입력받아 동일성을 비교하고, 동일하지 않을 경우 오류가 발생한 것으로 판단하여 상기 연산 LUT에서 동일한 출력 데이터들이 출력되게 함으로써 오류를 회복하는 조율(Arbiter) LUT;를 포함하고

상기 연산 LUT:는

상기 이진 데이터들을 입력받아 상기 특정 연산을 수행하여 제1 출력 데이터를 출력하는 제1 연산 LUT; 및

상기 제1 연산 LUT와 병렬적으로 상기 특정 연산을 수행하여 제2 출력 데이터를 출력하는 제2 연산 LUT;를 포함하며,

상기 제1 연산 LUT는 상기 특정 연산을 병렬적으로 수행하는 제1 연산 게이트;와 제2 연산 게이트; 및

상기 제1 연산 게이트와 상기 제2 연산 게이트의 출력 중 하나를 선택하여 출력할 수 있는 제1 MUX;로 이루어지고,

상기 제2 연산 LUT는 상기 특정 연산을 병렬적으로 수행하는 제3 연산 게이트;와 제4 연산 게이트; 및

상기 제3 연산 게이트와 상기 제4 연산 게이트 출력 중 하나를 선택하여 출력할 수 있는 제2 MUX;로 이루어지는 것을 특징으로 하는 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조

청구항 4

제 3 항에 있어서,

상기 제1 연산 LUT와 상기 제2 연산 LUT에 포함된 연산 게이트들은 각각 XOR 게이트인 것을 특징으로 하는 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조

청구항 5

제 3 항에 있어서,

상기 조율 LUT는 상기 제1 출력 데이터와 상기 제2 출력 데이터를 입력받고 상기 제1 출력 데이터와 상기 제2 출력 데이터가 서로 동일할 경우 상기 조율 LUT는 서로 동일한 값을 갖는 출력인 제1 충돌 플래그와 제2 충돌 플래그를 출력하고 서로 상이할 경우 서로 다른 값을 갖는 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 출력하는 것을 특징으로 하는 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조

청구항 6

제 5 항에 있어서,

상기 조율 LUT:는

상기 제1 출력 데이터와 상기 제2 출력 데이터 및 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 피드백 입력

받아 상기 제1 출력 데이터와 상기 제2 출력 데이터값이 동일하지 않을 경우 입력되는 제1 충돌 플래그의 반전된 값을 상기 제1 충돌 플래그로 출력하는 제1 조율 LUT; 및

상기 제1 조율 LUT와 병렬적으로 상기 제1 출력 데이터와 상기 제2 출력 데이터 및 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 피드백 입력받고, 오류가 회복되어 상기 제1 출력 데이터와 상기 제2 출력 데이터가 동일해질 경우 상기 제1 충돌 플래그와 동일한 값을 갖는 상기 제2 충돌 플래그를 출력하는 제2 조율 LUT;를 포함하는 것을 특징으로 하는 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조

청구항 7

제 6 항에 있어서,

상기 제1 조율 LUT는 상기 제1 출력 데이터와 상기 제2 출력 데이터 및 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 피드백 입력받아 상기 제1 충돌 플래그를 출력하는 제1-1 조율 LUT; 및

상기 제1-1 조율 LUT에서 출력되는 제1 충돌 플래그와 고정된 값의 데이터를 입력받고, 선택 신호의 값에 따라 입력되는 제1 충돌 플래그 또는 고정된 값의 데이터를 상기 제1 충돌 플래그로 출력하는 제3 MUX;를 포함하고,

상기 제2 조율 LUT는 상기 제1 출력 데이터와 상기 제2 출력 데이터 및 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 피드백 입력받아, 상기 제2 충돌 플래그를 출력하는 제2-1 조율 LUT; 및

상기 제2-1 조율 LUT에서 출력되는 상기 제2 충돌 플래그와 고정된 값의 데이터를 입력받고, 선택 신호의 값에 따라 입력되는 제2 충돌 플래그 또는 고정된 값의 데이터를 상기 제2 충돌 플래그로 출력하는 제4 MUX;를 포함하는 것을 특징으로 하는 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조

청구항 8

제 7 항에 있어서,

상기 제1-1 조율 LUT는 상기 제2 출력 데이터를 반전하는 제1 NOT 게이트;

상기 제2 출력 데이터와 상기 제1 NOT 게이트에서 반전된 제2 출력 데이터를 입력받고, 상기 제1 출력 데이터를 선택 신호로 하여 상기 제2 출력 데이터 또는 반전된 제2 출력 데이터를 출력하는 제3-1 MUX;

상기 제2 충돌 플래그를 반전하는 제2 NOT 게이트; 및

상기 제2 NOT 게이트에서 반전된 제2 충돌 플래그와 상기 제1 충돌 플래그를 입력받고, 상기 제3-1 MUX의 출력을 선택 신호로 하여 반전된 제2 충돌 플래그 또는 상기 제1 충돌 플래그를 출력하는 제3-2 MUX;를 포함하고,

상기 제2-1 조율 LUT는 상기 제2 출력 데이터를 반전하는 제3 NOT 게이트;

상기 제2 출력 데이터와 상기 제3 NOT 게이트에서 반전된 제2 출력 데이터를 입력받고, 상기 제1 출력 데이터를 선택 신호로 하여 상기 제2 출력 데이터 또는 반전된 제2 출력 데이터를 출력하는 제4-1 MUX; 및

상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 입력받고 상기 제4-1 MUX의 출력을 선택 신호로 하여 상기 제1 충돌 플래그 또는 상기 제2 충돌 플래그를 출력하는 제4-2 MUX;를 포함하는 것을 특징으로 하는 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조

청구항 9

제 8 항에 있어서,

상기 제1 충돌 플래그는 상기 제1 연산 LUT의 제1 MUX와 상기 제2 연산 LUT의 제2 MUX의 선택 신호로 입력되는 것을 특징으로 하는 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조

청구항 10

제 9 항에 있어서,

상기 제3 MUX와 상기 제4 MUX는 각각 상기 고정된 값의 데이터를 먼저 출력되게 하고, 다음, 상기 제3 MUX는 상기 제1-1 조율 LUT의 값을 출력하게 하고 상기 제4 MUX는 상기 제2-1 조율 LUT의 값을 출력하는 것을 특징으로 하는 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조

청구항 11

제 3 항 내지 제 10 항 중 어느 한 항의 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조를 갖는 컴퓨팅 장치

발명의 설명

기술 분야

- [0001] 본 발명은 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조에 관한 것으로, 보다 구체적으로 필드 프로그래머블 게이트 어레이 장치의 록업 테이블에서 발생하는 오류를 자가 검출 및 회복할 수 있도록 다중 중복형 모듈러 방식과 이의 조정회로(Arbiter)를 추가하는 구조의 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조에 관한 것이다.

배경 기술

- [0002] SRAM('Static Random Access Memory') 기반의 필드 프로그래머블 게이트 어레이는 지난 20년간 우주 항공 분야에서 다양한 성공을 거뒀다.
- [0003] 상기 필드 프로그래머블 게이트 어레이는 구성 메모리를 이용하여 하드웨어 구조를 프로그래밍한다.
- [0004] 상기 구성 메모리는 SRAM 셀로 구성되어 있어 방사선 영향으로 인한 오류(Radiation-induced errors)가 발생하기 쉽고, 이로 인해 상기 구성 메모리의 하드웨어 프로그래밍 정보가 변경되어 잘못된 하드웨어로 작동을 하게 되며 주어진 응용 프로그램이 제대로 실행될 수 없다.
- [0005] 또한, 지상에서도 다양한 분야에 사용되고 있는 상기 필드 프로그래머블 게이트 어레이는 하드웨어 집적기술의 발전으로 장치의 크기가 줄어들면서 SRAM 오류 발생 빈도가 늘어나게 되어 이러한 오류에 따른 영향을 무시할 수 없게 되고 있다.
- [0006] 특히, 이 장치를 자동차 및 생물 의학 분야에서 활용 할 때, 장치의 오류 동작은 재산 손실과 생명에 큰 위험을 가할 수 있다.
- [0007] 따라서, 상기 필드 프로그래머블 게이트 어레이의 하드웨어 프로그래밍 정보 오류로 인한 영향을 최소화하기 위한 해결책이 필요하다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로 본 발명의 목적은 필드 프로그래머블 게이트 어레이에 발생할 수 있는 하드웨어 프로그래밍 정보 오류를 최소화할 수 있는 자가 오류 검출 및 회복이 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조에 관한 것이다.

과제의 해결 수단

- [0009] 상기의 목적을 달성하기 위하여 본 발명은이진 데이터들을 입력받아 특정 연산을 병렬적으로 동일하게 수행하여 각각의 연산 결과를 출력하는 연산 LUT; 및 상기 연산 LUT의 출력 데이터들을 입력받아 동일성을 비교하고, 동일하지 않을 경우 오류가 발생한 것으로 판단하여 상기 연산 LUT에서 동일한 출력 데이터들이 출력되게 함으로써 오류를 회복하는 조율(Arbiter) LUT;를 포함하고 상기 연산 LUT:는 상기 이진 데이터들을 입력받아 상기 특정 연산을 수행하여 제1 출력 데이터를 출력하는 제1 연산 LUT; 및 상기 제1 연산 LUT와 병렬적으로 상기 특정 연산을 수행하여 제2 출력 데이터를 출력하는 제2 연산 LUT;를 포함하며, 상기 제1 연산 LUT는 상기 특정 연산을 병렬적으로 수행하는 제1 연산 게이트;와 제2 연산 게이트; 및 상기 제1 연산 게이트와 상기 제2 연산 게이트의 출력 중 하나를 선택하여 출력할 수 있는 제1 MUX;로 이루어지고, 상기 제2 연산 LUT는 상기 특정 연산을 병렬적으로 수행하는 제3 연산 게이트;와 제4 연산 게이트; 및 상기 제3 연산 게이트와 상기 제4 연산 게이트 출력 중 하나를 선택하여 출력할 수 있는 제2 MUX;로 이루어지는 것을 특징으로 하는 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조를 제공한다.

- [0010] 삭제
- [0011] 삭제
- [0012] 바람직한 실시예에 있어서, 상기 제1 연산 LUT와 상기 제2 연산 LUT에 포함된 연산 게이트들은 각각 XOR 게이트로 이루어진다.
- [0013] 바람직한 실시예에 있어서, 상기 조율 LUT는 상기 제1 출력 데이터와 상기 제2 출력 데이터를 입력받고 상기 제1 출력 데이터와 상기 제2 출력 데이터가 서로 동일할 경우 상기 조율 LUT는 서로 동일한 값을 갖는 출력인 제1 충돌 플래그와 제2 충돌 플래그를 출력하고 서로 상이할 경우 서로 다른 값을 갖는 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 출력한다.
- [0014] 바람직한 실시예에 있어서, 상기 조율 LUT는 상기 제1 출력 데이터와 상기 제2 출력 데이터 및 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 피드백 입력받아 상기 제1 출력 데이터와 상기 제2 출력 데이터값이 동일하지 않을 경우 입력되는 제1 충돌 플래그의 반전된 값을 상기 제1 충돌 플래그로 출력하는 제1 조율 LUT; 및 상기 제1 조율 LUT와 병렬적으로 상기 제1 출력 데이터와 상기 제2 출력 데이터 및 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 피드백 입력받고, 오류가 회복되어 상기 제1 출력 데이터와 상기 제2 출력 데이터가 동일해질 경우 상기 제1 충돌 플래그와 동일한 값을 갖는 상기 제2 충돌 플래그를 출력하는 제2 조율 LUT;를 포함한다.
- [0015] 바람직한 실시예에 있어서, 상기 제1 조율 LUT는 상기 제1 출력 데이터와 상기 제2 출력 데이터 및 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 피드백 입력받아 상기 제1 충돌 플래그를 출력하는 제1-1 조율 LUT; 및 상기 제1-1 조율 LUT에서 출력되는 제1 충돌 플래그와 고정된 값의 데이터를 입력받고, 선택 신호의 값에 따라 입력되는 제1 충돌 플래그 또는 고정된 값의 데이터를 상기 제1 충돌 플래그로 출력하는 제3 MUX;를 포함하고, 상기 제2 조율 LUT는 상기 제1 출력 데이터와 상기 제2 출력 데이터 및 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 피드백 입력받아, 상기 제2 충돌 플래그를 출력하는 제2-1 조율 LUT; 및 상기 제2-1 조율 LUT에서 출력되는 상기 제2 충돌 플래그와 고정된 값의 데이터를 입력받고, 선택 신호의 값에 따라 입력되는 제2 충돌 플래그 또는 고정된 값의 데이터를 상기 제2 충돌 플래그로 출력하는 제4 MUX;를 포함한다.
- [0016] 바람직한 실시예에 있어서, 상기 제1-1 조율 LUT는 상기 제2 출력 데이터를 반전하는 제1 NOT 게이트; 상기 제2 출력 데이터와 상기 제1 NOT 게이트에서 반전된 제2 출력 데이터를 입력받고, 상기 제1 출력 데이터를 선택 신호로 하여 상기 제2 출력 데이터 또는 반전된 제2 출력 데이터를 출력하는 제3-1 MUX; 상기 제2 충돌 플래그를 반전하는 제2 NOT 게이트; 및 상기 제2 NOT 게이트에서 반전된 제2 충돌 플래그와 상기 제1 충돌 플래그를 입력받고, 상기 제3-1 MUX의 출력을 선택 신호로 하여 반전된 제2 충돌 플래그 또는 상기 제1 충돌 플래그를 출력하는 제3-2 MUX;를 포함하고, 상기 제2-1 조율 LUT는 상기 제2 출력 데이터를 반전하는 제3 NOT 게이트; 상기 제2 출력 데이터와 상기 제3 NOT 게이트에서 반전된 제2 출력 데이터를 입력받고, 상기 제1 출력 데이터를 선택 신호로 하여 상기 제2 출력 데이터 또는 반전된 제2 출력 데이터를 출력하는 제4-1 MUX; 및 상기 제1 충돌 플래그와 상기 제2 충돌 플래그를 입력받고 상기 제4-1 MUX의 출력을 선택 신호로 하여 상기 제1 충돌 플래그 또는 상기 제2 충돌 플래그를 출력하는 제4-2 MUX;를 포함한다.
- [0017] 바람직한 실시예에 있어서, 상기 제1 충돌 플래그는 상기 제1 연산 LUT의 제1 MUX와 상기 제2 연산 LUT의 제2 MUX의 선택 신호로 입력된다.
- [0018] 바람직한 실시예에 있어서, 상기 제3 MUX와 상기 제4 MUX는 각각 상기 고정된 값의 데이터를 먼저 출력되게 하고, 다음, 상기 제3 MUX는 상기 제1-1 조율 LUT의 값을 출력하게 하고 상기 제4 MUX는 상기 제2-1 조율 LUT의 값을 출력한다.
- [0019] 또한, 본 발명은 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이를 갖는 컴퓨팅 장치를 제공한다.

발명의 효과

- [0020] 본 발명의 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이에 의하면 필드 프로그래머블 게이트 어레이에서 오류가 발생할 경우, 스스로 오류를 검출할 수 있을 뿐만 아니라 오류를 수정할 수 있어 방사선으로 인해 상기 필드 프로그래머블 게이트 어레이에서 발생하는 영향을 최소화할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 자가 오류 검출 및 회복가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조의 구성을 보여주는 도면,
- 도 2는 본 발명의 일 실시예에 따른 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조의 연산 LUT의 내부 구성을 보여주는 도면,
- 도 3은 본 발명의 일 실시예에 따른 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조의 조율 LUT의 내부 구성을 보여주는 도면,
- 도 4는 본 발명의 일 실시예에 따른 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조의 상태 다이어그램,
- 도 5는 본 발명의 일 실시예에 따른 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조의 타이밍 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명에서 사용되는 용어는 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있는데 이 경우에는 단순한 용어의 명칭이 아닌 발명의 상세한 설명 부분에 기재되거나 사용된 의미를 고려하여 그 의미가 파악되어야 할 것이다.
- [0023] 이하, 첨부한 도면에 도시된 바람직한 실시예들을 참조하여 본 발명의 기술적 구성을 상세하게 설명한다.
- [0024] 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 명세서 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.
- [0025] 본 발명의 일 실시예에 따른 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조는 이진 데이터를 입력받아 특정 연산을 수행하는 장치로써, 연산 결과에 오류가 발생할 경우, 상기 특정 연산을 통해 출력된 데이터의 동일성을 비교하여 스스로 오류를 검출하여 회복할 수 있는 필드 프로그래머블 게이트 어레이에 관한 것이다.
- [0026] 또한, 본 발명의 일 실시예에 따른 필드 프로그래머블 게이트 어레이 록업 테이블 구조는 컴퓨팅 장치의 구성요소로 포함될 수 있고 상기 컴퓨팅 장치는 일반적인 퍼스널 컴퓨터뿐만 아니라 임베디드 컴퓨터 등을 포함하는 임의의 컴퓨터 장치이다.
- [0027] 또한, 상기 필드 프로그래머블 게이트 어레이는 일반적인 퍼스널 컴퓨터뿐만 아니라 임베디드 컴퓨터 등에 설치되어 기능을 수행할 수 있다.
- [0028] 이하에서는 도 1을 참조하여 본 발명의 일 실시예에 따른 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조에 대해 상세히 설명한다.
- [0029] 도 1은 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조의 구성을 보여주는 도면으로, 도 1을 참조하면, 상기 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조(100)는 이진 데이터들을 입력받아 특정 연산을 병렬적으로 수행하여 연산 결과를 출력하는 연산 LUT(110, Dual output LUT)와 상기 연산 LUT(110)의 출력 데이터들을 입력받아 오류를 검출하는 조율 LUT(120, Dual output LUT)로 구성된다.
- [0030] 도 2는 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조의 연산 LUT(110)의 내부 구성을 보여주는 도면으로, 도 2를 참조하면, 상기 연산 LUT(110)는 상기 특정 연산을 수행하여 제1 출력 데이터(OUT1)를 출력하는 제1 연산 LUT(111)와 상기 제1 연산 LUT(111)와 병렬적으로 동일한 연산을 수행하여 제2 출력 데이터(OUT2)를 출력하는 제2 연산 LUT(112)를 포함한다.
- [0031] 또한, 상기 연산 LUT(110)는 선택 신호를 입력받아 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2) 중 하나를 선택하여 출력할 수 있는 제5 MUX(113)를 더 포함하여 구성될 수 있다.
- [0032] 또한, 상기 제1 연산 LUT(110)는 상기 특정 연산을 병렬적으로 수행하는 제1 연산 게이트(111a)와 제2 연산 게이트(111b)를 포함하고, 상기 제1 연산 게이트(111a)의 출력과 상기 제2 연산 게이트(111b)의 출력을 입력받아

상기 제1 출력 데이터(OUT1)를 출력할 수 있는 제1 MUX(111c)를 포함한다.

- [0033] 또한, 상기 제2 연산 LUT(112)는 상기 특정 연산을 병렬적으로 수행하는 제3 연산 게이트(112a)와 제4 연산 게이트(112b)를 포함하고, 상기 제3 연산 게이트(112a)와 상기 제4 연산 게이트(112b)의 출력을 입력받아 상기 제2 출력 데이터(OUT2)를 출력할 수 있는 제2 MUX(112c)를 포함한다.
- [0034] 또한, 도 2에는 상기 연산 게이트들(111a, 111b, 112a, 112b)을 배타적 논리합 연산을 수행하는 게이트인 것으로 도시하였으나 논리합, 논리곱과 같은 다른 종류의 연산을 수행하는 게이트로 대체될 수 있다.
- [0035] 또한, 상기 제1 MUX(111c)는 선택 신호를 입력받아 상기 제1 연산 게이트(111a)의 출력과 상기 제2 연산 게이트(111b) 출력 중 하나를 선택하여 상기 제1 출력 데이터(OUT1)를 출력할 수 있다.
- [0036] 또한, 상기 제2 MUX(112c)는 선택 신호를 입력받아 상기 제3 연산 게이트(112a)와 상기 제4 연산 게이트(112b) 출력 중 하나를 선택하여 상기 제2 출력 데이터(OUT2)를 출력할 수 있다.
- [0037] 또한, 상기 제1 MUX(111c)와 상기 제2 MUX(112c)의 선택 신호는 아래에서 설명할 조율 LUT(120)에서 출력되는 제1 충돌 플래그(CF1)이다.
- [0038] 또한, 상기 제5 MUX(113)는 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2) 중 하나를 선택할 수 있게 고정된 값의 선택 신호(1)를 갖는다.
- [0039] 도 2에서는 상기 제5 MUX(113)의 선택 신호가 '1'로 고정되어 있으므로, 상기 제1 연산 LUT(111)의 연산 결과가 상기 제1 출력 데이터(OUT1)로 출력되고 상기 제2 연산 LUT(112)의 연산 결과가 상기 제2 출력 데이터(OUT2)로 출력된다.
- [0040] 즉, 상기 제1 연산 LUT(111)와 상기 제2 연산 LUT(112)는 동일한 데이터를 입력받아 특정 연산을 수행하며, 정상적으로 동작할 경우 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)는 동일한 값이 출력된다.
- [0041] 또한, 상기 연산 LUT(110)는 네 개의 입력 데이터와 두 개의 선택 신호를 입력받을 수 있는 6-input LUT 이다.
- [0042] 또한, 상기 제1 연산 LUT(111)와 상기 제2 연산 LUT(112)는 각각 5-input LUT로 이루어져 있다.
- [0043] 도 3은 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조의 조율 LUT(120)의 구성을 보여주는 도면으로, 상기 조율 LUT(120)는 상기 연산 LUT(110)의 출력 데이터들(OUT1, OUT2)을 입력받아 상기 출력 데이터들(OUT1, OUT2)의 동일성을 비교하여 상기 출력 데이터들(OUT1, OUT2)에 오류가 발생할 경우 오류 검출 및 자가 회복할 수 있는 신호인 충돌 플래그들(CF1, CF2)을 출력한다.
- [0044] 또한, 상기 충돌 플래그들(CF1, CF2)은 상기 조율 LUT(120)로 다시 피드백 입력된다.
- [0045] 또한, 상기 조율 LUT(120)는 제1 조율 LUT(121)와 제2 조율 LUT(122)로 구성된다.
- [0046] 또한, 상기 제1 조율 LUT(121)는 상기 제1 충돌 플래그(CF1)를 출력하고 상기 제2 조율 LUT(122)는 상기 제2 충돌 플래그(CF2)를 출력한다.
- [0047] 또한, 상기 조율 LUT(120)에는 상기 제1 충돌 플래그(CF1)와 상기 제2 충돌 플래그(CF2) 중 하나를 출력하는 제6 MUX(123)가 더 포함되어 구성될 수 있다.
- [0048] 또한, 상기 제1 조율 LUT(120)는 상기 연산 LUT(110)에서 출력되는 제1 출력 데이터(OUT1)와 제2 출력 데이터(OUT2), 자신의 출력인 제1 충돌 플래그(CF1)와 제2 충돌 플래그(CF2)를 피드백 입력받아 상기 제1 충돌 플래그(CF1)를 계산하여 출력하는 제1-1 조율 LUT(121a), 상기 제1-1 조율 LUT(121a)에서 출력되는 상기 제1 충돌 플래그(CF1)와 고정된 값의 데이터를 입력받고, 선택 신호에 따라 상기 제1 충돌 플래그(CF1)를 출력하거나 고정된 값의 데이터를 출력하는 제3 MUX(121b)를 포함한다.
- [0049] 또한, 상기 제1-1 조율 LUT(121a)는 상기 제2 출력 데이터(OUT2)를 반전하여 출력하는 제1 NOT 게이트(121a-1), 상기 제2 출력 데이터(OUT2)와 상기 제1 NOT 게이트(121a-1)에서 반전된 제2 출력 데이터(OUT2)를 입력받고, 상기 제1 출력 데이터(OUT1)를 선택 신호로 하여 상기 제2 출력 데이터(OUT2) 또는 반전된 제2 출력 데이터(OUT2)를 출력하는 제3-1 MUX(121a-2), 상기 제2 충돌 플래그(CF2)를 반전하는 제2 NOT 게이트(121a-3) 및 상기 제2 NOT 게이트(121a-3)에서 반전된 제2 충돌 플래그(CF2)와 상기 제1 충돌 플래그(CF1)를 입력받고, 상기 제3-1 MUX(121a-2)의 출력을 선택 신호로 하여 반전된 제2 충돌 플래그(CF2) 또는 상기 제1 충돌 플래그(CF1)를 출력하는 제3-2 MUX(121b)를 포함한다.

- [0050] 즉, 상기 제1-1 조율 LUT(121a)의 상기 제3-1 MUX(121a-1)는 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)가 동일할 경우 항상 '1'의 값을 출력하고 상기 제3-2 MUX(121a-2)는 상기 제3-1 MUX(121a-1)의 출력을 입력받아 입력된 상기 제1 충돌 플래그(CF1)를 출력하며, 만약, 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)가 다를 경우 상기 제3-1 MUX(121a-1)는 '0'의 값을 출력하고 상기 제3-2 MUX(121a-2)는 입력된 상기 제2 충돌 플래그(CF2)의 반전된 데이터를 출력한다.
- [0051] 또한, 상기 제2 조율 LUT(122)는 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2) 및 상기 제1 충돌 플래그(CF1)와 상기 제2 충돌 플래그(CF2)를 피드백 입력받아 상기 제2 충돌 플래그(CF2)를 출력하는 제2-1 조율 LUT(122a) 및 상기 제2-1 조율 LUT(122a)에서 출력되는 상기 제2 충돌 플래그(CF2)와 고정된 값의 데이터를 입력받고, 선택 신호를 입력받아 상기 제2 충돌 플래그(CF2)를 출력하거나 고정된 값의 데이터를 출력하는 제4 MUX(122b)를 포함한다.
- [0052] 또한, 상기 제2-1 조율 LUT(122a)는 상기 제2 출력 데이터(OUT2)를 반전하는 제3 NOT 게이트(122a-1), 상기 제2 출력 데이터(OUT2)와 상기 제3 NOT 게이트(122a-1)에서 반전된 제2 출력 데이터(OUT2)를 입력받고, 상기 제1 출력 데이터(OUT1)를 선택 신호로 하여 상기 제2 출력 데이터(OUT2) 또는 반전된 제2 출력 데이터(OUT2)를 출력하는 제4-1 MUX(122a-2) 및 상기 제1 충돌 플래그(CF1)와 상기 제2 충돌 플래그(CF2)를 입력받고 상기 제4-1 MUX(122a-2)의 출력을 선택 신호로 하여 입력받은 상기 제1 충돌 플래그(CF1) 또는 상기 제2 충돌 플래그(CF2)를 출력하는 제4-2 MUX(122b)를 포함한다.
- [0053] 또한, 상기 제2-1 조율 LUT(122a)는 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)가 동일한 값일 경우 상기 제4-1 MUX(122a-1)는 '1'의 값을 출력하고 상기 제4-2 MUX(122a-2)는 상기 제4-1 MUX(122a-1)의 출력을 입력받아 입력된 상기 제1 충돌 플래그(CF1)를 출력하며, 만약, 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)가 다를 경우 상기 제4-1 MUX(122a-1)는 '0'의 값을 출력하고 상기 제4-2 MUX(122a-2)는 입력된 상기 제2 충돌 플래그(CF2)가 출력된다.
- [0054] 또한, 상기 조율 LUT(120)는 네 개의 입력 데이터와 두 개의 선택신호를 입력받을 수 있는 6-input LUT이다.
- [0055] 또한, 상기 제1 조율 LUT(121)와 상기 제2 조율 LUT(122)는 각각 5-input LUT로 이루어져 있다.
- [0056] 또한, 출력된 상기 제1 충돌 플래그(CF1)는 상기 제1 연산 LUT(111)의 제1 MUX(111c)와 상기 제2 연산 LUT(112)의 제2 MUX(112c)의 선택 신호로 입력된다.
- [0057] 즉, 상기 제1 MUX(111c)와 상기 제2 MUX(112c)는 상기 제1 충돌 플래그(CF1)의 출력 결과에 따라 상기 제1 연산 LUT(111)의 연산 게이트들(111a,111b) 중 하나와 상기 제2 연산 LUT(112)의 연산 게이트들(112a,112b) 중 하나를 각각 선택하여 출력할 수 있다.
- [0058] 또한, 출력된 상기 제1 충돌 플래그(CF1)와 상기 제2 충돌 플래그(CF2)가 상기 조율 LUT(120)의 입력 데이터로 입력되고 상기 제1 충돌 플래그(CF1)와 상기 제2 충돌 플래그(CF2)가 동일하지 않을 경우 상기 제2 충돌 플래그(CF2)는 입력된 상기 제2 충돌 플래그(CF2)와 반전된 결과를 출력한다.
- [0059] 또한, 상기 제3 MUX(121b)와 상기 제4 MUX(122b)는 각각 상기 고정된 값의 데이터가 출력될 수 있게 선택 신호를 초기 설정한 후, 다음, 상기 제3 MUX(121b)는 상기 제1-1 조율 LUT(121a)의 출력값을 출력하게 하고 상기 제4 MUX(122)는 상기 제2-1 조율 LUT(122a)의 출력값을 출력하게 초기값을 설정한다.
- [0060] 이하에서는 도 4와 도 5를 참조하여 상기 필드 프로그래머블 게이트 어레이 록업 테이블 구조(100)의 동작 과정을 상세히 설명한다.
- [0061] 도 4는 본 발명의 일 실시예에 따른 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조의 상태 다이어그램(State diagram), 도 5는 본 발명의 일 실시예에 따른 자가 오류 검출 및 회복 가능한 필드 프로그래머블 게이트 어레이 록업 테이블 구조의 시뮬레이션 파형을 보여주는 타이밍 다이어그램(Timing diagram)으로, 도 4와 도 5를 참조하면, 먼저, 상기 제1 충돌 플래그(CF1)와 상기 제2 충돌 플래그(CF2)를 '0'으로 초기화 하기 위해 상기 제3 MUX(121b)와 상기 제4 MUX(122b)를 '0'의 값을 갖는 고정 데이터를 선택할 수 있도록 초기 선택 신호를 '1'로 설정한다(S1000).
- [0062] 다음, 상기 연산 LUT(110)의 입력(In1, In2, In3, In4)에 데이터(0,0,0,0)를 입력한다(P1).
- [0063] 다음, 상기 제3 MUX(121b)와 상기 제4 MUX(122b)는 초기 선택 신호가 '0'으로 전환되고, 상기 연산 LUT(110)의 상기 제1 MUX(111c)와 상기 제2 MUX(112c)는 상기 제1 충돌 플래그(CF1)의 데이터 '0'이 입력되어 각각 상기 제

2 연산 게이트(111b)와 상기 제4 연산 게이트(112b)를 선택하여 출력한다.

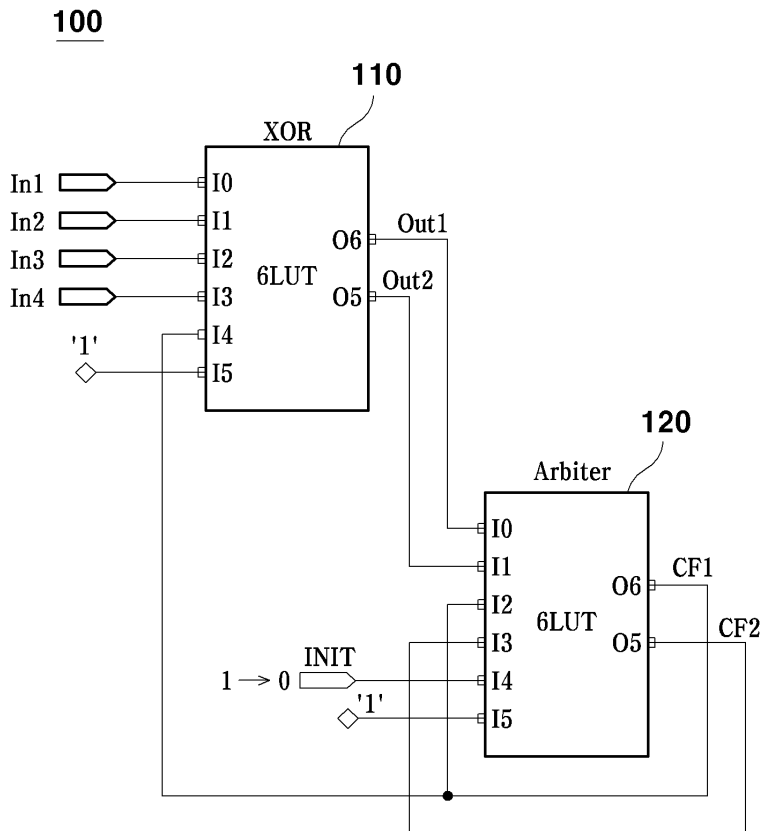
- [0064] 다음, 상기 제2 연산 게이트(111b)와 상기 제4 연산 게이트(112b)의 배타적 논리합 연산 결과로 상기 제1 출력 데이터(OUT1)는 '0', 상기 제2 출력 데이터(OUT2)는 '0'의 결과를 출력하고 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)가 동일하여 상기 조율 LUT(120)의 상기 제1 충돌 플래그(CF1)는 '0', 상기 제2 충돌 플래그(CF2)는 '0'의 값을 출력한다(S2000,P2).
- [0065] 다음, 상기 연산 LUT(110)의 입력(In1, In2, In3, In4)에 데이터(1,0,0,0)를 입력한다.
- [0066] 다음, 상기 제2 연산 게이트(111b)와 상기 제4 연산 게이트(112b)의 배타적 논리합 연산 결과로 상기 제1 출력 데이터(OUT1)는 '1', 상기 제2 출력 데이터(OUT2)는 '1'의 결과를 출력하고 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)의 값이 동일하여 상기 조율 LUT(120)의 상기 제1 충돌 플래그(CF1)는 '0', 상기 제2 충돌 플래그(CF2)는 '0'의 값을 출력한다(S2000,P3).
- [0067] 다음, 상기 연산 LUT(110)의 입력(In1, In2, In3, In4)에 데이터(1,1,1,1)를 입력한다.
- [0068] 다음, 상기 제2 연산 게이트(111b)와 상기 제4 연산 게이트(112b)의 배타적 논리합 연산을 통해 상기 제1 출력 데이터(OUT1)는 '0'과 상기 제2 출력 데이터(OUT2)는 '0'을 출력해야 하나, 외부적인 요인으로 인해 상기 연산 LUT(110)에 오류가 발생하여 제1 출력 데이터(OUT1)가 '1'을 출력하면(P4) 상기 조율 LUT(120)는 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)가 동일한 값으로 입력되지 않아 상기 연산 LUT(110)에 오류가 발생했다고 판단하여 상기 조율 LUT(110)로 입력되는 상기 제1 충돌 플래그(CF1)를 반전시켜 '1'을 상기 제1 충돌 플래그(CF1)로 출력한다(S3000,P5).
- [0069] 다음, 출력된 상기 제1 충돌 플래그(CF1)는 상기 제1 MUX(111c)와 상기 제2 MUX(112c)의 선택 신호로 피드백 입력되고 기존의 상기 제1 출력 데이터(OUT1)를 출력했던 상기 제2 연산 게이트(111b) 대신 상기 제1 연산 게이트(111a)가 상기 제1 출력 데이터(OUT1)를 출력하게 하고 상기 제2 출력 데이터(OUT2)를 출력했던 상기 제4 연산 게이트(112b) 대신 상기 제3 연산 게이트(112a)가 상기 제2 출력 데이터(OUT2)를 출력한다.
- [0070] 한편, 오류가 발생했다고 예상되는 제2 연산 게이트(111b)와 상기 제4 연산 게이트(112b)를 수리 또는 교체하여 오류를 해결한다.
- [0071] 다음, 상기 제1 연산 게이트(111a)와 상기 제3 연산 게이트(112a)가 정상적으로 작동하여 상기 연산 LUT(110)의 입력(In1, In2, In3, In4)에 입력된 데이터(1,1,1,1)의 연산 결과로 상기 제1 출력 데이터(OUT1)는 '0', 상기 제2 출력 데이터(OUT2)는 '0'의 결과를 출력한다.
- [0072] 다음, 상기 제1 출력 데이터(OUT1)의 값인 '0'과 상기 제2 출력 데이터(OUT2)의 값인 '0'은 상기 조율 LUT(120)에 입력되고 상기 조율 LUT(120)에서 출력된 상기 제1 충돌 플래그(CF1)의 값인 '1'과 상기 제2 충돌 플래그(CF2)의 값인 '0'이 상기 조율 LUT(120)로 피드백 입력된다.
- [0073] 다음, 상기 조율 LUT(120)로 입력된 데이터를 통해 상기 제1 충돌 플래그(CF1)와 동일한 값을 출력하기 위해 상기 조율 LUT(120)에 입력된 상기 제2 충돌 플래그(CF2)를 반전시켜 '1'의 값을 갖는 상기 제2 충돌 플래그(CF2)를 출력한다(S4000,P6).
- [0074] 만약, 다시 한번 상기 연산 LUT(110)에 오류가 발생하여 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)에 오류가 발생할 경우 상기 조율 LUT(120)는 상기 제1 충돌 플래그(CF1)를 반전시켜 출력하고 상기 제1 충돌 플래그(CF1)가 다시 상기 연산 LUT(110)에 입력되어 다시 상기 제2 연산 게이트(111b)와 상기 제4 연산 게이트(112b)를 선택하여 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)를 출력하고 상기 제1 출력 데이터(OUT1)와 상기 제2 출력 데이터(OUT2)가 동일하게 출력될 경우 상기 조율 LUT(120)는 상기 제2 충돌 플래그(CF2)를 반전시켜 상기 제1 충돌 플래그(CF1)와 동일한 값이 출력되게 한다(S5000).
- [0075] 따라서, 본 발명의 프로그래머블 게이트 어레이 록업 테이블 구조(100)는 상기 연산 LUT(110)의 출력 결과에 대해 상기 조율 LUT(120)를 통해 동일성을 비교하고, 만약 동일하지 않을 경우 상기 연산 LUT(110)에서 사용되는 연산 게이트에 오류가 발생했다고 판단하여, 상기 조율 LUT(120)가 상기 연산 LUT(110)에 내재된 다른 연산 게이트를 선택하여 데이터를 출력함으로써 오류를 해결할 수 있다.
- [0076] 이상에서 살펴본 바와 같이 본 발명은 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

부호의 설명

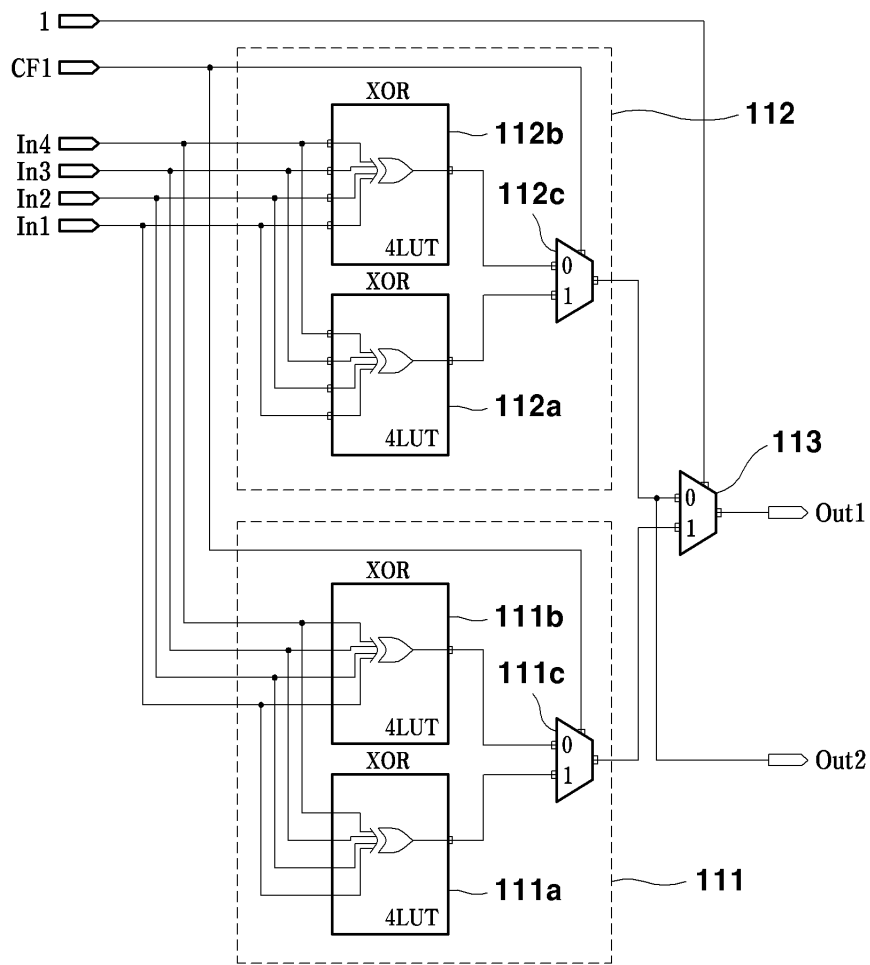
[0078]	100:FPGA 구성	110:연산 LUT
	111:제1 연산 LUT	111a:제1-1 연산 게이트
	111b:제1-2 연산 게이트	111c:제1 MUX
	112:제2 연산 LUT	112a:제2-1 연산 게이트
	112b:제2-2 연산 게이트	112c:제2 MUX
	120:조율 LUT	121:제1 조율 LUT
	121a:제1-1 조율 LUT	121a_1:제1 NOT 게이트
	121a_2:제3-1 MUX	121a_3:제 NOT 게이트
	121a_4:제3-2 MUX	121b:제3 MUX
	122:제2 조율 LUT	122a:제2-1 조율 LUT
	122a_1:제3 NOT 게이트	122a_2:제4-1 MUX
	122a_3:제4-2 MUX	122b:제4 MUX

도면

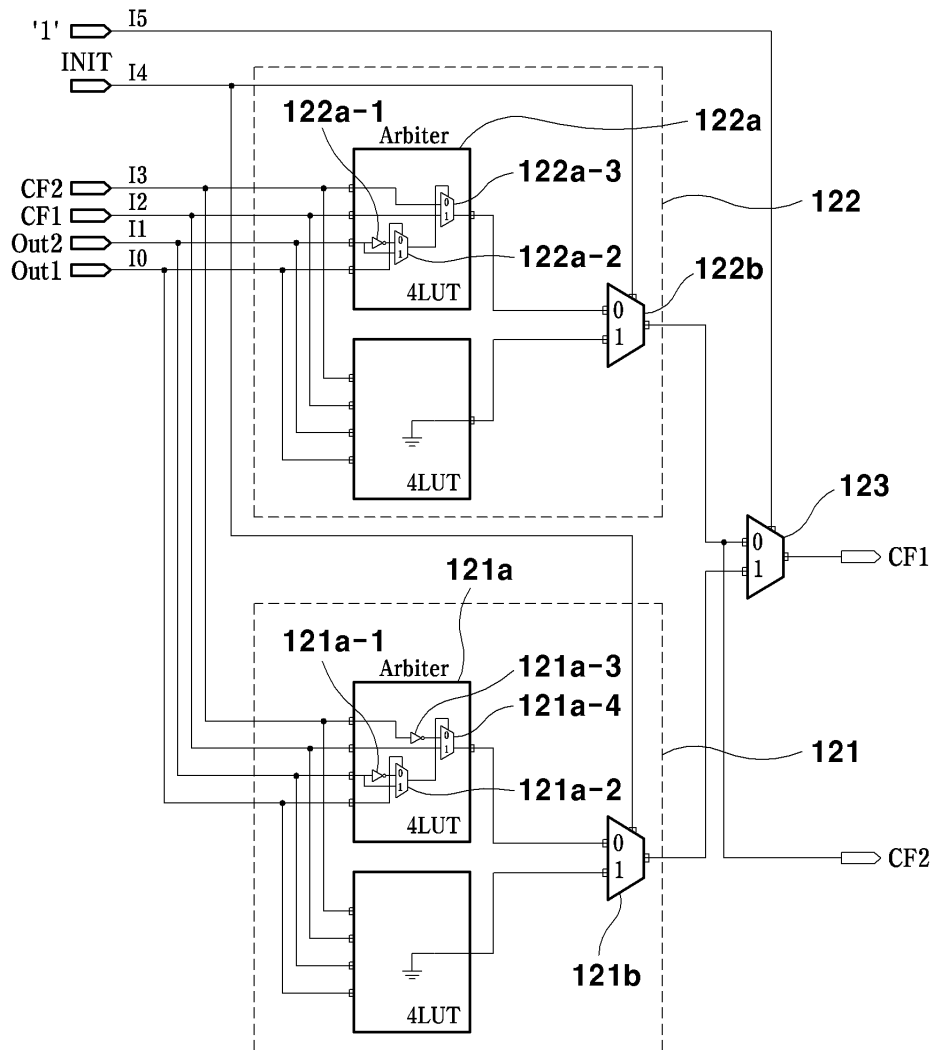
도면1



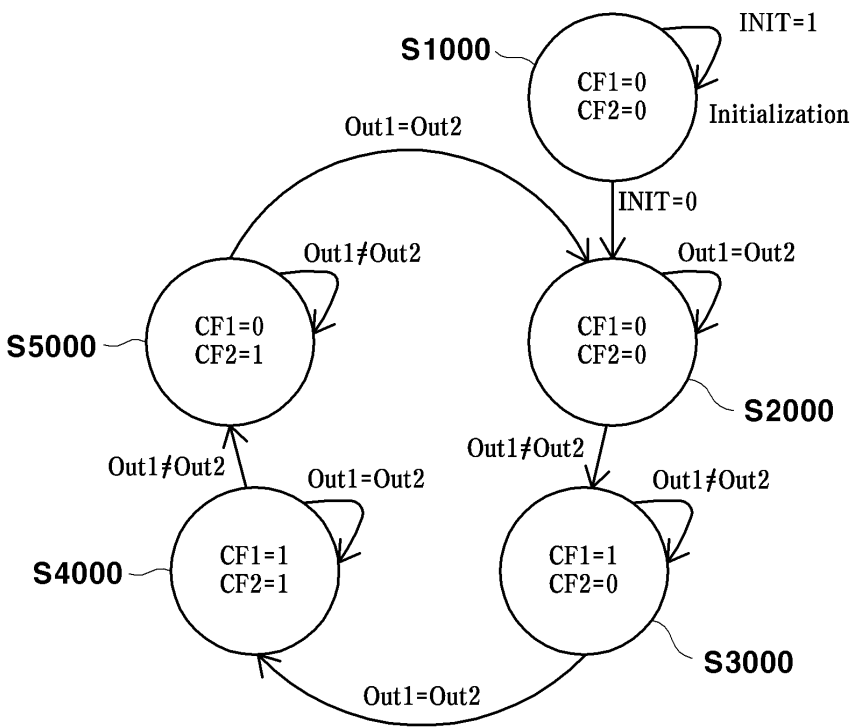
도면2



도면3



도면4



도면5

