(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5367264号
(P5367264)

(45)発行日　平成25年12月11日(2013.12.11)　(24)登録日　平成25年9月20日(2013.9.20)

(51)Int.Cl.		F I		
H01L 27/12	***(2006.01)***	H01L	27/12	L
H01L 21/762	***(2006.01)***	H01L	21/76	D
H01L 29/786	***(2006.01)***	H01L	29/78	613A
H01L 21/265	***(2006.01)***	H01L	29/78	618C
H01L 21/02	***(2006.01)***	H01L	29/78	620

請求項の数 27　(全 16 頁)　最終頁に続く

(21)出願番号　特願2007-518159 (P2007-518159)
(86)(22)出願日　平成17年6月20日 (2005.6.20)
(65)公表番号　特表2008-513973 (P2008-513973A)
(43)公表日　平成20年5月1日 (2008.5.1)
(86)国際出願番号　PCT/US2005/021674
(87)国際公開番号　WO2005/124871
(87)国際公開日　平成17年12月29日 (2005.12.29)
審査請求日　平成20年4月28日 (2008.4.28)
(31)優先権主張番号　10/872,605
(32)優先日　平成16年6月21日 (2004.6.21)
(33)優先権主張国　米国 (US)

前置審査

(73)特許権者　500046438
マイクロソフト　コーポレーション
アメリカ合衆国　ワシントン州　９８０５２－６３９９　レッドモンド　ワン　マイクロソフト　ウェイ
(74)代理人　100140109
弁理士　小野　新次郎
(74)代理人　100075270
弁理士　小林　泰
(74)代理人　100096013
弁理士　富田　博行
(74)代理人　100092967
弁理士　星野　修
(74)代理人　100153028
弁理士　上田　忠

最終頁に続く

(54)【発明の名称】高移動度プレーナおよび複数ゲートのＭＯＳＦＥＴのためのハイブリッド基板、基板構造およびその基板を形成する方法

(57)【特許請求の範囲】

【請求項１】

第２の半導体層および再成長半導体層を備える表面であって、前記第２の半導体層は第２の結晶学的方向を有し、前記再成長半導体層は前記第２の結晶学的方向とは異なる第１の結晶学的方向を有する、表面と、

少なくとも前記第２の半導体層と前記再成長半導体層とを分離するライナまたはスペーサと、

前記第２の半導体層の下に位置する絶縁層と、

前記絶縁層および前記再成長半導体層の下に位置する第１の半導体層であって、前記第１の半導体層は前記再成長半導体層と接触しており、前記再成長半導体層と同じ結晶学的方向を有し、前記第１の半導体層および前記第２の半導体層は、それぞれ結晶学的方向を表すウェハ・フラットを含み、前記第２の半導体層が適切な回転となり、且つ、前記第２の半導体層および前記再成長半導体層の双方の上に存在する種々のデバイスの全てのチャネルおよびゲートが同じ方向に配向されるようにそれぞれ互いに位置合わせされた、第１の半導体層と、

を備える、表面に高移動度の結晶学的方向を有するハイブリッド基板。

【請求項２】

前記第１の半導体層および前記第２の半導体材料が、Ｓｉ、ＳｉＣ、ＳｉＧｅ、ＳｉＧｅＣ、Ｇｅ、Ｇｅ合金、ＧａＡｓ、ＩｎＡｓ、ＩｎＰ、シリコン・オン・インシュレータ（ＳＯＩ）層、または他のＩＩＩ／ＶおよびＩＩ／ＶＩ化合物半導体からなる、請求項１

に記載のハイブリッド基板。
【請求項３】
前記第１の半導体層および前記第２の半導体層がＳｉからなる、請求項２に記載のハイブリッド基板。
【請求項４】
前記第１の半導体層がＳｉからなり、前記第１の結晶学的方向が＜１１０＞方向の前記ウェハ・フラットを備えた（１１０）であり、前記第２の半導体層がＳｉを含み、前記第２の結晶学的方向が＜１００＞方向の前記ウェハ・フラットを備えた（１００）である、請求項１に記載のハイブリッド基板。
【請求項５】
前記第１の半導体層がＳｉからなり、前記第１の結晶学的方向が＜１００＞方向の前記ウェハ・フラットを備えた（１００）であり、前記第２の半導体層がＳｉを含み、前記第２の結晶学的方向が＜１１０＞方向の前記ウェハ・フラットを備えた（１１０）である、請求項１に記載のハイブリッド基板。
【請求項６】
前記再成長半導体層がＳｉ含有半導体を備える、請求項１に記載のハイブリッド基板。
【請求項７】
前記Ｓｉ含有半導体が、Ｓｉ、ひずみＳｉ、ＳｉＣ、ＳｉＧｅＣ、またはそれらの組み合わせを含む、請求項６に記載のハイブリッド基板。
【請求項８】
前記再成長半導体層が（１００）結晶学的方向のＳｉを含む、請求項１に記載のハイブリッド基板。
【請求項９】
前記再成長半導体層が、（１１０）結晶学的方向のＳｉを含む、請求項１に記載のハイブリッド基板。
【請求項１０】
前記ライナまたはスペーサが、酸化物、窒化物、酸窒化物、またはそれらの任意の組み合わせを含む、請求項１に記載のハイブリッド基板。
【請求項１１】
前記絶縁層が、酸化物、窒化物、酸窒化物、またはそれらの組み合わせを含む、請求項１に記載のハイブリッド基板。
【請求項１２】
前記第２の半導体層または前記再成長半導体層のうちの少なくとも１つ内に埋没酸化物領域をさらに含む、請求項１に記載のハイブリッド基板。
【請求項１３】
前記表面が少なくとも２つのデバイス領域を含む、請求項１に記載のハイブリッド基板。
【請求項１４】
前記表面が（１００）結晶学的方向および（１１０）結晶学的方向を含む、請求項１に記載のハイブリッド基板。
【請求項１５】
前記（１００）結晶学的方向の前記表面がｎ型のプレーナまたは複数ゲートＭＯＳＦＥＴデバイスを備え、前記（１１０）結晶学的方向の前記表面がｐ型のプレーナまたは複数ゲートＭＯＳＦＥＴデバイスを備える、請求項１４に記載のハイブリッド基板。
【請求項１６】
絶縁層で分離された、第１のウェハ・フラットを備えた第１の結晶学的方向の第１の半導体層と、第２のウェハ・フラットを備えた第２の結晶学的方向の第２の半導体層と、を備える構造を形成するステップであって、前記第１の結晶学的方向は前記第２の結晶学的方向とは異なり、第２の半導体層は前記第１の半導体層の上に位置し、それぞれの半導体層上のウェハ・フラットは表面と同じ結晶学的方向であり、前記第１の半導体層および前

記第２の半導体層は、前記第２の半導体層が適切な回転となるようにそれぞれ互いに位置合わせされた、ステップと、
前記構造の保護されていない第２の部分を残しながら、第１のデバイス領域を画定するために前記構造の第１の部分を保護するステップであって、前記構造の保護されていない部分が第２のデバイス領域を画定する、ステップと、
前記第１の半導体層の表面を露光させるために、前記構造の保護されていない部分をエッチングするステップと、
前記第１の半導体層の前記露光面上に、前記第１の結晶学的方向と同じ結晶学的方向を有する半導体材料を再成長させるステップと、
前記第２の半導体層の上面が前記半導体材料の上面とほぼ平面となるように、前記半導体材料を含む前記構造を平坦化するステップと、
によって提供され、それにより、前記第２の半導体層および前記再成長半導体層の双方の上に存在する種々のデバイスの全てのチャネルおよびゲートが同じ方向に配向される、ハイブリッド基板を形成する方法。
【請求項１７】
前記構造を形成するステップが層転写プロセスを含む、請求項１６に記載の方法。
【請求項１８】
前記層転写プロセスが、２つのウェハそれぞれを密接に接触させるステップと、接触したウェハを加熱するステップとを含む、請求項１７に記載の方法。
【請求項１９】
前記加熱ステップが不活性ガス環境で実行される、請求項１８に記載の方法。
【請求項２０】
前記加熱ステップが２００°から１０５０°Ｃで、２から２０時間の期間実行される、請求項１８に記載の方法。
【請求項２１】
前記保護ステップに先立って、構造の上にパッド・スタックが形成される、請求項１６に記載の方法。
【請求項２２】
前記保護ステップがリソグラフィおよびエッチングを含む、請求項１６に記載の方法。
【請求項２３】
前記再成長ステップが選択的エピタキシャル成長方法を含む、請求項１６に記載の方法。
【請求項２４】
前記構造の前記保護されていない部分の前記エッチング時に形成された開口部内の側壁上に、ライナまたはスペーサを形成するステップをさらに含む、請求項１６に記載の方法。
【請求項２５】
前記平坦化ステップが化学機械研磨または研削を含む、請求項１６に記載の方法。
【請求項２６】
前記第２の半導体層および前記再成長半導体材料上に少なくとも１つのプレーナまたは複数ゲートＭＯＳＦＥＴを形成するステップをさらに含む、請求項１６に記載の方法。
【請求項２７】
ｎ型ＭＯＳＦＥＴは（１００）結晶方向を有する表面上に形成され、ｐ型ＭＯＳＦＥＴは（１１０）結晶学的方向を有する表面上に形成される、請求項２６に記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、相補型金属酸化膜半導体（ＣＭＯＳ）デバイス技術に関し、とりわけ、高性能ＣＭＯＳアプリケーションで使用するためのＣＭＯＳ構造およびプロセスに関する。具体的に言えば、本発明は、プレーナ（planar）および複数ゲートの金属酸化膜半導体電界

効果トランジスタ（ＭＯＳＦＥＴ）で使用するための高移動度（high-mobility）面を有するハイブリッド基板を提供する。

【背景技術】

【０００２】

ＣＭＯＳデバイス性能は、ゲート長を減少させること、あるいはキャリア（carrier）移動度を上げること、またはその両方によって向上させることができる。ゲート長を減少させるためには、デバイス構造が良好な静電整合性を有していなければならない。単一ゲートの極薄ボディＭＯＳＦＥＴ、ならびにＦｉｎＦＥＴおよびトライゲート（tri-gate）構造などの複数ゲートＭＯＳＦＥＴは、従来のバルクＣＭＯＳデバイスに比べて、より良好な静電特性を有することが知られている。

【０００３】

米国特許出願公開（Publication）第２００４　０２６６０７６Ａ１号は、プレーナ極薄ボディＳＯＩ　ＭＯＳＦＥＴとＦｉｎＦＥＴデバイスとの両方を同じウェハ上に集積させるためのプロセスを開示している。この開示によれば、この構造は、埋没（buried）絶縁層上に位置する少なくとも最上位の半導体層を備えるＳＯＩ構造を提供するステップであって、この最上位半導体層が、構造のＦｉｎＦＥＴ領域内に位置する少なくとも１つのパターン化ハード・マスクと、構造のＦＥＴ領域内に位置する少なくとも１つのパターン化ハード・マスクとを有する、提供するステップと、ＦＥＴ領域を保護し、ＦｉｎＦＥＴ領域内の少なくとも１つのパターン化ハード・マスクをトリミングするステップと、埋没絶縁層上に留まるハード・マスクによって保護されない最上位半導体の露光部分をエッチングするステップであって、このエッチングはＦｉｎＦＥＴアクティブ・デバイス領域およびＦＥＴアクティブ・デバイス領域を画定し、ＦｉｎＦＥＴアクティブ・デバイス領域はＦＥＴアクティブ・デバイス領域に対して垂直である、エッチングするステップと、ＦｉｎＦＥＴアクティブ・デバイス領域を保護し、ＦＥＴデバイス領域の高さがＦｉｎＦＥＴアクティブ・デバイス領域の高さよりも低くなるようにＦＥＴアクティブ・デバイス領域を薄くするステップと、ＦＥＴデバイス領域の露光された水平面上にゲート誘電体を形成しながら、ＦｉｎＦＥＴアクティブ・デバイス領域の露光された各垂直面上にゲート誘電体を形成するステップと、ゲート誘電体の露光された各表面上にパターン化ゲート電極を形成するステップと、を含む方法によって製造される。

【０００４】

「極薄」という用語は、本明細書全体を通じて、約３０ｎｍまたはそれ未満の薄さを表すために使用される。「トライゲート」という用語は、本明細書全体を通じて、Ｆｉｎの１つの最上位面および２つの垂直面という３つの導電性チャネルを備えるトライゲート・デバイスを表すために使用される。「ＦｉｎＦＥＴ」という用語は、本明細書全体を通じて、高さはあるがそれでもなお薄い垂直チャネル領域を備えるダブルゲート・デバイスを表すために使用される。

【０００５】

当技術分野では、キャリア移動度が表面の方向に依存することが知られている。たとえば、電子は（１００）面の方向の場合は高移動度を有することが知られているが、ホールは（１１０）面の方向の場合に高移動度を有することが知られている。すなわち、（１００）面上のホール移動度値は、この結晶学的（crystallographic）方向に関して対応する電子ホール移動度よりも、およそ２～４倍低い。米国特許出願公開第２００４　０２５６７００Ａ１号は、プレーナＭＯＳＦＥＴが高移動度面上に構築されるように、これら２つの面を同じウェハ上に集積するための方法を開示する。すなわち、ｎＦＥＴが（１００）面上に構築され、ｐＦＥＴが（１１０）面上に構築される。この開示によれば、異なる結晶学的方向を有する２つのウェハのウェハ接合、マスキング、その面を露光させるための１つのウェハを介した他のウェハまでのエッチング、および露光された面と同じ結晶学的方向を有する半導体材料の再成長によって、結晶の方向が異なる面を有するハイブリッド基板が提供される。

【０００６】

＜１１０＞方向と平行の位置合わせウェハ・フラットを備える標準（１００）ウェハ上にトライゲートが製造される場合、ゲートがウェハ・フラットと平行に配向されると、チャネルに関して混合する表面方向が形成される。すなわち、たとえば図１を参照されたい。このトライゲート・デバイス構造は、ｎ型またはｐ型に最適な移動度を提供することはできない。最適なｎ型のトライゲートＦＥＴは、＜１１０＞方向と平行の位置合わせウェハ・フラットを備えた標準（１００）ウェハ上に、ｎ型のトライゲートＦＥＴを製造することによって取得が可能であり、ゲートは位置合わせウェハ・フラットから４５度に配向される。たとえば図２を参照されたい。代替の方法として、最適なｎ型トライゲートＦＥＴは、＜１００＞方向と平行の位置合わせウェハ・フラットを備えた（１００）ウェハ上に、ｎ型のトライゲートＦＥＴを製造することによって取得が可能であり、ゲートはウェハ・フラットと平行に配向される。たとえば図３を参照されたい。最適なｐ型トライゲートＦＥＴは、＜１１０＞方向と平行の位置合わせウェハ・フラットを備えた（１１０）ウェハ上に、ｐ型のトライゲートＦＥＴを製造することによって取得が可能であり、ゲートは位置合わせウェハ・フラットと平行に配向される。たとえば図４を参照されたい。

【０００７】

現在、高移動度ｎＦＥＴおよびｐＦＥＴを取得するために、（１００）面配向ウェハ上に４５°の角度でｎ型ＦｉｎＦＥＴおよびｐ型ＦｉｎＦＥＴをレイアウトすることが可能であるが、現在のリソグラフィ技術を使用するこうしたレイアウトは好適でない。さらにこの手法では、高移動度プレーナ／複数ゲートのｎＦＥＴおよびｐＦＥＴを同時に提供することはできない。代わりに、ｎＦＥＴおよびｐＦＥＴデバイスのゲートがどちらも同じ方向に配向されながらも、すべてのチャネルがｎＦＥＴおよびｐＦＥＴの両方について高移動度面上に存在する方法を提供することが望まれる。現在、この要件を達成できる従来技術は知られていない。

【特許文献１】米国特許出願公開第２００４　０２６６０７６Ａ１号
【特許文献２】米国特許出願公開第２００４　０２５６７００Ａ１号

【発明の開示】

【発明が解決しようとする課題】

【０００８】

したがって、すべてのチャネルが高移動度面上でゲートと同じ方向に配向される、ＦｉｎＦＥＴおよびトライゲートＭＯＳＦＥＴなどの、プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴを作成するための、基板構造およびこれを製造する方法が求められている。

【課題を解決するための手段】

【０００９】

本発明は、プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴのすべてのチャネルおよびゲートが同じ方向に配向されるように、異なる結晶学的方向の領域を有する上面を有し、ｎ型デバイスはそれらの型のデバイスの性能を強化する表面方向に位置し、ｐ型デバイスはそれらの型のデバイスの性能を強化する表面方向に位置する、ハイブリッド基板を提供する。すなわち本発明は、プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが高移動度面上に位置するように集積された、異なる結晶学的方向の上面を有する、ハイブリッド基板を提供する。通常、ｎ型デバイスは最適なデバイス性能のために（１００）半導体表面に構築され、ｐ型デバイスは最適なデバイス性能のために（１１０）半導体表面に構築される。

【００１０】

すべての様々なデバイスのチャネルおよびゲートが同じ方向に配向可能な、異なる結晶学的方向を有するハイブリッド基板は、どちらもＳＯＩ状であるか、または別の方法として表面のうちの１つがバルク状であり、他方の表面がＳＯＩ状であることが可能である。

【００１１】

広義には、本発明は、表面上に高移動度の結晶学的方向を有し、

【００１２】

第２の半導体層および再成長半導体層を備える表面であって、当該第２の半導体層は第２の結晶学的方向を有し、再成長半導体層は第２の結晶学的方向とは異なる第１の結晶学的方向を有する、表面と、

【００１３】

少なくとも当該第２の半導体層と当該再成長半導体層とを分離するライナまたはスペーサと、

【００１４】

当該第２の半導体層の下に位置する絶縁層と、

【００１５】

当該絶縁層および当該再成長半導体層の下に位置する第１の半導体層であって、当該第１の半導体層は再成長半導体層と接触しており、再成長半導体層と同じ結晶学的方向を有し、当該第１の半導体層および当該第２の半導体層は、それぞれ互いに位置合わせされたウェハ・フラットを含む、第１の半導体層と、

を含む、ハイブリッド基板を提供する。

【００１６】

前述のハイブリッド基板に加え、本発明は、

【００１７】

第２の半導体層および再成長半導体層を備える表面であって、当該第２の半導体層は第２の結晶学的方向を有し、再成長半導体層は第２の結晶学的方向とは異なる第１の結晶学的方向を有する、表面と、少なくとも当該第２の半導体層と当該再成長半導体層とを分離するライナまたはスペーサと、当該第２の半導体層の下に位置する絶縁層と、当該絶縁層および当該再成長半導体層の下に位置する第１の半導体層であって、当該第１の半導体層は再成長半導体層と接触しており、再成長半導体層と同じ結晶学的方向を有する、第１の半導体層と、を含むハイブリッド基板、および

【００１８】

当該第２の半導体層および当該再成長半導体層の両方に存在するプレーナまたは複数ゲートのＭＯＳＦＥＴデバイスであって、当該デバイスは、同じ方向に配向され当該ＭＯＳＦＥＴデバイスに最適な表面上に存在するチャネルおよびゲートを有する、プレーナまたは複数ゲートのＭＯＳＦＥＴデバイス、

を備える、高移動度構造にも関する。

【００１９】

本発明は、前述のハイブリッド基板を形成する方法、ならびにプレーナあるいは複数ゲート、またはその両方のＭＯＳＦＥＴを、ハイブリッド基板上で集積するための方法も提供する。

【００２０】

ハイブリッド基板は、

【００２１】

絶縁層で分離された、第１のウェハ・フラットを備えた第１の結晶学的方向の第１の半導体層と、第２のウェハ・フラットを備えた第２の結晶学的方向の第２の半導体層と、を備える構造を形成するステップであって、当該第１の結晶学的方向は第２の結晶学的方向とは異なり、第２の半導体層は当該第１の半導体層の上に位置し、それぞれの半導体層上のウェハ・フラットは表面と同じ結晶学的方向である、形成するステップと、

【００２２】

構造の保護されていない第２の部分を残しながら、第１のデバイス領域を画定するために構造の第１の部分を保護するステップであって、当該構造の保護されていない部分が第２のデバイス領域を画定する、保護するステップと、

【００２３】

第１の半導体層の表面を露光させるために、当該構造の保護されていない部分をエッチングするステップと、

【００２４】

第１の半導体層の当該露光面上に、第１の結晶学的方向と同じ結晶学的方向を有する半導体材料を再成長させるステップと、

【００２５】

第２の半導体層の上面が半導体材料の上面とほぼ平面となるように、半導体材料を含む構造を平坦化するステップと、

によって提供される。

【００２６】

＜１１０＞方向と平行のウェハ・フラットを備える標準（１００）ウェハの場合、ウェハ・フラットが＜１１０＞方向と平行のウェハ・フラットを備える（１１０）ウェハと４５°で位置合わせされるように、ウェハは４５°回転される。代替の方法として、＜１００＞方向と平行のウェハ・フラットを備える（１００）ウェハは、＜１１０＞方向と平行のウェハ・フラットを備える（１１０）ウェハと位置合わせされる。

【００２７】

本発明のいくつかの実施形態では、埋没した酸化領域は、当該平坦化ステップが実行された後に、イオン注入およびアニーリングによって形成される。

【００２８】

プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴは、その後、第２の再成長された半導体材料の上面上に形成される。具体的に言えば、

【００２９】

第２の半導体層および再成長半導体層を備える表面であって、当該第２の半導体層は第２の結晶学的方向を有し、再成長半導体層は第２の結晶学的方向とは異なる第１の結晶学的方向を有する、表面と、少なくとも当該第２の半導体層と当該再成長半導体層とを分離するライナまたはスペーサと、当該第２の半導体層の下に位置する絶縁層と、当該絶縁層および当該再成長半導体層の下に位置する第１の半導体層であって、当該第１の半導体層は再成長半導体層と接触しており、再成長半導体層と同じ結晶学的方向を有する、第１の半導体層と、を含むハイブリッド基板を提供するステップ、および

【００３０】

当該第２の半導体層および当該再成長半導体層の両方にプレーナまたは複数ゲートのＭＯＳＦＥＴを形成するステップであって、当該プレーナまたは複数ゲートのＭＯＳＦＥＴは、同じ方向に配向され当該ＭＯＳＦＥＴに最適な表面上に存在するチャネルおよびゲートを有する、形成するステップ、

を有する、高移動度半導体構造を形成する方法が提供される。

【発明を実施するための最良の形態】

【００３１】

次に、高移動度のプレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴ用のハイブリッド基板と、ハイブリッド基板ならびにその上のデバイスを形成する方法とを提供する、本発明について、本明細書に添付の図面を参照することによって、より詳細に説明する。

【００３２】

図５は、本発明で採用される初期基板を示す。図に示されるように、本発明の初期基板１０は、第１（すなわち下部）の半導体層１２、絶縁層１４、および第２（すなわち上部）の半導体層１６を備える。初期基板は、第１（すなわち下部）の半導体層の下に位置するオプションの半導体層（図示せず）をさらに含むことができる。このオプションの初期基板では、他の絶縁層が、第１（すなわち下部）の半導体層とオプションの半導体層とを分離する。

【００３３】

第１の半導体層１２は、たとえばＳｉ、ＳｉＣ、ＳｉＧｅ、ＳｉＧｅＣ、Ｇｅ、Ｇｅ合金、ＧａＡｓ、ＩｎＡｓ、ＩｎＰ、ならびに他のＩＩＩ／ＶまたはＩＩ／ＶＩ化合物半導体を含む、任意の半導体材料からなる。第１の半導体層１２は、事前に形成されたＳＯＩ基板のシリコン・オン・インシュレータ（ＳＯＩ）層またはたとえばＳｉ／ＳｉＧｅなど

の層状半導体を備えることもできる。第１の半導体層１２は、（１００）または（１１０）とすることが可能な第１の結晶学的方向を有するものとも特徴付けられる。第１の半導体層１２が（１１０）方向を有する場合、位置合わせウェハ・フラットは＜１１０＞方向に提供される。第１の半導体層１２が（１００）結晶方向を有する場合、位置合わせウェハ・フラットは＜１００＞方向に提供される。第１の半導体層は、ひずみ（strained）層または非ひずみ（unstrained）層とするか、あるいはひずみ／非ひずみ層の組み合わせを含むことができる。好ましい実施形態では、第１の半導体層１２は、＜１１０＞方向のウェハ・フラットを備えた（１１０）方向を有するＳｉ含有基板である。このウェハ・フラットは、当業者に周知の標準技法を使用して半導体層内に形成される。

【００３４】

第１の半導体層１２の厚さは、図５に示された基板を形成するために使用される初期開始ウェハに応じて変化する可能性がある。しかしながら、通常、第１の半導体層１２は約５ｎｍから約２００μｍの厚さを有し、約５から約１００ｎｍの厚さがより一般的である。

【００３５】

第１の半導体層１２と第２の半導体層１６との間に存在する絶縁層１４は、酸化物、窒化物、酸窒化物、またはそれらの任意の組み合わせとすることができる。好ましくは、絶縁層１４は酸化物である。絶縁層１４の厚さも、図５に示された基板を作成する際に使用される初期ウェハに応じて変化する可能性がある。しかしながら、通常、絶縁層１４は約１から約５００ｎｍの厚さを有し、約５から約１００ｎｍの厚さがより一般的である。

【００３６】

第２の半導体層１６は、たとえばＳｉ、ＳｉＣ、ＳｉＧｅ、ＳｉＧｅＣ、Ｇｅ、Ｇｅ合金、ＧａＡｓ、ＩｎＡｓ、ＩｎＰ、ならびに他のＩＩＩ／ＶまたはＩＩ／ＶＩ化合物半導体を含む、任意の半導体材料からなる。第２の半導体層１６は、事前に形成されたＳＯＩ基板のシリコン・オン・インシュレータ（ＳＯＩ）層またはたとえばＳｉ／ＳｉＧｅなどの層状半導体を備えることもできる。第２の半導体層１６は、第２の半導体層１６が第１の半導体層１２とは異なる第２の結晶学的方向を有するという条件で、第１の半導体層１２と同じ半導体材料からなるものとすることができる。したがって第２の半導体層１６は、第１の半導体層１２の結晶学的方向とは異なる、（１００）または（１１０）とすることが可能な第２の結晶学的方向を有する。

【００３７】

第１の半導体層１２が（１１０）方向を有する場合、第２の半導体層１６は（１００）方向を有することになる。同様に、第１の半導体層１２が（１００）結晶方向を有する場合、第２の半導体層１６は（１１０）結晶学的方向を有する。第２の半導体層１６は、ひずみ層または非ひずみ層とするか、あるいはひずみ／非ひずみ層の組み合わせを含むことができる。好ましくは、第２の半導体層１６は、＜１００＞方向の位置合わせウェハ・フラットを備えた（１００）方向を有するＳｉ含有層である。

【００３８】

第２の半導体層１６の厚さは、図５に示された基板を形成するために使用される初期開始ウェハに応じて変化する可能性がある。しかしながら、通常、第２の半導体層１６は約５から約５００ｎｍの厚さを有し、約５から約１００ｎｍの厚さがより一般的である。

【００３９】

図５に示される基板１０は、２つのウェハおよび熱接合が採用される層転写（layer transfer）プロセスによって取得される。具体的に言えば、層転写は、２つのウェハそれぞれを密接に接触させること、オプションでその接触したウェハに外力を加えること、および、その後この２つの接触したウェハを、２つのウェハを接合可能な条件の下で加熱することによって、達成される。

【００４０】

本発明によれば、ウェハのうちの１つが少なくとも第１の半導体層１２を含み、他方が少なくとも第２の半導体層１６を含む。また、ウェハのうちの少なくとも１つが、図５に

示された絶縁層１４になる絶縁層を含む。いくつかの実施形態では、両方のウェハが絶縁層を含むことができる。本発明では、層転写は、半導体／絶縁接合または絶縁／絶縁接合によって達成される。バルク半導体ウェハが使用可能であり、ＳＯＩウェハを使用するか、またはバルクおよびＳＯＩの組み合わせを採用することができる。いくつかの実施形態では、層転写で使用されるウェハのうちの１つが、層転写プロセス中に少なくとも１つのウェハのうちの一部を分割するために使用可能な、水素注入領域などの注入領域を含む。

【００４１】

前述の接触ステップは、第２の半導体層１６を含むウェハが通常のウェハ構成（通常の（１００）ウェハ構成は＜１１０＞方向と平行のウェハ・フラットを有する）から４５°回転されるという点で、層転写で使用される従来の接触ステップとは異なる。この回転により、第２の半導体層１６の位置合わせウェハ・フラットが、第１の半導体層の位置合わせウェハ・フラットと適切な回転で位置合わせされることが保証される。たとえば図１４を参照されたい。代替の方法として、（１００）ウェハのウェハ・フラットを＜１００＞方向と平行に配置し、＜１１０＞方向と平行のウェハ・フラットを備える（１１０）ウェハと位置合わせするものとする。たとえば図１５を参照されたい。このステップにより、プレーナおよび複数ゲートのＦＥＴを含み、このハイブリッド基板上に製造されたＭＯＳＦＥＴが、高移動度平面上に常に位置するチャネルを有することになることが保証できる。

【００４２】

層転写時に使用される加熱ステップは、外力の有無によって実行することができる。加熱ステップは、通常、約２００°から約１０５０°Ｃの温度の不活性環境（inert ambient）で、約２から約２０時間の期間、実行される。より好ましくは、接合は約２００°から約４００°Ｃの温度で実行される。「不活性環境」という用語は、いかなる半導体ウェハにも反応しない大気を表す。不活性環境の例には、たとえばＨｅ、Ａｒ、N_2、Ｘｅ、Ｋｒが含まれ、それらの混合物を使用することもできる。接合に使用される好ましい環境はN_2である。

【００４３】

層転写プロセスに続いて、平坦化プロセス（図示せず）を採用して、半導体ウェハのうちの１つから何らかの材料を除去することができる。この平坦化ステップは、特に、層転写プロセスで２つのＳＯＩウェハが使用される場合に採用される。

【００４４】

次に、図５に示された第２の半導体層１６の上に少なくとも１つの絶縁材料を含むパッド・スタック１８が形成され、図６に示された構造を提供する。パッド・スタック１８は、酸化物、窒化物、酸窒化物、またはそれらの任意の組み合わせからなるものとすることができる。たとえば一実施形態では、パッド・スタック１８はSiO_2層の上に形成されるSi_3N_4層とすることができる。パッド・スタック１８は、堆積プロセスあるいは熱成長プロセスまたはその両方によって形成される。たとえば堆積プロセスには、化学気相堆積（ＣＶＤ）、プラズマ化学気相堆積（ＰＥＣＶＤ）、原子層堆積、化学溶液堆積、および他の同様の堆積プロセスが含まれる。熱成長プロセスには、酸化、窒化、酸窒化、またはそれらの組み合わせが含まれる。前述の好ましいパッド・スタック１８では、SiO_2層は酸化プロセスによって形成され、Si_3N_4は堆積によって形成される。

【００４５】

パッド・スタック１８は、採用される絶縁材料の種類、ならびにスタック内の絶縁層の数に応じて異なる、可変厚さを有することができる。通常、および例示的には、パッド・スタック１８は約１から約２００ｎｍの厚さを有し、約５から約５０ｎｍの厚さがより一般的である。

【００４６】

その後、構造の保護されていない第２の部分を残しながら、構造の第１の部分を保護するように、図６に示された構造の所定の部分にマスク（図示せず）が形成される。構造の保護された部分は第１のデバイス領域２２を画定し、構造の保護されていない部分は第２

のデバイス領域２４を画定する。たとえば図７には様々なデバイス領域が示される。

【００４７】

本発明の一実施形態では、マスクは、第１にフォトレジスト・マスクを構造の表面全体に塗布することによって、パッド・スタック１８の所定の部分に形成される。フォトレジスト・マスクの塗布後、マスクは、放射線のパターンにフォトレジストを露光させるステップと、レジスト現像液（developer）を利用してパターンを現像するステップとを含む、リソグラフィによってパターン形成される。別の方法として、またパッド・スタック１８が、その上層が窒化物または酸窒化物である複数の絶縁体を含む場合、上層は異なるデバイス領域を画定する際に使用されるマスクとして働く。この実施形態では、パッド・スタック１８の上部窒化物または酸窒化物層が、リソグラフィおよびエッチングによってパターン形成される。パッド・スタック１８の上部窒化物または酸窒化物層は、場合によっては第２のデバイス領域画定後に除去することができる。

【００４８】

図６に示された構造にマスク（図示せず）を形成した後、第１の半導体層１２を基礎とする表面を露光するために、構造には１つまたは複数のエッチング・ステップが施される。１つまたは複数のエッチング・ステップが実行された後およびマスクの除去後に形成される、結果として生じる構造が、たとえば図７に示されている。具体的に言えば、本発明のこの時点で使用される１つまたは複数のエッチング・ステップは、パッド・スタック１８の保護されていない部分、ならびに、第２の半導体層１６の基礎となる部分、および第１の半導体層１２と第２の半導体層１６とを分離する絶縁層１４の一部を除去する。

【００４９】

エッチングは、単一のエッチング・プロセスを利用して実行するか、または複数のエッチング・ステップを採用することができる。本発明のこの時点で使用されるエッチングは、反応性イオン・エッチング、イオン・ビーム・エッチング、プラズマ・エッチングまたはレーザ・エッチングなどのドライ・エッチング・プロセス、化学エッチング液が採用されるウェット・エッチング・プロセス、あるいはそれらの任意の組み合わせを含むことができる。本発明の好ましい実施形態では、第２の半導体デバイス領域２４内の、パッド・スタック１８の保護されていない部分、第２の半導体層１６、および絶縁層１４を選択的に除去する際に、反応性イオン・エッチング（ＲＩＥ）が使用される。このエッチング・ステップによって、側壁２１を有する開口部２０が形成されることに留意されたい。１つの開口部を有する構造が示されているが、本発明では複数のこうした開口部が形成される他の構造も企図される。こうした実施形態では、複数の第２のデバイス領域および複数の第１のデバイス領域を形成することができる。

【００５０】

エッチングの後、従来のレジスト・ストリップ・プロセスを利用して構造からマスクが除去され、露光された側壁２１上にライナまたはスペーサ２６が形成される。ライナまたはスペーサ２６は、たとえば酸化物、窒化物、酸窒化物、またはそれらの任意の組み合わせなどの絶縁材料からなる。開口部２０の各側壁２１上に形成されたライナまたはスペーサ２６を含む構造が、図８に示される。

【００５１】

ライナまたはスペーサ２６の形成後、第１の半導体層１２の露光面上に半導体材料２８が形成される。本発明によれば、半導体材料２８は、第１の半導体層１２の結晶学的向きと同じ結晶学的向きを有する。結果として生じる構造が、たとえば図９に示される。

【００５２】

半導体材料２８は、選択的エピタキシャル成長方法を利用して形成することが可能な、Ｓｉ、ひずみＳｉ、ＳｉＧｅ、ＳｉＣ、ＳｉＧｅＣ、またはそれらの組み合わせなどの、任意のＳｉ含有半導体を含むことができる。いくつかの好ましい実施形態では、半導体材料２８はＳｉからなる。他の好ましい実施形態では、半導体材料は、緩和（relaxed）ＳｉＧｅ合金層の上に位置するひずみＳｉ層である。本発明では、半導体材料２８は再成長半導体材料または層と呼ぶ場合がある。

【００５３】
次に、図９に示される構造には、半導体材料２８の上面がパッド・スタック１８の上面とほぼ平面になるように、化学機械研磨（ＣＭＰ）または研削などの平坦化プロセスが施される。第１の平坦化プロセスが実行された後に形成される結果として生じる構造は、たとえば図１０に示される。
【００５４】
第１の平坦化ステップの後、図１１に示されるプレーナ構造を提供するために、第２の平坦化ステップが実行される。図１１に示される構造では、第２の平坦化プロセスが構造からパッド・スタック１８を除去する。図１１に示される例示的構造では、再成長半導体材料２８が、第２の半導体層１６の上面と同一平面上にある上面を有する。したがって、これらの平坦化ステップは、プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが構築可能なアクティブ・デバイス領域２２、２４を露光する。
【００５５】
図１２は、酸素イオンが豊富な注入領域３２を構造内に形成するように酸素イオン３０が構造内に注入される、オプションであるがかなり好適な本発明のステップを示す。オプションの注入は、約10^{15}から約5×10^{17}原子／cm^2の酸素イオン線量を使用するイオン注入によって実行される。本発明で採用されるイオン線量は、後続の高温アニーリング・ステップ中に埋没酸化物領域に変換可能な、十分な濃度の酸素イオンを有する注入領域３２を形成するのに十分なはずである。注入領域３２は、通常、第２の半導体層１６および再成長半導体層２８の両方で形成される。いくつかの実施形態では、酸素イオンが第２の半導体層１６または再成長半導体層２８のいずれかに注入されるように、マスク・イオン注入プロセスを使用することができる。後の実施形態では、構造内に選択的な埋没酸化物領域３４を形成するための手段を提供することができる。酸素イオンについて説明および図示しているが、後で埋没絶縁領域に変換するためのイオン注入リッチ領域を形成する際に使用可能な他のイオンが採用可能である。
【００５６】
図１３は、高温アニーリング・ステップが実行された後に形成される構造を示す。図１３に示される構造では、参照番号３４は、形成される埋没酸化物領域を表す。埋没酸化物領域３４の存在により、デバイス領域２２および２４の両方がＳＯＩ状であることが保証されることに留意されたい。高温アニーリング・ステップは、Ｈｅ、Ａｒ、N_2、Ｘｅ、Ｋｒ、Ｎｅ、またはそれらの混合物などの不活性環境、あるいは、たとえばO_2、ＮＯ、N_2O、オゾン、空気、または他の酸素含有環境などの少なくとも１つの酸素含有ガスを含む酸化環境で、実施することができる。別の方法として、高温アニーリング・ステップで使用される環境は、酸素含有ガスおよび不活性ガスの混合物を含むことができる。ある環境が酸素含有ガスを含む場合、埋没酸化物領域３４は熱酸化物領域、および通常は構造の露光面の上から分割される表面酸化物を含む可能性がある。
【００５７】
埋没酸化物領域３４を形成する際に使用される高温アニーリング・ステップは、約１０００°から約１４００°Ｃの温度で実行され、さらに好ましい温度は約１２００°から約１３００°Ｃである。アニーリング・ステップは、通常は約６０から約３０００分の範囲の可変期間で実施することができる。アニーリング・ステップは、単一の目標温度で実行するか、または、様々なランプ（ramp）および浸漬（soak）の温度および時間を使用する様々なランプおよび浸漬サイクルを採用することができる。アニーリング・ステップは急速熱アニール（ＲＴＡ）とすることが可能であり、本明細書ではレーザ・アニールまたは電子ビームなどの他のエネルギー源も企図される。別の方法として、炉アニールも使用可能である。炉アニールが採用される場合、通常、アニーリング時間はＲＴＡよりも長い。
【００５８】
本発明では、図１１または図１３のいずれかに示されるハイブリッド基板が使用できることに留意されたい。図１３に示されたハイブリッド基板は、図１１と比べた場合、どちらのデバイス領域もＳＯＩ状であり、最上のデバイス領域が極薄半導体層１６または２８

を含むため、図１１に示されたハイブリッド基板よりも好適である。

【００５９】

図１６は、本発明のハイブリッド基板上に、トライゲートＭＯＳＦＥＴあるいはＦｉｎＦＥＴまたはその両方などの、プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴを製造した後に形成される、結果として生じる構造を示す。図１６では、参照番号５０は各デバイスのゲートを表し、参照番号５２はプレーナあるいは複数ゲートまたはその両方のデバイスを表す。本発明によれば、（１００）表面方向を有する半導体表面（１６、２８）上にｎデバイスが形成され、（１１０）表面方向を有する半導体表面（１６、２８）上にｐデバイスが形成される。さらに、ｎＦＥＴおよびｐＦＥＴの両方のゲートが同じ方向に配向される。ハイブリッド配向基板は、ｎデバイスのゲートは、すべてのチャネルが（１００）表面上（Ｆｉｎの上面および両側面上）にあるように＜１００＞方向に配向され、ｐデバイスのゲートは、すべてのチャネルが（１１０）表面上（Ｆｉｎの上面および両側面上）にあるように＜１１０＞方向に配向されるように作成されている。このプロセスを使用すると、すべてのデバイス・チャネルが高移動度面上にあり、ゲートが同じ方向に配向されるように、高移動度デバイスを構築することが可能である。プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴは、当業者に周知の技法を使用して製造される。

【００６０】

たとえば、米国特許出願公開第２００４　０２６６０７６Ａ１号に開示されたプロセスを使用して、様々なデバイスを製造することができる。本明細書で使用可能な当該特許出願公開に記載されたプロセスは、ハイブリッド基板のＦｉｎＦＥＴ領域内に位置する少なくとも１つのパターン化ハード・マスクと、ハイブリッド基板のトライゲート領域内に位置する少なくとも１つのパターン化ハード・マスクとを提供するステップと、トライゲート領域を保護し、当該ＦｉｎＦＥＴ領域内の少なくとも１つのパターン化ハード・マスクをトリミングするステップと、埋没絶縁層１４または埋没酸化物領域３４の表面上に留まるハード・マスクによって保護されない最上位半導体層１６、２８の露光部分をエッチングするステップであって、当該エッチングはＦｉｎＦＥＴアクティブ・デバイス領域およびトライゲート・アクティブ・デバイス領域を画定し、当該ＦｉｎＦＥＴアクティブ・デバイス領域はトライゲート・アクティブ・デバイス領域に対して垂直である、エッチングするステップと、ＦｉｎＦＥＴアクティブ・デバイス領域を保護し、トライゲート・デバイス領域の高さがＦｉｎＦＥＴアクティブ・デバイス領域の高さよりも低くなるようにトライゲート・アクティブ・デバイス領域を薄くするステップと、トライゲート・デバイス領域の露光された水平面上にゲート誘電体を形成しながら、ＦｉｎＦＥＴアクティブ・デバイス領域の露光された各垂直面上にゲート誘電体を形成するステップと、ゲート誘電体の露光された各表面上にパターン化ゲート電極を形成するステップと、を含む。

【００６１】

ＦｉｎＦＥＴおよびトライゲート・デバイス領域内に存在する様々な材料および構成要素は良く知られているため、本明細書では同様の内容に関する詳細な説明は行わない。たとえば各デバイスは、酸化物、窒化物、酸窒化物、またはそれらの任意の組み合わせを含む可能性のあるゲート誘電体を含む。好ましくは、ゲート誘電体は、SiO_2、Al_2O_2、ペロブスカイト酸化物、または他の同様の酸化物などであるが、これらに限定されない、酸化物である。ゲート誘電体は、熱酸化、窒化、または酸窒化プロセスを利用して形成することができる。ＦｉｎＦＥＴアクティブ・デバイスは半導体層、すなわち１６または３８のうちの１つの露光された垂直面上に形成された２つのゲート誘電体を含むことになる一方で、複数ゲート・デバイスは複数のゲート誘電体を有することができることに留意されたい。

【００６２】

各タイプのデバイスにはゲート導体（conductor）も存在する。ゲート導体は、たとえば化学気相堆積（ＣＶＤ）、プラズマ・アシストＣＶＤ、蒸発、スパッタリング、化学溶液堆積、または原子層堆積などの、従来の堆積プロセスを利用して形成することができる

。ゲート導体は、ポリＳｉ、Ｗなどの元素金属、１つまたは複数の元素金属を含む合金、ケイ化物、あるいは、たとえばポリＳｉ／Ｗまたはケイ化物などのそれらのスタック組み合わせを含むことができる。

【００６３】

以上、すべてのチャネルが高移動度面上でゲートと同じ方向に配向される、ＦｉｎＦＥＴおよびトライゲートＭＯＳＦＥＴなどの、プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴを作るための、基板構造およびこれを製造する方法について説明してきた。

【００６４】

様々な注入は、たとえば、ウェル注入、ソース／ドレイン拡張注入、ハロー注入、ソース／ドレイン拡散注入、ゲート注入、およびその他を含む、ゲートの形成前または後のいずれかに実行することができる。さらに本発明の構造は、従来の手段によって形成される隆起／ソース・ドレイン領域も含むことができる。現時点の本発明では、たとえばＢＥＯＬ（バックエンド・プロセス）処理などの他の処理も採用することができる。

【００６５】

本発明は、特に好ましい諸実施形態に関して図示および説明しているが、当業者であれば、本発明の趣旨および範囲から逸脱することなく、形式および細部において前述および他の変更が可能であることを理解されよう。したがって、本発明は説明および図示された正確な形式および細部に限定されるものではないが、添付の特許請求の範囲の範囲内にあることが意図される。

【図面の簡単な説明】

【００６６】

【図１】標準の半導体ウェハ上に製造されるトライゲート構造を示す絵画図である。

【図２】標準の半導体ウェハ上に製造されるトライゲート構造を示す絵画図である。

【図３】標準の半導体ウェハ上に製造されるトライゲート構造を示す絵画図である。

【図４】標準の半導体ウェハ上に製造されるトライゲート構造を示す絵画図である。

【図５】プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが構築される高移動度面を有するハイブリッド基板を製造するために本発明で使用される基本的な処理ステップを示す、（断面図を介した）絵画図である。

【図６】プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが構築される高移動度面を有するハイブリッド基板を製造するために本発明で使用される基本的な処理ステップを示す、（断面図を介した）絵画図である。

【図７】プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが構築される高移動度面を有するハイブリッド基板を製造するために本発明で使用される基本的な処理ステップを示す、（断面図を介した）絵画図である。

【図８】プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが構築される高移動度面を有するハイブリッド基板を製造するために本発明で使用される基本的な処理ステップを示す、（断面図を介した）絵画図である。

【図９】プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが構築される高移動度面を有するハイブリッド基板を製造するために本発明で使用される基本的な処理ステップを示す、（断面図を介した）絵画図である。

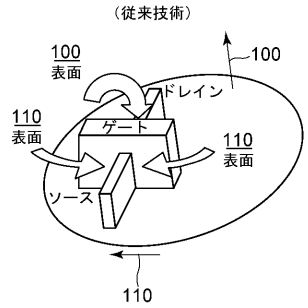
【図１０】プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが構築される高移動度面を有するハイブリッド基板を製造するために本発明で使用される基本的な処理ステップを示す、（断面図を介した）絵画図である。

【図１１】プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが構築される高移動度面を有するハイブリッド基板を製造するために本発明で使用される基本的な処理ステップを示す、（断面図を介した）絵画図である。

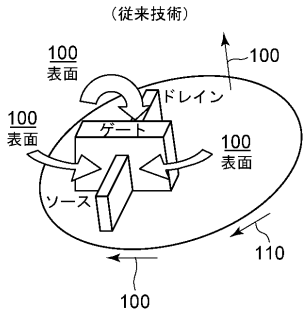
【図１２】プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが構築される高移動度面を有するハイブリッド基板を製造するために本発明で使用される基本的な処理ステップを示す、（断面図を介した）絵画図である。

【図１３】プレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴが構築される高移動度面を有するハイブリッド基板を製造するために本発明で使用される基本的な処理ステップを示す、（断面図を介した）絵画図である。
【図１４】本発明で採用可能な初期基板を示す、（３Ｄ側面図を介した）絵画図である。
【図１５】本発明で採用可能な初期基板を示す、（３Ｄ側面図を介した）絵画図である。
【図１６】本発明のハイブリッド基板上にプレーナあるいは複数ゲートまたはその両方のＭＯＳＦＥＴを製造した後に形成される構造を示す、（トップダウン図を介した）絵画図である。

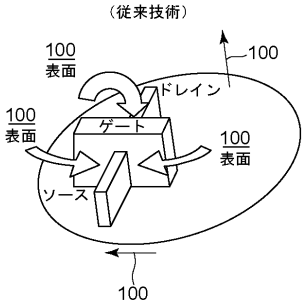
【図１】



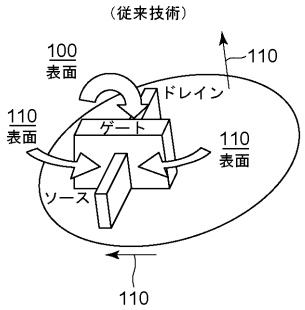
【図２】



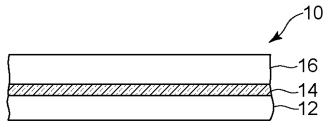
【図３】



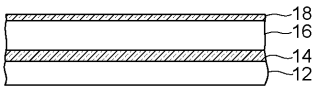
【図４】



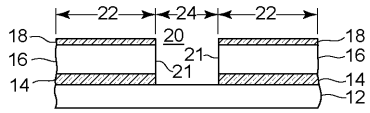
【図５】



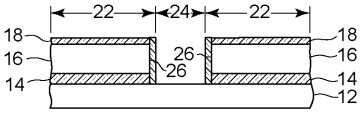
【図６】



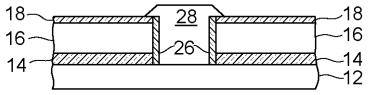
【図７】



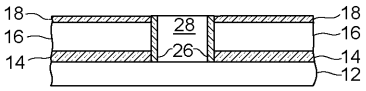
【図８】



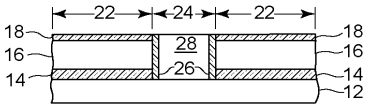
【図９】



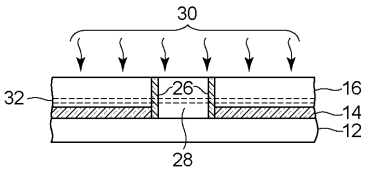
【図１０】



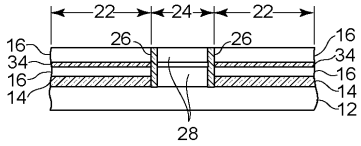
【図１１】



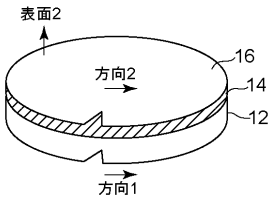
【図１２】



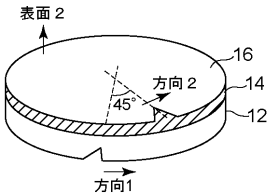
【図１３】



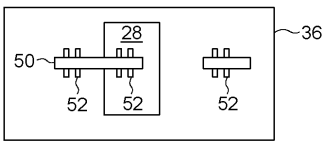
【図１４】



【図１５】



【図１６】



フロントページの続き

(51)Int.Cl. FI

H01L	21/265	602C
H01L	21/265	602A
H01L	21/265	602Z
H01L	27/12	B
H01L	27/12	E

(72)発明者 ドリス、ブルース、ビー
アメリカ合衆国10509 ニューヨーク州ブルースター レイク・ショア・ドライヴ350
(72)発明者 ユン、メイケイ
アメリカ合衆国12590 ニューヨーク州ワッピンガーズ・フォールズ サマーリン・コート31
(72)発明者 ノーヴァク、エドワード、ジェイ
アメリカ合衆国05452 ヴァーモント州エセックス・ジャンクション ウィンドリッジ・ロード8
(72)発明者 ヤン、ミン
アメリカ合衆国10598 ニューヨーク州ヨークタウン・ハイツ ゴーマー・ストリート2970

審査官 萩原 周治

(56)参考文献 特開平04－372166（JP, A）
特開平05－090117（JP, A）
特開平05－094928（JP, A）
特開平08－017694（JP, A）
特開2000－243944（JP, A）

(58)調査した分野(Int.Cl., DB名)

H01L 27／12
H01L 21／02
H01L 21／26－21／268
H01L 21／322－21／326
H01L 21／336
H01L 21／70－21／74
H01L 21／76－21／765
H01L 21／77
H01L 29／786