

公告本

申請日期	90 年 3 月 14 日
案 號	90105993
類 別	H01L >1/00

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 478027		
一、發明 名稱	中 文	功率半導體裝置
	英 文	
二、發明 創作人	姓 名	(1) 米田辰雄
	國 籍	(1) 日本 (1) 日本國神奈川縣横浜市港北區太尾町一五六東 芝公寓四-四三一
	住、居所	
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國神奈川縣川崎市幸區川町七二番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 岡村正

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權

日本 2000 年 3 月 24 日 2000-085422 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝訂線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

【發明所屬之技術領域】

本發明係關於功率半導體裝置，尤其關於被使用於電力用之電壓驅動型之功率 M O S F E T 。

【習知技術】

上述電壓驅動型之功率 M O S F E T (M O S 型電場效果電晶體)，係一般作為驅動用之開關所使用。例如，車載用之 A B S 泵馬達驅動用開關等係其代表性用途。

上述泵馬達驅動用之開關，係一般為對於複數 M O S F T 閘，安裝有控制閘電位之控制用 I C。並且，構成具有這種開關之泵馬達驅動電路。按，也具有內藏控制用 I C 之 I P D (Intelligent Power Device)、I P M (Intelligent Power Module)。

以往，於這種電路構成，係控制用 I C 由於某種理由受到破壞，或發生不妥情形時，M O S F E T 之閘電位變成未被固定之狀態 (浮動狀態)，而導致不完全之 O N 狀態。所謂不完全之 O N 狀態，係複數 M O S F E T 之中，具有會 O N 之元件與不會 O N 之元件。

像這樣，若發生會 O N 之元件與不會 O N 之元件時，電流就集中流動於變成 O N 狀態之元件，致使發生將其元件到達熱破壞之不良。若元件受到熱破壞時，將對於泵馬達承受全功率，也具有破壞馬達之危險性。

又，此元件破壞在常溫不容易發生，到被破壞經常持續維持不安定之狀態。因此，於車載用等之高溫下要求可

五、發明說明 (2)

靠性之用途，必須解決這種問題。

作為解決措施，可考慮採用內藏簡單電路之 I P D 、 I P M 等。

【發明所欲解決之問題】

然而，若採用上述 I P D 、 I P M 等時，成本效率就變壞。

於是，本發明係鑑於上述問題所開發者，其目的係提供一種不必增加零件件數，並且不必採用導致成本偏高之 I P D 、 I P M 等，藉內藏具有功率 M O S F E T 之半導體裝置之簡單電路，即使變成功率 M O S F E T 之閘電位未被固定之狀態時，也可防止功率 M O S F E T 受到熱破壞之具有功率 M O S F E T 之半導體裝置。

【解決問題之手段】

為了達成上述目的，關於本發明之功率半導體裝置，其特徵為，具有：形成於半導體基板上，具有閘、源極、及汲極之電壓驅動型之功率 M O S F E T 、與形成於上述半導體基板上，上述功率 M O S F E T 之上述汲極與上述源極間之電壓供給於其兩端，被串聯連接之第 1 電阻及齊納二極體、與形成於上述半導體基板上，上述功率 M O S F E T 之上述閘與上述源極間之電壓供給於兩端之第 2 電阻、與形成於上述半導體基板上，上述功率 M O S F E T 之上述閘與上述源極間之電壓供給於兩端，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

具有被串聯連接之第 3 電阻及閘、源極、汲極之 M O S 電晶體，上述第 1 電阻與齊納二極體之連接點，為連接於上述 M O S 電晶體之閘。

【發明之實施形態】

茲參照圖式就本發明之實施形態說明如下。

第 1 圖係表示本發明實施形態之功率半導體裝置之構成之電路圖。

此功率半導體裝置，係由 n 頻道之功率 M O S F E T (M O S 型電場效果電晶體) 1 1 、主動箝位二極體 (active clamp diode) 1 2 、閘保護用二極體 1 3 、齊納二極體 1 4 、橫型 n 頻道 M O S 電晶體 1 5 、及電阻 R 1 、 R 2 、 R 3 所構成。

在上述功率 M O S F E T 1 1 之汲極連接汲極端子 D T ，在功率 M O S F E T 1 1 之閘連接有閘端子 G T 、功率 M O S F E T 1 1 之源極連接有源極端子 S T 。

上述汲極端子 D T 與閘端子 G T 之間連接有主動箝位二極體 1 2 。又，汲極端子 D T 與源極端子 S T 之間，串聯地連接有電阻 R 1 與齊納二極體 1 4 。

又，在閘端子 G T 與源極端子 S T 之間連接有電阻 R 2 。並且，閘端子 G T 與源極端子 S T 之間連接有串聯地連接之電阻 R 3 與 n M O S 電晶體 1 5 ，並且，連接有閘保護用二極體 1 3 。又，在上述電阻 R 1 與齊納二極體 1 4 之連接點，連接有 n M O S 電晶體 1 5 之閘。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

按，上述 n M O S 電晶體 1 5 之閾值電壓，係較 7 V 為低。又，上述主動箝位二極體 1 2 之破壞 (breakdown) 電壓為 $V_Z = 3.3\text{ V} \sim 4.3\text{ V}$ 。

於此功率半導體裝置，控制 M O S F E T 1 1 之閘電位位於外部之控制用 I C 受到破壞，當 M O S F E T 之閘變成浮動狀態時，若 M O S F E T 未被驅動時，上述問題亦即可解決 M O S F E T 受到破壞之問題。於此，此實施形態，係對於閘連接有可變電阻裝置。

茲將驅動車載用之 A B S 泵馬達之開關為例說明電路動作如下。

首先，控制 M O S F E T 1 1 之閘電位之控制用 I C 受到破壞，就 M O S F E T 1 1 之閘變成浮動狀態之情形說明如下。

於上述開關，當 M O S F E T 1 1 為 O N 時，汲極與源極間施加 1 4 V 之電池電壓。M O S F E T 1 1 為 O N 時，亦即，閘電位為 M O S F E T 之閾值電壓以上時，閘變成浮動狀態時，變成如下。

此時，電阻 R 1 及齊納二極體 1 4，將流動 $7\text{ }\mu\text{ A}$ 之電流。按，電阻 R 1 之電阻值係 $1\text{ M}\Omega$ 左右。齊納二極體 1 4 之破壞電壓為 $Z = 7\text{ V}$ 。因此，在電阻 R 1 與齊納二極體 1 4 間之連接點將發生 7 V 之電壓。

當上述連接點之電壓供給於 n M O S 電晶體 1 5 之閘時，因 n M O S 電晶體 1 5 之閾值電壓為低於 7 V，所以 n M O S 電晶體 1 5 就 O N。藉此，連接於閘端子 G T 與

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (5)

源極端子 S T 間之電阻 R 3 就會流動電流。電阻 R 3 之電壓值為 2 0 K Ω ~ 1 0 0 K Ω 左右，而屬於低電阻。因此，M O S F E T 1 1 之閘電位就降低，而被固定於閾值電壓以下。藉此，倘若 M O S F E T 1 1 之閘變成浮動狀態時，就可防止以微電流使 M O S F E T 1 1 變成 O N。

茲就以控制用 I C 控制 M O S F E T 1 1 之閘電位，使 M O S F E T 1 1 變成 O N 之情形說明如下。

當閘電位為 M O S F E T 1 1 之閾電壓以上時，電流就流動於連接於閘端子 G T 與源極端子 S T 間之電阻 R 2。電阻 R 2 之電阻值為 2 M Ω 之低電阻。因此，M O S F E T 1 1 之閘電位就不降低，而被固定於較閾值電壓更高之電壓。藉此，來控制 M O S F E T 1 1 之閘電位，欲使 M O S F E T 1 1 變成 O N 時，就可用微少電流使 M O S F E T 1 1 變成 O N。

如以上所說明於此實施形態，不必增加零件件數，又不必採用導致成本偏高之 I P D、I P M 等，因內藏具有功率 M O S F E T 之半導體裝置之簡單電路，若功率 M O S F E T 之閘電位未被固定之狀態時，可防止功率 M O S F E T 受到熱破壞。

茲就本發明之實施形態之功率半導體裝置之 M O S F E T 1 1 與橫型 n 頻道 M O S 電晶體 1 5 之構造說明如下。

第 2 圖係表示上述 M O S F E T 1 1 與 n 頻道 M O S 電晶體 1 5 構造之模式剖面圖。於此，在

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (6)

M O S F E T 1 1 係使用溝渠型。

如第 2 圖所示，在 n^+ 半導體基板 2 1 一方之面上，形成有 n^- 磊晶層 2 2。在此 n^- 磊晶層 2 2 上形成有 p 基礎層 2 3。

在 n^- 磊晶層 2 2 及 p 基礎層 2 3，形成溝渠，在此溝渠內形成有閘絕緣膜 2 4 及閘 2 5。在閘 2 5，連接有閘端子 G T。例如，上述閘絕緣膜 2 4 係使用矽氧化膜，閘 2 5 係使用聚矽。

在上述閘絕緣膜 2 4 附近之 p 基礎層 2 3 內，形成有 n^+ 源極層 2 6，在此 n^+ 源極層 2 6 上形成有源極電極 2 7。在源極電極 2 7 連接有接地之源極端子 S T。例如在上述源極電極 2 7 係使用鋁等之金屬材。以上為

M O S F E T 1 1 之構造。接著，上述橫型 n 頻道 M O S 電晶體 1 5 係具有以下之構造。

在 p 基礎層 2 3 上形成有矽氧化膜（例如 $S i O_2$ ）2 8。在此矽氧化膜 2 8 上形成有 n^+ 汲極層 2 9、 n^+ 源極層 3 0、及 p $^-$ 層 3 1。 n^+ 汲極層 2 9、 n^+ 源極層 3 0、及 p $^-$ 層 3 1 係使用聚矽。

並且，在 n^+ 汲極層 2 9，形成有汲極電極 3 2，在此汲極電極 3 2 連接電阻 R 3 之一端。在 n^+ 源極層 3 0 形成源極電極 3 3，在此源極電極 3 3 連接有源極端子 S T。例如，上述汲極電極 3 2 及源極電極 3 3 係使用鋁等金屬材。

又，在 p $^-$ 層 3 1 上形成有閘絕緣膜（例如 $S i O_2$ ）

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (7)

3 4，在此閘絕緣膜 3 4 上形成有閘電極 3 5。對於閘電極 3 5 連接於上述電阻 R 1 與齊納二極體 1 4 之連接點。例如，在上述閘電極 3 5 係使用鋁等之金屬材。又， n^+ 半導體基板，連接汲極端子 D T。

關於其他連接係與第 1 圖所示之電路圖相同。

如上述，於此實施形態，爲了將切換功率 MOS FET 1 1 之閘與源極間之電阻值所用之 n MOS 電晶體 1 5 之半導體層（活性層），係使用配置於氧化膜上之聚矽形成。

藉此，就不需要元件分離等之技術，電路可簡化。

按，即使不固定以聚矽所形成之 n MOS 電晶體 1 5 之 p^+ 領域之電位，已確認經實驗此 n MOS 電晶體 1 5 會動作。

於本發明之特徵爲，施加於功率 MOS FET 之閘之電壓閾值電壓以下時使閘與源極間之電阻值變小，所施加之電壓爲較閾值電壓爲高時係具有閘與源極間之電阻值變大的可變電阻電路。

藉此，電壓驅動型之功率電晶體之閘電位不能任意固定時，例如控制閘電位之 IC 不發生作用時，或閘變成開放時，就可構成防止功率電晶體之破壞之保護電路。

又，切換可變電阻電路之電阻值之開關用之橫型 n MOS 電晶體 1 5 因使用聚矽形成，就可簡化電路。

又，於本發明在使用電壓驅動型之功率電晶體之馬達驅動電路應用，當功率電晶體之閘電位陷入於浮動狀態

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (8)

時，就可防止在元件流動超電流所發生之熱破壞。

【發明效果】

如以上所說明，若依據本發明，不必增加零件件數，又不必採用導致成本偏高之 I P D、I P M 等，藉具有功率 M O S F E T 之半導體裝置內藏簡單之電路，若功率 M O S F E T 之閘電位未被固定之狀態時，就可提供防止功率 M O S F E T 受到熱破壞之具有功率 M O S F E T 之半導體裝置。

圖式之簡單說明

第 1 圖係表示本發明實施形態之功率半導體裝置之構成之電路圖。

第 2 圖係表示本發明實施形態之功率半導體裝置之功率 M O S F E T 與橫型 n M O S 電晶體構造之模式性剖面圖。

【符號之說明】

1 1：n 頻道之功率 M O S F E T (M O S 型電場效果電晶體)，

1 2：主動箝位二極體，

1 3：閘保護用二極體，

1 4：齊納二極體，

1 5：橫型 n 頻道 M O S 電晶體，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (9)

- R 1 、 R 2 、 R 3 : 電阻 ,
- D T : 汲極端子 ,
- G T : 閘端子 ,
- S T : 源極端子 ,
- 2 1 : n⁺半導體基板 ,
- 2 2 : n⁻磊晶層 ,
- 2 3 : p 基礎層 ,
- 2 4 : 閘絕緣膜 ,
- 2 5 : 閘 ,
- 2 6 : n⁺源極層 ,
- 2 7 : 源極電極 ,
- 2 8 : 矽氧化膜 (例如 S i O₂) ,
- 2 9 : n⁺汲極 ,
- 3 0 : n⁺源極層 ,
- 3 1 : p 層 ,
- 3 2 : 汲極電極 ,
- 3 3 : 源極電極 ,
- 3 4 : 閘絕緣膜 (例如 S i O₂) ,
- 3 5 : 閘電極。

四、中文發明摘要 (發明之名稱： 功率半導體裝置)

本發明係提供一種功率半導體裝置，其係若功率 MOSFET 之閘電位變成未被固定之狀態時，可防止功率 MOSFET 受到熱破壞。

本發明之解決手段，係在功率 MOSFET 11 之汲極與源極之間，具有：被串聯連接之電阻 R 1 及齊納二極體 (Zener diode) 14，與電阻 R 1，與連接於功率 MOSFET 11 之閘與源極之間之電阻 R 2，與在功率 MOSFET 11 之閘與源極之間，成串聯連接之電阻 R 3 及功率 MOS 電晶體 15，電阻 R 1 與齊納二極體 14 之連接點為連接於 MOS 電晶體 15 之閘。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

六、申請專利範圍

1 . 一種功率半導體裝置，其特徵為具有：

功率 M O S F E T：形成於半導體基板上，具有閘、源極、及汲極之電壓驅動型，與

第 1 電阻及齊納二極體：形成於上述半導體基板上，在上述功率 M O S F E T 之上述汲極與上述源極間之電壓為供給於其兩端，成串聯連接，

第 2 電阻：形成於上述半導體基板上，上述功率 M O S F E T 之上述閘與上述源極間之電壓為供給於兩端，與 M O S 電晶體：形成於上述半導體基板上，在上述功率 M O S F E T 之上述閘與上述源極間之電壓為供給於其兩端，具有被串聯連接之第 3 電阻及閘、源極、汲極，上述第 1 電阻與齊納二極體之連接點為連接於上述 M O S 電晶體之閘。

2 . 如申請專利範圍第 1 項之功率半導體裝置，其中上述第 3 電阻係較上述第 2 電阻更小之電阻值。

3 . 如申請專利範圍第 1 項之功率半導體裝置，其中再具有上述功率 M O S F E T 之上述閘與上述源極間之電壓為供給於其兩端之閘保護用之二極體。

4 . 如申請專利範圍第 1 項之功率半導體裝置，其中上述功率 M O S F E T，係對於上述半導體基板向垂直方向，排列有上述汲極與上述源極之縱型之電晶體，上述 M O S 電晶體，係對於上述半導體基板向水平方向，排列有上述汲極與上述源極之橫型之電晶體。

5 . 如申請專利範圍第 4 項之功率半導體裝置，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

上述 M O S 電晶體之活性層，係由聚矽所形成。

6 . 如申請專利範圍第 5 項之功率半導體裝置，其中上述聚矽，係形成於絕緣膜之表面上。

7 . 如申請專利範圍第 6 項之功率半導體裝置，其中上述絕緣膜，係矽氧化膜。

(請先閱讀背面之注意事項再填寫本頁)

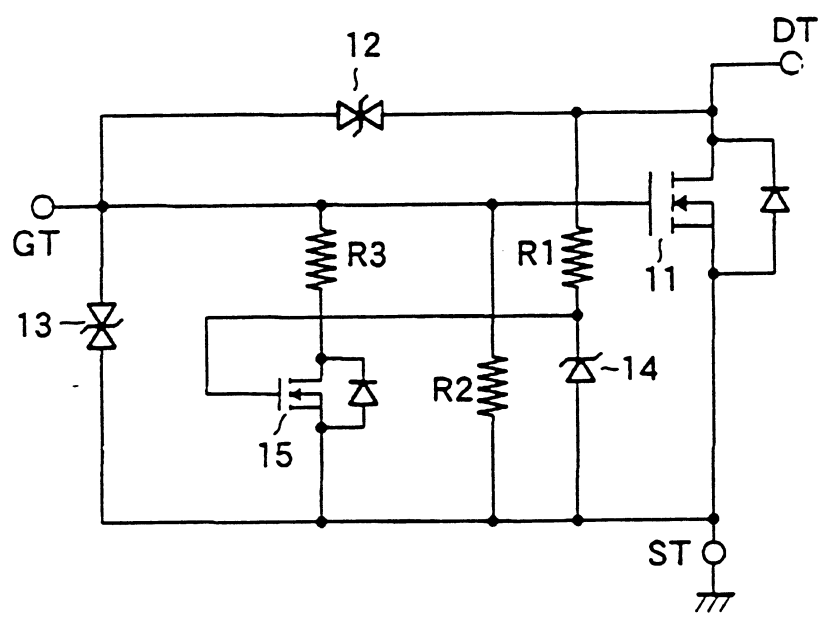
裝

訂

線

第 1 圖

740109



第 2 圖

