(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4708384号
(P4708384)
(45)発行日　平成23年6月22日(2011.6.22)　(24)登録日　平成23年3月25日(2011.3.25)

(51)Int.Cl.　　F I
H03F 1/26 (2006.01)　　H03F 1/26
H03G 3/10 (2006.01)　　H03G 3/10　A

請求項の数 5　(全 12 頁)

(21)出願番号　特願2007-111537(P2007-111537)
(22)出願日　平成19年4月20日(2007.4.20)
(65)公開番号　特開2008-271202(P2008-271202A)
(43)公開日　平成20年11月6日(2008.11.6)
審査請求日　平成21年8月14日(2009.8.14)

(73)特許権者　302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部１７５３番地
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　五十嵐　豊
神奈川県横浜市戸塚区吉田町２９２番地
株式会社日立製作所　ユビキタスプラットフォーム開発研究所内
(72)発明者　山本　昭夫
神奈川県横浜市戸塚区吉田町２９２番地
株式会社日立製作所　ユビキタスプラットフォーム開発研究所内

審査官　宮本　秀一

最終頁に続く

(54)【発明の名称】利得切替付低雑音増幅回路

(57)【特許請求の範囲】
【請求項１】
ＲＦ信号の入力端子と、
前記入力端子からの信号がベースに入力されるトランジスタＣと、
前記トランジスタＣのベースに抵抗を介して接続され、前記トランジスタＣをオン状態にする第１のバイアス回路と、
同一サイズ、同一形状、同一特性からなる、Ａ１～ＡＮ（Ｎは２以上の自然数）の第１のトランジスタ群およびＢ１～ＢＮの第２のトランジスタ群と、
前記第１のトランジスタ群および前記第２のトランジスタ群のそれぞれのベースに接続され、それぞれグランドにＲＦ信号の周波数帯で交流的に短絡する第１の容量および第２の容量と、
前記第１のトランジスタ群および前記第２のトランジスタ群のそれぞれのベースに接続される第１の抵抗および第２の抵抗と、
前記第１の抵抗および前記第２の抵抗をそれぞれ介して前記第１のトランジスタ群および前記第２のトランジスタ群をオン状態にする第２のバイアス回路と、
前記第１のトランジスタ群のＡ１～ＡＮのＮ個と、前記第２のトランジスタ群のＢ１～ＢＸのＸ個（ＸはＮより小さい自然数）のトランジスタのコレクタと直流電源との間に接続されるインダクタと、
前記第１のトランジスタ群のベース－エミッタ間を前記第１の抵抗を介して短絡するか、前記第２のバイアス回路に接続する第１のスイッチと、

前記第２のトランジスタ群のベース－エミッタ間を前記第２の抵抗を介して短絡するか、前記第２のバイアス回路に接続する第２のスイッチと、
前記第１のスイッチおよび前記第２のスイッチを排他的にオンオフする利得切替制御端子と、
前記第１のトランジスタ群のコレクタに接続される出力端子と、を有し、
前記第２のトランジスタ群のＢＸ＋１～ＢＮのＮ－Ｘ個のトランジスタのコレクタは前記直流電源に接続され、
前記第１のトランジスタ群のＡ１～ＡＮのトランジスタのエミッタは短絡して前記トランジスタＣのコレクタに接続され、
前記第２のトランジスタ群のＢ１～ＢＸのＸ個のトランジスタのエミッタは短絡して接続され、
前記第２のトランジスタ群のＢＸ＋１～ＢＮのＮ－Ｘ個のトランジスタのエミッタは短絡して接続される利得切替付低雑音増幅回路であって、
前記第２のトランジスタ群のＢ１～ＢＸのＸ個のトランジスタのエミッタと、前記トランジスタＣのコレクタとの間に接続される抵抗Ｂ１と、
前記第２のトランジスタ群のＢＸ＋１～ＢＮのＮ－Ｘ個のトランジスタのエミッタと、前記トランジスタＣのコレクタとの間に接続され、前記抵抗Ｂ１のＸ／（Ｎ－Ｘ）倍の抵抗値からなる抵抗Ｂ２と、を有することを特徴とする利得切替付低雑音増幅回路。

【請求項２】
入力端子と、
前記入力端子から入力された電圧信号を入力として電流信号を出力する電圧入力電流出力増幅器と、
電流信号を入力として電流信号を出力する第１の電流入力電流出力増幅器、第２の電流入力電流出力増幅器および第３の電流入力電流出力増幅器と、
第１のスイッチ、第２のスイッチおよび第３のスイッチと、
利得切替制御端子と、
前記第１の電流入力電流出力増幅器および前記第２の電流入力電流出力増幅器の出力電流信号の加算値を電圧信号に変換する電流電圧変換器と、
前記電流電圧変換器の出力電圧を出力する出力端子と、を有する利得切替付低雑音増幅回路であって、
抵抗値の比が（Ｎ－Ｘ）：Ｎ（Ｎは２以上の自然数、ＸはＮより小さい自然数）である第１の抵抗および第２の抵抗を有し、
前記利得切替制御端子からの信号が高利得モードの場合、前記電圧入力電流出力増幅器の電流出力は前記第１のスイッチを経て前記第１の電流入力電流出力増幅器の電流入力端子へ入力され、
前記利得切替制御端子からの信号が低利得モードの場合、前記電圧入力電流出力増幅器の電流出力のＸ／Ｎ倍の電流は前記第１の抵抗を介して前記第２のスイッチへ入力され、さらにその後段にある前記第２の電流入力電流出力増幅器の電流入力端子へ入力され、
また、前記利得切替制御端子からの信号が低利得モードの場合、前記電圧入力電流出力増幅器の電流出力の（Ｎ－Ｘ）／Ｎ倍の電流は前記第２の抵抗を介して前記第３のスイッチへ入力され、さらにその後段にある前記第３の電流入力電流出力増幅器の電流入力端子へ入力されることを特徴とする利得切替付低雑音増幅回路。

【請求項３】
請求項２記載の利得切替付低雑音増幅回路において、
前記電圧入力電流出力増幅器は、前記入力端子からの信号がベースに入力されるトランジスタＣを含むことを特徴とする利得切替付低雑音増幅回路。

【請求項４】
請求項３記載の利得切替付低雑音増幅回路において、
前記第１の電流入力電流出力増幅器は、同一サイズ、同一形状、同一特性からなるＡ１～ＡＮ（Ｎは２以上の自然数）の第１のトランジスタ群を含み、

前記第２の電流入力電流出力増幅器は、同一サイズ、同一形状、同一特性からなるＢ１～ＢＮの第２のトランジスタ群のうち、Ｂ１～ＢＸのＸ個（ＸはＮより小さい自然数）のトランジスタを含み、

前記第３の電流入力電流出力増幅器は、前記第２のトランジスタ群のうち、ＢＸ＋１～ＢＮのＮ－Ｘ個のトランジスタを含むことを特徴とする利得切替付低雑音増幅回路。

【請求項５】

請求項４記載の利得切替付低雑音増幅回路において、

前記電流電圧変換器は、前記第１のトランジスタ群のＡ１～ＡＮのＮ個と、前記第２のトランジスタ群のＢ１～ＢＸのＸ個のトランジスタのコレクタと直流電源との間に接続されるインダクタを含むことを特徴とする利得切替付低雑音増幅回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、増幅回路の技術に関し、特に、利得切替機能を有し、増幅回路入力での信号対雑音比と増幅回路出力での信号対雑音比との比の小さいことが求められる低雑音増幅回路に適用して有効な技術に関するものである。

【背景技術】

【０００２】

本発明者が検討したところによれば、無線信号を受信する回路（以下、受信装置と記す）は、アンテナから入力した信号の信号対雑音比（以下、ＳＮＲと記す）をできるだけ低下することなく、またできるだけ信号を歪ませることなく、低い周波数に周波数変換し、所望のレベルまで増幅する回路である。このために、受信装置は、アンテナにできるだけ近い箇所に低雑音増幅回路（以下、ＬＮＡと記す）を設ける。

【０００３】

ＬＮＡは、（１）利得が高い、（２）ＬＮＡ入力での信号対雑音比とＬＮＡ出力での信号対雑音比との比（以下、雑音指数と記す）が小さい、（３）低歪み特性である、ということが求められる。アンテナから入力する微弱な無線信号を受信するためには、効率の良い電力伝達が必要なことから、（４）入出力でインピーダンス整合がとられている、ことも求められる。

【０００４】

しかし、受信装置では、ＬＮＡの後段にもミキサや増幅回路などがあることから、アンテナから強入力信号が入力された場合、ＬＮＡの利得が高い場合［上記（１）］、後段のミキサや増幅回路などで信号が歪んでしまい、所望の受信動作を行えないことになる。そこで、一般にＬＮＡは利得切替動作も行う必要がある。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

ところで、上記のようなＬＮＡについて、本発明者が本発明の前提として検討した利得切替付ＬＮＡの回路図を図３に示す。この利得切替付ＬＮＡは、入力端子ＬＮＡｉｎ、出力端子ＬＮＡｏｕｔ、利得切替付制御端子ＧａｉｎＣｔｒｌ、バイアス回路１０，２０、直流電源３０、抵抗Ｒ１～Ｒ３、容量Ｃ１，Ｃ２、インダクタＬ１，Ｌ２、スイッチＳＷ１，ＳＷ２、トランジスタＱ１，Ｑ１１～Ｑ１８，Ｑ２１～Ｑ２８などから構成される。図３では、トランジスタＱ１１～Ｑ１８，Ｑ２１～Ｑ２８は同一サイズ、同一形状、同一特性とし、バイアス回路１０，２０により、適切な動作をするように直流バイアス電圧を与えているものとする。即ち、直流電源３０は正電圧であり、

トランジスタＱ１１～Ｑ１８，Ｑ２１～Ｑ２８のベース電圧

＞トランジスタＱ１のベース電圧

であるとする。また、図３では、容量Ｃ１，Ｃ２は図３の利得切替付ＬＮＡでの所望信号周波数で、十分インピーダンスが低いものとする。

【０００６】

図３の利得切替付ＬＮＡは高利得モードと低利得モードとを有する。以下にその動作を説明する。

【０００７】

利得切替制御端子ＧａｉｎＣｔｒｌがＨｉｇｈ電圧の場合（高利得モード）、スイッチＳＷ１は抵抗Ｒ２をバイアス回路２０に接続し、スイッチＳＷ２は抵抗Ｒ３をトランジスタＱ１のコレクタに接続する。この時、トランジスタＱ１１～Ｑ１８の８つのトランジスタはオンし、トランジスタＱ２１～Ｑ２８の８つのトランジスタはオフする。トランジスタＱ１のコレクタ電流はトランジスタＱ１１～Ｑ１８の８つのトランジスタに流れる。

【０００８】

利得切替制御端子ＧａｉｎＣｔｒｌがＬｏｗ電圧の場合（低利得モード）、スイッチＳＷ１は抵抗Ｒ２をトランジスタＱ１のコレクタに接続し、スイッチＳＷ２は抵抗Ｒ３をバイアス回路２０に接続する。この時、トランジスタＱ１１～Ｑ１８の８つのトランジスタはオフし、トランジスタＱ２１～Ｑ２８の８つのトランジスタはオンする。トランジスタＱ１のコレクタ電流はトランジスタＱ２１～Ｑ２８の８つのトランジスタに等しく分配されて流れる。

【０００９】

入力端子ＬＮＡｉｎから入力された無線信号電圧は、トランジスタＱ１のベースバイアス電圧（直流）を変化させるため、トランジスタＱ１のコレクタ電流が変化する。また、トランジスタＱ１のエミッタ電圧はトランジスタＱ１のベース電圧とほぼ等しい電圧変化をする。トランジスタのベース－エミッタ間電圧をＶＢＥ１とすると、

トランジスタＱ１のベース電圧＝トランジスタＱ１のエミッタ電圧＋ＶＢＥ１

となる。両辺から直流電圧成分を引くと、

トランジスタＱ１のベース電圧変化　トランジスタＱ１のエミッタ電圧変化

となる。インダクタンスＬ２は負帰還をかけ、ＬＮＡの歪み特性を改善するために挿入される。この時、

トランジスタＱ１のエミッタ電圧変化

＝Ｌ２×ｄ（トランジスタＱ１のエミッタ電流変化）／ｄ（時間）

Ｌ２×ｄ（トランジスタＱ１のコレクタ電流変化）／ｄ（時間）

トランジスタＱ１のベース電圧変化

となる。

【００１０】

高利得モード時の場合、上記の理由でトランジスタＱ１のコレクタ電流はトランジスタＱ１１～Ｑ１８の８つのトランジスタに流れ、トランジスタＱ２１～Ｑ２８の８つのトランジスタはオフしているため、インダクタＬ１にはトランジスタＱ１のコレクタ電流に等しい電流が流れることになる。この時、

トランジスタＱ１１～Ｑ１８のコレクタ電圧変化

＝Ｌ１×ｄ（トランジスタＱ１１～Ｑ１８のコレクタ電流変化）／ｄ（時間）

＝Ｌ１×ｄ（トランジスタＱ１のコレクタ電流変化）／ｄ（時間）

であるから、

ＬＮＡの高利得モード時の利得

＝トランジスタＱ１１～Ｑ１８のコレクタ電圧変化

／トランジスタＱ１のベース電圧変化

Ｌ１／Ｌ２

と表すことができる。

【００１１】

低利得モード時の場合、トランジスタＱ１のコレクタ電流はトランジスタＱ２１～Ｑ２８の８つのトランジスタに流れ、トランジスタＱ１１～Ｑ１８の８つのトランジスタはオフしている。トランジスタＱ１１～Ｑ１８，Ｑ２１～Ｑ２８は同一サイズ、同一形状、同一特性であるから、インダクタＬ１にはトランジスタＱ１のコレクタ電流の１／８に等しい電流が流れる。この時、

トランジスタＱ２１のコレクタ電圧変化
＝Ｌ１×ｄ（トランジスタＱ２１のコレクタ電流変化）／ｄ（時間）
＝Ｌ１×ｄ（トランジスタＱ１のコレクタ電流変化）／ｄ（時間）／８
であるから、
ＬＮＡの低利得モード時の利得
＝トランジスタＱ２１のコレクタ電圧変化／トランジスタＱ１のベース電圧変化
Ｌ１／Ｌ２／８
と表すことができる。つまり、高利得モードと低利得モードとの利得差は１／８となり、およそ１８ｄＢの利得切替ステップ幅を実現できる。図３ではトランジスタＱ１１～Ｑ１８の８個、トランジスタＱ２１～Ｑ２８の８個で説明したが、これを異なる数にすれば、任意の整数比の利得切替ステップ幅を実現できる。

【００１２】

しかしながら、上記図３の利得切替付ＬＮＡは、利得切替制御端子ＧａｉｎＣｔｒｌがＨｉｇｈ電圧の場合、特に雑音指数が小さいことが求められるが、オフとなっているトランジスタＱ２１～Ｑ２８の影響により雑音指数が劣化してしまうという問題が発生する。

【００１３】

そこで、本発明の目的は、上記問題を解決して、雑音指数の劣化を抑えることができる利得切替付ＬＮＡを提供することにある。

【００１４】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【００１５】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１６】

本発明に関わる利得切替付ＬＮＡは、上記目的を達成するために以下のように構成するものである。

【００１７】

本発明に関わる利得切替付ＬＮＡは、ＲＦ信号の入力端子と、前記入力端子からの信号がベースに入力されるトランジスタＣと、前記トランジスタＣのベースに抵抗を介して接続され、前記トランジスタＣをオン状態にする第１のバイアス回路と、同一サイズ、同一形状、同一特性からなる、Ａ１～ＡＮ（Ｎは２以上の自然数）の第１のトランジスタ群およびＢ１～ＢＮの第２のトランジスタ群と、前記第１のトランジスタ群および前記第２のトランジスタ群のそれぞれのベースに接続され、それぞれグランドにＲＦ信号の周波数帯で交流的に短絡する第１の容量および第２の容量と、前記第１のトランジスタ群および前記第２のトランジスタ群のそれぞれのベースに接続される第１の抵抗および第２の抵抗と、前記第１の抵抗および前記第２の抵抗をそれぞれ介して前記第１のトランジスタ群および前記第２のトランジスタ群をオン状態にする第２のバイアス回路と、前記第１のトランジスタ群のＡ１～ＡＮのＮ個と、前記第２のトランジスタ群のＢ１～ＢＸのＸ個（ＸはＮより小さい自然数）のトランジスタのコレクタと直流電源との間に接続されるインダクタと、前記第１のトランジスタ群のベース－エミッタ間を前記第１の抵抗を介して短絡するか、前記第２のバイアス回路に接続する第１のスイッチと、前記第２のトランジスタ群のベース－エミッタ間を前記第２の抵抗を介して短絡するか、前記第２のバイアス回路に接続する第２のスイッチと、前記第１のスイッチおよび前記第２のスイッチを排他的にオンオフする利得切替制御端子と、前記第１のトランジスタ群のコレクタに接続される出力端子と、を有し、前記第２のトランジスタ群のＢＸ＋１～ＢＮのＮ－Ｘ個のトランジスタのコレクタは前記直流電源に接続され、前記第１のトランジスタ群のＡ１～ＡＮのトランジスタのエミッタは短絡して前記トランジスタＣのコレクタに接続され、前記第２のトランジスタ群のＢ１～ＢＸのＸ個のトランジスタのエミッタは短絡して接続され、前記第２の

トランジスタ群のＢＸ＋１～ＢＮのＮ－Ｘ個のトランジスタのエミッタは短絡して接続される利得切替付低雑音増幅回路であって、前記第２のトランジスタ群のＢ１～ＢＸのＸ個のトランジスタのエミッタと、前記トランジスタＣのコレクタとの間に接続される抵抗Ｂ１と、前記第２のトランジスタ群のＢＸ＋１～ＢＮのＮ－Ｘ個のトランジスタのエミッタと、前記トランジスタＣのコレクタとの間に接続され、前記抵抗Ｂ１のＸ／（Ｎ－Ｘ）倍の抵抗値からなる抵抗Ｂ２と、を有することを特徴とするものである。

【００１８】

また、本発明に関わる利得切替付ＬＮＡは、入力端子と、前記入力端子から入力された電圧信号を入力として電流信号を出力する電圧入力電流出力増幅器と、電流信号を入力として電流信号を出力する第１の電流入力電流出力増幅器、第２の電流入力電流出力増幅器および第３の電流入力電流出力増幅器と、第１のスイッチ、第２のスイッチおよび第３のスイッチと、利得切替制御端子と、前記第１の電流入力電流出力増幅器および前記第２の電流入力電流出力増幅器の出力電流信号の加算値を電圧信号に変換する電流電圧変換器と、前記電流電圧変換器の出力電圧を出力する出力端子と、を有する利得切替付低雑音増幅回路であって、抵抗値の比がＮ－Ｘ：Ｎである第１の抵抗および第２の抵抗を有し、前記利得切替制御端子からの信号が高利得モードの場合、前記電圧入力電流出力増幅器の電流出力は前記第１のスイッチを経て前記第１の電流入力電流出力増幅器の電流入力端子へ入力され、前記利得切替制御端子からの信号が低利得モードの場合、前記電圧入力電流出力増幅器の電流出力のＸ／Ｎ倍の電流は前記第１の抵抗を介して前記第２のスイッチへ入力され、さらにその後段にある前記第２の電流入力電流出力増幅器の電流入力端子へ入力され、また、前記利得切替制御端子からの信号が低利得モードの場合、前記電圧入力電流出力増幅器の電流出力の（Ｎ－Ｘ）／Ｎ倍の電流は前記第２の抵抗を介して前記第３のスイッチへ入力され、さらにその後段にある前記第３の電流入力電流出力増幅器の電流入力端子へ入力されることを特徴とするものである。

【発明の効果】

【００１９】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【００２０】

本発明によれば、雑音指数の劣化を抑えることができる利得切替付ＬＮＡを提供することができる。

【発明を実施するための最良の形態】

【００２１】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【００２２】

（第１の実施の形態）

図１は、本発明による第１の実施の形態の利得切替付ＬＮＡを示す回路図である。本実施の形態の利得切替付ＬＮＡは、入力端子ＬＮＡｉｎ、出力端子ＬＮＡｏｕｔ、利得切替制御端子ＧａｉｎＣｔｒｌ、バイアス回路１０，２０、直流電源３０、抵抗Ｒ１～Ｒ５、容量Ｃ１，Ｃ２、インダクタＬ１，Ｌ２、スイッチＳＷ１，ＳＷ２、トランジスタＱ１，Ｑ１１～Ｑ１８，Ｑ２１～Ｑ２８などから構成される。

【００２３】

すなわち、本実施の形態の利得切替付ＬＮＡは、ＲＦ信号の入力端子ＬＮＡｉｎと、この入力端子ＬＮＡｉｎからの信号がベースに入力されるトランジスタＱ１と、このトランジスタＱ１のベースに抵抗Ｒ１を介して接続され、トランジスタＱ１をオン状態にするバイアス回路１０と、複数個（図１では８個の例）の第１のトランジスタ群および複数個（図１では８個の例）の第２のトランジスタ群と、第１のトランジスタ群および第２のトランジスタ群のそれぞれのベースに接続され、それぞれグランドにＲＦ信号の周波数帯で交

流的に短絡する容量Ｃ１およびＣ２と、第１のトランジスタ群および第２のトランジスタ群のそれぞれのベースに接続される抵抗Ｒ２およびＲ３と、抵抗Ｒ２およびＲ３をそれぞれ介して第１のトランジスタ群および第２のトランジスタ群をオン状態にするバイアス回路２０と、第１のトランジスタ群のトランジスタＱ１１～Ｑ１８と、第２のトランジスタ群の例えば１個のトランジスタＱ２１のコレクタと直流電源３０との間に接続されるインダクタＬ１と、第１のトランジスタ群のベース－エミッタ間を抵抗Ｒ２を介して短絡するか、バイアス回路２０に接続するスイッチＳＷ１と、第２のトランジスタ群のベース－エミッタ間を抵抗Ｒ３を介して短絡するか、バイアス回路２０に接続するスイッチＳＷ２と、スイッチＳＷ１およびＳＷ２を排他的にオンオフする利得切替制御端子ＧａｉｎＣｔｒｌと、第１のトランジスタ群のコレクタに接続される出力端子ＬＮＡｏｕｔとを有する。

【００２４】

さらに、第２のトランジスタ群の例えば７個のトランジスタＱ２２～Ｑ２８のコレクタは直流電源３０に接続され、第１のトランジスタ群のトランジスタＱ１１～Ｑ１８のエミッタは短絡してトランジスタＱ１のコレクタに接続され、第２のトランジスタ群のトランジスタＱ２１のエミッタは短絡して接続され、第２のトランジスタ群のトランジスタＱ２２～Ｑ２８のエミッタは短絡して接続される。

【００２５】

特に本実施の形態は、このような利得切替付ＬＮＡの構成において、第２のトランジスタ群のトランジスタＱ２１のエミッタと、トランジスタＱ１のコレクタとの間に接続される抵抗Ｒ４と、第２のトランジスタ群のトランジスタＱ２２～Ｑ２８のエミッタと、トランジスタＱ１のコレクタとの間に接続され、抵抗Ｒ４の１／７倍の抵抗値からなる抵抗Ｒ５とを有する。

【００２６】

本実施の形態の利得切替付ＬＮＡにおいて、トランジスタＱ１１～Ｑ１８，Ｑ２１～Ｑ２８は同一サイズ、同一形状、同一特性とし、バイアス回路１０，２０により、適切な動作をするように直流バイアス電圧を与えているものとする。即ち、直流電源３０は正電圧であり、

トランジスタＱ１１～Ｑ１８，Ｑ２１～Ｑ２８のベース電圧

＞トランジスタＱ１のベース電圧

であるとする。また、図１では、容量Ｃ１，Ｃ２は図１の利得切替付ＬＮＡでの所望信号周波数で、十分インピーダンスが低いものとし、

Ｒ４の抵抗値＝７×Ｒ５の抵抗値

である。

【００２７】

図１の利得切替付ＬＮＡは高利得モードと低利得モードとを有する。以下にその動作を説明する。

【００２８】

利得切替制御端子ＧａｉｎＣｔｒｌがＨｉｇｈ電圧の場合（高利得モード）、スイッチＳＷ１は抵抗Ｒ２をバイアス回路２０に接続し、スイッチＳＷ２は抵抗Ｒ３をトランジスタＱ１のコレクタに接続する。この時、トランジスタＱ１１～Ｑ１８の８つのトランジスタはオンし、トランジスタＱ２１～Ｑ２８の８つのトランジスタはオフする。トランジスタＱ１のコレクタ電流はトランジスタＱ１１～Ｑ１８の８つのトランジスタに流れる。

【００２９】

利得切替制御端子ＧａｉｎＣｔｒｌがＬｏｗ電圧の場合（低利得モード）、スイッチＳＷ１は抵抗Ｒ２をトランジスタＱ１のコレクタに接続し、スイッチＳＷ２は抵抗Ｒ３をバイアス回路２０に接続する。この時、トランジスタＱ１１～Ｑ１８の８つのトランジスタはオフし、トランジスタＱ２１～Ｑ２８の８つのトランジスタはオンする。トランジスタＱ１のコレクタ電流は、

Ｒ４の抵抗値＝７×Ｒ５の抵抗値

なので、トランジスタＱ２１～Ｑ２８の８つのトランジスタに等しく分配されて流れる。

【００３０】
入力端子ＬＮＡｉｎから入力された無線信号電圧は、トランジスタＱ１のベースバイアス電圧（直流）を変化させるため、トランジスタＱ１のコレクタ電流が変化する。また、トランジスタＱ１のエミッタ電圧はトランジスタＱ１のベース電圧とほぼ等しい電圧変化をする。トランジスタのベース－エミッタ間電圧をＶＢＥ１とすると、
トランジスタＱ１のベース電圧＝トランジスタＱ１のエミッタ電圧＋ＶＢＥ１
となる。両辺から直流電圧成分を引くと、
トランジスタＱ１のベース電圧変化　トランジスタＱ１のエミッタ電圧変化
となる。インダクタＬ２は負帰還をかけ、ＬＮＡの歪み特性を改善するために挿入される。この時、
トランジスタＱ１のエミッタ電圧変化
＝Ｌ２×ｄ（トランジスタＱ１のエミッタ電流変化）／ｄ（時間）
Ｌ２×ｄ（トランジスタＱ１のコレクタ電流変化）／ｄ（時間）
トランジスタＱ１のベース電圧変化
となる。
【００３１】
高利得モード時の場合、上記の理由でトランジスタＱ１のコレクタ電流はトランジスタＱ１１～Ｑ１８の８つのトランジスタに流れ、トランジスタＱ２１～Ｑ２８の８つのトランジスタはオフしているため、インダクタＬ１にはトランジスタＱ１のコレクタ電流に等しい電流が流れることになる。この時、
トランジスタＱ１１～Ｑ１８のコレクタ電圧変化
＝Ｌ１×ｄ（トランジスタＱ１１～Ｑ１８のコレクタ電流変化）／ｄ（時間）
＝Ｌ１×ｄ（トランジスタＱ１のコレクタ電流変化）／ｄ（時間）
であるから、
ＬＮＡの高利得モード時の利得
＝トランジスタＱ１１～Ｑ１８のコレクタ電圧変化
／トランジスタＱ１のベース電圧変化
Ｌ１／Ｌ２
と表すことができる。
【００３２】
低利得モード時の場合、トランジスタＱ１のコレクタ電流はトランジスタＱ２１～Ｑ２８の８つのトランジスタに流れ、トランジスタＱ１１～Ｑ１８の８つのトランジスタはオフしている。トランジスタＱ１１～Ｑ２８は同一サイズ、同一形状、同一特性であるから、インダクタＬ１にはトランジスタＱ１のコレクタ電流の１／８に等しい電流が流れる。この時、
トランジスタＱ２１のコレクタ電圧変化
＝Ｌ１×ｄ（トランジスタＱ２１のコレクタ電流変化）／ｄ（時間）
＝Ｌ１×ｄ（トランジスタＱ１のコレクタ電流変化）／ｄ（時間）／８
であるから、
ＬＮＡの低利得モード時の利得
＝トランジスタＱ２１のコレクタ電圧変化／トランジスタＱ１のベース電圧変化
Ｌ１／Ｌ２／８
と表すことができる。
【００３３】
つまり、高利得モードと低利得モードとの利得差は１／８となり、およそ１８ｄＢの利得切替ステップ幅を実現できる。図１ではトランジスタＱ１１～Ｑ１８の８個、トランジスタＱ２１～Ｑ２８の８個で説明したが、これを異なる数にすれば、任意の整数比の利得切替ステップ幅を実現できる。つまり、利得切替動作に関しては、図３に示す利得切替付ＬＮＡと同様の機能を有する。同時に、高利得モード時には抵抗Ｒ４と抵抗Ｒ５によりオフとなっているトランジスタＱ２１～Ｑ２８とトランジスタＱ１，Ｑ１１～Ｑ１８のアイ

ソレーションが確保されるため、雑音指数の劣化はない。

【００３４】

また、図１のトランジスタＱ１，Ｑ１１～Ｑ１８，Ｑ２１～Ｑ２８は、そのまま電界効果トランジスタ（ＭＯＳＦＥＴ＜Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ＞など）に置き換えても同様の効果を得ることが可能である。

【００３５】

（第２の実施の形態）

図２は、本発明による第２の実施の形態の利得切替付ＬＮＡを示すブロック図である。本実施の形態の利得切替付ＬＮＡは、入力端子１００、電圧入力電流出力増幅器１１０、スイッチ１２０，１２１，１２２、抵抗１３０，１４０、電流入力電流出力増幅器１５０，１６０，１７０、電流加算器１８０、出力端子１９０、利得切替制御端子２００、電流電圧変換器２１０などから構成される。

【００３６】

すなわち、本実施の形態の利得切替付ＬＮＡは、入力端子１００と、この入力端子１００から入力された電圧信号を入力として電流信号を出力する電圧入力電流出力増幅器１１０と、電流信号を入力として電流信号を出力する電流入力電流出力増幅器１５０，１６０および１７０と、スイッチ１２０，１２１および１２２と、利得切替制御端子２００と、電流入力電流出力増幅器１５０および１６０の出力電流信号の加算値を電圧信号に変換する電流電圧変換器２１０と、この電流電圧変換器２１０の出力電圧を出力する出力端子１９０とを有する。

【００３７】

例えば一例として、電圧入力電流出力増幅器１１０は、第１の実施の形態におけるコンデンサＱ１などを含んで構成することができる。また、電流入力電流出力増幅器１５０は、第１の実施の形態におけるコンデンサＱ１１～Ｑ１８などを含んで構成することができる。同様に、電流入力電流出力増幅器１６０はコンデンサＱ２１、電流入力電流出力増幅器１７０はコンデンサＱ２２～Ｑ２８などを含んで構成することができる。また、電流電圧変換器２１０は、第１の実施の形態におけるインダクタＬ１などを含んで構成することができる。

【００３８】

特に本実施の形態は、このような利得切替付ＬＮＡの構成において、抵抗値の比がＮ－Ｘ：Ｎである抵抗１３０および１４０を有する。そして、利得切替制御端子２００からの信号が高利得モードの場合、電圧入力電流出力増幅器１１０の電流出力はスイッチ１２０を経て電流入力電流出力増幅器１５０の電流入力端子へ入力され、利得切替制御端子２００からの信号が低利得モードの場合、電圧入力電流出力増幅器１１０の電流出力のＸ／Ｎ倍の電流は抵抗１３０を介してスイッチ１２１へ入力され、さらにその後段にある電流入力電流出力増幅器１６０の電流入力端子へ入力され、また、利得切替制御端子２００からの信号が低利得モードの場合、電圧入力電流出力増幅器１１０の電流出力の（Ｎ－Ｘ）／Ｎ倍の電流は抵抗１４０を介してスイッチ１２２へ入力され、さらにその後段にある電流入力電流出力増幅器１７０の電流入力端子へ入力される。

【００３９】

本実施の形態の利得切替付ＬＮＡにおいて、入力端子１００から入力された電圧信号は、電圧入力電流出力増幅器１１０で電流に変換される。

【００４０】

利得切替制御端子２００からの制御信号で、スイッチ１２０～１２２は電圧入力電流出力増幅器１１０の電流出力を、高利得モードの場合、電流入力電流出力増幅器１５０の方向へ、低利得モードの場合、抵抗１３０，１４０の方向へ切り替える。

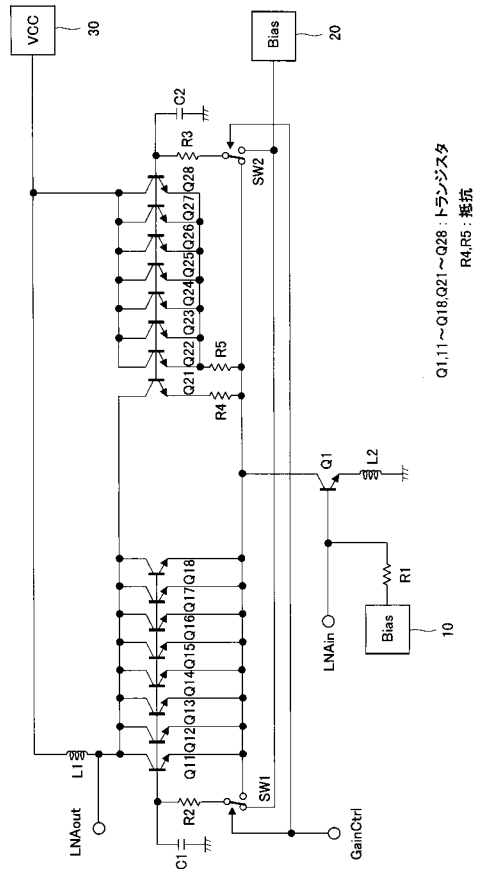
【００４１】

利得切替制御端子２００からの制御信号が高利得モードの場合、電圧入力電流出力増幅器１１０の電流出力はスイッチ１２０を経て、電流入力電流出力増幅器１５０へ入力され

る。
【００４２】
利得切替制御端子２００からの制御信号が低利得モードの場合、電圧入力電流出力増幅器１１０の電流出力は抵抗１３０と抵抗１４０にＸ：（Ｎ－Ｘ）の比で入力される。このためには抵抗１３０と抵抗１４０の抵抗値の比が（Ｎ－Ｘ）：Ｘである必要がある。
【００４３】
抵抗１３０を経てＸ／Ｎ倍の大きさとなった電圧入力電流出力増幅器１１０の電流出力は、スイッチ１２１を経て電流入力電流出力増幅器１６０へ入力され、抵抗１４０を経て（Ｎ－Ｘ）／Ｎ倍の大きさとなった電圧入力電流出力増幅器１１０の電流出力は、スイッチ１２２を経て電流入力電流出力増幅器１７０へ入力される。
【００４４】
電流入力電流出力増幅器１５０の出力電流と電流入力電流出力増幅器１６０の出力電流は、電流加算器１８０へ入力されて加算される。電流加算器１８０の出力電流は電流電圧変換器２１０で再び電圧に変換され、出力端子１９０より出力される。
【００４５】
利得切替制御端子２００からの制御信号が低利得モードの場合、電流入力電流出力増幅器１７０の出力電流は電流電圧変換器２１０の出力電圧に寄与しないため、信号を減衰させることができ、図２の利得切替付ＬＮＡの低利得モードが実現できる。
【００４６】
利得切替制御端子２００からの制御信号が高利得モードの場合、電流入力電流出力増幅器１６０の出力電流は電流電圧変換器２１０の出力電圧に寄与しないため、図２の利得切替付ＬＮＡの高利得モードが実現できる。同時に、電圧入力電流出力増幅器１１０から見た電流入力電流出力増幅器１６０，１７０の影響がスイッチ１２１，１２２によるアイソレーションの不十分な場合でも、抵抗１３０，１４０により大きくできる。これにより高利得モードでの雑音指数の劣化を抑えることができる。
【００４７】
以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。
【産業上の利用可能性】
【００４８】
本発明の増幅回路は、利得切替機能を有し、増幅回路入力での信号対雑音比と増幅回路出力での信号対雑音比との比の小さいことが求められる低雑音増幅回路に利用可能である。
【図面の簡単な説明】
【００４９】
【図１】本発明による第１の実施の形態の利得切替付ＬＮＡを示す回路図である。
【図２】本発明による第２の実施の形態の利得切替付ＬＮＡを示すブロック図である。
【図３】本発明の前提として検討した利得切替付ＬＮＡを示す回路図である。
【符号の説明】
【００５０】
ＬＮＡｉｎ…入力端子、ＬＮＡｏｕｔ…出力端子、ＧａｉｎＣｔｒｌ…利得切替制御端子、１０，２０…バイアス回路、３０…直流電源、Ｒ１～Ｒ５…抵抗、Ｃ１，Ｃ２…容量、Ｌ１，Ｌ２…インダクタ、ＳＷ１，ＳＷ２…スイッチ、Ｑ１，Ｑ１１～Ｑ１８，Ｑ２１～Ｑ２８…トランジスタ、
１００…入力端子、１１０…電圧入力電流出力増幅器、１２０，１２１，１２２…スイッチ、１３０，１４０…抵抗、１５０，１６０，１７０…電流入力電流出力増幅器、１８０…電流加算器、１９０…出力端子、２００…利得切替制御端子、２１０…電流電圧変換器。

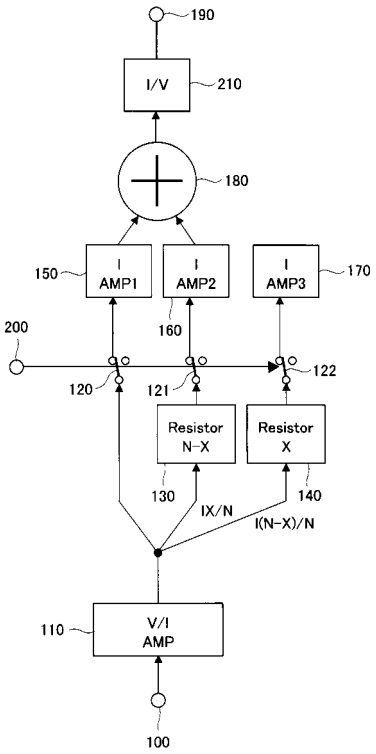
【図１】

図 1



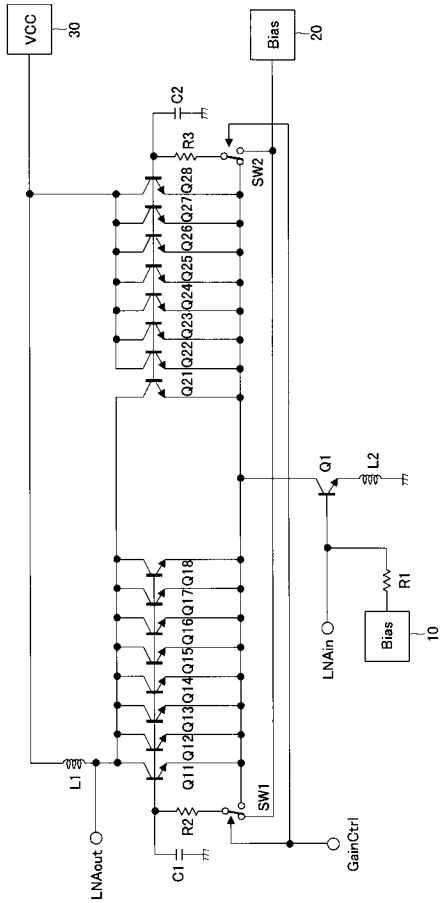
【図２】

図 2



【図３】

図 3



フロントページの続き

(56)参考文献 特開平１０－３４１１２２（ＪＰ，Ａ）
特開２００２－３４４２６６（ＪＰ，Ａ）
特表２００３－５０５９０４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｆ　１／００－　３／４５、　３／５０－　３／５２、
３／６２－　３／６４、　３／６８－　３／７２、
Ｈ０３Ｇ　１／００－　３／３４