

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-228761

(P2017-228761A)

(43) 公開日 平成29年12月28日(2017.12.28)

(51) Int.Cl.	F I	テーマコード(参考)
HO1L 29/78 (2006.01)	HO1L 29/78 652K	4M104
HO1L 29/12 (2006.01)	HO1L 29/78 652T	
HO1L 21/336 (2006.01)	HO1L 29/78 658F	
HO1L 29/06 (2006.01)	HO1L 29/78 652C	
HO1L 29/41 (2006.01)	HO1L 29/78 658B	

審査請求 未請求 請求項の数 14 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2017-24071 (P2017-24071)
 (22) 出願日 平成29年2月13日(2017.2.13)
 (31) 優先権主張番号 特願2016-119581 (P2016-119581)
 (32) 優先日 平成28年6月16日(2016.6.16)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 熊谷 雄児
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 Fターム(参考) 4M104 AA01 BB01 BB02 BB39 CC01
 CC05 DD43 EE03 EE06 EE14
 EE15 FF02 FF10 FF34 GG09

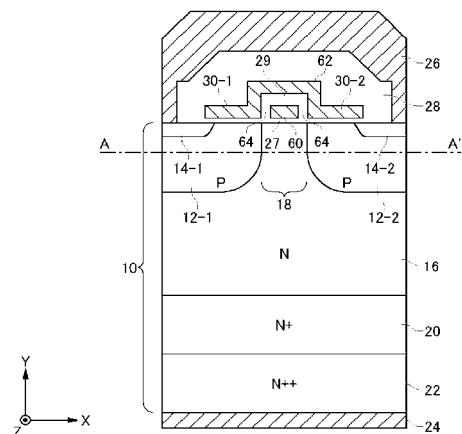
(54) 【発明の名称】 半導体装置および製造方法

(57) 【要約】

【課題】SEGR耐量等の放射線耐量が高い半導体装置を提供する。

【解決手段】半導体基板と、半導体基板の上面側に設けられた第1のボディ領域および第2のボディ領域と、第1のボディ領域および第2のボディ領域の間に設けられたネック部と、第1のソース領域および第2のソース領域と、第1のソース領域およびネック部との間の第1のボディ領域と対向する第1のゲート電極、ならびに、第2のソース領域およびネック部との間の第2のボディ領域と対向する第2のゲート電極と、ネック部と対向して設けられ、且つ、第1のゲート電極および第2のゲート電極と分離して設けられた分離電極とを備える半導体装置を提供する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の導電型の半導体基板と、
第 2 の導電型を有し、前記半導体基板の上面側に設けられた第 1 のボディ領域および第 2 のボディ領域と、
前記第 1 のボディ領域および前記第 2 のボディ領域の間に設けられた、前記第 1 の導電型のネック部と、
前記第 1 の導電型を有し、前記第 1 のボディ領域内に形成された第 1 のソース領域、および、前記第 2 のボディ領域内に形成された第 2 のソース領域と、
前記第 1 のソース領域および前記ネック部との間の前記第 1 のボディ領域と対向する第 1 のゲート電極、ならびに、前記第 2 のソース領域および前記ネック部との間の前記第 2 のボディ領域と対向する第 2 のゲート電極と、
前記ネック部と対向して設けられ、且つ、前記第 1 のゲート電極および前記第 2 のゲート電極と分離して設けられた分離電極と
を備える半導体装置。

10

【請求項 2】

前記半導体基板の上面の上方に形成されたソース電極を更に備え、
前記分離電極は、前記ソース電極と電氣的に接続されている
請求項 1 に記載の半導体装置。

【請求項 3】

前記分離電極の上方に形成され、前記第 1 のゲート電極および前記第 2 のゲート電極を電氣的に接続するゲート接続部を更に備える
請求項 2 に記載の半導体装置。

20

【請求項 4】

前記ゲート接続部に、前記ソース電極と前記分離電極とを電氣的に接続するための開口部が形成されている
請求項 3 に記載の半導体装置。

【請求項 5】

前記分離電極は、前記分離電極と前記第 1 のゲート電極との間隙を覆うように、前記第 1 のゲート電極の上方に向かって延伸して形成された第 1 の延長部を有する
請求項 2 に記載の半導体装置。

30

【請求項 6】

前記分離電極は、前記分離電極と前記第 2 のゲート電極との間隙を覆うように、前記第 2 のゲート電極の上方に向かって延伸して形成された第 2 の延長部を更に有する
請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 の延長部は、前記第 1 のゲート電極を覆うように形成され、
前記第 2 の延長部は、前記第 2 のゲート電極を覆うように形成されている
請求項 6 に記載の半導体装置。

【請求項 8】

前記ソース電極は、前記第 1 の延長部および前記第 2 の延長部と接触する
請求項 7 に記載の半導体装置。

40

【請求項 9】

前記半導体基板の上面において、前記第 1 のボディ領域の端部と、前記第 1 のゲート電極の端部とが、対向する位置に設けられ、前記第 2 のボディ領域の端部と、前記第 2 のゲート電極の端部とが、対向する位置に設けられる
請求項 1 から 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記第 1 のボディ領域および前記第 2 のボディ領域は、前記半導体基板の上面における端部よりも、前記ネック部側に突出する突出部を有する

50

請求項 9 に記載の半導体装置。

【請求項 1 1】

前記分離電極の端部は、前記突出部の先端よりもゲート電極側に配置されている
請求項 1 0 に記載の半導体装置。

【請求項 1 2】

半導体装置は、第 2 の導電型を有し、前記半導体基板の上面側に設けられた第 3 のボディ領域を更に備え、

前記第 1 のボディ領域および前記第 2 のボディ領域は、第 3 のボディ領域に接続している

請求項 1 に記載の半導体装置。

10

【請求項 1 3】

半導体装置の製造方法であって、

第 1 の導電型の半導体基板の上面側に第 2 の導電型の不純物を注入して、第 2 の導電型の第 1 のボディ領域および第 2 のボディ領域、ならびに、前記第 1 のボディ領域および前記第 2 のボディ領域の間に設けられた、前記第 1 の導電型のネック部を形成する段階と、

前記第 1 のボディ領域内に第 1 の導電型の第 1 のソース領域、および、前記第 2 のボディ領域内に第 1 の導電型の第 2 のソース領域を形成する段階と、

前記半導体基板の上面に絶縁膜を形成する段階と、

前記絶縁膜の上面側に、前記第 1 のソース領域および前記ネック部との間の前記第 1 のボディ領域と対向する第 1 のゲート電極と、前記第 2 のソース領域および前記ネック部との間の前記第 2 のボディ領域と対向する第 2 のゲート電極と、前記ネック部と対向し、前記第 1 のゲート電極および前記第 2 のゲート電極と分離した分離電極とを形成する段階とを備える製造方法。

20

【請求項 1 4】

前記第 1 のゲート電極および前記第 2 のゲート電極を形成する段階において、それぞれのボディ領域の前記半導体基板の上面における端部よりも、前記ボディ領域の内側にそれぞれのゲート電極の端部を形成し、

前記第 1 のゲート電極、前記第 2 のゲート電極および前記分離電極を形成した後に、前記半導体基板の上面を酸化して、それぞれのゲート電極および前記分離電極に覆われていない前記絶縁膜に、前記ボディ領域の不純物を吸収させる段階を更に備える

30

請求項 1 3 に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および製造方法に関する。

【背景技術】

【0002】

MOS型半導体装置を宇宙または原子力施設等の放射線環境下で使用する場合、放射線が半導体装置に影響を与える場合がある。放射線が半導体装置に与える影響として、TID (Total Ionizing Dose) およびSEGR (Single Event Gate Rapture) 等が知られている。関連する先行技術文献として、下記の文献がある。

40

[先行技術文献]

[特許文献]

特許文献 1 特開 2008 - 182191 号公報

【発明の概要】

【発明が解決しようとする課題】

【0003】

半導体装置は、SEGR耐量等の放射線耐量が高いことが好ましい。

【課題を解決するための手段】

50

【0004】

本発明の第1の態様においては、半導体装置を提供する。半導体装置は、第1の導電型の半導体基板を有してよい。半導体装置は、第2の導電型を有し、半導体基板の上面側に設けられた第1のボディ領域および第2のボディ領域を有してよい。半導体装置は、第1のボディ領域および第2のボディ領域の間に設けられた、第1の導電型のネック部を有してよい。半導体装置は、第1の導電型を有し、第1のボディ領域内に形成された第1のソース領域、および、第2のボディ領域内に形成された第2のソース領域を有してよい。半導体装置は、第1のソース領域およびネック部との間の第1のボディ領域と対向する第1のゲート電極を有してよい。半導体装置は、第2のソース領域およびネック部との間の第2のボディ領域と対向する第2のゲート電極を有してよい。半導体装置は、ネック部と対向して設けられた分離電極を有してよい。分離電極は、第1のゲート電極および第2のゲート電極と分離して設けられてよい。

10

【0005】

半導体装置は、半導体基板の上面の上方に形成されたソース電極を備えてよい。分離電極は、ソース電極と電氣的に接続されていてよい。

【0006】

半導体装置は、分離電極の上方に形成され、第1のゲート電極および第2のゲート電極を電氣的に接続するゲート接続部を備えてよい。ゲート接続部に、ソース電極と分離電極とを電氣的に接続するための開口部が形成されていてよい。

【0007】

分離電極は、分離電極と第1のゲート電極との間隙を覆うように、第1のゲート電極の上方に向かって延伸して形成された第1の延長部を有してよい。分離電極は、分離電極と第2のゲート電極との間隙を覆うように、第2のゲート電極の上方に向かって延伸して形成された第2の延長部を有してよい。第1の延長部は、第1のゲート電極を覆うように形成されてよい。第2の延長部は、第2のゲート電極を覆うように形成されてよい。ソース電極は、第1の延長部および第2の延長部と接触してよい。

20

【0008】

半導体基板の上面において、第1のボディ領域の端部と、第1のゲート電極の端部とが対向する位置に設けられてよい。半導体基板の上面において、第2のボディ領域の端部と、第2のゲート電極の端部とが対向する位置に設けられてよい。

30

【0009】

第1のボディ領域および第2のボディ領域は、半導体基板の上面における端部よりも、ネック部側に突出する突出部を有してよい。分離電極の端部は、突出部の先端よりもゲート電極側に配置されていてよい。半導体装置は、第2の導電型を有し、半導体基板の上面側に設けられた第3のボディ領域を更に備え、第1のボディ領域および第2のボディ領域は、第3のボディ領域に接続してよい。

【0010】

本発明の第2の態様においては、半導体装置の製造方法を提供する。製造方法は、第1の導電型の半導体基板の上面側に第2の導電型の不純物を注入して、第2の導電型の第1のボディ領域および第2のボディ領域、ならびに、第1のボディ領域および第2のボディ領域の間に設けられた、第1の導電型のネック部を形成する段階を備えてよい。製造方法は、第1のボディ領域内に第1の導電型の第1のソース領域を形成する段階を備えてよい。製造方法は、第2のボディ領域内に第1の導電型の第2のソース領域を形成する段階を備えてよい。製造方法は、半導体基板の上面に絶縁膜を形成する段階を備えてよい。製造方法は、絶縁膜の上面側に、第1のソース領域およびネック部との間の第1のボディ領域と対向する第1のゲート電極を形成する段階を備えてよい。製造方法は、第2のソース領域およびネック部との間の第2のボディ領域と対向する第2のゲート電極を形成する段階を備えてよい。製造方法は、ネック部と対向し、第1のゲート電極および第2のゲート電極と分離した分離電極とを形成する段階を備えてよい。

40

【0011】

50

第1のゲート電極および第2のゲート電極を形成する段階において、それぞれのボディ領域の半導体基板の上面における端部よりも、ボディ領域の内側にそれぞれのゲート電極の端部を形成してよい。第1のゲート電極、第2のゲート電極および分離電極を形成した後、半導体基板の上面を酸化して、それぞれのゲート電極および分離電極に覆われていない絶縁膜に、ボディ領域の不純物を吸収させる段階を備えてよい。

【0012】

なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0013】

【図1】本発明の第1実施例に係る半導体装置100の一例を示す断面図である。

【図2】半導体装置100の他の断面例を示す図である。

【図3】ゲート絶縁膜27における、X軸方向の電界強度分布の一例を示す図である。

【図4A】比較例のゲート絶縁膜における電界強度の一例を示す。

【図4B】半導体装置100のゲート絶縁膜27における電界強度の一例を示す。

【図5A】比較例のゲート絶縁膜における電界強度の一例を示す。

【図5B】半導体装置100のゲート絶縁膜27における電界強度の一例を示す。

【図6】本発明の第2実施例に係る半導体装置200の一例を示す断面図である。

【図7】本発明の第3実施例に係る半導体装置300の一例を示す断面図である。

【図8】半導体装置300の他の断面例を示す図である。

【図9】本発明の第4実施例に係る半導体装置400の一例を示す断面図である。

【図10A】半導体装置100の製造方法の一例を示す図である。

【図10B】半導体装置100の製造方法の他の例を示す図である。

【図10C】半導体装置100の製造方法の他の例を示す図である。

【図11】半導体装置200の製造方法の一例を示す図である。

【図12】本発明の第5実施例に係る半導体装置500の一例を示す断面図である。

【図13】半導体装置500におけるボディ領域12の周辺を拡大した拡大断面図である。

【図14】半導体装置500の製造方法の一例を示す図である。

【図15】半導体装置500の製造方法の他の例を示す図である。

【図16】半導体装置100のA-A'断面を示す平面図である。

【図17】半導体装置100のA-A'断面を示す平面図の他の例である。

【発明を実施するための形態】

【0014】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0015】

(第1実施例)

図1は、本発明の第1実施例に係る半導体装置100の一例を示す断面図である。図1においては、半導体装置100の一例としてMOSFETを示しているが、半導体装置100は、ゲート構造を有する他の半導体装置であってもよい。より具体的な例として、半導体装置100は、絶縁ゲートバイポーラトランジスタ(IGBT)であってもよい。

【0016】

本例の半導体装置100は、第1の導電型の半導体基板10を備える。本例においては、第1の導電型をN型、第2の導電型をP型として説明するが、第1の導電型がP型、第2の導電型がN型であってもよい。半導体基板10は、例えば所定のN型不純物が添加されたシリコン基板である。半導体基板10は、炭化珪素または窒化物半導体等の化合物半導体であってもよい。

【0017】

10

20

30

40

50

半導体基板 10 の一方の主面側にはドレイン電極 24 が設けられ、他方の主面側にはソース電極 26 が設けられる。なお、半導体装置 100 が、IGBT 等のバイポーラ素子の場合、ソース電極 26 はエミッタ電極として機能してよく、ドレイン電極 24 は、コレクタ電極として機能してよい。

【0018】

本明細書では、ソース電極 26 およびドレイン電極 24 を結ぶ方向を Y 軸方向とする。本明細書においては Y 軸方向を深さ方向と称する場合がある。また、Y 軸方向における一方の側を「上」、他方の側を「下」と称する場合がある。本明細書では、ドレイン電極 24 からソース電極 26 に向かう方向を Y 軸正方向として、Y 軸における相対的な正側を「上」、相対的な負側を「下」と称する。例えば、半導体基板 10 の主面のうち、ドレイン電極 24 側の面を下面、ソース電極 26 側の面を上面と称する。

10

【0019】

ドレイン電極 24 は、半導体基板 10 の下面における所定の活性領域全体に接して形成される。また、ソース電極 26 は、半導体基板 10 の上面における活性領域のうちの一部に選択的に接して形成される。例えばソース電極 26 は、半導体基板 10 の上面における活性領域のうち、ソース領域 14 に接するように形成される。ソース電極 26 は、後述するボディ領域 12 にも接してよい。ドレイン電極 24 およびソース電極 26 は、アルミニウム等の金属で形成される。

【0020】

本例の半導体基板 10 は、下面側から順番に、ドレイン領域 22、中間領域 20 およびドリフト領域 16 を有する。本例のドレイン領域 22 は、N++ 型の領域である。本例の中間領域 20 は、ドレイン領域 22 よりも不純物濃度が低く、ドリフト領域 16 よりも不純物濃度が高い N+ 型の領域である。本例のドリフト領域 16 は、中間領域 20 よりも不純物濃度が低い N 型の領域である。なお、本例の半導体基板 10 は中間領域 20 を備えているが、中間領域 20 を備えていなくてもよい。

20

【0021】

ドリフト領域 16 の半導体基板 10 上面側には第 1 のボディ領域 12 - 1 および第 2 のボディ領域 12 - 2 が形成されている。本例において、それぞれのボディ領域 12 は P 型の領域である。また、それぞれのボディ領域 12 は、半導体基板 10 の上面と垂直な断面において互いに離間して設けられる。本明細書では、第 1 のボディ領域 12 - 1 および第 2 のボディ領域 12 - 2 を結ぶ方向を X 軸方向とする。それぞれのボディ領域 12 は、半導体基板 10 の上面に露出している。

30

【0022】

また、本明細書では、X 軸および Y 軸の双方と垂直な方向を Z 軸方向とする。図 1 では XY 断面を示しているが、当該断面に示すそれぞれの構成は、Z 軸方向に延伸して形成されてよい。また、当該断面に示すそれぞれの構成が、XZ 面において環状に形成されていてもよい。また、図 1 の断面に示す構成が、X 軸方向に繰り返し形成されてよい。

【0023】

第 1 のボディ領域 12 - 1 および第 2 のボディ領域 12 - 2 の間には、ドリフト領域 16 の N 型の領域が残存する。本明細書では、第 1 のボディ領域 12 - 1 および第 2 のボディ領域 12 - 2 の間における N 型領域をネック部 18 と称する。

40

【0024】

第 1 のボディ領域 12 - 1 内には、第 1 のソース領域 14 - 1 が形成される。第 2 のボディ領域 12 - 2 内には、第 2 のソース領域 14 - 2 が形成される。それぞれのソース領域 14 は、半導体基板 10 の上面に露出する。また、半導体基板 10 の上面以外では、ソース領域 14 は、ボディ領域 12 に覆われている。本例においてソース領域 14 は N 型である。ソース領域 14 の不純物濃度は、ドリフト領域 16 の不純物濃度より高い。

【0025】

半導体基板 10 の上面の上方には、第 1 のゲート電極 30 - 1 および第 2 のゲート電極 30 - 2 が設けられる。第 1 のゲート電極 30 - 1 は、第 1 のソース領域 14 - 1 とネッ

50

ク部 18 との間の第 1 のボディ領域 12 - 1 と対向して設けられる。第 1 のゲート電極 30 - 1 は、第 1 のソース領域 14 - 1 とネック部 18 との間の全長に渡って形成されることが好ましい。

【0026】

第 2 のゲート電極 30 - 2 は、第 2 のソース領域 14 - 1 とネック部 18 との間の第 2 のボディ領域 12 - 2 と対向して設けられる。第 2 のゲート電極 30 - 2 は、第 2 のソース領域 14 - 2 とネック部 18 との間の全長に渡って形成されることが好ましい。それぞれのゲート電極 30 と、半導体基板 10 との間には、ゲート絶縁膜 27 が設けられる。

【0027】

それぞれのゲート電極 30 - 2 と対向するボディ領域 12 は、チャンネルとして機能する。それぞれのゲート電極 30 に所定の電圧を印加することで、ゲート電極 30 に対向するボディ領域 12 の表面に反転領域が形成される。これによりソース領域 14 とネック部 18 とが電氣的に接続される。ソース電極 26 およびドレイン電極 24 間に所定の電圧を印加した状態で、ゲート電極 30 に所定の電圧を印加することで、ソースドレイン間に電流が流れる。

10

【0028】

半導体基板 10 の上面の上方には、分離電極 60 が更に設けられる。分離電極 60 は、ゲート絶縁膜 27 を挟んで、ネック部 18 と対向して設けられる。分離電極 60 は、半導体基板 10 の上面においてネック部 18 が露出する領域全体を覆うように形成されることが好ましい。ただし、一部のネック部 18 は、分離電極 60 に覆われていなくともよい。分離電極 60 は、半導体基板 10 の上面におけるネック部 18 の半分以上を覆っていてよく、3/4 以上を覆っていてもよい。

20

【0029】

分離電極 60 は、第 1 のゲート電極 30 - 1 および第 2 のゲート電極 30 - 2 の両方から分離している。分離電極 60 は、ゲート電極 30 と同一の導電材料で形成されてよく、異なる導電材料で形成されてもよい。

【0030】

分離電極 60 には、ゲート絶縁膜 27 の下面と、ドレイン電極 24 とが電氣的に接続された場合に、ネック部 18 上のゲート絶縁膜 27 に印加される電界を緩和するような電圧が印加される。例えば半導体基板 10 に重粒子が入射すると、重粒子が通過した経路に沿ってプラズマフィラメント（電子正孔対）が生じる。このため、ネック部 18 に重粒子が入射すると、N 型領域に生じたプラズマフィラメントを介して、ネック部 18 上のゲート絶縁膜 27 の下面と、ドレイン電極 24 とが電氣的に接続される。

30

【0031】

ネック部 18 と対向する位置にゲート電極 30 が設けられていると、ネック部 18 上のゲート絶縁膜 27 に、ドレイン・ゲート間電圧が印加される。ドレイン・ゲート間電圧は初期段階で比較的大きな電圧なので、重粒子が入射した際にネック部 18 上のゲート絶縁膜 27 が破壊される場合がある。

【0032】

これに対して半導体装置 100 によれば、ネック部 18 と対向する領域に、分離電極 60 が設けられている。分離電極 60 に、ゲート電圧の変動範囲の下限値（または上限値）と、ドレイン電圧との間の電圧を印加すれば、ネック部 18 上のゲート絶縁膜 27 に印加される電界を緩和することができる。

40

【0033】

例えば、ソース電極 26 を接地し、ドレイン電極 24 に数十から数百 V 程度のドレイン電圧を印加し、オン時に 10 V ~ 15 V 程度のゲート電圧をゲート電極 30 に印加し、オフ時にゲート電極 30 を接地する半導体装置について説明する。ターンオフ時に、ゲート電圧は一時的に負の電圧となる場合がある。このとき、ドレイン・ゲート間電圧は、比較的が大きくなってしまう。

【0034】

50

これに対して、分離電極 60 に、ドレイン電圧と、当該負の電圧との間の電圧を印加しておくことで、ネック部 18 上のゲート絶縁膜 27 に印加される電圧を低減することができる。このため、ネック部 18 上のゲート絶縁膜 27 が破壊されることを抑制でき、SEGR 耐量を向上させることができる。

【0035】

なお、分離電極 60 には、通常時に半導体装置 100 がオンオフ動作できる電圧を印加する。一例として、分離電極 60 にはソース電極 26 に電氣的に接続されてよい。つまり、分離電極 60 には、接地電位が印加されてよい。これにより、ネック部 18 上のゲート絶縁膜 27 には、一定のドレイン・ソース間電圧が印加されるので、ゲート電圧が一時的に負の電圧に変動した場合でも、ネック部 18 上のゲート絶縁膜 27 に印加される電界を緩和することができる。

10

【0036】

また、分離電極 60 には、ソース電圧と、ゲート電圧の下限値との間の電圧を印加してもよい。また、分離電極 60 には、半導体装置 100 がオンオフ動作できることを条件として、ソース電位よりも大きい正の電圧を印加してもよい。

【0037】

本例において分離電極 60 の下には、ゲート絶縁膜 27 が形成されている。つまり、分離電極 60 の下方の絶縁膜と、ゲート電極 30 の下方の絶縁膜の厚みは等しい。他の例では、分離電極 60 の下方の絶縁膜と、ゲート電極 30 の下方の絶縁膜の厚みが異なってもよい。

20

【0038】

ソース・ドレイン間の耐圧を向上させる場合、分離電極 60 の下方の絶縁膜を、ゲート絶縁膜 27 の下方の絶縁膜よりも厚くしてよい。ゲート・ソース間の耐圧を向上させる場合、ゲート絶縁膜 27 の下方の絶縁膜を、分離電極 60 の下方の絶縁膜よりも厚くしてよい。

【0039】

また、本例の半導体装置 100 は、分離電極 60 の上方に形成され、第 1 のゲート電極 30 - 1 および第 2 のゲート電極 30 - 2 を電氣的に接続するゲート接続部 62 を更に備える。ゲート接続部 62 と分離電極 60 との間には絶縁膜 29 が形成されている。

【0040】

ゲート接続部 62 は、ゲート電極 30 と同一の導電材料で形成されてよく、異なる導電材料で形成されてもよい。本例のゲート接続部 62 およびゲート電極 30 は、不純物がドーピングされたポリシリコン等で形成される。

30

【0041】

本例のゲート接続部 62 は、第 1 のゲート電極 30 - 1 から第 2 のゲート電極 30 - 2 まで、分離電極 60 を覆うように形成されている。また、ゲート接続部 62 は、分離電極 60 とそれぞれのゲート電極 30 との間の間隙 64 を覆うように形成されている。間隙 64 には、絶縁膜が形成されている。

【0042】

ゲート接続部 62 を設けることで、半導体装置 100 の上方から入射するイオン等が、間隙 64 を通過して半導体基板 10 に到達することを抑制できる。これにより、半導体装置 100 を保護することができる。

40

【0043】

絶縁膜 29 は、ゲート絶縁膜 27 と同一の厚みを有してよく、異なる厚みを有してもよい。絶縁膜 29 には、比較的にかさい電圧が印加されるので、ゲート絶縁膜 27 よりも薄くてよい。ゲート接続部 62 にはゲート電圧が印加される。しかし、ゲート接続部 62 と半導体基板 10 との間には分離電極 60 が設けられている。このため、絶縁膜 29 には、例えばゲート・ソース間電圧が印加されることになる。また、間隙 64 の X 軸方向における幅も、ゲート絶縁膜 27 の Y 軸方向における厚みよりも小さくてよい。

【0044】

50

また、本例の半導体装置 100 は、ゲート電極 30 およびゲート接続部 62 を覆う層間絶縁膜 28 を更に備える。層間絶縁膜 28 は、BPSG (Boron Phosphorus Silicate Glass) または PSG (Phosphorus Silicate Glass) 等を堆積して形成してよい。

【0045】

以上説明したように、第 1 実施例の半導体装置 100 によれば、SEGR 耐量を向上させることができる。また、TID 耐量と SEGR 耐量とのトレードオフも改善することができる。

【0046】

放射線がゲート絶縁膜 27 に入射すると、ゲート絶縁膜 27 中に電子正孔対が発生する。ゲート絶縁膜 27 中の移動度は、正孔のほうが電子よりも小さく、例えば、ゲート絶縁膜 27 がシリコン酸化膜の場合は 6 桁以上小さい。ゲート電極 30 と半導体基板 10 の間において、ゲート絶縁膜 27 中の欠陥に正孔が捕えられると固定電荷が生じる。また、界面に到達した正孔によって界面準位が生成される。固定電荷および界面準位により、MOS トランジスタの閾値が変動する。このような現象を TID と称する。

10

【0047】

これに対して、低温プロセスでゲート絶縁膜 27 を生成することで、ゲート絶縁膜 27 中の欠陥生成を抑制することができる。ゲート絶縁膜 27 は、例えば 1000 度以下で半導体基板 10 の表面を酸化することで形成する。酸化温度は、900 度以下であってもよい。これにより、TID 耐量を向上させることができる。

20

【0048】

また、半導体基板 10 に重粒子が入射すると、重粒子が通過した経路に沿ってプラズマフィラメント (電子正孔対) が生じる。このため、ネック部 18 に重粒子が入射すると、N 型領域に生じたプラズマフィラメントを介して、ゲート絶縁膜 27 の裏面とドレイン電極 24 とが電氣的に接続される。ネック部 18 と対向する位置にゲート電極 30 が設けられていると、ネック部 18 に対向するゲート絶縁膜 27 の表面と裏面との間に大きなドレイン電圧が印加され、ゲート絶縁膜 27 が破壊されてしまう。このような現象を、SEGR と称する。

【0049】

SEGR 耐量を大きくするには、ゲート絶縁膜 27 の厚みを大きくすればよい。しかし、ゲート酸化膜として機能するゲート絶縁膜 27 の厚みを大きくすると、ゲート絶縁膜 27 に電子放射線が照射されたときに発生する電荷量が増大してしまい、TID 耐量が劣化する。

30

【0050】

これに対して半導体装置 100 は、分離電極 60 を設けることで、TID 耐量を劣化させることなく、または、TID 耐量の劣化を抑制しつつ、SEGR 耐量を向上させることができる。

【0051】

図 2 は、半導体装置 100 の他の断面例を示す図である。図 2 に示す断面は、図 1 に示した断面とは、Z 軸方向における位置が異なる。半導体装置 100 は、図 1 に示した構造を Z 軸方向に延伸して有しており、Z 軸方向の一部の領域において、図 2 に示した構造を有する。図 2 に示した構造は、半導体基板 10 の Z 軸方向における端部に設けられていることが好ましい。

40

【0052】

当該断面において、ゲート接続部 62 には、ソース電極 26 と分離電極 60 とを電氣的に接続するための開口部 66 が形成されている。ソース電極 26 は、開口部 66 を貫通して分離電極 60 に接続するソース接続部 68 を有する。ソース接続部 68 は、ソース電極 26 と同一の材料で形成されてよく、異なる材料で形成されてもよい。ソース接続部 68 は、タンゲステンを含む材料で形成されてよい。

【0053】

50

ソース接続部 68 は、ゲート接続部 62 とは電氣的に絶縁されている。本例のソース接続部 68 とゲート接続部 62 の間には絶縁膜が形成される。

【0054】

このような構造により、分離電極 60 にソース電位を容易に印加することができる。このため、SEGR 耐量を向上させることができる。

【0055】

図 3 は、ゲート絶縁膜 27 における、X 軸方向の電界強度分布の一例を示す図である。図 3 は、重粒子等が入射していない状態における電界強度分布を示す。X 軸方向における原点は、ネック部 18 の中央位置に対応している。また、ドレイン・ソース間電圧として定格電圧を印加して、ゲート・ソース間電圧として -15V を印加している。

10

【0056】

また、図 3 においては、分離電極 60 を有さずにネック部 18 上にもゲート電極 30 を形成した比較例における電界強度分布と、半導体装置 100 における電界強度分布を示している。本例の半導体装置 100 の分離電極 60 には、ソース電位を印加している。

【0057】

図 3 に示すように、分離電極 60 を設けることで、重粒子等の入射前から、ネック部 18 における電界強度を緩和できている。初期段階においてネック部 18 上のゲート絶縁膜 27 における電界を緩和できているので、重粒子が入射した場合でも、ネック部 18 上のゲート絶縁膜 27 における電界を緩和できる。このため、SEGR 耐量が向上する。

【0058】

20

図 4A は、比較例のゲート絶縁膜における電界強度の一例を示す。図 4B は、半導体装置 100 のゲート絶縁膜 27 における電界強度の一例を示す。図 4A および図 4B の例では、ゲート・ソース電圧を変化させて、電界強度を算出した。ドレイン・ソース電圧は定格電圧である。また、図 4A および図 4B は、ネック部 18 上のゲート絶縁膜と、ボディ領域 12 上のゲート絶縁膜のそれぞれの電界強度を示している。

【0059】

ボディ領域上のゲート絶縁膜における電界強度特性は、図 4A および図 4B の 2 つの例においてほぼ同一である。図 4A に示す比較例では、ネック部の上方にもゲート電極が設けられている。このため、ゲート・ソース間電圧 V_{GS} の絶対値が大きくなるに従って、ネック部上のゲート絶縁膜における電界強度が上昇している。

30

【0060】

これに対して、図 4B に示す半導体装置 100 の例では、ネック部 18 の上方には分離電極 60 が設けられている。このため、ゲート・ソース間電圧 V_{GS} の絶対値を大きくしても、ネック部 18 上のゲート絶縁膜 27 における電界強度はほとんど変化しない。このため、SEGR 耐量が向上する。

【0061】

図 5A は、比較例のゲート絶縁膜における電界強度の一例を示す。図 5B は、半導体装置 100 のゲート絶縁膜 27 における電界強度の一例を示す。図 5A および図 5B の例では、ドレイン・ソース電圧を変化させて、電界強度を算出した。ゲート・ソース電圧は -15V である。

40

【0062】

図 5A に示す比較例、および、図 5B に示す半導体装置 100 の双方において、ドレイン・ソース電圧 V_{DS} を変化させても、ゲート絶縁膜における電界強度（ボディ領域における電界強度）はほとんど変化しない。ただし、図 5A に示す比較例では、ネック部に対応するゲート絶縁膜、および、ボディ領域に対応するゲート絶縁膜のいずれにも、 V_{DS} に加えてゲート電圧 -15V 分の電界が印加されている。よって、図 5A に示す比較例において、ネック部の電界強度がボディ部より高くなっている。

【0063】

これに対して、図 5B に示す半導体装置 100 においては、ボディ領域 12 に対応するゲート絶縁膜 27 にはドレイン・ソース電圧 V_{DS} に加えてゲート電圧 -15V 分の電界

50

が印加されているが、ネック部 18 上のゲート絶縁膜 27 にはドレイン・ソース電圧 V_{DS} 分の電界だけが印加されている。よって、図 5 B に示す半導体装置 100 において、ネック部の電界強度がボディ領域より低くなっており、ネック部上のゲート絶縁膜の電界強度が緩和されている。このため、重粒子が入射した場合に、ドレイン電極 24 と半導体基板 10 の上面との間にプラズマフィラメントが生じて絶縁膜に印加される電界が高くなりやすいネック部 18 において、ゲート絶縁膜 27 に印加される電界を緩和することができる。このため、SEGR 耐量が向上する。

【0064】

(第2実施例)

図 6 は、本発明の第 2 実施例に係る半導体装置 200 の一例を示す断面図である。半導体装置 200 は、半導体装置 100 に対して、ゲート接続部 62 の構造が異なる。他の構造は、半導体装置 100 と同一であってよい。図 6 に示す断面は、図 1 に示す断面に対応する。つまり、半導体装置 200 は、図 6 に示す構造を Z 軸方向に延伸して有し、且つ、半導体基板 10 の端部において、図 2 と同様の構造を有してよい。

10

【0065】

本例のゲート接続部 62 は、開口部 70 を有する。開口部 70 により、ゲート接続部 62 は、第 1 のゲート電極 30 - 1 に接続される部分と、第 2 のゲート電極 30 - 2 に接続される部分に分割されている。開口部 70 は、図 2 に示した開口部 66 と同一の形状を有し、X 軸における位置も開口部 66 と同一であってよい。これにより、半導体装置 200 を容易に製造することができる。

20

【0066】

なお、開口部 70 は、間隙 64 と対向する位置には形成されないことが好ましい。つまり、分離電極 60 の両側におけるそれぞれの間隙 64 は、対応するゲート接続部 62 により覆われていることが好ましい。これにより、半導体装置 200 の製造を容易にしつつ、間隙 64 を介してイオン等が半導体基板 10 に入射することを抑制できる。

【0067】

(第3実施例)

図 7 は、本発明の第 3 実施例に係る半導体装置 300 の一例を示す断面図である。半導体装置 300 は、半導体装置 100 に対して、ゲート接続部 62 を有さない点、および、分離電極 60 の形状が異なる。他の構造は、半導体装置 100 と同一であってよい。図 7 に示す断面は、図 1 に示す断面に対応する。

30

【0068】

本例の第 1 のゲート電極 30 - 1 および第 2 のゲート電極 30 - 2 は、互いに分離して設けられている。第 1 のゲート電極 30 - 1 および第 2 のゲート電極 30 - 2 は、板状であってよい。

【0069】

分離電極 60 は、第 1 のゲート電極 30 - 1 の上方に向かって延伸して形成された第 1 の延長部 72 - 1 と、第 2 のゲート電極 30 - 2 の上方に向かって延伸して形成された第 2 の延長部 72 - 2 とを有する。なお分離電極 60 は、第 1 の延長部 72 - 1 および第 2 の延長部 72 - 2 の一方だけを有していてもよい。

40

【0070】

それぞれの延長部 72 は、分離電極 60 と同一の材料で形成されてよい。それぞれの延長部 72 と、ゲート電極 30 とは絶縁膜で絶縁されている。また、それぞれの延長部 72 は、層間絶縁膜 28 により覆われている。

【0071】

第 1 の延長部 72 - 1 は、分離電極 60 と第 1 のゲート電極 30 - 1 との間隙 64 を覆うように形成される。第 1 の延長部 72 - 1 は、第 1 のゲート電極 30 - 1 の一部を覆う位置まで延伸してよく、第 1 のゲート電極 30 - 1 の全体を覆う位置まで延伸していてもよい。

【0072】

50

第2の延長部72-2は、分離電極60と第2のゲート電極30-2との間隙64を覆うように形成される。第2の延長部72-2は、第2のゲート電極30-2の一部を覆う位置まで延伸してよく、第2のゲート電極30-2の全体を覆う位置まで延伸していてもよい。

【0073】

このような構成によっても、半導体基板10へのイオン等の入射を抑制することができる。また、半導体装置300によれば、分離電極60の延長部72が、ゲート電極30の上方に形成されるので、ソース電極26と分離電極60とを容易に接続することができる。

【0074】

図8は、半導体装置300の他の断面例を示す図である。図8に示す断面は、図7に示した断面とは、Z軸方向における位置が異なる。図8に示す断面は、図2に示す断面に対応する。つまり、半導体装置300は、図7に示す構造をZ軸方向に延伸して有し、且つ、半導体基板10の端部において、図8に示す構造を有してよい。

【0075】

当該断面において、層間絶縁膜28には、ソース電極26と延長部72とを電気的に接続するための開口が形成されている。ソース電極26は、当該開口を貫通して分離電極60に接触するソース接続部68を有する。

【0076】

本例では、ゲート接続部62に開口部66を形成しなくともよいので、分離電極60にソース電位を容易に印加することができる。なお、半導体装置300の他の例では、Z軸方向の全体に渡って、図8に示す構造を有していてもよい。つまり、ソース接続部68が、分離電極60のZ軸方向における全体に渡って形成されていてもよい。

【0077】

(第4実施例)

図9は、本発明の第4実施例に係る半導体装置400の一例を示す断面図である。半導体装置400は、半導体装置100に対して、ゲート接続部62を有さない点で相違する。他の構造は、半導体装置100と同一であってよい。

【0078】

半導体装置400においては、ゲート接続部62を設けていない。このような構成であっても、分離電極60を有しているので、ネック部18上のゲート絶縁膜27における電界を緩和して、SEGR耐量を向上させることができる。

【0079】

ゲート電極30および分離電極60は板状の電極であってよい。ゲート電極30および分離電極60は、同一の厚みを有してよい。ゲート電極30および分離電極60は同一の材料で形成されてよい。ただし、ゲート電極30および分離電極60の形状、厚みおよび材料は上記の例に限定されない。

【0080】

図10Aは、半導体装置100の製造方法の一例を示す図である。まずステップS1000において、ドレイン領域、中間領域およびドリフト領域16を有する半導体基板を準備する。半導体基板は、N++型の基板(ドレイン領域として機能する)に、N+型のエピタキシャル層(中間領域として機能する)およびN型のエピタキシャル層(ドリフト領域16として機能する)を形成した基板であってよい。他の例では、半導体基板は、N型の基板(ドリフト領域として機能する)であってもよい。この場合、基板の下面側に不純物を注入して中間領域およびドレイン領域を形成する。

【0081】

次に、半導体基板の上面側からホウ素等のP型の不純物を選択的に注入して、P型の第1および第2のボディ領域12を形成する。一例として、P型不純物のドーブ量は、 $1.0 \times 10^{13} / \text{cm}^2$ 以上、 $4.0 \times 10^{14} / \text{cm}^2$ 以下である。不純物を注入した後に、半導体基板を熱処理してP型不純物を所定の深さまで拡散させてボディ領域12を形

10

20

30

40

50

成する。本例のボディ領域 1 2 の深さは、 $2 \mu\text{m}$ 以上、 $6 \mu\text{m}$ 以下である。第 1 および第 2 のボディ領域 1 2 の間に残存するドリフト領域 1 6 がネック部 1 8 となる。

【0082】

また、第 1 および第 2 のボディ領域 1 2 の内側に砒素等の N 型の不純物を選択的に注入して、N+型の第 1 および第 2 のソース領域 1 4 を形成する。一例として、N 型不純物のドーパ量は、 $1.0 \times 10^{14} / \text{cm}^2$ 以上、 $1.0 \times 10^{16} / \text{cm}^2$ 以下である。不純物を注入した後に、半導体基板を熱処理してソース領域 1 4 を形成する。

【0083】

次にステップ S 1 0 0 2 において、半導体基板の上面に絶縁膜 7 4 を形成する。絶縁膜 7 4 は、半導体基板を熱酸化して形成してよい。一例として、 800 度以上、 950 度以下の熱酸化により、 600 以上、 1500 以下の絶縁膜 7 4 を形成する。

10

【0084】

次に、絶縁膜 7 4 の上に導電層 7 7 を形成する。導電層 7 7 は、不純物を添加したポリシリコン等の導電材料を CVD 法等で形成してよい。

【0085】

次にステップ S 1 0 0 4 において、導電層 7 7 および絶縁膜 7 4 を所定の形状にパターニングする。本例では、導電層 7 7 上にフォトリソを塗布して、それぞれのゲート電極 3 0 および分離電極 6 0 に応じた形状にフォトリソを露光して現像する。これによりフォトリソに所定の形状の開口を形成する。フォトリソに覆われていない導電層 7 7 および絶縁膜 7 4 をエッチングにより除去して、ゲート電極 3 0 および分離電極 6 0 を形成する。

20

【0086】

次にステップ S 1 0 0 6 において、CVD 法等により SiO_2 等の絶縁膜 7 6 を 1000 以上、 4000 以下の厚みで堆積させる。次にステップ S 1 0 0 8 において、絶縁膜 7 6 を所定の形状にパターニングする。本例では絶縁膜 7 6 上にフォトリソを塗布して、露光および現像する。また、フォトリソに覆われていない絶縁膜 7 6 をエッチングにより除去する。これにより、それぞれのゲート電極 3 0 の少なくとも一部を露出させる。なお分離電極 6 0 は絶縁膜 7 6 で覆われている。S 1 0 0 8 においては、ゲート電極 3 0 の全体を露出させてよい。

【0087】

次にステップ S 1 0 1 0 において、絶縁膜 7 6 およびゲート電極 3 0 上に導電層 7 8 を形成する。導電層 7 8 は、不純物を添加したポリシリコン等の導電材料を CVD 法等で形成してよい。次にステップ S 1 0 1 2 において、導電層 7 8 上を所定の形状にパターニングする。S 1 0 1 2 では、導電層 7 8 上にフォトリソを塗布して、ゲート接続部 6 2 に応じた形状にフォトリソをパターニングする。フォトリソに覆われていない導電層 7 8 をエッチングにより除去してゲート接続部 6 2 を形成する。図 1 0 A では、同一の厚みのゲート電極 3 0 および分離電極 6 0 を示している。他の例では、S 1 0 1 0 においてゲート電極 3 0 上に更に導電層 7 8 を形成するので、ゲート電極 3 0 は分離電極 6 0 よりも厚く形成されてよい。

30

【0088】

次にステップ S 1 0 1 4 においてゲート電極 3 0 およびゲート接続部 6 2 を覆う層間絶縁膜 2 8 を形成する。また、ソース電極 2 6 およびドレイン電極 2 4 等を形成する。これにより半導体装置 1 0 0 が完成する。

40

【0089】

図 1 0 B は、半導体装置 1 0 0 の製造方法の他の例を示す図である。本例の製造方法においては、まず、図 1 0 A の例と同様のステップ S 1 0 0 0 およびステップ S 1 0 0 2 を行う。

【0090】

次にステップ S 1 0 1 6 において、導電層 7 7 および絶縁膜 7 4 を、分離電極 6 0 に応じた形状にパターニングする。パターニングの方法は、図 1 0 A の例におけるステップ S

50

1004と同様である。これにより、分離電極60が形成される。

【0091】

次にステップS1018において、半導体基板10上、および、分離電極60上に絶縁膜76を堆積させる。絶縁膜76は、図10Aの例における絶縁膜76と同様の方法で形成する。

【0092】

次にステップS1020において、絶縁膜76上に導電層78を形成する。これにより、ボディ領域12の上方、および、分離電極60の上方に導電層78が形成される。導電層78は、図10Aの例における導電層78と同様の方法で形成する。

【0093】

次にステップS1022において、導電層78および絶縁膜76を所定の形状にパターニングする。これにより、ゲート電極30、ゲート接続部62およびゲート絶縁膜27を形成する。

【0094】

次にステップS1024においてゲート電極30およびゲート接続部62を覆う層間絶縁膜28を形成する。また、ソース電極26およびドレイン電極24等を形成する。これにより半導体装置100が完成する。

【0095】

図10Cは、半導体装置100の製造方法の他の例を示す図である。本例では、まずステップS1026において、半導体基板10上に絶縁膜74および導電層77を形成する。絶縁膜74および導電層78は、図10Aの例における絶縁膜74および導電層77と同一の方法で形成する。

【0096】

次にステップS1028において、導電層77および絶縁膜74を、分離電極60に応じた形状にパターニングする。パターニングの方法は、図10Aの例におけるステップS1004と同様である。これにより、分離電極60が形成される。

【0097】

次にステップS1030において、分離電極60をマスクとして半導体基板10にホウ素等のP型不純物を注入し、注入後に熱処理する。これにより選択的にボディ領域12を形成する。次に、ボディ領域12上にフォトリソ等で、ソース領域14に対応する部分が開口したマスクを形成する。そして、砒素等のN型不純物を注入し、注入後に熱処理する。これにより選択的にソース領域14を形成する。

【0098】

S1030より後の工程は、図10Bに示したステップS1018以降の工程と同様である。このような方法によっても半導体装置100を製造することができる。

【0099】

図11は、半導体装置200の製造方法の一例を示す図である。まず、図10Aの例におけるステップS1000～S1006と同様のステップS1100～ステップS1106を行う。次にステップS1108において、絶縁膜76の一部をエッチングして、分離電極60の上面の一部を露出させる。

【0100】

次にステップS1110において、絶縁膜76上、および、絶縁膜76の開口内に導電層80をCVD法等で形成する。導電層80は、分離電極60と同一の材料であってよい。

【0101】

次にステップS1112において、導電層80および絶縁膜76をエッチングする。これにより延長部72-1および延長部72-2を形成する。

【0102】

次にステップS1114において、延長部72を覆う層間絶縁膜28を形成する。また、ソース電極26およびドレイン電極24等を形成する。これにより半導体装置200が

10

20

30

40

50

完成する。

【0103】

(第5実施例)

図12は、本発明の第5実施例に係る半導体装置500の一例を示す断面図である。本例の半導体装置500は、図1から図12において説明したいずれかの実施例に係る半導体装置に対して、ボディ領域12の形状が異なる。他の構造は、図1から図12において説明したいずれかの半導体装置と同一であってよい。図12においては、第1実施例に係る半導体装置100におけるボディ領域12の形状を変化させた例を示している。

【0104】

本例では、半導体基板10の上面において、第1のボディ領域12-1の端部38と、第1のゲート電極30-1の端部36とが、対向する位置に設けられる。また、第2のボディ領域12-2の端部38と、第2のゲート電極30-2の端部36とが、対向する位置に設けられる。ボディ領域12の端部38およびゲート電極30の端部36は、ネック部18側の端部を指す。また、ボディ領域12の端部38およびゲート電極30の端部36は、半導体基板10の上面に最も近い層における端部を指す。

10

【0105】

また、端部が対向するとは、半導体基板10の上面と平行な面内における端部38および端部36の位置がほぼ同一であることを指す。一例として、当該面内における端部38および端部36の位置の誤差が $0.2\mu\text{m}$ 以内の場合、端部38および端部36が対向するとみなしてよい。

20

【0106】

ただし、上述した位置の誤差を有する場合、ゲート電極30の端部36は、ボディ領域12の端部38よりもネック部18側に突出していることが好ましい。ボディ領域12の端部38およびゲート電極30の端部36を対向して配置することで、ボディ領域12におけるチャンネルの制御性を確保しつつ、SEGR耐量を向上することができる。

【0107】

また、それぞれのボディ領域12は、半導体基板10の上面における端部38よりも、ネック部18側に突出する突出部32を有する。突出部32と半導体基板10の上面との間には、N型のネック部18が延在している。

【0108】

突出部32を設けることで、ゲート電極30の端部36とボディ領域12の端部38との位置の誤差が0より大きく $0.2\mu\text{m}$ までの範囲で形成された場合(すなわち、端部36が端部38よりも先端34側にずれた場合)に、ネック部18と対向するゲート電極30に挟まれたゲート絶縁膜27が突出部32によって保護される。このため、重粒子が入射してプラズマフィラメントが形成されても、ゲート電極30とネック部18とに挟まれたゲート絶縁膜27に大きなドレイン電圧が印可されることを抑制することができる。また、突出部32を設けることで、ネック部18を細くすることができる。このため、半導体基板10に重粒子が入射した場合に、N型の領域を貫通するプラズマフィラメントの経路が形成されにくくなる。従って、SEGR耐量を向上させることができる。

30

【0109】

図13は、半導体装置500におけるボディ領域12の周辺を拡大した拡大断面図である。図13では第1のボディ領域12-1の周辺を示しているが、第2のボディ領域12-2の周辺の構造も同様である。

40

【0110】

突出部32は、半導体基板10の上面における端部38よりもネック部18側に位置する先端34を、半導体基板10の内部に有する。先端34は、突出部32のうち、半導体基板10の上面と平行な面内において最もネック部18側の部分を指す。

【0111】

本例の分離電極60の端部61は、突出部32の先端34よりも、ゲート電極30側に配置されている。分離電極60の端部61は、分離電極60のうち半導体基板10の上面

50

に最も近い層における端部を指す。つまり、分離電極 60 は、突出部 32 の上方で終端している。また、分離電極 60 の一部は、突出部 32 と重なる位置に配置されている。

【0112】

このような構造により、第 1 のボディ領域 12 - 1 の先端 34 と、第 2 のボディ領域 12 - 2 の先端 34 との間を、分離電極 60 で覆うことができる。このため、重粒子が入射した場合にドレイン電極 24 と半導体基板 10 の上面とが導通しやすい領域を、分離電極 60 で覆うことができる。

【0113】

ただし、分離電極 60 の端部 61 は、ボディ領域 12 の先端 34 よりも、ゲート電極 30 とは逆側に配置されていてもよい。また、分離電極 60 の端部 61 は、ボディ領域 12 の先端 34 と重なる位置に配置されていてもよい。

10

【0114】

図 14 は、半導体装置 500 の製造方法の一例を示す図である。まず図 10A のステップ S1000 および S1002 と同様の工程で、半導体基板 10 内にボディ領域 12 およびソース領域 14 を形成して、半導体基板 10 上に絶縁膜 74 および導電層 77 を形成する。

【0115】

次にステップ S1404 において、導電層 77 および絶縁膜 74 を所定の形状にパターニングする。パターニングの方法は、図 10A のステップ S1004 と同様である。ただし、半導体基板 10 の上面と平行な面内において、それぞれのゲート電極 30 の分離電極 60 側の端部が、それぞれのボディ領域 12 の半導体基板 10 の上面における端部よりも、ボディ領域 12 の内側に配置されるように、導電層 77 および絶縁膜 74 をパターニングする。これにより、2つのゲート電極 30 および分離電極 60 が形成される。

20

【0116】

次にステップ S1405 において半導体基板 10 の上面を熱酸化する。S1405 においては、主にゲート電極 30 および分離電極 60 で覆われていない領域で酸化膜が形成される。本例では、主に間隙 64 の下方において酸化膜が成長する。図 14 では、絶縁膜 74 と当該酸化膜とを合わせて絶縁膜 75 としている。ステップ S1405 における酸化温度は、例えば 900 度より低い。一例として酸化温度は 850 度程度である。

【0117】

絶縁膜 75 が形成される時に、ゲート電極 30 および分離電極 60 で覆われていないボディ領域 12 に含まれる不純物が絶縁膜 75 に吸収される。このため、ボディ領域 12 の形状は、半導体基板 10 の上面近傍において、ネック部 18 との境界部分がゲート電極 30 側（すなわちソース領域 14 側）に巻き込まれた形状になる。ボディ領域 12 には、半導体基板 10 を酸化した場合に絶縁膜 75 に吸い出される種類の不純物を注入する。本例において半導体基板 10 はシリコンであり、ボディ領域 12 に注入する不純物はボロンである。

30

【0118】

ステップ S1405 においては、それぞれのボディ領域 12 の端部 38 と、それぞれのゲート電極 30 の端部 36 とが対向する位置となるまで、それぞれのボディ領域 12 の不純物を絶縁膜 75 に吸収させる。ただし、ゲート電極 30 で覆われている領域では、ボディ領域 12 に含まれる不純物は絶縁膜 75 にほとんど吸収されない。ボディ領域 12 の端部 38 は、ゲート電極 30 の端部 36 と対向する位置まで移動すると、更に酸化を進めても、ソース領域 14 側にはほとんど移動しない。

40

【0119】

このため、ゲート電極 30 の端部 36 に対して、ボディ領域 12 の端部 38 の位置をセルフアラインで揃えることができる。また、それぞれのボディ領域 12 の端部 38 の位置を、ゲート電極 30 の端部 36 の位置に、同一の工程で精度よく合わせることができる。

【0120】

ステップ S1405 の後の工程は、例えば図 10A におけるステップ S1006 以降と

50

同様である。また、ステップS 1 4 0 5の後の工程は、図 1 1におけるステップS 1 1 0 6以降と同様であってもよい。

【 0 1 2 1 】

図 1 4に示した例では、分離電極 6 0の端部 6 1も、ボディ領域 1 2の内側に配置されている。これにより、分離電極 6 0の端部 6 1を、ボディ領域 1 2の先端 3 4よりも、ゲート電極 3 0側に配置することができる。

【 0 1 2 2 】

ただし、分離電極 6 0に覆われるボディ領域 1 2の面積が大きくなりすぎると、分離電極 6 0に覆われている領域の不純物を効率よく吸い出すことができない場合がある。このため、分離電極 6 0の端部 6 1と、ボディ領域 1 2の先端 3 4との距離は、 $0.2 \mu\text{m}$ 以下程度であることが好ましい。

10

【 0 1 2 3 】

また、間隙 6 4の幅が小さすぎると、間隙 6 4の位置にバラツキが生じた場合に、ボディ領域 1 2の端部の不純物を効率よく吸い出すことができない場合がある。一方で、間隙 6 4の幅を大きくしすぎると、分離電極 6 0の幅が小さくなってしまふので、分離電極 6 0でカバーできるネック部 1 8の面積が小さくなってしまふ。このため、間隙 6 4の幅は、 $0.2 \mu\text{m}$ 以上、 $0.8 \mu\text{m}$ 以下程度が好ましい。間隙 6 4の幅は、 $0.3 \mu\text{m}$ 以上であってもよい。また、間隙 6 4の幅は、 $0.5 \mu\text{m}$ 以下であってもよい。

【 0 1 2 4 】

図 1 5は、半導体装置 5 0 0の製造方法の他の例を示す図である。本例の製造方法は、図 1 4に示した製造方法のステップS 1 4 0 5の工程に代えて、ステップS 1 5 0 5の工程を有する。他の工程は、図 1 4に示した製造方法と同様である。

20

【 0 1 2 5 】

ステップS 1 5 0 5においては、第 1のゲート電極 3 0 - 1、第 2電極 3 0 - 2および分離電極 6 0をマスクとして、半導体基板 1 0の上面に第 1の導電型のカウンタ不純物を注入する。本例では、間隙 6 4から第 1の導電型のカウンタ不純物を注入する。カウンタ不純物は、ボディ領域 1 2とは逆の導電型の不純物である。つまり、ボディ領域 1 2にP型の不純物が既に注入されている場合、カウンタ不純物はN型不純物である。カウンタ不純物は、ボディ領域 1 2の一部を第 1の導電型にできる程度のドーズ量で注入される。

【 0 1 2 6 】

一例として、半導体装置 1 0 0がシリコンのNチャネルMOSトランジスタの場合、カウンタ不純物は砒素イオンまたはリンイオンであってもよい。一例としてカウンタ不純物のドーズ量は、 $1.0 \times 10^{14} / \text{cm}^2$ 以上、 $1.0 \times 10^{16} / \text{cm}^2$ 以下程度である。また、半導体装置 1 0 0がシリコンのPチャネルMOSトランジスタの場合、カウンタ不純物はボロンイオンであってもよい。

30

【 0 1 2 7 】

ステップS 1 5 0 5においては、カウンタ不純物を注入する前にレジストを半導体基板 1 0の表面に形成してよい。レジストは、間隙 6 4で露出する領域以外の半導体基板 1 0の上面を覆う。

【 0 1 2 8 】

ステップS 1 5 0 5においては、カウンタ不純物を注入した後、半導体基板 1 0を熱処理する。これにより、注入したカウンタ不純物を活性化させる。熱処理温度は 800 度以上、 950 度以下程度である。活性化したカウンタ不純物により、半導体基板 1 0の上面におけるボディ領域 1 2の端部が、ゲート電極 3 0の端部と対向する位置まで後退する。なお、ボディ領域 1 2の端部は、カウンタ不純物の拡散長に応じて、ゲート電極 3 0の端部よりもソース領域 1 4側に配置されてもよい。

40

【 0 1 2 9 】

なお、半導体装置 1 0 0がシリコンのPチャネルMOSトランジスタの場合、図 1 3に示した方法では、ボディ領域 1 2の不純物を吸い出すことが困難な場合も考えられる。これに対して本例の製造方法によれば、半導体装置 1 0 0がシリコンのPチャネルMOSト

50

ランジスタの場合であっても、ボディ領域 12 に突出部 32 を容易に形成することができる。

【0130】

(第6実施例)

図16は、図1に示す半導体装置100のA-A'断面と平行な面における平面図の一例である。第1のボディ領域12-1および第2のボディ領域12-2の平面形状はストライプ状である。第1のボディ領域12-1および第2のボディ領域12-2の間には、ストライプ状のネック部18が設けられる。本例においても、分離電極60が、ネック部18の上方に配置される。本例の分離電極60は、ネック部18と同様の平面形状を有する。例えば分離電極60は、ストライプ状の平面形状を有する。第1のボディ領域12-1および第2のボディ領域12-2は、第3のボディ領域12-3に接続している。また、第1のボディ領域12-1および第2のボディ領域12-2は、第3のボディ領域12-3に囲まれ、第3のボディ領域12-3の外周には耐圧構造部90を配置してもよい。耐圧構造部90には、例えばガードリング、フィールドプレート等が配置される。

10

【0131】

本例は半導体装置100のA-A'断面における平面図の一例であるが、半導体装置200、300、400、500に適用してもよい。本例の第1のボディ領域12-1および第2のボディ領域12-2の平面形状はストライプ状としたが、第1のボディ領域12-1および第2のボディ領域12-2の平面形状は格子状にしてもよい。また、本例の第1のボディ領域12-1および第2のボディ領域12-2は、第3のボディ領域12-3に接続しているが、第1のボディ領域12-1および第2のボディ領域12-2は第3のボディ領域12-3に接続していなくてもよい。半導体装置100は、第3のボディ領域12-3を有さなくともよい。

20

【0132】

(第7実施例)

図17は、半導体装置100のA-A'断面と平行な面における平面図の他の例である。本例では、複数の第1のボディ領域12-1が、X軸方向およびZ軸方向に沿って離散的に配置されている。同様に、複数の第2のボディ領域12-2が、X軸方向およびZ軸方向に沿って離散的に配置されている。また、X軸方向およびZ軸方向のそれぞれにおいて、第1のボディ領域12-1および第2のボディ領域12-2が交互に配置されている。

30

【0133】

本例のネック部18は、それぞれの第1のボディ領域12-1と、それぞれの第2のボディ領域12-2の周囲に形成されている。つまり、ネック部18の平面形状は格子状である。

【0134】

X軸方向において隣接する第1のボディ領域12-1および第2のボディ領域12-2のZ軸方向における位置は、同一であってもよく、異なってもよい。また、Z軸方向において隣接する第1のボディ領域12-1および第2のボディ領域12-2のX軸方向における位置は、同一であってもよく、異なってもよい。図17の例では、それぞれの第1のボディ領域12-1は、X軸方向において隣接する2つの第2のボディ領域12-2のZ軸方向における位置の中間に配置される。また、それぞれの第1のボディ領域12-1は、Z軸方向において隣接する2つの第2のボディ領域12-2のX軸方向における位置の中間に配置される。

40

【0135】

第3のボディ領域12-3は、複数の第1のボディ領域12-1および複数の第2のボディ領域12-2を囲むように配置されている。第3のボディ領域12-3は、第1のボディ領域12-1および第2のボディ領域12-2とは分離してよい。第3のボディ領域12-3の外周には耐圧構造部90を配置してもよい。半導体装置100は、第3のボディ領域12-3を有さなくともよい。

50

【 0 1 3 6 】

本例においても、分離電極 60 が、ネック部 18 の上方に配置される。本例の分離電極 60 は、ネック部 18 と同様の平面形状を有する。例えば分離電極 60 は、それぞれの第 1 のボディ領域 12 - 1 と、それぞれの第 2 のボディ領域 12 - 2 を囲む格子状の平面形状を有してよい。ゲート電極 30、ゲート接続部 62 等の構造は、半導体装置 100、200、300、400、500 のいずれかと同様である。

【 0 1 3 7 】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

10

【 0 1 3 8 】

特許請求の範囲、明細書、および図面中において示した方法における各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

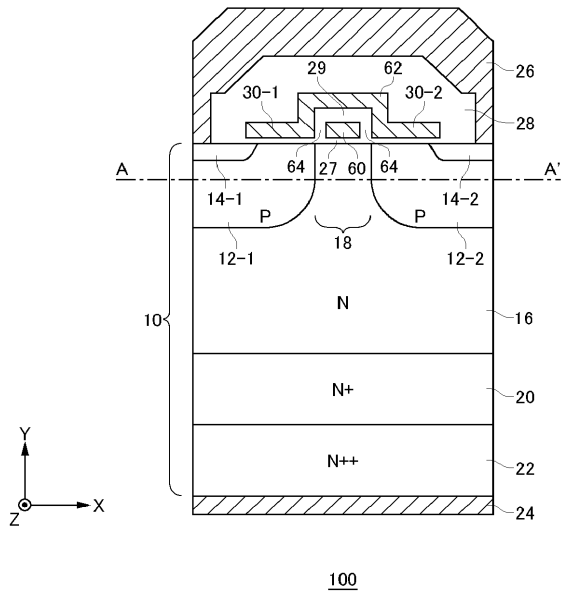
【 符号の説明 】

【 0 1 3 9 】

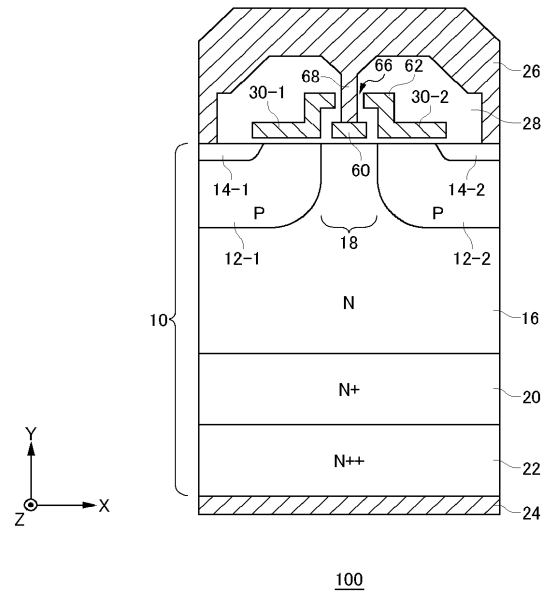
10・・・半導体基板、12・・・ボディ領域、14・・・ソース領域、16・・・ドリフト領域、18・・・ネック部、20・・・中間領域、22・・・ドレイン領域、24・・・ドレイン電極、26・・・ソース電極、27・・・ゲート絶縁膜、28・・・層間絶縁膜、29・・・絶縁膜、30・・・ゲート電極、32・・・突出部、34・・・先端、36・・・端部、38・・・端部、60・・・分離電極、61・・・端部、62・・・ゲート接続部、64・・・間隙、66・・・開口部、68・・・ソース接続部、70・・・開口部、72・・・延長部、74・・・絶縁膜、75・・・絶縁膜、76・・・絶縁膜、77・・・導電層、78・・・導電層、80・・・導電層、90・・・耐压構造部、100、200、300、400、500・・・半導体装置

20

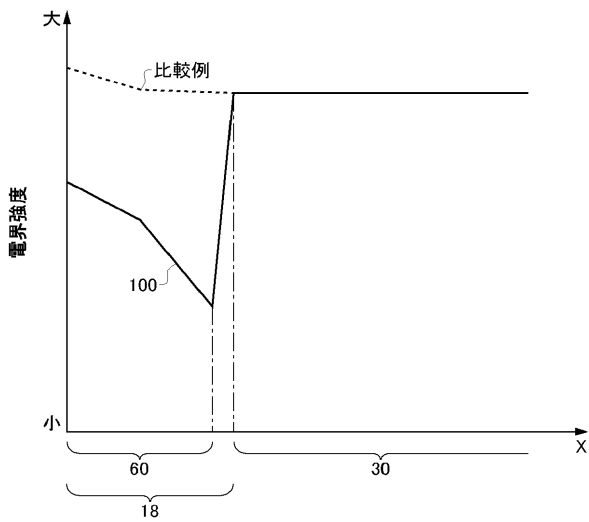
【 図 1 】



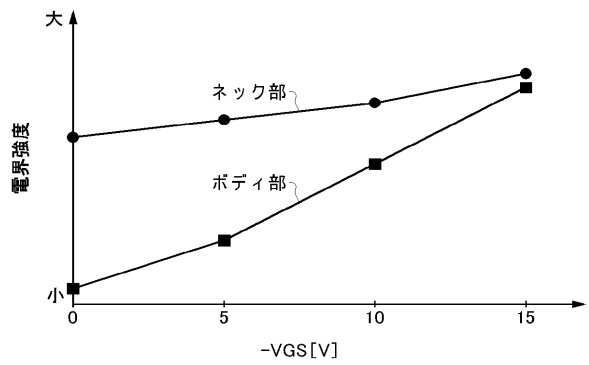
【 図 2 】



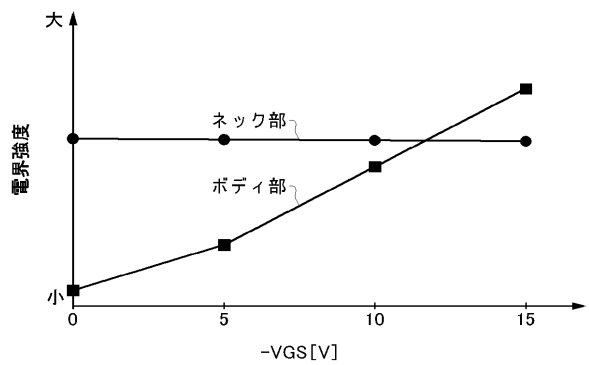
【 図 3 】



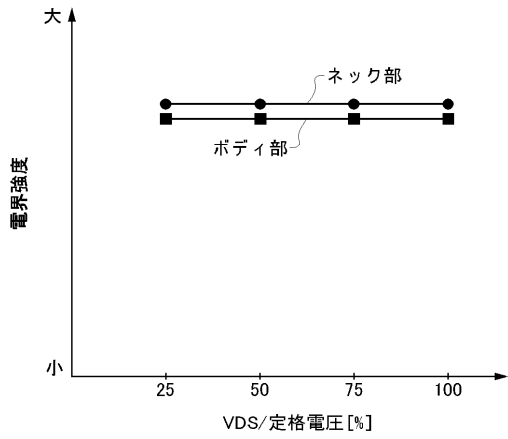
【 図 4 A 】



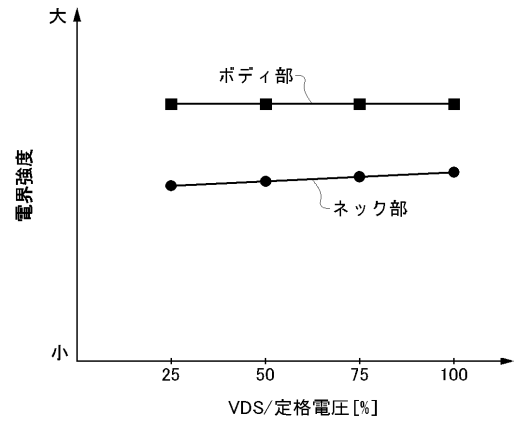
【 図 4 B 】



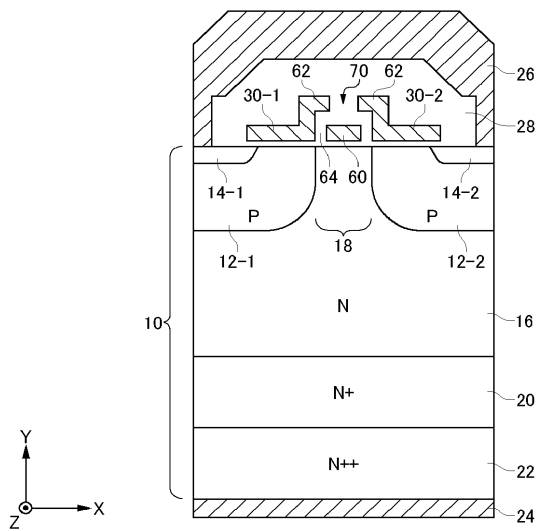
【図 5 A】



【図 5 B】

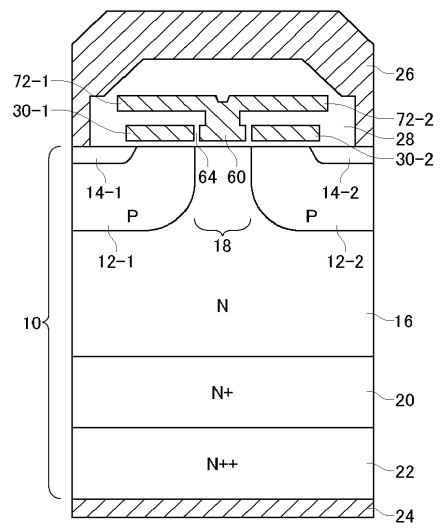


【図 6】



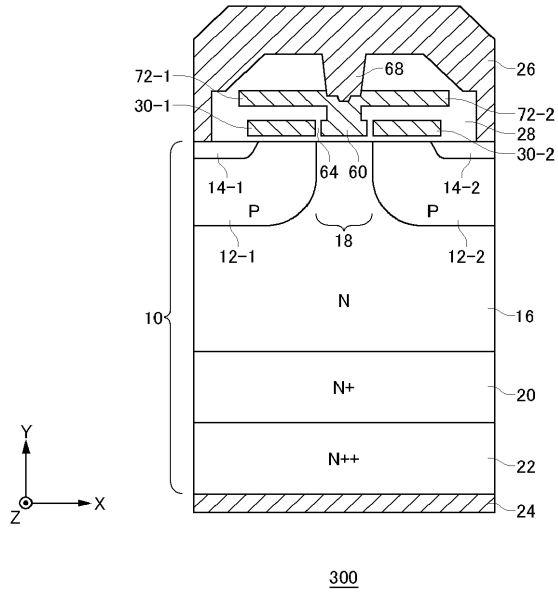
200

【図 7】

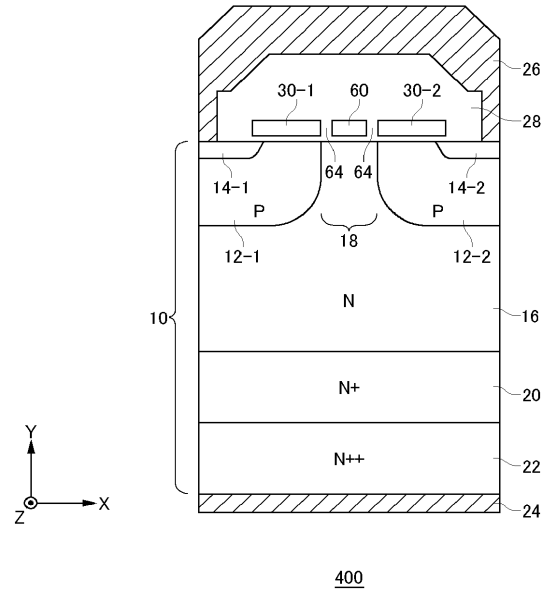


300

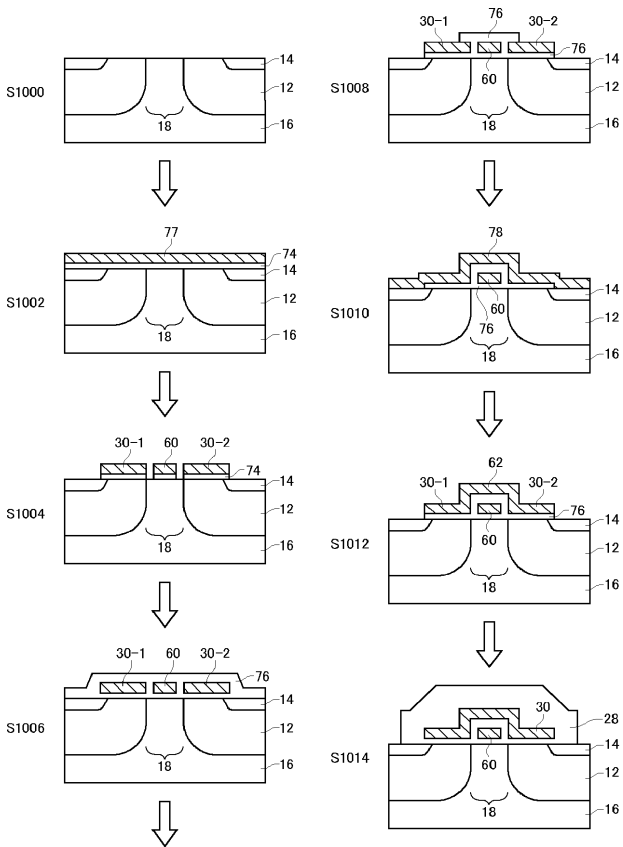
【 図 8 】



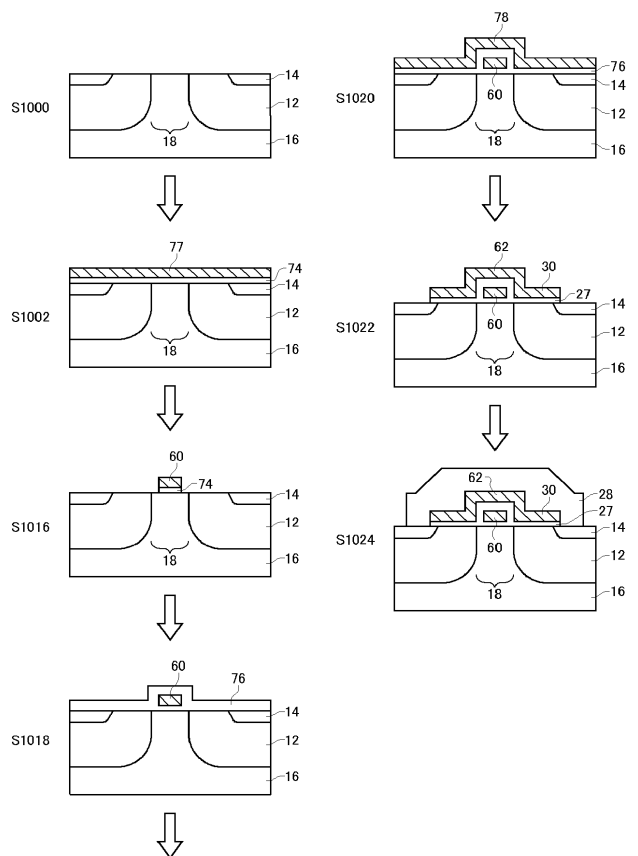
【 図 9 】



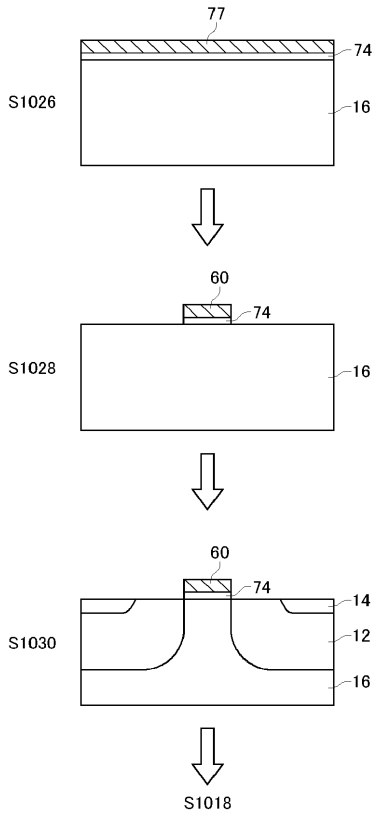
【 図 10 A 】



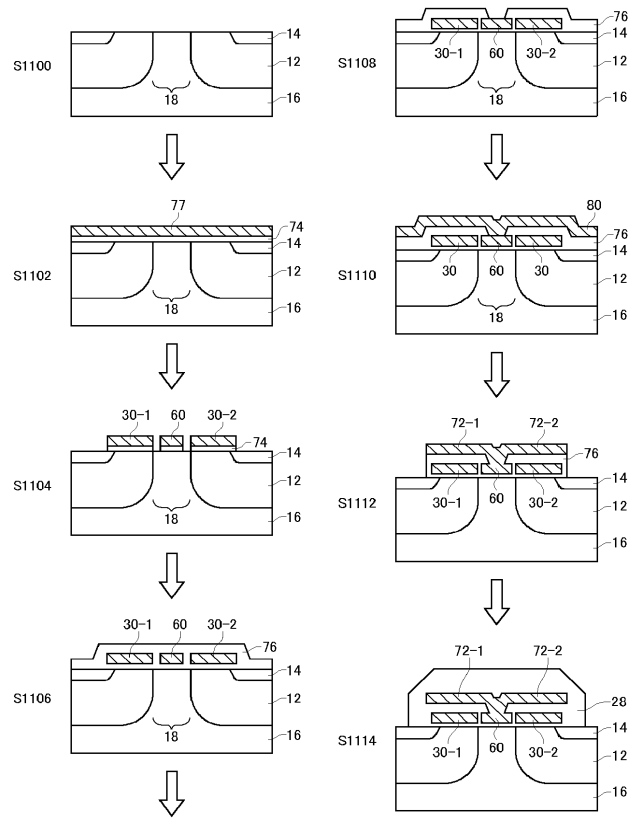
【 図 10 B 】



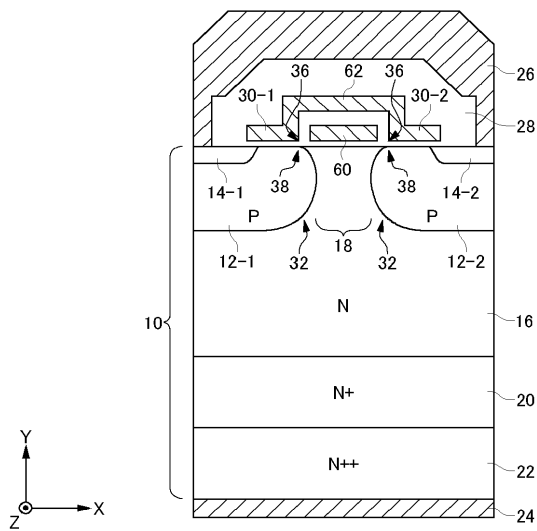
【図10C】



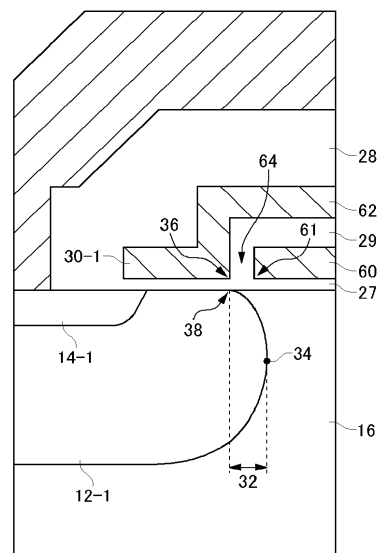
【図11】



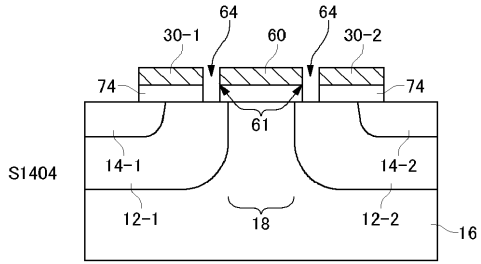
【図12】



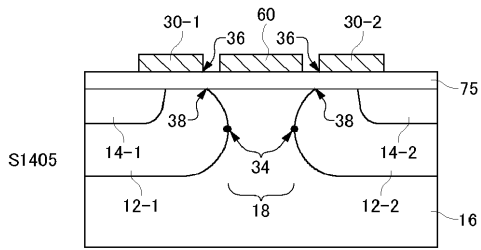
【図13】



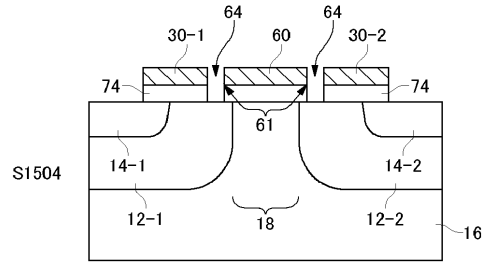
【図 14】



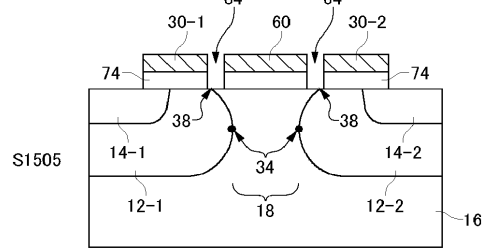
熱酸化



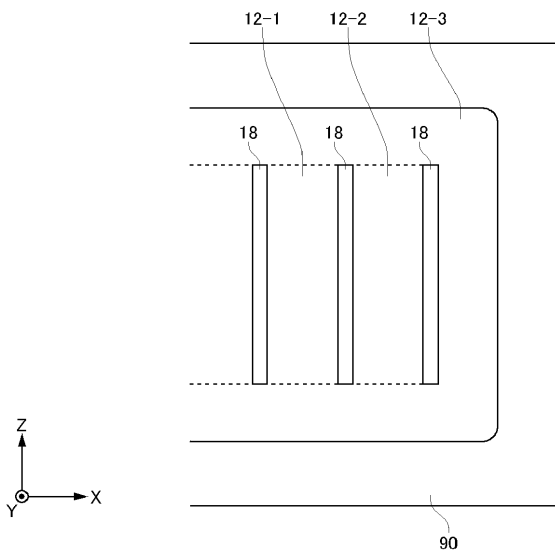
【図 15】



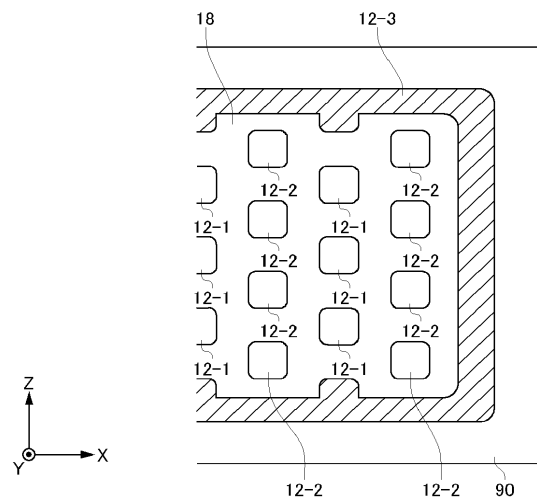
イオン注入



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L	29/78	6 5 2 M
H 0 1 L	29/78	6 5 2 F
H 0 1 L	29/78	6 5 2 P
H 0 1 L	29/78	6 5 2 S
H 0 1 L	29/44	Y