

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 11/34

(11) 공개번호 특 1997-0008167
(43) 공개일자 1997년 02월 24일

(21) 출원번호	특 1996-0028076
(22) 출원일자	1996년 07월 12일
(30) 우선권 주장	95-201674 1995년 07월 14일 일본(JP)
(71) 출원인	히다치세사쿠쇼 가부시카가이샤 가나이 츠토무 일본국 도쿄도 지요다구 간다 스루가다이 4-6텍사스 인스트루먼트 인코포레이티드 윌리엄 E. 힐러 미합중국 75265 텍사스주 달라스 노스센트럴 익스프레스웨이 13500
(72) 발명자	스즈키 유키히데 일본국 아키히마시 미호리초 5-5-7 겐미자키 가네히데 일본국 고다이라시 오가와초 1-445-1-1-1302 다카하시 츠기오 일본국 하무라시 미도리가오카 2-1-16 나카무라 마사유키 일본국 오메시 가베마치 5-25-7 사에키 마코토 일본국 하무라시 미도리가오카 2-1-16 마키무라 치사 일본국 하무라시 사카에초 1-11-12 고마츠자키 가츠오 일본국 이바라키켄 니이하리군 니이하리무라 오바타케 282 스케가와 순이치 일본국 츠쿠바시 마츠시로 4-22-2-405
(74) 대리인	백남기

심사청구 : 없음

(54) 다이내믹형 RAM

요약

다이내믹형 RAM에 관한 것으로서, 간단한 구성으로 제조효율의 향상을 실현할 수 있는 다이내믹형 RAM(random access memory)을 제공하기 위해, 메인워드선, 상기메인워드선과 교차하는 비트선방향으로 배치되고 여러개의 다이내믹형 메모리셀이 접속되어 있는 서브워드선, 메인워드선과 직교하도록 연장되고 여러개의 서브워드선 중의 하나를 선택하는 선택신호가 전달되는 여러개의 서브워드 선택선 및 메인워드선의 선택신호와 서브워드 선택선의 선택신호를 받고 서브워드선중의 하나를 선택하는 선택신호를 형성하는 논리회로를 포함하고, 메인워드선 및 서브워드 선택선의 각각의 전압레벨은 비선택상태일 때 접지전위와 동일하게 되는 구성으로 하였다.

이러한 구성으로 하는 것에 의해, 직류불량을 구제할 수 있고, 서브워드 드라이버의 점유면적을 작게 하고 또한 승압전압 발생회로의 전류공급능력을 경감할 수 있으며, 상기 배선 사이의 절연불량의 영향을 경감할 수 있는 효과가 얻어진다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명에 관한 다이내믹형 RAM에 있어서의 서브워드 드라이버에 관련되는 주요부의 1실시예를 도시한 회로도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

메인워드선, 상기 메인워드선과 교차하는 비트선방향으로 배치되고 여러개의 다이내믹형 메모리셀이 접속되어 있는 서브워드선, 상기 메인워드선과 직교하도록 연장되고 상기 여러개의 서브워드선 중의 하나를 선택하는 선택신호가 전달되는 여러개의 서브워드 선택선 및 상기 메인워드선의 선택신호와 상기 서브워드 선택선의 선택신호를 받고 상기 서브워드선중의 하나를 선택하는 선택신호를 형성하는 논리회로를 포함하고, 상기 메인워드선 및 서브워드 선택선의 각각의 전압레벨은 비선택상태일 때 접지전위와 동일하게 되는 것을 특징으로 하는 다이내믹형 RAM.

청구항 2

제1항에 있어서, 상기 논리회로는 상기 메인워드선의 신호를 받고 메모리셀의 서브워드선 선택신호에 대응한 승압전압을 그의 동작전압으로 하는 제1CMOS 인버터회로, 상기 제1CMOS 인버터회로의 출력신호와 상기 서브워드 선택선으로 전달되는 선택신호를 동작전압으로 해서 상기 서브워드선으로 전달되는 구동신호를 형성하는 제2CMOS 인버터회로 및 상기 서브워드선과 상기 서브워드 선택선 사이에 마련되고 그의 게이트가 상기 메인워드선에 접속된 N채널형 MOSFET를 포함하는 것을 특징으로 하는 다이내믹형 RAM.

청구항 3

제1항에 있어서, 상기 논리회로는 상기 서브워드 선택선의 각각 선택신호를 상기 서브워드선으로 전달하는 N채널형의 구동 MOSFET, 상기 구동 MOSFET의 게이트와 상기 메인워드선 사이에 마련되고 그의 게이트에 정상적으로 전원전압이 공급된 N채널형의 커트오프 MOSFET, 상기 메인워드선의 신호를 받고 전원전압을 그의 동작전압으로 하는 CMOS 인버터회로 및 상기 CMOS 인버터회로의 출력신호가 그의 게이트로 공급되고 상기 서브워드선과 상기 논리회로의 접지전위 사이에 마련된 N채널형의 스위치 MOSFET를 포함하는 것을 특징으로 하는 다이내믹형 RAM.

청구항 4

제1항에 있어서, 상기 메인워드선은 제2층패의 금속배선층에 의해 형성되고, 상기 서브워드 선택선은 제3층패의 금속배선층, 제2층패 금속배선층 및 제1층패의 금속배선층에 의해 구성되고, 상기 제3층패의 금속배선층은 상기 서브워드선택선과 상기 메인워드선이 교차하는 부분에 사용되고, 상기 제1층패의 금속배선층은 상기 서브워드 선택선이 상기 논리회로를 구성하는 회로소자에 접속되는 부분에 사용되는 것을 특징으로 하는 다이내믹형 RAM.

청구항 5

제4항에 있어서, 상기 메인워드선 및 서브워드선 결합구제용의 용장메인워드선 및 용장서브워드선을 구비해서 이루어지는 것을 특징으로 하는 다이내믹형 RAM.

청구항 6

제1방향으로 연장된 메인워드선, 상기 제1방향으로 연장되고 상기 제1방향에 대해 수직인 제2방향으로 나란히 배열된 여러개의 제1서브워드선, 상기 제1방향으로 연장되고 상기 제2방향으로 나란히 배열된 여러개의 제2서브워드선, 상기 여러개의 제1서브워드선에 접속된 여러개의 제1메모리셀, 상기 여러개의 제2서브워드선에 접속된 여러개의 제2메모리셀, 상기 제2방향으로 연장되고 상기 제1방향으로 나란히 배열된 여러개의 제1선택선, 상기 제2방향으로 연장되고 상기 제1방향으로 나란히 배열된 여러개의 제2선택선, 상기 메인워드선, 상기 여러개의 제1선택선 및 상기 여러개의 제1서브워드선에 접속되고 상기 여러개의 제1서브워드선중의 1개를 선택하는 상태에서 상기 메인워드선과 상기 여러개의 제1선택선의 신호에 따른 선택상태로 바꾸는 제1선택회로 및 상기 메인워드선, 상기 여러개의 제2선택선 및 상기 여러개의 제2서브워드선에 접속되고 상기 여러개의 제2서브워드선중의 1개를 선택하는 상태를 상기 메인워드선과 상기 여러개의 제2선택선의 신호에 따른 선택상태로 바꾸는 제2선택회로를 포함하고, 상기 메인워드선과 상기 여러개의 제1선택선은 절연층을 거쳐서 서로 교차하도록 반도체기판상에 배치되고, 상기 메인워드선과 상기 여러개의 제2선택선은 절연층을 거쳐서 서로 교차하도록 상기 반도체기판상에 배치되고, 상기 메인워드선, 상기 여러개의 제1선택선 및 상기 여러개의 제2선택선의 각각의 비선택레벨이 접지전위와 동일하게 되는 것을 특징으로 하는 반도체 메모리장치.

청구항 7

제6항에 있어서, 상기 여러개의 제1메모리셀과 상기 여러개의 제2메모리셀이 다이내믹형인 것을 특징으로 하는 반도체 메모리장치.

청구항 8

제6항에 있어서, 상기 제1선택회로와 상기 제2선택회로는 각각 디코딩기능을 갖는 것을 특징으로 하는 반도체 메모리장치.

청구항 9

제1방향으로 연장된 제1워드선, 상기 제1방향으로 연장되고 상기 제1방향에 대해 수직인 제2방향으로 나란히 배열된 여러개의 제2워드선, 상기 제1방향으로 연장되고 상기 제2방향으로 나란히 배열된 여러개의 제3워드선, 상기 여러개의 제2워드선에 접속된 여러개의 제1메모리셀, 상기 여러개의 제3워드선에 접속된 여러개의 제2메모리셀, 상기 제2방향으로 연장되고 상기 제1방향으로 나란히 배열된 여러개의 제1선택선, 상기 제2방향으로 연장되고 상기 제1방향으로 나란히 배열된 여러개의 제2선택선, 상기 제1워드선, 상기 여러개의 제1선택선 및 상기 여러개의 제2워드선에 접속되고 상기 제1워드선과 상기 여러개의 제1선택선의 신호에 따른 상기 여러개의 제2워드선중의 1개를 선택하는 제1선택회로, 상기 제1워드선, 상기 여러개의 제2선택선 및 상기 여러개의 제3워드선에 접속되고 상기 제1워드선과 상기 여러개의 제2선택선의 신호에 따른 상기 여러개의 제3워드선중의 1개를 선택하는 제2선택회로를 포함하고, 상기 제1워드선과 상기 여러개의 제1선택선은 절연층을 거쳐서 서로 교차하도록 반도체기판상에 배열되고, 상기 제1워드선과 상기 여러개의 제2선택선은 상기 절연층을 거쳐서 서로 교차하도록 상기 반도체기판상에 배열되고, 상기 여러개의 제1선택선의 각각의 비선택레벨은 상기 제1워드선의 비선택레벨과 실질적으로 동일하고, 또한 상기 여러개의 제2선택선의 각각의 비선택레벨은 상기 제1워드선의 비선택레벨과 실질적으로 동일한 것을 특징으로 하는 반도체 메모리장치.

청구항 10

제9항에 있어서, 상기 여러개의 제1메모리셀과 상기 여러개의 제2메모리셀은 다이내믹형인 것을 특징으로 하는 반도체 메모리장치.

청구항 11

제9항에 있어서, 상기 제1선택회로와 상기 제2선택회로는 각각 디코딩기능을 갖는 것을 특징으로 하는 반도체 메모리장치.

청구항 12

(1) 제1방향으로 연장된 제1메인워드선, (2) 상기 제1방향으로 연장된 제2메인워드선, (3) 상기 제1방향으로 연장되고 상기 제1방향과 수직인 제2방향으로 나란히 배열된 여러개의 제1서브워드선, (4) 상기 제1방향으로 연장되고 상기 제2방향으로 나란히 배열된 여러개의 제2서브워드선, (5) 상기 제1방향으로 연장되고 상기 제2방향으로 나란히 배열된 여러개의 제3서브워드선, (6) 상기 제1방향으로 연장되고 상기 제2방향으로 나란히 배열된 여러개의 제4서브워드선, (7) 상기 여러개의 제1서브워드선에 접속된 여러개의 제1메모리셀, (8) 상기 여러개의 제2서브워드선에 접속된 여러개의 제2메모리셀, (9) 상기 여러개의 제3서브워드선에 접속된 여러개의 제3메모리셀, (10) 상기 여러개의 제4서브워드선에 접속된 여러개의 제4메모리셀, (11) 상기 제2방향으로 연장되고 상기 제1방향으로 나란히 배열된 여러개의 제1선택선, (12) 상기 제2방향으로 연장되고 상기 제1방향으로 나란히 배열된 여러개의 제2선택선, (13) 상기 제1메인워드선, 상기 여러개의 제1선택선 및 상기 여러개의 제1서브워드선에 접속되고, 상기 제1메인워드선과 상기 여러개의 제1선택선의 신호에 따라 상기 여러개의 제1서브워드선중의 1개의 레벨을 비선택레벨에서 선택레벨로 전환하는 제1선택회로, (14) 상기 제1메인워드선, 상기 여러개의 제2선택선 및 상기 여러개의 제2서브워드선에 접속되고, 상기 제1메인워드선과 상기 여러개의 제2선택선의 신호에 따라 상기 여러개의 제2서브워드선중의 1개의 레벨을 비선택레벨에서 선택레벨로 전환하는 제2선택회로, (15) 상기 제2메인워드선, 상기 여러개의 제1선택선 및 상기 여러개의 제3서브워드선에 접속되고, 상기 제2메인워드선과 상기 여러개의 제1선택선의 신호에 따라서 상기 여러개의 제3서브워드선중의 1개의 레벨을 비선택레벨에서 선택레벨로 전환하는 제3선택회로, (16) 상기 제2메인워드선, 상기 여러개의 제2선택선 및 상기 여러개의 제4서브워드선에 접속되고, 상기 제2메인워드선과 상기 여러개의 제2선택선의 신호에 따라서 상기 여러개의 제4서브워드선중의 1개의 레벨을 비선택레벨에서 선택레벨로 전환하는 제4선택회로를 포함하고, 상기 제1메인워드선과 상기 여러개의 제1선택선은 미리 정해진 층을 거쳐서 서로 교차하도록 반도체 기판상에 배치되고, 상기 제1메인워드선과 상기 여러개의 제2선택선은 상기 미리 정해진 층을 거쳐서 서로 교차하도록 반도체기판상에 배치되고, 상기 제2메인워드선과 상기 여러개의 제1선택선은 상기 미리 정해진 층을 거쳐서 서로 교차하도록 반도체기판상에 배치되고, 상기 제2메인워드선과 상기 여러개의 제2선택선은 미리 정해진 층을 통해 서로 교차하도록 반도체기판상에 배치되고, 상기 여러개의 제1선택선의 각각의 비선택레벨은 상기 제1메인워드선의 비선택레벨과 실질적으로 동일하고, 상기 여러개의 제2선택선의 비선택레벨은 상기 제1메인워드선의 비선택레벨과 실질적으로 동일하고, 상기 여러개의 제1선택선의 각각의 비선택레벨은 상기 제2메인워드선의 비선택레벨과 실질적으로 동일하고, 상기 여러개의 제2선택선의 각각의 비선택레벨은 상기 제2메인워드선의 비선택레벨과 실질적으로 동일한 것을 특징으로 하는 반도체 메모리장치.

청구항 13

제12항에 있어서, 상기 제1메인워드선, 상기 제2메인워드선, 상기 여러개의 제1선택선 및 상기 여러개의 제2선택선의 각각의 상기 비선택레벨이 접지전위와 동일하게 되는 것을 특징으로 하는 반도체 메모리장치.

청구항 14

제12항에 있어서, 상기 제1메인워드선과 상기 여러개의 제1선택선은 절연층을 거쳐서 서로 교차하도록 상기 반도체기판상에 형성되고, 상기 제1메인워드선과 상기 여러개의 제2선택선은 상기 절연층을 거쳐서 서로 교차하도록 상기 반도체기판상에 형성되고, 상기 제2메인워드선과 상기 여러개의 제1선택선은 상기 절연층을 거쳐서 서로 교차하도록 상기 반도체기판상에 형성되고, 또한 상기 제2메인워드선과 상기 여러개의 제2선택선은 상기 절연층을 거쳐서 서로 교차하도록 상기 반도체기판상에 형성되는 것을 특징으로 하는 반도체 메모리장치.

청구항 15

제12항에 있어서, 상기 여러개의 제1메모리셀, 상기 여러개의 제2메모리셀, 상기 여러개의 제3메모리셀 및 상기 여러개의 제4메모리셀은 다이나믹형인 것을 특징으로 하는 반도체 메모리장치.

청구항 16

제12항에 있어서, 상기 제1선택회로, 상기 제2선택회로, 상기 제3선택회로 및 상기 제4선택회로는 각각 디코딩기능을 갖는 것을 특징으로 하는 반도체 메모리장치.

청구항 17

제1층패의 배선층과 제2층패의 배선층 및 상기 제1층패의 배선층과 상기 제2층패의 배선층 사이에 배치된 절연층이 형성되어 있는 반도체기판상에 형성된 반도체 메모리장치로서, (1) 제1방향으로 연장된 제1워드선, (2) 상기 제1방향으로 연장되고 상기 제1방향과 수직인 제2방향으로 나란히 배열되고, 상기 여러개의 제2워드선은 각각 상기 제1워드선보다 짧은 여러개의 제2워드선, (3) 상기 제1방향으로 연장되고 상기 제2방향으로 나란히 배열되고, 상기 여러개의 제3워드선은 각각 상기 제1워드선보다 짧은 여러개의 제3워드선, (4) 상기 여러개의 제2워드선에 접속된 여러개의 제1메모리셀, (5) 상기 여러개의 제3워드선에 접속된 여러개의 제2메모리셀, (6) 상기 제2방향으로 연장되고 상기 제1방향으로 나란히 배열된 여러개의 제1선택선, (7) 상기 제2방향으로 연장되고 상기 제1방향으로 나란히 배열된 여러개의 제2선택선, (8) 상기 제1워드선, 상기 여러개의 제1선택선 및 상기 여러개의 제2워드선에 접속되고 상기 제1워드선과 상기 여러개의 제1선택선의 신호에 따라서 상기 여러개의 제2워드선중의 1개를 선택하는 제1선택회로, (9) 상기 메인워드선, 상기 여러개의 제2선택선 및 상기 여러개의 제3워드선에 접속되고 상기 제1워드선과 상기 여러개의 제2선택선의 신호에 따라서 상기 여러개의 제3워드선중의 1개를 선택하는 제2선택회로를 포함하고, 상기 제1워드선은 상기 제1층패의 배선층에 형성되고, 상기 여러개의 제1선택선과 상기 여러개의 제2선택선은 상기 제2층패의 배선층에 형성되고, 상기 여러개의 제1선택선의 각각의 비선택레벨은 상기 제1워드선의 비선택레벨과 실질적으로 동일하고, 또한 상기 여러개의 제2선택선의 각각의 비선택레벨은 상기 제1워드선의 비선택레벨과 실질적으로 동일한 것을 특징으로 하는 반도체 기억장치.

청구항 18

제17항에 있어서, 상기 여러개의 제1메모리셀과 상기 여러개의 제2메모리셀은 다이나믹형인 것을 특징으로 하는 반도체 메모리장치.

청구항 19

제17항에 있어서, 상기 제1선택회로와 상기 제2선택회로는 각각 디코딩기능을 갖는 것을 특징으로 하는 반도체 메모리장치.

청구항 20

제17항에 있어서, 상기 메인워드선, 상기 여러개의 제1선택선 및 상기 여러개의 제2선택선의 각각의 상기 비선택레벨이 접지전위와 동일한 것을 특징으로 하는 반도체 메모리장치.

청구항 21

제17항에 있어서, 상기 절연층은 상기 제1층패의 배선층에 배열되고, 상기 제2층패의 배선층은 상기 절연층에 배열되는 것을 특징으로 하는 반도체 메모리장치.

청구항 22

제17항에 있어서, 상기 제1층패의 배선층과 상기 제2층패의 배선층은 금속배선층은 금속배선층인 것을 특징으로 하는 반도체 메모리장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

