

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 1 月 17 日 (17.01.2019)



(10) 国际公布号
WO 2019/011071 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) **H01L 29/423** (2006.01)
H01L 21/336 (2006.01) **H01L 27/12** (2006.01)

(21) 国际申请号: PCT/CN2018/088872

(22) 国际申请日: 2018 年 5 月 29 日 (29.05.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710564648.5 2017 年 7 月 11 日 (11.07.2017) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。合肥鑫晟光电科技有
限公司 (HEFEI XINSHENG OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省
合肥市新站区工业园内, Anhui 230012 (CN)。

(72) 发明人: 苏同上 (SU, Tongshang); 中国北京市经
济技术开发区地泽路 9 号, Beijing 100176 (CN)。
袁广才 (YUAN, Guangcai); 中国北京市经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。王
东方 (WANG, Dongfang); 中国北京市经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。赵
策 (ZHAO, Ce); 中国北京市经济技术开发区

地泽路 9 号, Beijing 100176 (CN)。周斌 (ZHOU, Bin); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘军 (LIU, Jun); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。邵继峰 (SHAO, Jifeng); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王庆贺 (WANG, Qinghe); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张扬 (ZHANG, Yang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责任
公司 (CHINA SCIENCE PATENT & TRADEMARK
AGENT LTD.); 中国北京市海淀区西三环北路
87 号 4-1105 室, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(54) Title: METHOD FOR MANUFACTURING THIN-FILM TRANSISTOR, THIN-FILM TRANSISTOR, ARRAY SUBSTRATE AND DISPLAY PANEL

(54) 发明名称: 薄膜晶体管的制备方法、薄膜晶体管、阵列基板和显示面板

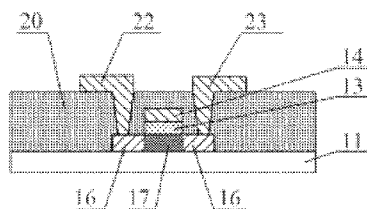


图 13

(57) Abstract: Provided are a thin-film transistor and a manufacturing method therefor, an array substrate and a display panel. The method comprises: forming an active layer, a gate insulating layer and a gate electrode on a base, wherein conduction processing is performed on two sides of a homogeneous active material layer so as to obtain the active layer, and the active layer includes conductor regions located at two sides and a non-conductor region located at the centre; and a projection, on the base, of the gate electrode is within a projection, on the base, of the non-conductor region, and the distances between the projection of the gate electrode and projections, on the base, of the two conductor regions are respectively between 0 and 1 micrometre.

(57) 摘要: 提供了一种薄膜晶体管及其制备方法、阵列基板和显示面板。所述方法包括在基底上形成有源层、栅绝缘层和栅极, 其中对均质的有源材料层的两侧进行导体化处理, 以得到有源层, 所述有源层包含位于两侧的导体区域和位于中央的非导体区域, 其中所述栅极在所述基底上的投影在所述非导体区域在所述基底上的投影之内, 并且所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0 微米至 1 微米之间。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。
- 包括经修改的权利要求(条约第19条(1))。

薄膜晶体管的制备方法、薄膜晶体管、阵列基板和显示面板

相关申请的交叉引用

本公开要求 2017 年 7 月 11 日提交的中国专利申请号 201710564648.5 的优先权，其通过引用以其全部结合在此。

技术领域

本公开涉及显示技术领域，具体涉及一种薄膜晶体管的制备方法、薄膜晶体管、阵列基板和显示面板。

背景技术

薄膜晶体管是显示技术领域非常重要的元件，相关技术中，薄膜晶体管主要有两大类，即底栅型薄膜晶体管和顶栅型薄膜晶体管。顶栅型薄膜晶体管中栅电极与源电极/漏电极无重叠，因此寄生电容非常低，同时顶栅型薄膜晶体管的制作工艺简单、沟道的宽长比 W/L 比较大，且布局灵活，所以其在高分辨率、高刷新率、窄边框、低功耗的产品中得到了广泛的应用。

目前制得的顶栅型薄膜晶体管仍存在开态电流低、功耗高等问题。

发明内容

本公开实施例提供了一种薄膜晶体管的制备方法，所述方法包括：

在基底上形成均质的有源材料层；

对所述均质的有源材料层的两侧进行导体化处理，以得到有源层，所述有源层包含位于两侧的导体区域和位于中央的非导体区域；

形成位于所述导体区域上的栅绝缘层；

形成位于所述栅绝缘层上的栅极层；

形成分别与所述有源层的所述导体区域电学连接的源电极和漏电极；

其中，所述栅极在所述基底上的投影在所述非导体区域在所述基底上的投影之内，并且所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0 微米至 1 微米之间。

可选地，所述方法依次包括：

在基底上形成所述均质的有源材料层；

在所述均质的有源材料层上形成栅绝缘层材料膜；

在所述栅绝缘层材料膜上形成栅极材料膜；

在所述栅极材料膜上形成图案化的光刻胶层；

利用所述图案化的光刻胶层作为掩模，通过湿法刻蚀将所述栅极材料膜图案化，以形成所述栅极层；

使所述图案化的光刻胶层变窄，并且利用所述变窄的光刻胶层作为掩模，通过干法刻蚀将所述栅绝缘层材料膜图案化，以形成所述栅绝缘层；

以及

利用所述栅绝缘层作为掩模，对所述均质的有源材料层的两侧进行导体化处理，以得到所述有源层。

可选地，所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在在 0.1 微米至 0.9 微米之间。

可选地，所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在在 0.1 微米至 0.5 微米之间。

可选地，所述使图案化的光刻胶层变窄包括对所述图案化的光刻胶层进行硬烘焙。

可选地，所述硬烘焙的温度为 130℃ 以上。

可选地，所述使图案化的光刻胶层变窄包括对所述图案化的光刻胶层进行灰化处理。

可选地，所述方法依次包括：

在所述基底上形成所述均质的有源材料层；

在所述均质的有源材料层上形成栅绝缘层材料膜；

在所述栅绝缘层材料膜上形成栅极材料膜；

在所述栅极材料膜上形成图案化的光刻胶层；

利用所述图案化的光刻胶层作为掩模，通过干法刻蚀将所述栅绝缘层材料膜和所述栅极材料膜图案化，以形成所述栅绝缘层和所述栅极层；

以及

利用所述栅绝缘层作为掩模，对所述均质的有源材料层的两侧进行导体化处理，以得到所述有源层。

可选地，所述方法依次包括：

在所述基底上形成所述均质的有源材料层；

对所述均质的有源材料层的两侧进行导体化处理，以得到所述有源层；

在所述有源层上形成所述栅绝缘层；

在所述栅绝缘层上形成所述栅极。

可选地，所述方法进一步依次包括：

在所述基底上形成有源层材料膜；

在所述有源层材料膜上涂覆光刻胶层；

采用半色调掩模或灰阶掩模对所述光刻胶层进行阶梯曝光，形成中央的未曝光区域、两端的完全曝光区域和在所述非曝光区域与所述完全曝光区域之间的部分曝光区域；

去除所述完全曝光区域的光刻胶，刻蚀暴露的有源层材料膜，以形成所述均质的有源材料层；

对光刻胶进行灰化处理，以去除所述部分曝光区域的光刻胶；以及

利用剩余的光刻胶作为掩模，对所述均质的有源材料层的两侧进行导体化处理，以得到所述有源层。

本公开实施例还提供了一种通过上述的方法制备的薄膜晶体管。

可选地，所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0.1 至 1 微米之间。

可选地，所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0.1 至 0.9 微米之间。

可选地，所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0.1 至 0.5 微米之间。

本公开实施例还提供了一种阵列基板，包括上述的薄膜晶体管。

本公开实施例还提供了一种显示面板，包括上述的阵列基板。

附图说明

附图用来提供对本公开技术方案的进一步理解，并且构成说明书的一部分，与本申请的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方案的限制。

图 1 为相关技术中形成均质的有源层后的结构示意图。

图 2 为图 1 中形成栅电极后的结构示意图。

图 3 为图 2 中形成栅绝缘层后的结构示意图。

图 4 为图 3 中对均质的有源层进行导体化后的结构示意图。

图 5 为图 4 中形成源电极和漏电极后的结构示意图。

图 6 为本公开一些实施例的薄膜晶体管制备方法的一部分流程示意图。

图 7 为本公开一些实施例中形成均质的有源材料层后的结构示意图。

图 8 为图 7 中形成栅电极后的结构示意图。

图 9 为图 8 中对光刻胶层进行硬烘烤或灰化处理后的结构示意图。

图 10 为图 9 中形成栅绝缘层后的结构示意图。

图 11 为图 10 中对有源层进行导体化后的结构示意图。

图 12 为图 11 中形成层间绝缘层后的结构示意图。

图 13 为图 12 中形成源电极和漏电极后的结构示意图。

图 14 为本公开另一些实施例中形成图案化的光刻胶层后的结构示意图。

图 15 为图 14 中形成栅极和栅绝缘层后的结构示意图。

图 16 为图 15 中对有源层进行导体化后的结构示意图。

图 17 为本公开另一些实施例中去除完全曝光区域并暴露部分有源层材料膜的结构示意图。

图 18 为图 17 中刻蚀暴露的有源层材料膜后的结构示意图。

图 19 为图 18 中对光刻胶进行灰化后的结构示意图。

图 20 为图 19 中对有源层进行导体化并除去光刻胶层后的结构示意图。

图 21 为图 20 中形成栅电极和栅绝缘层后的结构示意图。

具体实施方式

为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互任意组合。

顶栅型薄膜晶体管的低功耗，主要受其开态电流的影响，而开态电流主要决定于源电极和漏电极之间的开态电阻。本申请的发明人发现，相关技术中的顶栅型薄膜晶体管的开态电阻较大，使得开态电流较小，从而增加了显示器件的功耗，降低了显示面板的显示质量。

经本申请发明人研究发现，相关技术中的顶栅型薄膜晶体管的制备方法使得制备得到的顶栅型薄膜晶体管的源电极和漏电极之间的开态电阻较大。下面详细说明本申请发明人的发现。

图 1~图 5 显示了相关技术中顶栅型薄膜晶体管制备过程的示意图，包括：

第一次构图工艺，在基底 11 上形成有源层 12 的图案，如图 1 所示。

第二次构图工艺，在有源层 12 上形成栅绝缘层和栅电极，在有源层中形成非导体区域和两侧的导体区域，具体包括：在形成有有源层 12 的基底 11 上依次沉积栅绝缘薄膜和栅金属薄膜，并在栅金属薄膜上涂覆一层光刻胶；采用单色调掩模板对光刻胶进行曝光并显影，在栅电极位置形成未曝光区域，保留光刻胶，光刻胶层 15 的宽度为 $CD1$ (CD : 特征尺寸)，在其它位置形成完全曝光区域，无光刻胶，暴露栅金属薄膜。采用湿法刻蚀工艺刻蚀掉暴露的栅金属薄膜，形成栅电极 14 的图案，栅电极 14 的宽度为 $CD2$ 。由于湿法刻蚀是各向同性的，因此导致 $CD2 < CD1$ ，如图 2 所示。也就是说，湿法刻蚀形成的栅电极比其上的光刻胶层窄。继续利用光刻胶层 15 为掩模，采用干法刻蚀工艺刻蚀掉光刻胶层 15 以外的栅绝缘薄膜，形成栅绝缘层 13 的图案。由于干法刻蚀对光刻胶有比较显著的刻蚀作用，所以在干法刻蚀得到栅绝缘层 13 的图案时，光刻胶层 15 的厚度会显著减薄，而且光刻胶层 15 的宽度也从 $CD1$ 减小到 $CD4$ 。最终得到的栅绝缘层 13 的宽度为 $CD3$ ，且 $CD3 = CD4$ 。但是，各向异性的干法刻蚀使光刻胶层宽度变小的效果远小于各向同性的湿法刻蚀使栅电极宽度变小的效果。因此， $CD1 > CD3 = CD4 > CD2$ ，如图 3 所示。利用栅绝缘层 13 作为掩模，对有源层 12 进行导体化处理。导体化是指将非导体性质的均质的有源材料层的两侧转变为导体，从而形成两侧为导体区域中央为非导体区域的有源层。具体地，有源层 12 的两侧的未被栅绝缘层 13 覆盖的区域被完全导体化，形成导体区域 16。有源层 12 的被栅绝缘层 13 覆盖的区域形成非导体区域，非导体区域的宽度基本上为 $CD3$ 。随

后,剥离光刻胶层 15,如图 4 所示。由于 $CD4=CD3>CD2$,即栅电极 14 的宽度 $CD2$ 小于栅绝缘层 13 的宽度即非导体区域的宽度 $CD3$,所以非导体区域中存在被栅电极 14 覆盖的沟道区域 17,以及沟道区域 17 与导体区域 16 之间的非导体区域 18。在相关技术中,例如在常见的约 7 微米的沟道宽度的情况下,由于 $CD2$ 和 $CD3(CD4)$ 之差导致的非导体区域 18 的尺寸高于 1 微米,通常为约 1.5 微米。

随后,在第三次构图工艺中形成层间绝缘层的图案,在第四次构图工艺中形成源电极 22 和漏电极 23 的图案,如图 5 所示。

发明人发现,通过相关技术的制备方法制备出的顶栅型薄膜晶体管,在沟道区域 17 与导体区域 16 之间仍存在较大的非导体区域 18。非导体区域 18 由于没有被完全导体化,所以其电阻值比较大,因此,在开态下,源电极 22 和漏电极 23 之间的电阻值取决于导体区域 16 和非导体区域 18 的电阻值和,由于非导体区域 18 的电阻值较大,使得导体区域 16 和非导体区域 18 的电阻值和在整个回路上所占的比重比较大,从而降低了源电极和漏电极之间的开态电流,增加了显示器件的功耗,降低了显示面板的显示质量。

本公开实施例提供一种薄膜晶体管及其制备方法、阵列基板和显示面板,以至少部分解决现有顶栅型薄膜晶体管的开态电阻较大导致显示器件功耗大的问题。

本公开实施例提供了一种薄膜晶体管的制备方法,其包括:

在基底上形成均质的有源材料层;

对所述均质的有源材料层的两侧进行导体化处理,以得到有源层,所述有源层包含位于两侧的导体区域和位于中央的非导体区域;

形成位于所述导体区域上的栅绝缘层;

形成位于所述栅绝缘层上的栅极层;

形成分别与所述有源层的所述导体区域电学连接的源电极和漏电极;

其中,所述栅极在所述基底上的投影在所述非导体区域在所述基底上的投影之内,并且所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0 微米至 1 微米之间。

在本公开实施例中,各步骤的顺序可以根据需要调整,只要方法包括这

些步骤即可。在该方法的各种实施方案中，通过选择具体的步骤，利用不同的膜层作为掩模对均质的有源层进行导体化，并且相应地调整各膜层的形成工艺，最终达到沟道区与导体区之间的非导体部分尽量窄的技术效果。通过本公开实施例的方法，可以得到非导体部分宽度在 0 微米至 1 微米之间，例如 0.1 微米至 0.9 微米之间，例如 0.1 微米至 0.5 微米之间的薄膜晶体管。

图 6 为本公开一些实施例的薄膜晶体管的制备方法的流程示意图，所公开的薄膜晶体管的制备方法包括：

在基底上形成依次的有源层、栅绝缘层和栅电极，其中，所述有源层包括未导体化区域和导体化区域，所述栅电极在基底上的正投影包含所述未导体化区域在基底上的正投影。

在一些实施例中，在基底上形成依次的有源层、栅绝缘层和栅电极，包括：

S11：在基底上形成有源层；

S12：在形成有有源层的基底上依次沉积栅绝缘薄膜和栅金属薄膜；

S13：形成栅电极和栅绝缘层，所述栅电极和所述栅绝缘层在基底上的正投影完全重叠；

S14：对有源层进行导体化处理，形成非导体区域和位于所述非导体区域两侧的导体区域，所述非导体区域在基底上的正投影与所述栅电极和栅绝缘层在基底上的正投影完全重叠。

在一些实施例中，步骤 S13 可以包括：

在栅金属薄膜上涂覆光刻胶，采用掩模板对光刻胶进行曝光并显影，在栅电极位置形成未曝光区域，所述未曝光区域中保留光刻胶，在其余位置形成完全曝光区域，所述完全曝光区域中光刻胶被去除；

采用湿法刻蚀工艺刻蚀掉完全曝光区域的栅金属薄膜；

对光刻胶进行硬烘烤或灰化处理；

采用干法刻蚀工艺刻蚀掉光刻胶以外的栅绝缘薄膜，使所述栅电极和所述栅绝缘层在基底上的正投影完全重叠。

在一些实施例中，步骤 S13 还可以包括：

在栅金属薄膜上涂覆光刻胶，采用掩模板对光刻胶进行曝光并显影，在栅电极位置形成未曝光区域，所述未曝光区域中保留光刻胶，在其余位置形

成完全曝光区域，所述完全曝光区域中光刻胶被去除；

采用干法刻蚀工艺刻蚀掉完全曝光区域的栅金属薄膜和栅绝缘薄膜，使所述栅电极和栅绝缘层在基底上的正投影完全重叠。

在一些实施例中，在基底上形成依次有源层、栅绝缘层和栅电极，包括：

S21：在基底上沉积有源薄膜；

S22：采用半色调掩模或灰阶掩模形成有源层，所述有源层包括非导体区域和位于所述非导体区域两侧的导体区域；

S23：在形成有有源层的基底上依次沉积栅绝缘薄膜和栅金属薄膜，形成栅绝缘层和栅电极，所述栅电极在基底上的正投影包含所述非导体区域在基底上的正投影。

在一些实施例中，步骤 S22 可以包括：

在有源薄膜上涂覆光刻胶层；

采用半色调掩模或灰阶掩模对光刻胶层进行阶梯曝光并显影，在非导体区域位置形成未曝光区域，在导体区域位置形成部分曝光区域，在其余位置形成完全曝光区域，所述完全曝光区域中光刻胶被去除；

刻蚀掉完全曝光区域的有源薄膜；

光刻胶灰化处理，去除部分曝光区域的光刻胶；

导体化处理，形成非导体区域和位于所述非导体区域两侧的导体区域。

上述薄膜晶体管的制备方法，进一步包括：在形成有栅电极的基底上形成源电极和漏电极。

对有源层进行导体化处理的方法可以是任何将有源层材料变成导体的方法，包括本领域技术人员已知的那些。本公开对导体化处理方法没有特别的限定。

下面将通过薄膜晶体管的制备过程详细介绍本公开实施例的技术方案。其中，实施例中所说的“构图工艺”包括涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理，可通过已有的制备工艺实现。沉积可采用溅射、蒸镀、化学气相沉积等已知工艺，涂覆可采用已知的涂覆工艺，刻蚀可采用已知的方法，在此不做具体的限定。

在本公开的实施例中，“导体区域”是指具有导体特性的区域；“非导体区

域”是指没有被导体化或没有被完全导体化的区域，其电阻值比较大。“宽度”是指阵列基板的数据线宽度方向的特征尺寸，或者说，是指垂直于数据线长度方向的特征尺寸。“完全重叠”是指，两图案在基底上的正投影范围完全相同，即两图案在基底上正投影的宽度相同。“包含”是指一图案在基底上的正投影范围位于另一图案在基底上的正投影范围之内，即一图案在基底上的正投影的宽度小于另一图案在基底上的正投影的宽度；或一图案在基底上的正投影范围与另一图案在基底上的正投影范围完全相同，即两图案在基底上正投影的宽度相同。

在一些实施例中，参考图 7～图 13，公开了一种制备薄膜晶体管的方法的示意图。

第一次构图工艺，在基底上形成均质的有源层。

可选地，第一次构图工艺的步骤包括：在基底 11 上沉积有源薄膜，在有源薄膜上涂覆一层光刻胶；采用单色调掩模板对光刻胶进行曝光并显影，在有源层图案位置形成未曝光区域，保留光刻胶，在其它位置形成完全曝光区域，无光刻胶，暴露出有源薄膜；对完全曝光区域的有源薄膜进行刻蚀并剥离剩余的光刻胶，形成均质的有源层 12 的图案，如图 7 所示。

可选地，基底可以采用玻璃基底或石英基底。有源薄膜可以是非晶硅、多晶硅或微晶硅材料，也可以是金属氧化物材料。金属氧化物材料可以是铟镓锌氧化物（Indium Gallium Zinc Oxide, IGZO）或铟锡锌氧化物（Indium Tin Zinc Oxide, ITZO）。

第二次构图工艺，形成栅绝缘层、栅电极，形成有源层的导体区域和非导体区域。

可选地，第二次构图工艺的步骤包括：在形成有均质的有源层 12 的基底上依次沉积栅绝缘层材料膜(也称为栅绝缘薄膜)和栅极材料膜。栅极材料膜在本实施例中以栅金属薄膜为例进行说明，但也可为非金属。在栅金属薄膜上涂覆一层光刻胶；采用单色调掩模板对光刻胶进行曝光并显影，在栅电极位置形成未曝光区域，保留光刻胶，在其它位置形成完全曝光区域，无光刻胶，暴露出栅金属薄膜，形成光刻胶层 15 的图案，光刻胶层 15 的宽度为 T1。采用湿法刻蚀工艺刻蚀掉完全曝光区域的栅金属薄膜，形成栅电极 14 的图案。栅电极 14 的宽度为 T2，由于湿法刻蚀是各向同性的，所以 $T2 < T1$ ，如图

8 所示。

随后，使光刻胶层 15 变窄。例如，可以对光刻胶层 15 进行硬烘烤或灰化处理，使得光刻胶层 15 在厚度和宽度上均有所减小。这样，使得光刻胶层 15 的宽度由 T1 减小为 CT1，但 CT1 仍大于 T2，如图 9 所示。

利用光刻胶层 15 为掩模，采用干法刻蚀工艺刻蚀掉光刻胶层 15 之外的栅绝缘薄膜，形成栅绝缘层 13 的图案。由于干法刻蚀是各向异性的，且对光刻胶的刻蚀作用比较显著，所以在通过干法刻蚀得到栅绝缘层 13 时，光刻胶层 15 的厚度会进一步减薄，光刻胶层 15 的宽度会由 CT1 进一步减小为 CT2。最终得到的栅绝缘层 13 的宽度为 T3，且最终满足 $T3=CT2$ 。T3 与 T2 之差在 0 微米至 1 微米之间，例如 0.1 微米至 0.9 微米之间，例如 0.1 微米至 0.5 微米之间。

在本公开的实施例中，干法刻蚀期间光刻胶层宽度变小的效果虽然小于湿法刻蚀导致的栅极宽度变小的效果，但是由于在干法刻蚀前已经将光刻胶层变窄，因此可以使干法刻蚀后光刻胶层的宽度与栅极宽度尽量接近，例如使最终的光刻胶层 15 的宽度 CT2 与栅极宽度 T2 相同，即 $T2=CT2=T3$ ，从而栅电极 14 和栅绝缘层 13 在基底 11 上的正投影基本上完全重叠，如图 10 所示。

利用栅绝缘层 13 作为掩模，对有源层 12 进行导体化处理。有源层 12 的两侧未被栅绝缘层 13 覆盖的区域被导体化形成导体区域 16。被栅绝缘层 13 覆盖的区域没有被导体化而形成非导体区域 17。

最后，剥离光刻胶层。

通过上述工艺步骤，使栅电极 14、栅绝缘层 13 和非导体区域 17 在基底 11 上的正投影可以基本上完全重叠，如图 11 所示。

可选地，栅金属薄膜可以采用铂 Pt、钌 Ru、金 Au、银 Ag、钼 Mo、铬 Cr、铝 Al、钽 Ta、钛 Ti、钨 W 等金属中的一种或多种，栅绝缘薄膜可以采用氮化硅 SiN_x 、氧化硅 SiO_x 或 SiN_x/SiO_x 的复合层。

完全重叠是基于本公开实施例所能提供的较为理想的情况。在实际生产中，干法刻蚀后，光刻胶层可以仍比栅电极宽，只要宽度差不超过 1 微米即可。进一步地，为了保护栅极不受干法刻蚀影响，光刻胶层比栅极稍宽是有利的。

相关技术中，湿法刻蚀与干法刻蚀造成的栅极与栅绝缘层之间的宽度差约为 1.5 微米，通常至少为 1 微米以上。本公开实施例提供的制备方法通过增加使光刻胶层预先变窄的步骤，可以在不对生产工艺进行大的变动的情况下，有效地使得该差值变小，从而减小薄膜晶体管的开态电阻。

在一些实施例中，可以采用硬烘烤的方法使光刻胶层变窄。

例如，硬烘烤可以在 130℃ 及其以上进行，使得光刻胶的体积收缩。

例如，硬烘烤时间可以在 60-200s。

光刻胶硬烘烤的工艺的具体实现本公开对此不作限定。

在一些实施例中，可以采用灰化处理的方法使光刻胶层变窄。灰化处理的工艺具体实现本公开对此不作限定，例如可以使用氧等离子体进行灰化处理。

例如，灰化处理参数可以是气压 30mT，Source power/bias power=30k/20k，O₂ 流量=12000，Duo Balance (DB)=100/100/100/100，Flow Rate Control (FRC)=25/75，Time:20s-100s。

在本公开的实施例中，光刻胶变窄的程度可以根据具体的实际情况进行调整。例如可以通过有限的试验，找到合适的中间宽度 CT1。例如，可以在其他工艺参数固定的情况下，对一系列具有备选 CT1 的值的的光刻胶层进行干法刻蚀，从刻蚀结果找到较好的 CT1 值。当然，也可以调节其他工艺参数，例如干法刻蚀的条件、光刻胶层的厚度等等。因此，本公开对 CT1 不作具体限定。无论如何，若没有将光刻胶层宽度预先变窄的步骤，仅通过干法刻蚀无法弥补湿法刻蚀与干法刻蚀造成的差异。

第三次构图工艺，形成层间绝缘层。

可选地，第三次构图工艺包括：在形成上述图案的基底上沉积层间绝缘薄膜，在层间绝缘薄膜上涂覆一层光刻胶；采用单色调掩模板对光刻胶进行曝光并显影，在第一过孔和第二过孔位置分别形成完全曝光区域，无光刻胶，暴露层间绝缘薄膜，在其它位置形成未曝光区域，保留光刻胶；对完全曝光区域的层间绝缘薄膜进行刻蚀并剥离剩余的光刻胶，形成具有过孔的层间绝缘层 20 的图案，第一过孔 211 和第二过孔 212 分别设置在非导体区域 17 两侧的导体区域上，如图 12 所示。

可选地，层间绝缘层可以采用氮化硅 SiN_x、氧化硅 SiO_x 或 SiN_x/SiO_x 的复

合层。

第四次构图工艺，形成源电极和漏电极。

可选地，第四次构图工艺包括：在层间绝缘层 20 上沉积源/漏金属薄膜，并在源/漏金属薄膜上涂覆一层光刻胶；采用单色调掩模板对源/漏金属薄膜进行曝光并显影，在源电极和漏电极位置分别形成未曝光区域，保留光刻胶，在其它位置形成完全曝光区域，无光刻胶，暴露出源/漏金属薄膜；对完全曝光区域的源/漏金属薄膜进行刻蚀并剥离剩余的光刻胶，形成源电极 22 和漏电极 23，其中，源电极 22 和漏电极 23 分别通过第一过孔和第二过孔与导体区域连接，如图 13 所示。

可选地，源/漏金属薄膜可以采用铂 Pt、钌 Ru、金 Au、银 Ag、钼 Mo、铬 Cr、铝 Al、钽 Ta、钛 Ti、钨 W 等金属中的一种或多种。

通过本公开实施例的制备方法所形成的薄膜晶体管，栅电极和栅绝缘层在基底上的正投影基本上完全重叠，从而在对有源层进行导体化处理时，由于栅绝缘层比栅电极宽而产生的沟道区外的非导体区域最小化，从而降低了源电极和漏电极之间的开态电阻，增加了开态电流，降低了显示器件的功耗，提高了显示面板的显示质量。

通过本公开实施例的制备方法所形成的薄膜晶体管，可以包括：

设置在基底 11 上的有源层，有源层包括非导体区域即沟道区域 17 和两侧的导体区域 16；

依次设置在有源层上的栅绝缘层 13 和栅电极 14，栅电极 14、栅绝缘层 13 和非导体区域 17 在基底 11 上的正投影基本上完全重叠；

覆盖栅电极 14、栅绝缘层 13 和有源层的层间绝缘层 20，层间绝缘层 20 上设置有暴露出导体区域的第一过孔和第二过孔；

设置在层间绝缘层 20 上的源电极 22 和漏电极 23，源电极 22 和漏电极 23 分别通过第一过孔和第二过孔与导体区域连接。

在本公开的一些实施例中，提供了另外一种制备薄膜晶体管的方法。

其中，第一次构图工艺，在基底上形成均质的有源层，与图 7 所示的第一次构图工艺基本相同，这里不再赘述。

第二次构图工艺，形成栅绝缘层、栅电极，形成有源层的导体区域和非导体区域。

可选地，第二次构图工艺包括：在形成有源层 12 的基底上依次沉积栅绝缘薄膜和栅金属薄膜，在栅金属薄膜上涂覆一层光刻胶；采用单色调掩模板对光刻胶进行曝光并显影，在栅电极位置形成未曝光区域，保留光刻胶，在其它位置形成完全曝光区域，无光刻胶，暴露出栅金属薄膜，如图 14 所示。采用干法刻蚀工艺刻蚀掉完全曝光区域的栅金属薄膜和栅绝缘薄膜，形成栅电极 14 和栅绝缘层 13 的图案，使栅电极 14 和栅绝缘层 13 在基底 11 上的正投影基本上完全重叠，如图 15 所示。对有源层 12 进行导体化处理，有源层 12 的两侧未被栅绝缘层 13 覆盖的区域被导体化形成导体区域 16，被栅绝缘层 13 覆盖的区域没有被导体化，从而形成非导体区域 17，如图 16 所示。最后，剥离光刻胶层，形成栅绝缘层、栅电极，形成有源层的导体区域和非导体区域，

其中，栅电极 14、栅绝缘层 13 和非导体区域 17 在基底 11 上的正投影基本上完全重叠，参考图 11 所示。

本实施例中，不使用湿法刻蚀形成栅极层，可以避免栅极层与栅绝缘层宽度之间产生大的差异。

不使用湿法刻蚀形成栅极层的构图工艺，可以用于栅电极材料适合于干法刻蚀的薄膜晶体管的制备。当栅极材料适合于干法刻蚀时，采用不使用湿法刻蚀形成栅极层的构图工艺，可以省去湿法刻蚀的步骤。

第三次构图工艺，形成层间绝缘层，与图 12 所示的第三次构图工艺基本相同，这里不再赘述。

第四次构图工艺，形成源电极和漏电极，与图 13 所示的第四次构图工艺基本相同，这里不再赘述。

通过干法刻蚀工艺形成栅电极和栅绝缘层图案的工艺，使得栅电极和栅绝缘层在基底上的正投影基本上完全重叠，从而在对有源层进行导体化处理时，由于栅绝缘层比栅电极宽而产生的沟道区外的非导体区域最小化，从而降低了源电极和漏电极之间的开态电阻，增加了开态电流，降低了显示器件的功耗，提高了显示面板的显示质量。

包括通过干法刻蚀工艺形成栅电极和栅绝缘层图案的工艺的实施例的制备方法所形成的薄膜晶体管，可以包括：

设置在基底 11 上的有源层，有源层包括非导体区域即沟道区域 17 和两

侧的导体区域 16;

依次设置在有源层上的栅绝缘层 13 和栅电极 14, 栅电极 14、栅绝缘层 13 和非导体区域 17 在基底 11 上的正投影基本上完全重叠;

覆盖栅电极 14、栅绝缘层 13 和有源层的层间绝缘层 20, 层间绝缘层 20 上设置有暴露出导体区域的第一过孔和第二过孔;

设置在层间绝缘层 20 上的源电极 22 和漏电极 23, 源电极 22 和漏电极 23 分别通过第一过孔和第二过孔与导体区域连接。

在本公开的一些实施例中, 提供了还一种制备薄膜晶体管的方法, 包括: 第一次构图工艺, 形成有源层, 有源层包括导体区域和非导体区域。

可选地, 第一次构图工艺包括:

在基底 11 上沉积有源层材料膜。在有源层材料膜上涂覆一层光刻胶; 采用半色调掩模或灰阶掩模对光刻胶进行阶梯曝光并显影, 在非导体区域位置形成未曝光区域, 保留光刻胶, 在导体区域位置形成部分曝光区域, 保留一部分光刻胶, 在其它位置形成完全曝光区域, 光刻胶被去除, 暴露出有源薄膜, 如图 17 所示。对完全曝光区域的有源薄膜进行刻蚀, 形成有源层 12 的图案, 未曝光区域的光刻胶厚度为 $D1$, 部分曝光区域的光刻胶厚度为 $D2$, $D2 < D1$, 如图 18 所示。

对光刻胶进行灰化处理, 去除部分曝光区域的光刻胶, 即导体区域位置的光刻胶被去除, 未曝光区域即非导体区域位置保留一部分光刻胶, 如图 19 所示。

以光刻胶层作为掩模, 对有源层 12 进行导体化处理, 有源层 12 的两侧未被光刻胶覆盖的区域被完全导体化, 形成导体区域 16, 被光刻胶覆盖的区域未被导体化, 形成非导体区域 17, 最后, 剥离剩余的光刻胶, 形成有源层的导体区域 16 和非导体区域 17, 如图 20 所示。

其中, 使用半色调掩模或灰阶掩模进行阶梯曝光并显影, 可以省去一次对有源层材料膜的图案化。当然, 也可以类似于前述实施例提供的制备薄膜晶体管的方法, 通过单色调掩模板采用第一次构图工艺形成均质的有源层, 然后在均质的有源层中央再涂覆光刻胶。本实施例中只需涂覆一次光刻胶即可。

第二次构图工艺: 形成栅绝缘层和栅电极。

可选地，第二次构图工艺包括：在形成有上述图案的基底上依次沉积栅绝缘薄膜和栅金属薄膜，并在栅金属薄膜上涂覆一层光刻胶；采用单色调掩模板对光刻胶进行曝光并显影，在栅电极位置形成未曝光区域，保留光刻胶，在其它位置形成完全曝光区域，无光刻胶，暴露栅金属薄膜；对完全曝光区域的栅金属薄膜进行刻蚀，形成栅电极 14 的图案，随后，对光刻胶之外的栅绝缘薄膜进行刻蚀，形成栅绝缘层 13 的图案，其中，栅电极 14 在基底 11 上的正投影在非导体区域 17 在基底 11 上的正投影内，如图 21 所示。

第三次构图工艺，形成层间绝缘层。本实施例的第三次构图工艺与如图 12 所示的第三次构图工艺相同，这里不再赘述。

第四次构图工艺，形成源电极和漏电极。本实施例的第四次构图工艺与如图 13 所示的第四次构图工艺相同，这里不再赘述。

本实施例提供的制备薄膜晶体管的方法，在第一次构图工艺中形成了有源层的图案，同时形成了导体区域和非导体区域，在第二次工艺中，形成了栅绝缘层和栅电极的图案。导体区域和非导体区域优先于栅绝缘层和栅电极形成。由于栅绝缘层比栅电极宽而产生的沟道区外的非导体区域最小化，降低了源电极和漏电极之间的开态电阻，增加了开态电流，降低了显示器件的功耗，提高了显示面板的显示质量。

在导体区和非导体区的有源层上精确位置沉积并刻蚀细的栅绝缘层和栅电极层难度较大，因此包括图 18-21 所示构图工艺的制备薄膜晶体管的方法适合于特征尺寸较大且对精度要求不高的薄膜晶体管的制备。

采用包括图 18-21 所示构图工艺的制备薄膜晶体管的方法制备的薄膜晶体管可以包括：

设置在基底 11 上的有源层，有源层包括非导体区域 17 和两侧的导体区域 16；

依次设置在有源层上的栅绝缘层 13 和栅电极 14，栅电极 14 在基底 11 上的正投影在非导体区域 17 在基底 11 上的正投影内；

覆盖栅电极 14、栅绝缘层 13 和有源层的层间绝缘层 20，层间绝缘层 20 上设置有暴露出导体区域的第一过孔和第二过孔；

设置在层间绝缘层 20 上的源电极 22 和漏电极 23，源电极 22 和漏电极 23 分别通过第一过孔和第二过孔与导体区域连接。

基于前述实施例的发明构思，本公开实施例提供了一种薄膜晶体管，该薄膜晶体管是采用前述实施例所公开的制备薄膜晶体管的方法制备而成的。

如图 13 所示，该薄膜晶体管可以包括：

设置在基底 11 上的有源层，有源层包括非导体区域 17 和与非导体区域 17 两侧相接的导体区域 16；

依次设置在有源层上的栅绝缘层 13 和栅电极 14，栅电极 14 在基底 11 上的正投影在非导体区域 17 在基底 11 上的正投影内；

覆盖栅电极 14、栅绝缘层 13 和有源层的层间绝缘层 20，层间绝缘层 20 上设置有暴露出导体区域的第一过孔和第二过孔；

设置在层间绝缘层 20 上的源电极 22 和漏电极 23，源电极 22 和漏电极 23 分别通过第一过孔和第二过孔与导体区域连接。

基于前述实施例的发明构思，本公开实施例提供了一种阵列基板，该阵列基板包括采用前述实施例的薄膜晶体管。

基于前述实施例的发明构思，本公开实施例还提供了一种显示面板，该显示面板包括采用前述实施例的阵列基板。显示面板可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本公开实施例提供的薄膜晶体管及其制备方法、阵列基板和显示面板，通过在制备过程中使栅电极和栅绝缘层在基底上的正投影基本上完全重叠，从而在对有源层进行导体化处理时，不会再出现由于导体化处理不完全而产生非导体区域，降低了顶栅型薄膜晶体管的开态电阻，使得开态电流增加，降低了显示器件的功耗，提高了显示面板的显示质量。本公开实施例对现有制备工艺改动较小，具有较好的应用前景。

在本公开实施例的描述中，需要理解的是，术语“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本公开。任何本公开所属领域内的技术人

员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本公开的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1. 一种薄膜晶体管的制备方法，所述方法包括：

在基底上形成均质的有源材料层；

对所述均质的有源材料层的两侧进行导体化处理，以得到有源层，所述有源层包含位于两侧的导体区域和位于中央的非导体区域；

形成位于所述导体区域上的栅绝缘层；

形成位于所述栅绝缘层上的栅极层；

形成分别与所述有源层的所述导体区域电学连接的源电极和漏电极；

其中，所述栅极在所述基底上的投影在所述非导体区域在所述基底上的投影之内，并且所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0 微米至 1 微米之间。

2. 根据权利要求 1 所述的制备方法，其中，所述方法依次包括：

在基底上形成所述均质的有源材料层；

在所述均质的有源材料层上形成栅绝缘层材料膜；

在所述栅绝缘层材料膜上形成栅极材料膜；

在所述栅极材料膜上形成图案化的光刻胶层；

利用所述图案化的光刻胶层作为掩模，通过湿法刻蚀将所述栅极材料膜图案化，以形成所述栅极层；

使所述图案化的光刻胶层变窄，并且利用所述变窄的光刻胶层作为掩模，通过干法刻蚀将所述栅绝缘层材料膜图案化，以形成所述栅绝缘层；

以及

利用所述栅绝缘层作为掩模，对所述均质的有源材料层的两侧进行导体化处理，以得到所述有源层。

3. 根据权利要求 2 所述的制备方法，其中，

所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0.1 微米至 0.9 微米之间。

4. 根据权利要求 3 所述的制备方法，其中，

所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0.1 微米至 0.5 微米之间。

5. 根据权利要求 2 所述的制备方法, 其中,
所述使图案化的光刻胶层变窄包括对所述图案化的光刻胶层进行硬烘焙。

6. 根据权利要求 5 所述的制备方法, 其中,
所述硬烘焙的温度为 130℃ 以上。

7. 根据权利要求 2 所述的制备方法, 其中,
所述使图案化的光刻胶层变窄包括对所述图案化的光刻胶层进行灰化处理。

8. 根据权利要求 1 所述的制备方法, 其中, 所述方法依次包括:

在所述基底上形成所述均质的有源材料层;

在所述均质的有源材料层上形成栅绝缘层材料膜;

在所述栅绝缘层材料膜上形成栅极材料膜;

在所述栅极材料膜上形成图案化的光刻胶层;

利用所述图案化的光刻胶层作为掩模, 通过干法刻蚀将所述栅绝缘层材料膜和所述栅极材料膜图案化, 以形成所述栅绝缘层和所述栅极层;
以及

利用所述栅绝缘层作为掩模, 对所述均质的有源材料层的两侧进行导体化处理, 以得到所述有源层。

9. 根据权利要求 1 所述的制备方法, 其中, 所述方法依次包括:

在所述基底上形成所述均质的有源材料层;

对所述均质的有源材料层的两侧进行导体化处理, 以得到所述有源层;

在所述有源层上形成所述栅绝缘层;

在所述栅绝缘层上形成所述栅极。

10. 根据权利要求 9 所述的制备方法, 其中, 所述方法进一步依次包括:

在所述基底上形成有源层材料膜;

在所述有源层材料膜上涂覆光刻胶层;

采用半色调掩模或灰阶掩模对所述光刻胶层进行阶梯曝光, 形成中央的

未曝光区域、两端的完全曝光区域和在所述非曝光区域与所述完全曝光区域之间的部分曝光区域；

去除所述完全曝光区域的光刻胶，刻蚀暴露的有源层材料膜，以形成所述均质的有源材料层；

对光刻胶进行灰化处理，以去除所述部分曝光区域的光刻胶；以及

利用剩余的光刻胶作为掩模，对所述均质的有源材料层的两侧进行导体化处理，以得到所述有源层。

11. 一种通过根据权利要求 1 所述的方法制备的薄膜晶体管。

12. 根据权利要求 11 所述的薄膜晶体管，其中，所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0 至 1 微米之间。

13. 根据权利要求 11 所述的薄膜晶体管，其中，所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0.1 至 0.9 微米之间。

14. 根据权利要求 11 所述的薄膜晶体管，其中，所述栅极的投影与所述两个导体区域在所述基底上的投影的距离分别在 0.1 至 0.5 微米之间。

15. 一种阵列基板，包括根据权利要求 11 所述的薄膜晶体管。

16. 一种显示面板，包括根据权利要求 15 所述的阵列基板。

经修改的权利要求

国际局收到日：27.11月2018 (27.11.2018)

1. 一种薄膜晶体管的制备方法，所述方法包括以下步骤：

在基底上形成均质的有源材料层的步骤；

对所述均质的有源材料层的两侧进行导体化处理的步骤，以得到有源层，所述有源层包含位于两侧的两个导体区域和位于中央的非导体区域；

形成位于所述非导体区域上的栅绝缘层的步骤；

形成位于所述栅绝缘层上的栅极层的步骤；

形成分别与所述有源层的所述两个导体区域电学连接的源电极和漏电极的步骤；

其中，所述栅极层在所述基底上的正投影在所述非导体区域在所述基底上的正投影之内，并且所述栅极层在所述基底上的正投影与所述两个导体区域在所述基底上的正投影的距离分别在 0 微米至 1 微米之间。

2. 根据权利要求 1 所述的制备方法，其中，所述步骤以如下次序进行：

所述形成所述均质的有源材料层的步骤；

所述形成栅极层的步骤；

所述形成栅绝缘层的步骤；

所述进行导体化处理的步骤；以及

所述形成源电极和漏电极的步骤；

其中，所述方法还包括以下步骤：

在所述形成所述均质的有源材料层的步骤之后，在所述均质的有源材料层上形成栅绝缘层材料膜的步骤；

在形成栅绝缘层材料膜的步骤之后，在所述栅绝缘层材料膜上形成栅极材料膜的步骤；

在形成栅极材料膜的步骤之后，并且在所述形成栅极层的步骤之前，在所述栅极材料膜上形成图案化的光刻胶层的步骤；

其中，所述形成栅极层的步骤包括：利用所述图案化的光刻胶层作为掩模，通过湿法刻蚀将所述栅极材料膜图案化，以形成所述栅极层；

其中，所述形成栅绝缘层的步骤包括：使所述图案化的光刻胶层变窄，并且

利用所述变窄的光刻胶层作为掩模，通过干法刻蚀将所述栅绝缘层材料膜图案化，以形成所述栅绝缘层；并且

其中，所述进行导体化处理的步骤包括：利用所述栅绝缘层作为掩模，对所述均质的有源材料层的两侧进行导体化处理，以得到所述有源层。

3. 根据权利要求 2 所述的制备方法，其中，

所述栅极层在所述基底上的正投影与所述两个导体区域在所述基底上的正投影的距离分别在在 0.1 微米至 0.9 微米之间。

4. 根据权利要求 3 所述的制备方法，其中，

所述栅极层在所述基底上的正投影与所述两个导体区域在所述基底上的正投影的距离分别在在 0.1 微米至 0.5 微米之间。

5. 根据权利要求 2 所述的制备方法，其中，

所述使所述图案化的光刻胶层变窄包括对所述图案化的光刻胶层进行硬烘焙。

6. 根据权利要求 5 所述的制备方法，其中，

所述硬烘焙的温度为 130℃ 以上。

7. 根据权利要求 2 所述的制备方法，其中，

所述使所述图案化的光刻胶层变窄包括对所述图案化的光刻胶层进行灰化处理。

8. 根据权利要求 1 所述的制备方法，其中，所述步骤以如下次序进行：

所述形成所述均质的有源材料层；

同时进行的所述形成栅极层的步骤和所述形成栅绝缘层的步骤；

所述进行导体化处理的步骤；以及

所述形成源电极和漏电极的步骤；

其中，所述方法还包括以下步骤：

在所述形成所述均质的有源材料层的步骤之后，在所述均质的有源材料层上形成栅绝缘层材料膜的步骤；

在所述形成栅绝缘层材料膜的步骤之后，在所述栅绝缘层材料膜上形成栅极材料膜的步骤；

在所述形成栅极材料膜的步骤之后，在所述同时进行的所述形成栅极层的步骤和所述形成栅绝缘层的步骤之前，在所述栅极材料膜上形成

图案化的光刻胶层的步骤；

其中，所述同时进行的所述形成栅极层的步骤和所述形成栅绝缘层的步骤包括：利用所述图案化的光刻胶层作为掩模，通过干法刻蚀将所述栅绝缘层材料膜和所述栅极材料膜图案化，以形成所述栅绝缘层和所述栅极层；并且其中，所述进行导体化处理的步骤包括：利用所述栅绝缘层作为掩模，对所述均质的有源材料层的两侧进行导体化处理，以得到所述有源层。

9. 根据权利要求 1 所述的制备方法，其中，所述步骤以如下次序进行：

所述形成所述均质的有源材料层的步骤；

所述进行导体化处理的步骤；

所述形成栅绝缘层的步骤；以及

所述形成所述栅极层的步骤，

其中，所述形成源电极和漏电极的步骤在所述进行导体化处理的步骤与所述形成栅绝缘层的步骤之间，所述形成栅绝缘层的步骤与所述形成所述栅极层的步骤之间，或所述形成所述栅极层的步骤之后进行，

其中，所述形成栅绝缘层的步骤包括：在所述有源层上形成所述栅绝缘层；并且

其中，所述形成栅极层的步骤包括：在所述栅绝缘层上形成所述栅极层。

10. 根据权利要求 9 所述的制备方法，其中，所述方法进一步依次包括：

在所述基底上形成有源层材料膜；

在所述有源层材料膜上涂覆光刻胶层；

采用半色调掩模或灰阶掩模对所述光刻胶层进行阶梯曝光，形成中央的未曝光区域、两端的完全曝光区域和在所述非曝光区域与所述完全曝光区域之间的部分曝光区域；

去除所述完全曝光区域的光刻胶，刻蚀暴露的有源层材料膜，以形成所述均质的有源材料层；

对光刻胶进行灰化处理，以去除所述部分曝光区域的光刻胶；以及

利用剩余的光刻胶作为掩模，对所述均质的有源材料层的两侧进行导体化处理，以得到所述有源层。

11. 一种通过根据权利要求 1 所述的方法制备的薄膜晶体管。

12. 根据权利要求 11 所述的薄膜晶体管，其中，所述栅极层在所述基底

上的正投影与所述两个导体区域在所述基底上的正投影的距离分别在 0.1 至 0.9 微米之间。

13. 根据权利要求 11 所述的薄膜晶体管，其中，所述栅极层在所述基底上的正投影与所述两个导体区域在所述基底上的正投影的距离分别在 0.1 至 0.5 微米之间。

14. 一种阵列基板，包括根据权利要求 11 所述的薄膜晶体管。

15. 一种显示面板，包括根据权利要求 14 所述的阵列基板。

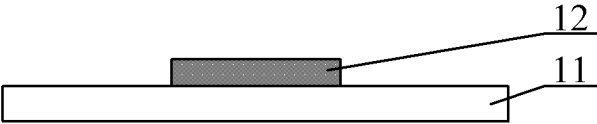


图 1

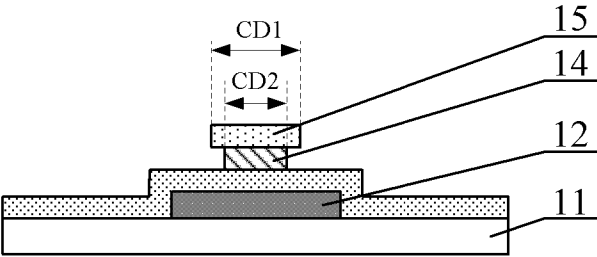


图 2

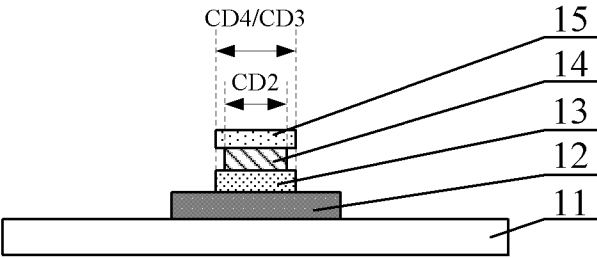


图 3

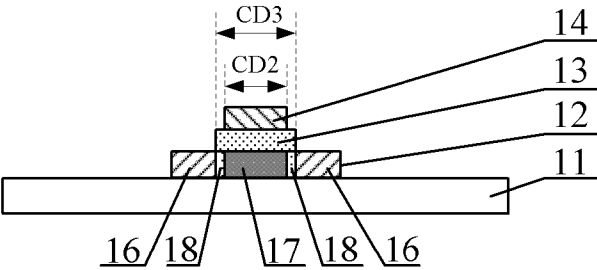


图 4

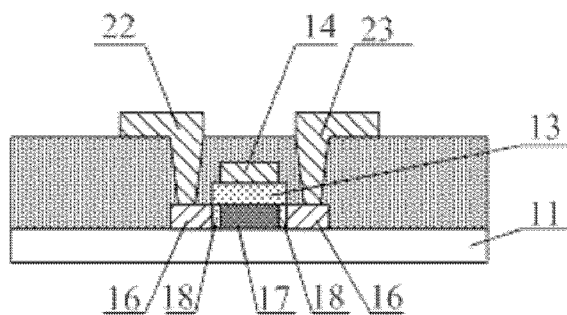


图 5

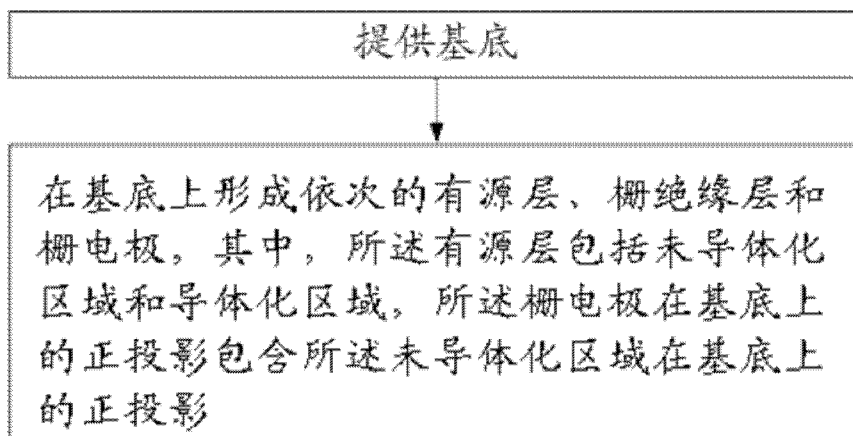


图 6

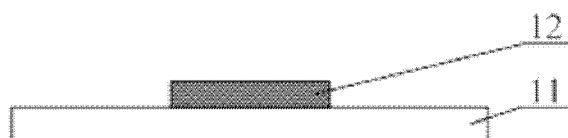


图 7

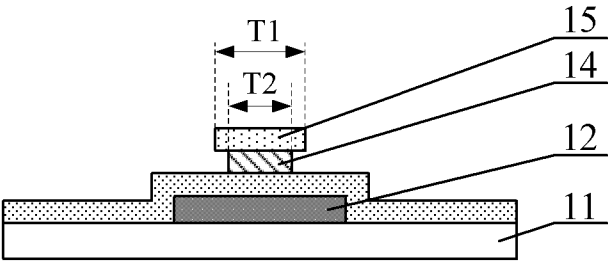


图8

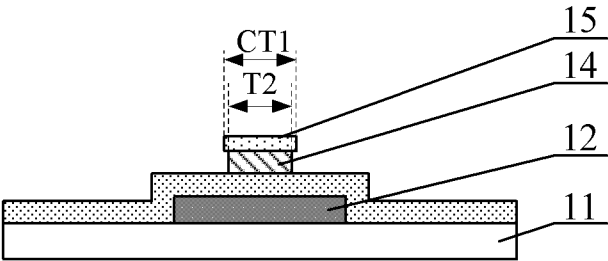


图9

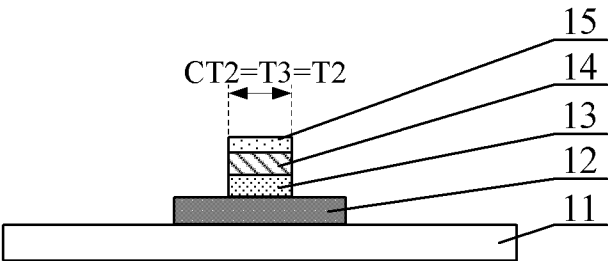


图10

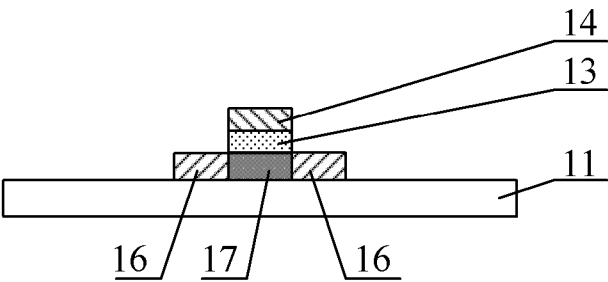


图11

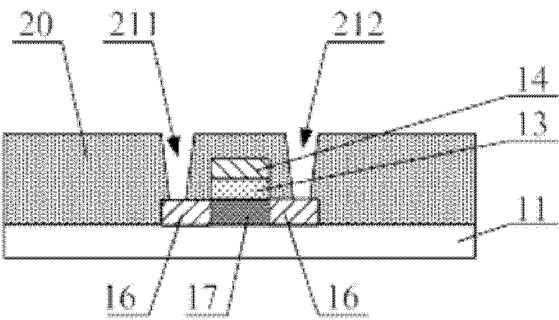


图 12

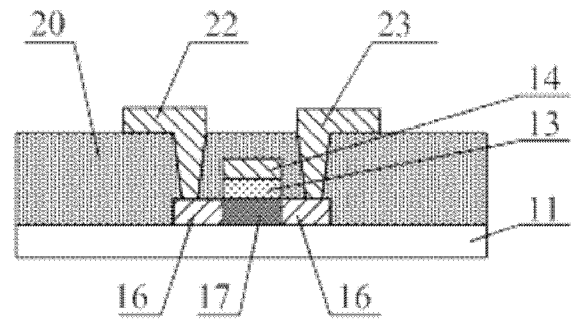


图 13

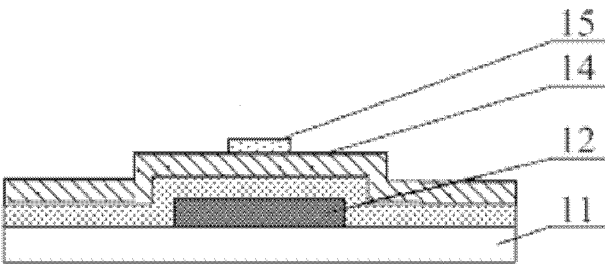


图 14

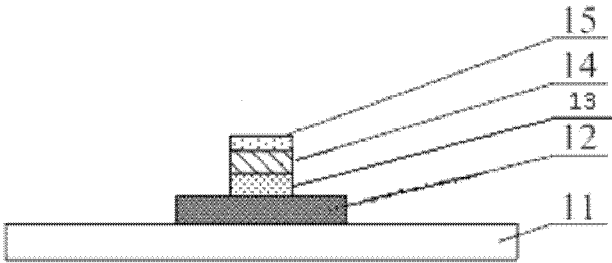


图 15

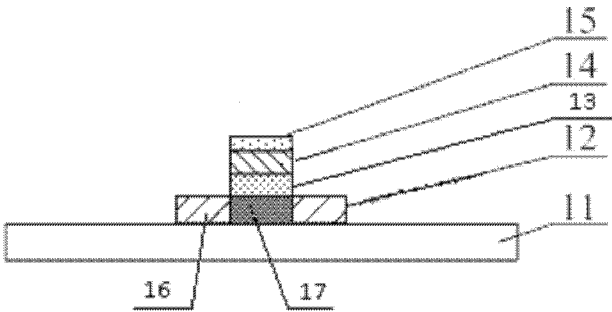


图 16

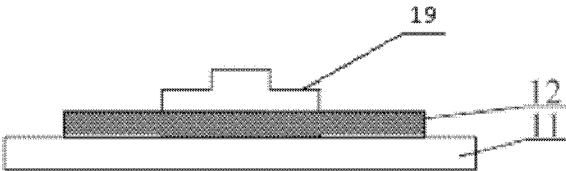


图 17

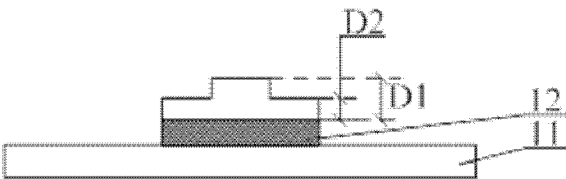


图 18

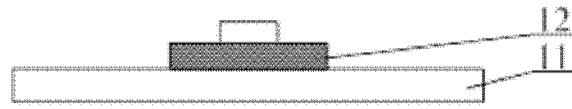


图 19

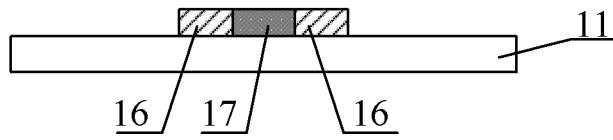


图 20

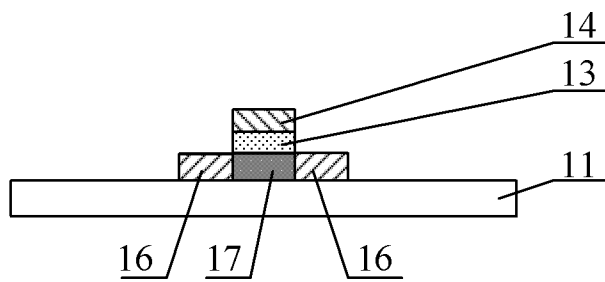


图 21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/088872

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 29/423(2006.01)i; H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/- H01L21/- H01L27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; SIPOABS; DWPI; CNKI: 京东方, 薄膜晶体管, 光阻, 光刻胶, 光致抗蚀剂, 修正, 变窄, 烘, 烤, 灰化, 半色调, 有源层, 栅极, 掺杂, etch+, thin film, source, gate, drain, TFT, semiconductor layer, mask, active layer, channel+ layer, photo+, half tone, substrate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107359126 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 17 November 2017 (2017-11-17) description, paragraphs [0072]-[0148], and figures 6-17	1-16
X	CN 102842509 A (SAMSUNG DISPLAY CO., LTD.) 26 December 2012 (2012-12-26) description, paragraphs [0042]-[0081], and figures 1-9	1, 9, 11, 12, 15, 16
Y	CN 102842509 A (SAMSUNG DISPLAY CO., LTD.) 26 December 2012 (2012-12-26) description, paragraphs [0042]-[0081], and figures 1-9	10
A	CN 102842509 A (SAMSUNG DISPLAY CO., LTD.) 26 December 2012 (2012-12-26) description, paragraphs [0042]-[0081], and figures 1-9	2-8, 13, 14
Y	CN 104752343 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 01 July 2015 (2015-07-01) description, paragraphs [0055]-[0059], and figures 5 and 6	10
A	JP H06112223 A (SEIKO EPSON CORP.) 22 April 1994 (1994-04-22) entire document	1-16
A	JP 2005303150 A (SEMICONDUCTOR ENERGY LAB) 27 October 2005 (2005-10-27) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 July 2018

Date of mailing of the international search report

23 August 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/088872

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107359126	A	17 November 2017	None			
CN	102842509	A	26 December 2012	US	2012313114	A1	13 December 2012
				TW	I529468	B	11 April 2016
				KR	20120137870	A	24 December 2012
				US	8791032	B2	29 July 2014
				CN	102842509	B	01 March 2017
				TW	201250356	A	16 December 2012
				KR	1860859	B1	25 May 2018
CN	104752343	A	01 July 2015	CN	104752343	B	28 July 2017
				US	9768323	B2	19 September 2017
				US	2016307932	A1	20 October 2016
				US	9634032	B2	25 April 2017
				US	2017179296	A1	22 June 2017
				WO	2016165186	A1	20 October 2016
JP	H06112223	A	22 April 1994	None			
JP	2005303150	A	27 October 2005	JP	4583797	B2	17 November 2010

国际检索报告

国际申请号

PCT/CN2018/088872

A. 主题的分类

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 29/423(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L29/- H01L21/- H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;CNABS;SIPOABS;DWPI;CNKI;京东方, 薄膜晶体管, 光阻, 光刻胶, 光致抗蚀剂, 修正, 变窄, 烘, 烤, 灰化, 半色调, 有源层, 栅极, 掺杂, etch+, thin film, source, gate, drain, TFT, semiconductor layer, mask, active layer, channel+ layer, photo+, half tone, substrate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 107359126 A (京东方科技集团股份有限公司 等) 2017年 11月 17日 (2017 - 11 - 17) 说明书第[0072]-[0148]段, 附图6-17	1-16
X	CN 102842509 A (三星显示有限公司) 2012年 12月 26日 (2012 - 12 - 26) 说明书第[0042]-[0081]段, 附图1-9	1、9、11、 12、15、16
Y	CN 102842509 A (三星显示有限公司) 2012年 12月 26日 (2012 - 12 - 26) 说明书第[0042]-[0081]段, 附图1-9	10
A	CN 102842509 A (三星显示有限公司) 2012年 12月 26日 (2012 - 12 - 26) 说明书第[0042]-[0081]段, 附图1-9	2-8、13、14
Y	CN 104752343 A (深圳市华星光电技术有限公司) 2015年 7月 1日 (2015 - 07 - 01) 说明书第[0055]-[0059]段, 附图5、6	10
A	JP H06112223 A (SEIKO EPSON CORP) 1994年 4月 22日 (1994 - 04 - 22) 全文	1-16
A	JP 2005303150 A (SEMICONDUCTOR ENERGY LAB) 2005年 10月 27日 (2005 - 10 - 27) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 7月 17日

国际检索报告邮寄日期

2018年 8月 23日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李利哲

电话号码 (86-512) 88995676

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/088872

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107359126	A	2017年 11月 17日	无			
CN	102842509	A	2012年 12月 26日	US	2012313114	A1	2012年 12月 13日
				TW	1529468	B	2016年 4月 11日
				KR	20120137870	A	2012年 12月 24日
				US	8791032	B2	2014年 7月 29日
				CN	102842509	B	2017年 3月 1日
				TW	201250356	A	2012年 12月 16日
				KR	1860859	B1	2018年 5月 25日
CN	104752343	A	2015年 7月 1日	CN	104752343	B	2017年 7月 28日
				US	9768323	B2	2017年 9月 19日
				US	2016307932	A1	2016年 10月 20日
				US	9634032	B2	2017年 4月 25日
				US	2017179296	A1	2017年 6月 22日
				WO	2016165186	A1	2016年 10月 20日
JP	H06112223	A	1994年 4月 22日	无			
JP	2005303150	A	2005年 10月 27日	JP	4583797	B2	2010年 11月 17日

表 PCT/ISA/210 (同族专利附件) (2015年1月)