



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е
ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 27.12.77 (21) 2561920/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 07.07.80. Бюллетень № 25

Дата опубликования описания 07.07.80

(11) 746488

(51) М. Кл.²
G 06 F 3/04

(53) УДК 681.327.
:11 (088.8)

(72) Авторы
изобретения

Д. И. Вигдоров и И. П. Сколецкий

(71) Заявитель

Азербайджанский институт нефти и химии имени М. Азизбекова

(54) УСТРОЙСТВО ДЛЯ СОПРЯЖЕНИЯ

1

Изобретение относится к области вычислительной техники и может быть использовано для согласования скоростей обмена данными.

Известны устройства для сопряжения [1], содержащие память на сдвиговых регистрах, коммутаторы, распределители, регистры, сумматор, схемы сравнения и узел управления и выполняющие функции согласования скоростей передачи данных.

Однако такие устройства сложны, кроме того, невозможно использовать в качестве запоминающих элементов стандартные интегральные модули памяти.

Наиболее близким к изобретению по технической сущности является устройство для сопряжения [2], содержащее память, кольцевой маркерный регистр, соединенный выходами с соответствующими входами дешифратора, первая и вторая группа выходов которого подключены соответственно к первой и второй группам управляющих входов памяти, информационные входы и выходы которой являются соответствующими информационными входами и выходами устройства, и элемент И, соединенный входами с соответствующими

2

выходами первой группы дешифратора, а выходом — с первым управляющим выходом устройства.

Недостаток этого устройства состоит в низком быстродействии из-за того, что считывание очередного слова из памяти не может производиться сразу по "синхроимпульсу вывода", а только через некоторое время после поступления очередного импульса "синхронизации", который тактирует запись. При этом скорость чтения информации не может быть выше частоты записи.

Кроме того, ограничение на тип запоминающих элементов, на которых может строиться память, выражающееся в невозможности использовать стандартные дешевые интегральные элементы памяти с произвольной выборкой, сужает область применения устройства.

Целью изобретения является повышение быстродействия устройства.

Поставленная цель достигается тем, что в предложенное устройство введены два счетчика, коммутаторы по числу адресных входов памяти и элемент ИЛИ. Выход каждого коммутатора подключен к соответствующему адресному входу памяти, первые и вторые входы комму-

таторов соединены соответственно с выходами первого и второго счетчиков, выходы переполнения которых подключены соответственно к первому и второму управляющим входам кольцевого маркерного регистра, а входы - соответственно к первому и второму управляющим входам устройства. Выходы второй группы выходов дешифратора подключены к соответствующим входам элемента ИЛИ, выход которого является вторым управляющим выходом устройства. Кроме того, память содержит n элементов ИЛИ и матрицу из n строк и K столбцов запоминающих M -разрядных элементов, причем информационные выход и вход запоминающего элемента i -той строки ($i=1, n$) подключены соответственно через i -й элемент ИЛИ к i -му выходу и i -му входу памяти, адресные, первый и второй входы запоминающего элемента j -го столбца ($j=1, K$) подключены соответственно к j -ым адресному и управляющим входам из первой и второй группы управляющих входов памяти.

На чертеже представлена структурная схема устройства.

Оно содержит память 1, дешифратор 2, кольцевой маркерный регистр 3, коммутаторы 4, первый счетчик 5, второй счетчик 6, элемент И 7, и элементы ИЛИ 8, группу 9 адресных шин памяти 1, первую группу 10 выходов дешифратора (подготовка записи), вторую группу 11 выходов дешифратора (подготовка чтения), группу 12 адресных шин счетчика 5, группу 13 адресных шин счетчика 6, первый 14 управляющий вход устройства (стробирование записи), второй 15 управляющий вход устройства (стробирование чтения), выход 16 переполнения счетчика 5 (сдвиг по записи), выход 17 переполнения счетчика 6 (сдвиг по чтению), первый управляющий выход 18 устройства (блокирование источника), информационные входы 19 и выходы 20 устройства и второй управляющий вход 21 устройства.

Память 1 содержит матрицу однотипных запоминающих модулей с произвольной выборкой (например $M \times 1$ бит со встроенными дешифраторами) $1_{11}, 1_{12} \dots 1_{kn}$ и n элементов ИЛИ, обозначенные $1_{11} - 1_n$.

Дешифратор 2 содержит две группы логических трехходовых элементов и предназначен для дешифрации положения двух границ между группой "нулей" и группой "единиц", находящихся в регистре 3, а также для переключения коммутаторов и запоминающих модулей с режима "запись" на режим "чтение".

Управляющий вход кольцевого маркерного регистра 3 соединен с выходом 16 переполнения счетчика 5, служит для занесения "единицы" справа от границы "1"-"0", а управля-

ющий вход, соединенный с выходом 17 переполнения счетчика 6, - для занесения "нуля" справа от границы "0"-"1" в регистре 3.

Устройство работает следующим образом.

В исходном состоянии все разряды регистра 3 устанавливаются в "0", за исключением какого-либо одного. При этом комбинация подряд расположенных в регистре одной "единицы" и двух "нулей" дешифрируется соответствующим трехходовым элементом И дешифратора 2 как сигнал подготовки записи (например, на выходе 10_3) в ячейки запоминающих модулей 1_3 - 1_{3n} третьего столбца памяти 1. Этот же сигнал подключает к адресным входам этих модулей выход счетчика 5.

Первое слово, поступающее по информационному входу 19 и стробируемое синхросигналом записи по управляющему входу 14, заносится в первую ячейку выбранных модулей. Переключаемый этим же синхросигналом в следующее состояние счетчик 5 подготавливает занесение второго входного слова во вторую ячейку и т.д. до заполнения всех M ячеек запоминающих модулей третьего столбца.

В момент, когда модули окажутся заполненными, счетчик 5 переполнится и окажется в "нулевом" состоянии, а сигнал его переполнения с выхода 16 поступит в регистр 3, вызовет занесение еще одной "единицы" в следующий справа разряд от "единицы", находившейся там первоначально. Таким образом, в регистре 3 будут находиться две подряд расположенные "единицы". Комбинация вновь записанной "единицы" и двух следующих за ней "нулей" дешифрируется другим трехходовым элементом И дешифратора 2 как сигнал подготовки записи по выходу 10_4 в модули четвертого столбца памяти 1.

Так как сигнал, подготавливающий запись, перешел с выхода 10_3 на выход 10_4 дешифратора 2, выход счетчика 5 подключается к адресным входам модулей четвертой строки через коммутатор 4, и вновь поступающие на информационный вход 19 слова будут последовательно записываться в ячейки этих модулей до очередного переполнения счетчика 5 и переключения сигнала на выходах первой группы 10 дешифратора 2.

Запись информации в другие соседние модули происходит аналогично.

Сразу после заполнения модулей третьего столбца подряд расположенные в регистре 3 один "нуль" и две "единицы" дешифрируются соответствующим трехходовым элементом И дешифратора 2 на третьем выходе второй группы выходов 11_3 как сигнал подго-

товки чтения из этих модулей. Так как счетчик 6 адресов чтения находится в "нулевом" состоянии, первое слово будет считываться в приемник информации по первому адресу модулей третьего столбца, а каждый синхроимпульс чтения, поступающий из приемника по второму управляющему входу 15, подготавливает адрес очередной ячейки этих модулей до момента считывания всех слов переполнения счетчика 6.

Импульс переполнения счетчика 6 с выхода 17 поступает на вход регистра 3 и записывает "нуль" справа от группы "нулей" на место первоначально находившейся там "единицы". Расположенные в этом регистре подряд "нуль" и две "единицы" дешифрируются дешифратором 2 как сигнал подготовки чтения из ранее заполненных модулей четвертой строки аналогично описанному выше.

Для более надежной работы устройства при полном заполнении памяти элемент И 7 вырабатывает сигнал, выдаваемый на первый управляющий выход 15 и служащий для блокировки ввода информации со стороны источника.

Для исключения потерь информации чтение памяти 1 осуществляется только при наличии на втором управляющем выходе 21 сигнала, который вырабатывается элементом ИЛИ 8.

Таким образом, устройство позволяет осуществить независимые запись и чтение информации из памяти, что повышает его быстродействие.

Кроме того, объем памяти устройства может быть достаточно просто изменяться без изменения его структуры путем исключения или добавления запоминающих модулей вместе с соответствующим коммутатором, частью дешифратора и частью кольцевого маркерного регистра.

Формула изобретения

1. Устройство для сопряжения, содержащее память, кольцевой маркерный регистр, соединенный выходами с соответствующими входами дешифратора, первая и вторая группа выходов кото-

рого подключены соответственно к первой и второй группе управляющих входов памяти, информационные входы и выходы которой являются соответствующими информационными входами и выходами устройства, и элемент И, соединенный входами с соответствующими выходами первой группы дешифратора, а выходом - с первым управляющим выходом устройства, отличающееся тем, что, с целью повышения быстродействия устройства, в него введены два счетчика, коммутаторы по числу адресных входов памяти и элемент ИЛИ, причем выход каждого коммутатора подключен к соответствующему адресному входу памяти, первые и вторые входы коммутаторов соединены соответственно с выходами первого и второго счетчиков, выходы переполнения которых подключены соответственно к первому и второму управляющим входам кольцевого маркерного регистра, а входы - соответственно к первому и второму управляющим входам устройства, выходы второй группы выходов дешифратора подключены к соответствующим входам элемента ИЛИ, выход которого является вторым управляющим выходом устройства.

2. Устройство по п.1, отличающееся тем, что память содержит n элементов ИЛИ и матрицу из n строк и K столбцов запоминающих M -разрядных элементов, причем информационные выход и вход запоминающего элемента i -й строки ($i=1, n$) подключены соответственно через i -й элемент ИЛИ к i -му выходу и i -му входу памяти, адресные, первый и второй входы запоминающего элемента j -го столбца ($j=1, K$) подключены соответственно к j -ым адресному и управляющим входам из первой и второй групп управляющих входов памяти.

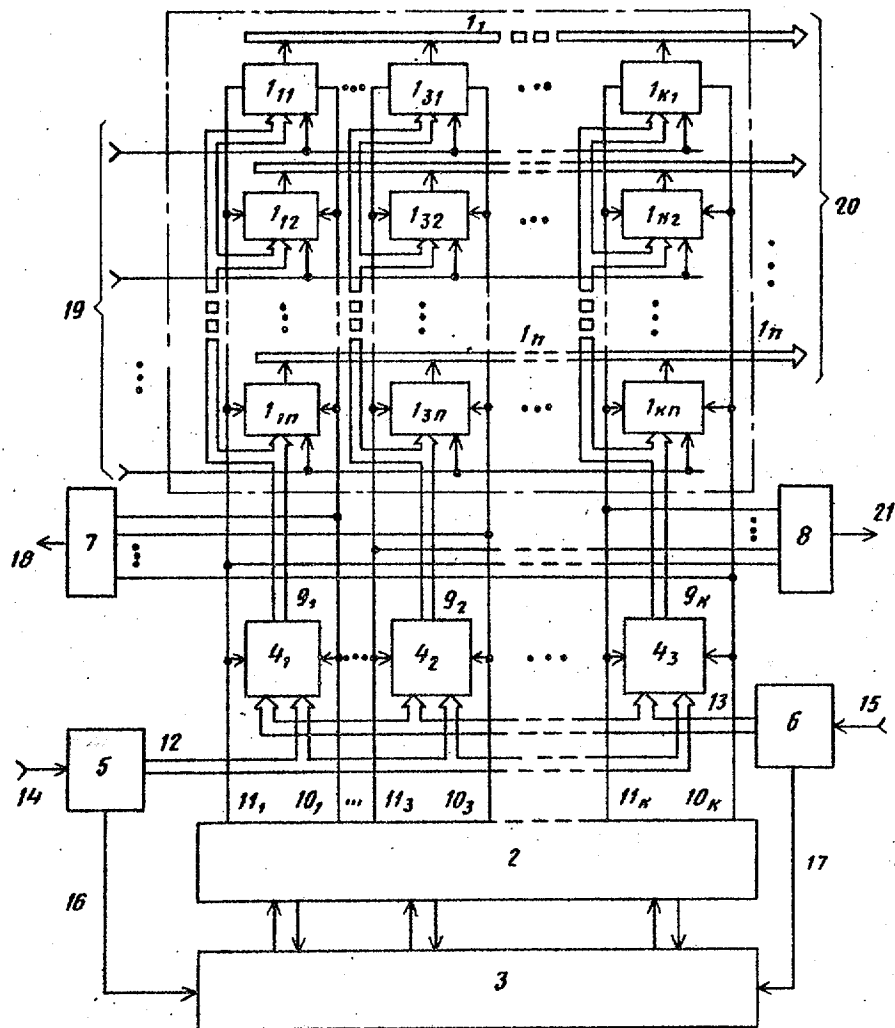
45

Источники информации,

принятые во внимание при экспертизе
1. Авторское свидетельство СССР по заявке № 2166167/18-24, кл. G 06 F 3/04, 1975.

50

2. Авторское свидетельство СССР № 488202, кл. G 06 F 3/04, 1973 (прототип).



Редактор Л. Утежина

Составитель В. Вертлиб
Техред А. Щепанская

Корректор М. Шароши

Заказ 3944/38

Тираж 751

Подписное

ЦНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4