

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/252799 A1

(51) 国際特許分類:  
H01L 29/786 (2006.01) H01L 21/336 (2006.01)

(21) 国際出願番号: PCT/JP2024/015405

(22) 国際出願日: 2024年4月18日(18.04.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2023-095711 2023年6月9日(09.06.2023) JP

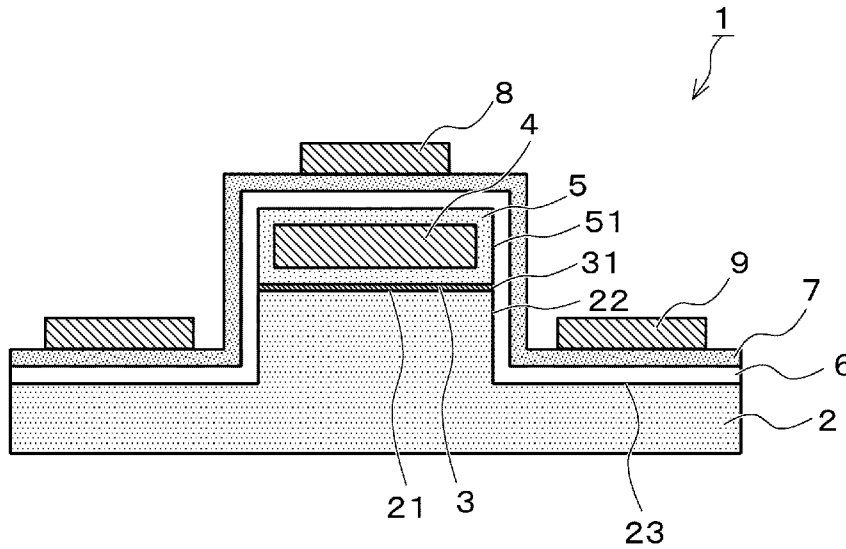
(71) 出願人: 国立大学法人東北大学 (TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP). 国立研究開発法人

情報通信研究機構 (NATIONAL INSTITUTE OF INFORMATION AND COMMUNICATIONS TECHNOLOGY) [JP/JP]; 〒1848795 東京都小金井市貫井北町四丁目2番1号 Tokyo (JP). 信越化学工業株式会社 (SHIN-ETSU CHEMICAL CO., LTD.) [JP/JP]; 〒1000005 東京都千代田区丸の内一丁目4番1号 Tokyo (JP).

(72) 発明者: 吹留 博一 (FUKIDOME Hirokazu); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 渡邊 一世 (WATANABE Issai); 〒1848795 東京都小金井市貫井北町四丁目2番1号 国立研究開発法人情報通信研究機構内 Tokyo (JP).

(54) Title: TRANSISTOR, METHOD FOR MANUFACTURING SAME, AND INTEGRATED CIRCUIT

(54) 発明の名称: トランジスタおよびその製造方法、並びに集積回路



(57) Abstract: A transistor having an extremely short gate and an extremely thin carrier transport layer, the transistor comprising: a substrate having a flat uppermost surface, a vertical surface intersecting the uppermost surface and extending downward from the uppermost surface, and a lower step surface substantially parallel to the uppermost surface and intersecting the vertical surface; a conductive thin film formed in contact with the uppermost surface of the substrate; an insulating film formed so as to cover at least the vertical surface and the end part of the conductive thin film; a two-dimensional semiconductor layer formed so as to cover the uppermost surface, the vertical surface, and the lower step surface, the two-dimensional semiconductor layer formed overlapping so as to cover the conductive thin film and/or the insulating film in locations where the conductive thin film and/or the insulating film are present; a source electrode provided at locations covering the uppermost surface in the two-dimensional semiconductor layer; and a drain electrode provided at



川原 実(KAWAHARA Minoru); 〒1000005 東京都千代田区丸の内一丁目4番1号 信越化学工業株式会社 本社内 Tokyo (JP). 秋山 昌次(AKIYAMA Shoji); 〒3790195 群馬県安中市磯部二丁目13番1号 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP). 飛坂 優二(TOBISAKA Yuji); 〒3790195 群馬県安中市磯部二丁目13番1号 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP). 川合 信(KAWAI Makoto); 〒3790195 群馬県安中市磯部二丁目13番1号 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP).

(74) 代理人: 折 坂 茂 樹 (ORISAKA Shigeki); 〒1800003 東京都武蔵野市吉祥寺南町1-8-8-202 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

locations covering the lower step surface in the two-dimensional semiconductor layer.

(57) 要約: 極めて短い長さのゲートおよび極めて薄いキャリア輸送層を有するトランジスタ トランジスタは、平坦な最上面と、最上面と交わり最上面より下方に延びる垂直面と、最上面と略平行であり垂直面と交わる下段面とを有する基板と、基板の最上面に接して形成される導電薄膜と、少なくとも、垂直面、導電薄膜の端部を覆うように形成される絶縁膜と、最上面、垂直面、および下段面を覆うように形成される二次元半導体層であって、導電薄膜および/または絶縁膜が存在する箇所については導電薄膜および/または絶縁膜をも覆うように重ねて形成される、二次元半導体層と、二次元半導体層における最上面を覆う箇所に設けられるソース電極と、二次元半導体層における下段面を覆う箇所に設けられるドレイン電極と、を備える。

## 明 細 書

発明の名称： トランジスタおよびその製造方法、並びに集積回路  
技術分野

[0001] 本発明は、ゲート長が極めて短く、キャリア輸送層が極めて薄いトランジスタおよびその製造方法、並びに集積回路に関する。

### 背景技術

[0002] 次世代の移動通信システム（いわゆる 6 G、B e y o n d 5 G）を実現するにあたり、アナログ・フロントエンドの増幅器およびベースバンドの中核を成す論理集積回路の更なる高速化が求められている。これらの高速化に向けては、ゲートの極短化や、キャリア輸送層（チャネル）の極薄化が必要とされている。ゲートの極短化については、単原子レベルまでゲート長を短くすることができる技術が求められている。また、キャリア輸送層の極薄化についても、単原子レベルの厚みを実現する技術が求められている。

[0003] 従来半導体集積回路製造では、紫外線を用いたリソグラフィーが用いられており、今後の半導体集積回路製造でも、紫外線の波長をさらに短くした、いわゆる極端紫外線（E U V）を用いることで、従来技術の延長線上で極微細化を進める方向で技術開発が進められている。しかし、E U Vを用いた半導体製造装置はますます大型化・高価になっていることに加えて有害な物質が使われており、近い将来E U V技術の進展は難しくなることが予想される。

[0004] このよう状況において、ゲートの極短化や、キャリア輸送層の極薄化の要求に対し、単原子長ゲートおよび二次元半導体であるM o S<sub>2</sub>単原子層のチャネルを有するトランジスタが提案されている（例えば非特許文献1を参照）。

### 先行技術文献

#### 非特許文献

[0005] 非特許文献1：Fan Wu et al. Nature 603 (2022) 259

## 発明の概要

### 発明が解決しようとする課題

[0006] 非特許文献1に記載されているトランジスタは、金属箔上にCVD法により形成したグラフェン膜を基板に転写し、転写グラフェンをゲートとして用いている。また、二次元半導体についても、金属箔上にCVD法により形成したものを所望の基板へ転写している。この非特許文献1のトランジスタには、三つの大きな問題点がある。一つ目の問題点は、金属箔から基板へ転写したグラフェンや二次元半導体は、皺がよったり、基板表面の三次元構造へ完全に密着していない点である。そのため、理論値よりも低いデバイス性能値を示し、デバイス信頼性も低い。二つ目の問題点は、ゲート抵抗が高い点がある。高ゲート抵抗は、ゲートとしてグラフェン単層を用いていることによるものであり、トランジスタの高速化を妨げるものである。三つ目の問題点は、高周波応用に適した既存デバイス構造ではゲート電極や絶縁層等一部の構造や部分が数十ナノメートルもしくは数ナノメートル程度に短縮・縮小されているが、本発明のように層厚が原子1個～十数個分の二次元材料・物質で構成されたデバイス構造やデバイスレイアウトの最適化がなされていない点である。これらの問題点のため、単原子長ゲートを有するトランジスタはこれまで実用化されていなかった。

[0007] 本発明は上記に鑑みなされたものであり、極めて短い（好ましくは単原子レベルの）長さのゲートおよび極めて薄い厚みの（好ましくは単原子レベルの）キャリア輸送層を有するトランジスタ、および、その大量生産に適した信頼性の高い製造方法を提供することを目的とする。

### 課題を解決するための手段

[0008] 本発明の実施形態に係るトランジスタは、最上面と、最上面と交わり最上面より下方に延びる垂直面と、最上面と略平行であり垂直面と交わる下段面とを有する基板と、基板の最上面に接して形成される導電薄膜と、少なくとも、垂直面、導電薄膜の端部を覆うように形成される絶縁膜と、最上面、垂直面、および下段面を覆うように形成される二次元半導体層であって、導電

薄膜および／または絶縁膜が存在する箇所については導電薄膜および／または絶縁膜をも覆うように重ねて形成される、二次元半導体層と、二次元半導体層における最上面を覆う箇所に設けられるソース電極と、二次元半導体層における下段面を覆う箇所に設けられるドレイン電極と、を備える。最上面および／または下段面は平坦な面とするとよい。

[0009] 本発明では、トランジスタは、導電薄膜の上に、導体の遮蔽層をさらに備え、遮蔽層の表裏両面に絶縁層が設けられるとよい。

[0010] 本発明では、基板は、少なくとも最上面が炭化珪素（SiC）の単結晶とするとよく、導電薄膜は、グラフェンとするとよい。また、導電薄膜であるグラフェンは、最上面と垂直面が交わる稜線近傍に重なる端部が単層となっているとよい。

[0011] 本発明では、基板は、最上面の垂直面と接する縁とは反対の端部において最上面に隣接し最上面と非平行である傾斜面を備えるとよく、導電薄膜は最上面から傾斜面に渡って形成され、傾斜面の上における導電薄膜は多層のグラフェンとなっているとよい。

[0012] 本発明では、基板は、炭化珪素の単結晶基板または絶縁体に炭化珪素の単結晶層を作製したハイブリッド基板であるとよい。

[0013] 本発明では、二次元半導体層は、グラフェン、遷移金属ダイカルコゲナイド、酸化インジウム、リン化ホウ素、および砒化ホウ素からなる群から選択される材料により形成されるとよい。二次元半導体層は、二硫化モリブデン（ $\text{MoS}_2$ ）、二硫化タングステン（ $\text{WS}_2$ ）、および二セレン化タングステン（ $\text{WSe}_2$ ）のいずれかである遷移金属ダイカルコゲナイドより形成されると特によい。

[0014] 本発明では、絶縁膜は、酸化ハフニウム、炭化珪素、酸化ジルコニウム、酸化エルビウム、酸化アルミニウム、および炭化珪素からなる群から選択される材料により形成されるとよい。

[0015] 本発明の実施形態に係る集積回路は、請求項 1 または 2 に記載のトランジスタを複数備える。当該集積回路において、基板は、最上面が形成された凸

部に対向する2つの垂直面を有し、1つの導電薄膜および1つのソース電極を2つのトランジスタが共用するとよい。あるいは、基板は、1つの下段面の両側に対向する2つの垂直面を有し、1つの下段面を2つのトランジスタが共用するとよい。

[0016] 本発明の実施形態に係るトランジスタの製造方法は、基板を準備する工程と、基板の平坦な最上面に10原子層以下の導電薄膜を形成する工程と、微細加工により、一部に導電薄膜を残しつつ、他の部分について導電薄膜および基板の上部を除去して、基板に、最上面と交わり最上面より下方に延びる垂直面と、最上面と略平行であり垂直面と交わる下段面垂直面および下段面とを形成する工程と、少なくとも、垂直面、導電薄膜の端部を覆うように絶縁膜を堆積する工程と、最上面、垂直面、および下段面を覆うように、且つ、導電薄膜および／または絶縁膜が存在する箇所については導電薄膜および／または絶縁膜をも覆うように重ねて二次元半導体層を堆積する工程と、二次元半導体層における導電薄膜を覆う箇所に重ねてソース電極を形成し、二次元半導体層における下段面を覆う箇所に重ねてドレイン電極を形成する工程とを備える。

[0017] 本発明では、導電薄膜を形成した後、垂直面および下段面を形成する工程の前に、導電薄膜に重ねて遮蔽層を設ける工程をさらに備えるとよい。

[0018] 本発明では、基板は、少なくとも最上面が炭化珪素の単結晶であるとしてよく、導電薄膜を形成する工程において、基板の最上面に導電薄膜としてグラフェンを形成するとよい。導電薄膜を形成する工程において、導電薄膜であるグラフェンを、最上面と垂直面が交わる稜線近傍に重なる端部が単層となるように形成すると特によい。

[0019] 本発明では、導電薄膜を形成する工程より前に、最上面に隣接し最上面と非平行である傾斜面を形成する工程を有するとよく、導電薄膜を形成する工程において、導電薄膜を最上面から傾斜面に渡って形成し、傾斜面の上における導電薄膜は多層のグラフェンを形成するとよい。

[0020] 本発明では、基板は、炭化珪素の単結晶基板または絶縁体に炭化珪素の単

結晶層を作製したハイブリッド基板とするとよい。

[0021] 本発明では、二次元半導体層は、グラフェン、遷移金属ダイカルコゲナイド、酸化インジウム、リン化ホウ素、および砒化ホウ素からなる群から選択される材料により形成されるとよい。二次元半導体層は、二硫化モリブデン ( $\text{MoS}_2$ )、二硫化タングステン ( $\text{WS}_2$ )、および二セレン化タングステン ( $\text{WSe}_2$ ) のいずれかである遷移金属ダイカルコゲナイドより形成されると特によい。

[0022] 本発明では、絶縁膜は、酸化ハフニウム、炭化珪素、酸化ジルコニウム、酸化エルビウム、酸化アルミニウム、および炭化珪素からなる群から選択される材料により形成されるとよい。

### 発明の効果

[0023] 極めて短い長さのゲートおよび極めて薄い厚みのキャリア輸送層を有する高周波応用に適したトランジスタを実現することができる。また、このようなトランジスタを高い信頼性で製造することができる。

### 図面の簡単な説明

[0024] [図1]本発明の第1実施形態に係るトランジスタ1の基本構造を示す断面図である。

[図2]1つの基板上に複数のトランジスタ1が形成された集積回路の構造を示す断面図である。

[図3]第1実施形態に係るトランジスタ1の立体構造を模式的に示す斜視図である。

[図4]第1実施形態に係るトランジスタ1に電極パッドを設けるレイアウトの一例を示す平面図である。

[図5]第1実施形態に係るトランジスタ1を用いた高出力のためのレイアウトの模式図である。

[図6]第1実施形態に係るトランジスタ1の製造方法の手順の一例を示す図である。

[図7]本発明の第2実施形態に係るトランジスタ1aの基本構造を示す断面図

である。

### 発明を実施するための形態

[0025] 以下、本発明の実施形態について説明する。背景技術の説明に用いた図も含め、各図面における共通の構成要素については同じ符号を付す。

[0026] [第1実施形態]

図1は、本発明の第1実施形態に係るトランジスタ1の基本構造を示す断面図である。図2は、1つの基板上に複数のトランジスタ1が形成された集積回路の構造を示す断面図である。図3は、第1実施形態に係るトランジスタ1の立体構造を模式的に示す斜視図である。図1に示すように、トランジスタ1は、基板2、導電薄膜3、遮蔽層4、絶縁層5、絶縁膜6、二次元半導体層7、電極8、および電極9を備える。

[0027] 基板2は、トランジスタ1の構造を形成するための下地となる。基板2は、少なくともその表面において $10,000\Omega$ 以上の高抵抗である基板であることが好ましい。基板2としては、例えば、炭化珪素を含む物質を用いるとよく、少なくとも最上面21が炭化珪素の単結晶となっているものを用いるとよい。より具体的には、基板2は、炭化珪素の単結晶基板であってもよいし、絶縁体（例えば、単結晶のSi、サファイア等）に炭化珪素の単結晶層を作製したハイブリッド基板であってもよい。最上面21が炭化珪素の単結晶となっている基板を用いると、最上面21上に導電薄膜3としてグラフェンの薄膜（好ましくは単原子層）を形成することができる。導電薄膜3としてグラフェン以外の材料を採用する場合には、基板2にシリコン（Si）、サファイア、石英ガラス基板、ポリイミド、PET（Polyethylene terephthalate）等のフィルム状樹脂から構成されるフレキシブル基板、ITO（Indium Tin Oxide；酸化インジウムスズ）やFTO（Fluorine-doped Tin Oxide；フッ素ドープ酸化スズ）等の透明導電性酸化物等を用いてもよい。

[0028] 基板2は、図1に示すように、その一方の表面に最上面21、垂直面22、および下段面23が形成されている。最上面21は、基板2における最上部の平坦面である。垂直面22は、最上面21と交わり、前記最上面21よ



り下方に延びる平面である。図1の例では、垂直面22と最上面21とは直交する。下段面23は、垂直面22と交わり、最上面21と略平行な平面として形成される。図1の例では、下段面23と垂直面22とは直交し、最上面21と下段面23とは平行となっている。垂直面22は、結晶層とする場合、その表面は(0001)面とするとよい。最上面21の一端から他端までの長さ(図3におけるL1)、および下段面23における一端から他端まで長さ(図3におけるL2)は、それぞれ100nm~5μmとするとよい。また、垂直面の高さ(図3におけるH)は、30~100nmとするとよい。

[0029] 導電薄膜3は、基板2の最上面21に接して形成された単原子層または数原子層(10原子層以下)の極薄の導体の薄膜である。導電薄膜3の厚みは、数nm程度(好ましくは5nm)以下とされる。また、導電薄膜3の一端から他端までの長さは、基板2の最上面21の長さL1に合わせて100nm~5μm程度とするとよい。導電薄膜3としては、層状の導体物質が好適である。具体的には、グラフェン、ホウ素の二次元結晶であるボロフェン、ボロフェンの誘導体等を用いるとよい。特にグラフェンは、基板2として好適な炭化珪素の(0001)面に単層の薄膜を形成することが可能であり、導電薄膜3として好適である。その他、導電薄膜3として、窒化チタン(TiN)を用いてもよい。導電薄膜3は、基板2における最上面21と垂直面22が交わる稜線付近まで、最上面21の全面を覆うように設けられる。導電薄膜3における、最上面21と垂直面22が交わる稜線近傍に重なる端部(エッジ)31は、トランジスタ1におけるゲートとして機能する。また、導電薄膜3における上記のエッジ31以外の部分は、後述するゲート電極パッド10からゲートへの配線として機能する。

[0030] 遮蔽層4は、導電薄膜3の上に設けられた金属等の導体の層であり、電極8と導電薄膜3との間を遮蔽する。遮蔽層4は、電気的には所定の接地電位(例えば0V)に接続される。遮蔽層4の少なくとも表裏両面には、遮蔽層4が導電薄膜3や電極8と短絡することを防ぐべく、絶縁層5が設けられる

。遮蔽層 4 としては、アルミニウム (Al) やニッケル (Ni) を用いることが好ましい。遮蔽層 4 として Al を用いる場合、Al の表面に形成される自然酸化膜を、そのまま絶縁層 5 として用いることができ、製造プロセスを簡素化することができる。遮蔽層 4 として Ni を用いる場合には、導電薄膜 3 や電極 8 との短絡を防ぐべく、別途絶縁層 5 を形成する必要がある。なお、電極 8 と導電薄膜 3 との間を遮蔽する必要がある場合 (例えば、電極 8 と導電薄膜 3 との間の信号干渉が問題にならない場合等) には、トランジスタ 1 は、遮蔽層 4 および絶縁層 5 を備えなくてもよい。絶縁層 5 の端面 5 1 は、垂直面 2 2 と略一致する平面とするとよい。

[0031] 絶縁膜 6 は、トランジスタ 1 のゲート絶縁膜として機能する絶縁体の薄膜である。絶縁膜 6 としては、酸化ハフニウム、炭化珪素、酸化ジルコニウム、酸化エルビウム、酸化アルミニウム等の高誘電率の絶縁膜や、炭化珪素の薄膜等を用いることができる。1 THz を超えるような高周波用途においては、炭化珪素の薄膜が好適である。図 1 に示す例では、絶縁膜 6 は、絶縁層 5 の上面から端面 5 1、エッジ 3 1、垂直面 2 2 を経て下段面 2 3 までを覆うように形成されている。なお、絶縁膜 6 は、基板 2 の少なくとも垂直面 2 2、エッジ 3 1、および端面 5 1 を覆っていれば、他の部分については形成されなくてもよい場合がある。例えば、絶縁層 5 と遮蔽層 4 を備える構成では、絶縁層 5 上には絶縁膜 6 を設けなくてもよい。一方、絶縁層 5 と遮蔽層 4 を備えない構成の場合には、導電薄膜 3 と電極 8 との短絡を防ぐべく、導電薄膜 3 と電極 8 の間にも絶縁膜 6 を設ける必要がある。また、基板 2 が十分な絶縁性を有する場合、下段面 2 3 上に絶縁膜 6 を設けなくてもよい。

[0032] 二次元半導体層 7 は、トランジスタ 1 のキャリア輸送層として機能する半導体の層である。二次元半導体層 7 は、最上面 2 1、垂直面 2 2、および下段面 2 3 を覆うように形成される。導電薄膜 3、遮蔽層 4、絶縁層 5、および／または絶縁膜 6 がある箇所については、二次元半導体層 7 がこれらをも覆うように重ねて形成される。二次元半導体層 7 には、単原子層もしくは数原子層の、グラフェン、遷移金属ダイカルコゲナイド (例えば、二硫化モリ

ブデン ( $\text{MoS}_2$ )、二硫化タングステン ( $\text{WS}_2$ )、ニセレン化タングステン ( $\text{WSe}_2$ ) 等)、酸化インジウム ( $\text{In}_2\text{O}_3$ )、リン化ホウ素、砒化ホウ素等を用いることができる。1 THzを超えるような高周波用途においては、二次元半導体層 7 としてグラフェンが好適である。300 GHz ~ 1 THz 程度の高周波用途においては、二次元半導体層 7 として  $\text{MoS}_2$ 、 $\text{WS}_2$  等の遷移金属ダイカルコゲナイドが好適である。ロジック回路等の比較的low周波の用途においては、二次元半導体層 7 として  $\text{In}_2\text{O}_3$  や遷移金属ダイカルコゲナイドが好適である。

[0033] 電極 8 と電極 9 は、Au、Al、In、Bi、Ni、Pd、Ti、Pt 等の金属や、ITO、FTO 等の透明導電性酸化物製の電極である。電極 8 は、二次元半導体層 7 の導電薄膜 3 を覆う箇所に重ねて設けられ、トランジスタ 1 のソース電極として機能する。電極 9 は、二次元半導体層 7 の下段面 23 を覆う箇所に重ねて設けられ、トランジスタ 1 のドレイン電極として機能する。

[0034] 上述のような基本構造を有するトランジスタ 1 では、導電薄膜 3 の形成面と、垂直面 22 を覆う二次元半導体層 7 の形成面とが直交する形となり、導電薄膜 3 のエッジ 31 が絶縁膜 6 を介して二次元半導体層 7 と対向するので、導電薄膜 3 の厚みがトランジスタ 1 のゲート長を定義する。導電薄膜 3 をグラフェンの単原子層とすれば、トランジスタ 1 のゲート長を 0.3 nm まで短くすることができる。導電薄膜 3 にグラフェンの単原子層以外を採用する場合であっても、導電薄膜 3 の厚みに対応する数 nm 以下のゲート長を実現することができる。

[0035] 図 2 は、1 つの基板上に複数のトランジスタ 1 が形成された集積回路の構造を示す断面図である。上記で説明した、最上面 21 上に電極 8、下段面 23 上に電極 9 を備え、導電薄膜 3 のエッジ 31 をゲートとするトランジスタ 1 の構造は、図 2 に示されているように、導電薄膜 3 や電極 8 を共有する形で最上面 21 が形成された基板 2 の凸部の左右両側に形成することができる。あるいは、電極 9 を共有する形で下段面 23 の左右両側にトランジスタ 1

を形成することもできる。このように、基板2に複数のトランジスタ1が形成された集積回路とすることができる。図2に示すように図1と同様の構造を繰り返し形成すれば、さらに多数の（図2の例では6個の）トランジスタ1を集積したより規模の大きな集積回路とすることができる。

[0036] 図3は、第1実施形態に係るトランジスタ1の立体構造を模式的に示す斜視図である。図1に示したトランジスタ1の断面構造は、図3に示すように所望の幅Wに渡って形成される。幅Wは、トランジスタ1に流す電流の大きさ等に応じて任意に決定することができるが、信頼性の観点から幅Wは30～50 $\mu\text{m}$ 程度とすることが好ましい。例えばチャンネルの単位幅当たりの許容電流量は1A/mmとし、幅Wを50 $\mu\text{m}$ とした場合には、1つのトランジスタ1の構造につき50mAの電流を流すことができる。より多くの電流を流そうとする場合には、例えば図2に示した構造や後述する図5に示したレイアウトを採用して、トランジスタ1の構造を複数並列に用いることで実質的にチャンネルの幅を拡張して所望の許容電流量を実現するとよい。

[0037] 図4に示すように、トランジスタ1には外部との接続のために複数の電極パッドが設けられる。電極8に重ねてソース電極パッド81が設けられ、電極8と電氣的に接続される。電極9に重ねてドレイン電極パッド91が設けられ、電極9と電氣的に接続される。また、幅Wより外側にゲート電極パッド10が設けられ、導電薄膜3と電氣的に接続される。ソース電極パッド81、ドレイン電極パッド91、ゲート電極パッド10は、いずれもワイヤボンディングやバンプの形成が可能な程度に十分な面積で形成され、それぞれトランジスタ1のソース、ドレイン、ゲートと外部との接続を容易にする。図4には描かれていないが、遮蔽層4を外部の接地電位に接続するための電極パッドをさらに設けてもよい。図4に示された構造は、例えば100 $\mu\text{m}$ 四方程度の領域に形成するとよい。

[0038] 図5(a)～(c)は、高出力のためのトランジスタ1のレイアウトの模式図である。図5(a)では、図1の構造を共通のドレイン電極9の両側に設けて高出力化させたレイアウトの模式図である。従来デバイスに比べ、二

つのデバイスをより近接して配置・接続することが可能となり、接続用配線回路の伝送損失や寄生抵抗を低減することが可能となり、高周波における電力損失を抑制し、高出力化を可能にしている。図5（b）および（c）は、さらに多くのトランジスタ1を並べて更なる高出力化を図った場合のものであり、並べたトランジスタの数に比例して許容される電流が増加し、高出力が実現される。さらには、ドレイン電極パッド91から電極9上に延びる櫛状電極の本数や配置を変えることにより、動作し電流パス（チャンネル層）を形成するトランジスタ1の数を任意に決めることができる。櫛状電極が間引かれている図5（b）の構成と全ての電極9に櫛状電極が設けられている図5（c）の構成を比較すると、図5（c）の構成の方が電流パス（チャンネル層）が2倍形成され、電流値や相互コンダクタンス（ $g_m$ ）が2倍となり、高出力化が可能となる。なお、図5（b）において櫛状電極が間引かれている箇所については電極9を設けなくてもよい。

[0039] 続いて、図6を参照して、本実施形態に係るトランジスタ1の一例として、炭化珪素基板上に単層のグラフェンを設けた構造のトランジスタ1の製造方法を説明する。

[0040] はじめに、基板2として上面が炭化珪素の（0001）面となった基板を準備する（図6中の（a））。続いて、基板2の上面に導電薄膜3となる単層のグラフェン層を形成する（図6の（b））。グラフェン層のグラフェン化の方法としては、Si原子の熱昇華法、化学気相成長法、分子線エピタキシー法等により形成することができる。次に、導電薄膜3の上に、Alの遮蔽層4を形成する。遮蔽層4の形成および微細加工の過程で遮蔽層4にはその表面を覆うように自然酸化膜の絶縁層5が形成される（図6の（c））。なお、遮蔽層4としてAl以外の自然酸化膜が形成されない素材を用いる場合には、遮蔽層4と導電薄膜3や電極8との絶縁性を確保すべく、遮蔽層4の上下に絶縁層を形成するとよい。

[0041] 続いて、塩素系ガスやフッ素系ガスを用いた反応性イオンエッチングもしくは中性粒子ビームエッチングにより微細加工を施すことにより、基板2の

一部を掘り下げることで基板 2 に垂直面 2 2 と下段面 2 3 を形成するとともに、垂直面 2 2 に合わせて遮蔽層 4 を加工する（図 6 の（d））。微細加工の過程で遮蔽層 4 の側面が露出するが、露出した表面を覆うように改めて自然酸化膜の絶縁層 5 が形成される。微細加工により形成された垂直面 2 2 や下段面 2 3 にはグラフェン層は無いが、残された最上面 2 1 の上には単層グラフェンの導電薄膜 3 が残される。続いて、絶縁膜 6 を堆積する（図 6 の（e））。図 6 の（e）では、絶縁膜 6 は、絶縁層 5 の上面から端面 5 1、エッジ 3 1、垂直面 2 2 を経て下段面 2 3 までを覆うように形成されている。なお、絶縁膜 6 は、基板 2 の少なくとも垂直面 2 2、エッジ 3 1、および端面 5 1 を覆っていれば、他の部分については形成されなくてもよい場合がある。続いて、最上面 2 1、垂直面 2 2、および下段面 2 3 を覆うように二次元半導体層 7 を堆積させる（図 6 の（f））。このとき、導電薄膜 3、遮蔽層 4、絶縁層 5、および／または絶縁膜 6 がある箇所については二次元半導体層 7 はこれらをも覆うように重ねて形成される。そして、二次元半導体層 7 における導電薄膜 3 を覆う箇所に重ねて電極 8 を形成し、二次元半導体層 7 における下段面 2 3 を覆う箇所に重ねて電極 9 を形成する（図 6 の（g））。以上に 4 1 よりトランジスタ 1 の基本構造が完成する。電極 8、電極 9、導電薄膜 3 に、それぞれソース電極パッド 8 1、ドレイン電極パッド 9 1、ゲート電極パッド 1 0 を設けることで外部との接続が可能なデバイスが得られる。

[0042] 以上で説明したトランジスタ 1 は、ゲート長の単原子長化（0.3 nm 程度）が可能であり、現時点で最高速である InGaAs から成る化合物半導体をチャネルとした高電子移動度トランジスタ（InGaAs-HEMT）を上回る高速化が可能となる。また、導電薄膜を数原子層（例えば 1 nm 程度）としても、露光装置の限界が近付いている現行のトランジスタと比較して短ゲート長化および高速化が可能である。

[0043] 導電薄膜 3 や二次元半導体層 7 は、別の基板からの転写ではなく、最上面 2 1 上や絶縁膜 6 上に直接成長させるため、皺がよることがなく、基板表面

の三次元構造へ完全に密着させることができる。

[0044] また、本実施形態に係るトランジスタ 1 は、二次元半導体層 7 に InGaAs よりも 3 倍程度大きなバンドギャップを有する二次元半導体を利用することから、InGaAs-HEMT を一桁以上上回る高出力性が可能となる。

[0045] また、本実施形態に係るトランジスタ 1 は、基板 2 として、炭化珪素薄膜付き Si、炭化珪素、炭化珪素薄膜付きサファイア等を利用でき、基板選択の自由度が高い。これにより、例えば、超高周波デバイス応用だけでなく、論理大規模集積回路への応用展開も可能となる。

[0046] [第 2 実施形態]

続いて、図 7 を参照して、本発明の第 2 実施形態に係るトランジスタ 1 a を説明する。ゲート抵抗が高いとトランジスタの高周波特性は抑制されてしまうところ、第 1 実施形態の構造のトランジスタ 1 において導電薄膜 3 に単層のグラフェンを採用する場合、その極めて薄い厚みによりゲート抵抗が高くなってしまう。本実施形態に係るトランジスタ 1 a では、ゲート電極として単層のグラフェンのエッジを利用しつつ、エッジの近傍以外の部分のグラフェンを多層化することによりゲート抵抗を抑制する。本実施形態の特徴は、第 1 実施形態におけるエッジの近傍以外の部分のグラフェンを多層化するための構成にある。なお、それ以外については、上述した第 1 の実施形態と同様なので、ここでの説明を省略する。

[0047] 図 7 は、第 2 実施形態に係るトランジスタ 1 a の基本構造を示す断面図である。トランジスタ 1 a は、第 1 実施形態に係るトランジスタ 1 と同様、基板 2、導電薄膜 3、遮蔽層 4、絶縁層 5、絶縁膜 6、二次元半導体層 7、電極 8、および電極 9 を備える。トランジスタ 1 a に用いられる基板 2 は、最上面 2 1、垂直面 2 2、下段面 2 3 に加え、斜面 2 4 を有する。基板 2 において、少なくとも最上面 2 1 および斜面 2 4 は炭化珪素の単結晶とされる。最上面 2 1 は炭化珪素の (0001) 面とするとよい。斜面 2 4 は、最上面 2 1 の垂直面 2 2 と接する縁と反対の端部において最上面 2 1 と隣接して設

けられる最上面 21 とは非平行の（傾斜した）面である。斜面 24 の傾斜角は任意であるが、例えば  $45^\circ$ 、 $22^\circ$  等とするとよい。このような傾斜角を有する斜面 24 は、例えば  $\text{Cl}_2$  による反応性イオンエッチングにおいて、ガス流量および高周波電力を適切に（一例として、ガス流量  $40\text{ sccm}$ 、高周波電力  $50\text{ W}$  に）調整することにより形成することができる。また、斜面 24 の傾斜角は一定である必要はなく、例えば湾曲した面として形成されてもよい。このような斜面 24 は、導電薄膜 3 の形成に先立って設けられる。そして、本実施形態では、導電薄膜 3 は最上面 21 から傾斜面 24 に渡って、同時に形成される。斜面 24 上でのグラフェンの成長速度は、炭化珪素の  $(0001)$  面である最上面 21 上でのグラフェンの成長速度よりも早い。ため、最上面 21 上に単層のグラフェンを成長させる間に、斜面 24 上には多層（好ましくは  $10 \sim 20$  層程度）のグラフェンが成長する。したがって、本実施形態における導電薄膜 3 は、最上面 21 から斜面 24 に渡って形成され、エッジ 31 の近傍を単層グラフェン 32 としつつ内側にある斜面 24 上では多層グラフェン 33 に切り替わる構造となる。基板 2 における最上面 21 と垂直面 22 が交わる稜線から、斜面 24 までの距離（すなわち、最上面 21 の長さ）は、多層グラフェンの形成がエッジ 31 の近傍まで及ぶことを避けるのに十分な距離（例えば数  $100\text{ nm}$  程度）とするとよい。

[0048] 上記のような導電薄膜 3 に、第 1 実施形態と同様の遮蔽層 4、絶縁層 5、絶縁膜 6、二次元半導体層 7、電極 8、および電極 9 を設けることでトランジスタ 1a が構成される。なお、下地となる斜面 24 の傾斜により導電薄膜 3 には窪みができることになるが、遮蔽層 4、絶縁膜 6、二次元半導体層 7 等を積み重ねる前にこの窪みを絶縁材料等で埋めて平坦な面となるようにするとよい。

[0049] 以上のように構成されるトランジスタ 1a では、第 1 実施形態のトランジスタ 1 と同様の効果に加え、導電薄膜 3 を成すグラフェンの多層化によりキャリア密度が増加するため、導電薄膜 3 全体として低抵抗化することができる。一方、導電薄膜 3 のエッジ 31 では、単層のグラフェンが絶縁膜 6 を介



して二次元半導体層 7 と対向してゲート電極として機能するため、トランジスタ 1 のゲート長は原子一個分（0.3 nm 程度）とすることができる。

[0050] なお、上記に本実施形態およびその具体例を説明したが、本発明はこれらの例に限定されるものではない。また、前述の実施形態またはその具体例に対して、当業者が適宜、構成要素の追加、削除、設計変更を行ったものや、各実施形態の特徴を適宜組み合わせたものも、本発明の要旨を備えている限り、本発明の範囲に含有される。

### 符号の説明

- [0051] 1, 1a トランジスタ
- 2 基板
    - 21 最上面
    - 22 垂直面
    - 23 下段面
    - 24 斜面
  - 3 導電薄膜
    - 31 エッジ
    - 32 単層グラフェン
    - 33 多層グラフェン
  - 4 遮蔽層
  - 5 絶縁層
    - 51 端面
  - 6 絶縁膜
  - 7 二次元半導体層
  - 8, 9 電極
    - 81 ソース電極パッド
    - 91 ドレイン電極パッド
    - 10 ゲート電極パッド

## 請求の範囲

- [請求項1]       最上面と、前記最上面と交わり前記最上面より下方に延びる垂直面と、前記最上面と略平行であり前記垂直面と交わる下段面とを有する基板と、
- 前記基板の前記最上面に接して形成される導電薄膜と、
- 少なくとも、前記垂直面、前記導電薄膜の端部を覆うように形成される絶縁膜と、
- 前記最上面、前記垂直面、および前記下段面を覆うように形成される二次元半導体層であって、前記導電薄膜および／または前記絶縁膜が存在する箇所については前記導電薄膜および／または前記絶縁膜をも覆うように重ねて形成される、二次元半導体層と、
- 前記二次元半導体層における前記最上面を覆う箇所に設けられるソース電極と、
- 前記二次元半導体層における前記下段面を覆う箇所に設けられるドレイン電極と、
- を備えるトランジスタ。
- [請求項2]       前記導電薄膜の上に、導体の遮蔽層をさらに備え、
- 前記遮蔽層の表裏両面に絶縁層が設けられる
- ことを特徴とする請求項1に記載のトランジスタ。
- [請求項3]       前記基板は、少なくとも前記最上面が炭化珪素の単結晶であり、
- 前記導電薄膜は、グラフェンであることを特徴とする請求項1または2に記載のトランジスタ。
- [請求項4]       前記導電薄膜であるグラフェンは、前記最上面と前記垂直面が交わる稜線近傍に重なる端部が単層であることを特徴とする請求項3に記載のトランジスタ。
- [請求項5]       前記基板は、前記最上面の前記垂直面と接する縁とは反対の端部において前記最上面に隣接し前記最上面と非平行である傾斜面を備え、
- 前記導電薄膜は前記最上面から前記傾斜面に渡って形成され、

前記傾斜面の上における前記導電薄膜は多層のグラフェンであることを特徴とする請求項4に記載のトランジスタ。

[請求項6] 前記基板は、炭化珪素の単結晶基板または絶縁体に炭化珪素の単結晶層を作製したハイブリッド基板であることを特徴とする請求項1または2に記載のトランジスタ。

[請求項7] 前記二次元半導体層は、グラフェン、遷移金属ダイカルコゲナイド、酸化インジウム、リン化ホウ素、および砒化ホウ素からなる群から選択される材料により形成されることを特徴とする請求項1または2に記載のトランジスタ。

[請求項8] 前記二次元半導体層は、二硫化モリブデン ( $\text{MoS}_2$ )、二硫化タングステン ( $\text{WS}_2$ )、および二セレン化タングステン ( $\text{WSe}_2$ ) のいずれかである遷移金属ダイカルコゲナイドより形成されることを特徴とする請求項7に記載のトランジスタ。

[請求項9] 前記絶縁膜は、酸化ハフニウム、炭化珪素、酸化ジルコニウム、酸化エルビウム、酸化アルミニウム、および炭化珪素からなる群から選択される材料により形成されることを特徴とする請求項1または2に記載のトランジスタ。

[請求項10] 請求項1または2に記載のトランジスタを複数備える集積回路であって、

前記基板は、前記最上面が形成された凸部に対向する2つの前記垂直面を有し、

1つの前記導電薄膜および1つの前記ソース電極を2つの前記トランジスタが共用することを特徴とする集積回路。

[請求項11] 請求項1または2に記載のトランジスタを複数備える集積回路であって、

前記基板は、1つの前記下段面の両側に対向する2つの前記垂直面を有し、

1つの前記下段面を2つの前記トランジスタが共用することを特徴

とする集積回路。

[請求項12]

基板を準備する工程と、

前記基板の平坦な最上面に10原子層以下の導電薄膜を形成する工程と、

微細加工により、一部に前記導電薄膜を残しつつ、他の部分について前記導電薄膜および前記基板の上部を除去して、前記基板に、前記最上面と交わり前記最上面より下方に延びる垂直面と、前記最上面と略平行であり前記垂直面と交わる下段面垂直面および下段面とを形成する工程と、

少なくとも、前記垂直面、前記導電薄膜の端部を覆うように絶縁膜を堆積する工程と、

前記最上面、前記垂直面、および前記下段面を覆うように、且つ、前記導電薄膜および／または前記絶縁膜が存在する箇所については前記導電薄膜および／または前記絶縁膜をも覆うように重ねて二次元半導体層を堆積する工程と、

前記二次元半導体層における前記導電薄膜を覆う箇所に重ねてソース電極を形成し、前記二次元半導体層における前記下段面を覆う箇所に重ねてドレイン電極を形成する工程と  
を備えるトランジスタの製造方法。

[請求項13]

前記導電薄膜を形成した後、前記垂直面および前記下段面を形成する工程の前に、前記導電薄膜に重ねて遮蔽層を設ける工程をさらに備えることを特徴とする請求項12に記載の製造方法。

[請求項14]

前記基板は、少なくとも前記最上面が炭化珪素の単結晶であり、

前記導電薄膜を形成する工程において、前記基板の前記最上面に前記導電薄膜としてグラフェンを形成することを特徴とする請求項12または13に記載の製造方法。

[請求項15]

前記導電薄膜を形成する工程において、前記導電薄膜であるグラフェンを、前記最上面と前記垂直面が交わる稜線近傍に重なる端部が単

層となるように形成すること特徴とする請求項 1 2 または 1 3 に記載の製造方法。

[請求項16] 前記導電薄膜を形成する工程より前に、前記最上面に隣接し前記最上面と非平行である傾斜面を形成する工程を有し、

前記導電薄膜を形成する工程において、前記導電薄膜を前記最上面から前記傾斜面に渡って形成し、前記傾斜面の上における前記導電薄膜は多層のグラフェンを形成することを特徴とする請求項 1 5 に記載の製造方法。

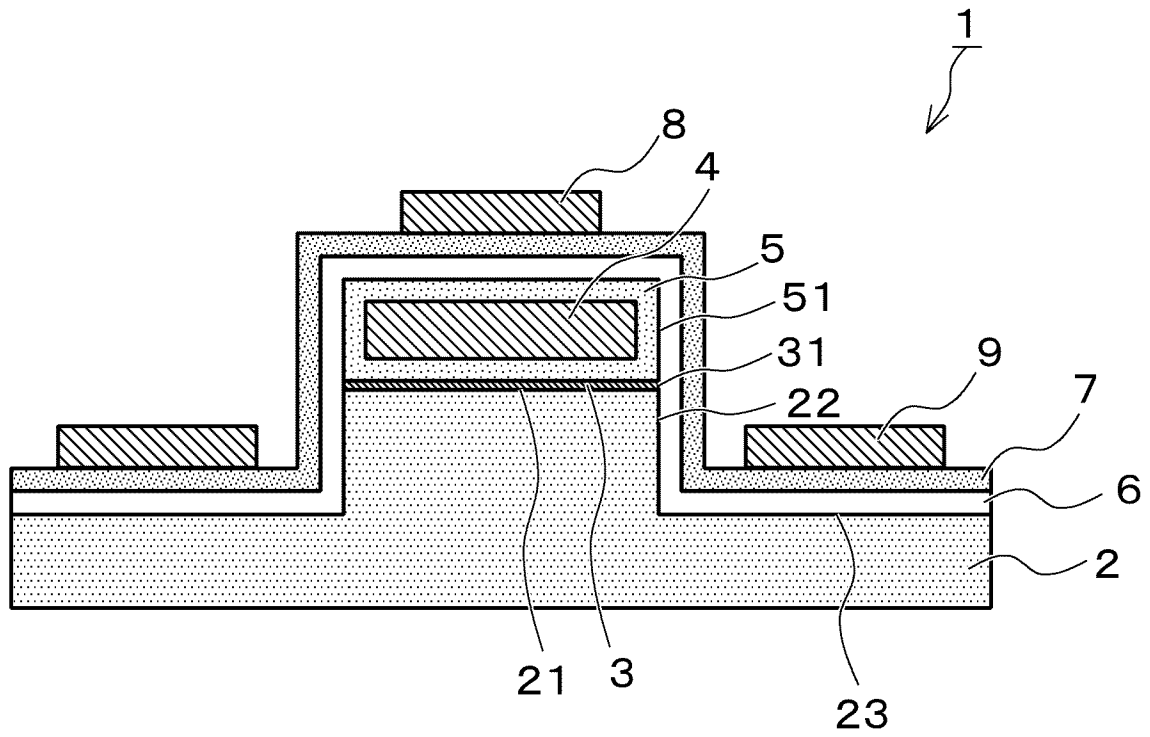
[請求項17] 前記基板は、炭化珪素の単結晶基板または絶縁体に炭化珪素の単結晶層を作製したハイブリッド基板であることを特徴とする請求項 1 2 または 1 3 に記載の製造方法。

[請求項18] 前記二次元半導体層は、グラフェン、遷移金属ダイカルコゲナイド、酸化インジウム、リン化ホウ素、および砒化ホウ素からなる群から選択される材料により形成されることを特徴とする請求項 1 2 または 1 3 に記載の製造方法。

[請求項19] 前記二次元半導体層は、二硫化モリブデン ( $\text{MoS}_2$ )、二硫化タングステン ( $\text{WS}_2$ )、および二セレン化タングステン ( $\text{WSe}_2$ ) のいずれかである遷移金属ダイカルコゲナイドより形成されることを特徴とする請求項 1 8 に記載の製造方法。

[請求項20] 前記絶縁膜は、酸化ハフニウム、炭化珪素、酸化ジルコニウム、酸化エルビウム、酸化アルミニウム、および炭化珪素からなる群から選択される材料により形成されることを特徴とする請求項 1 2 または 1 3 に記載の製造方法。

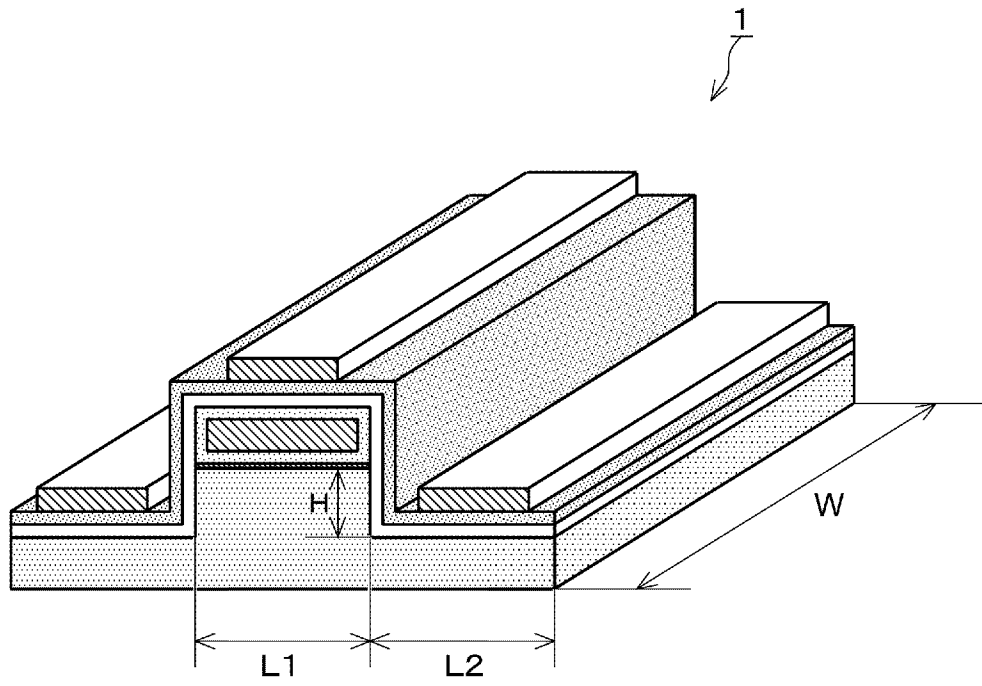
[図1]



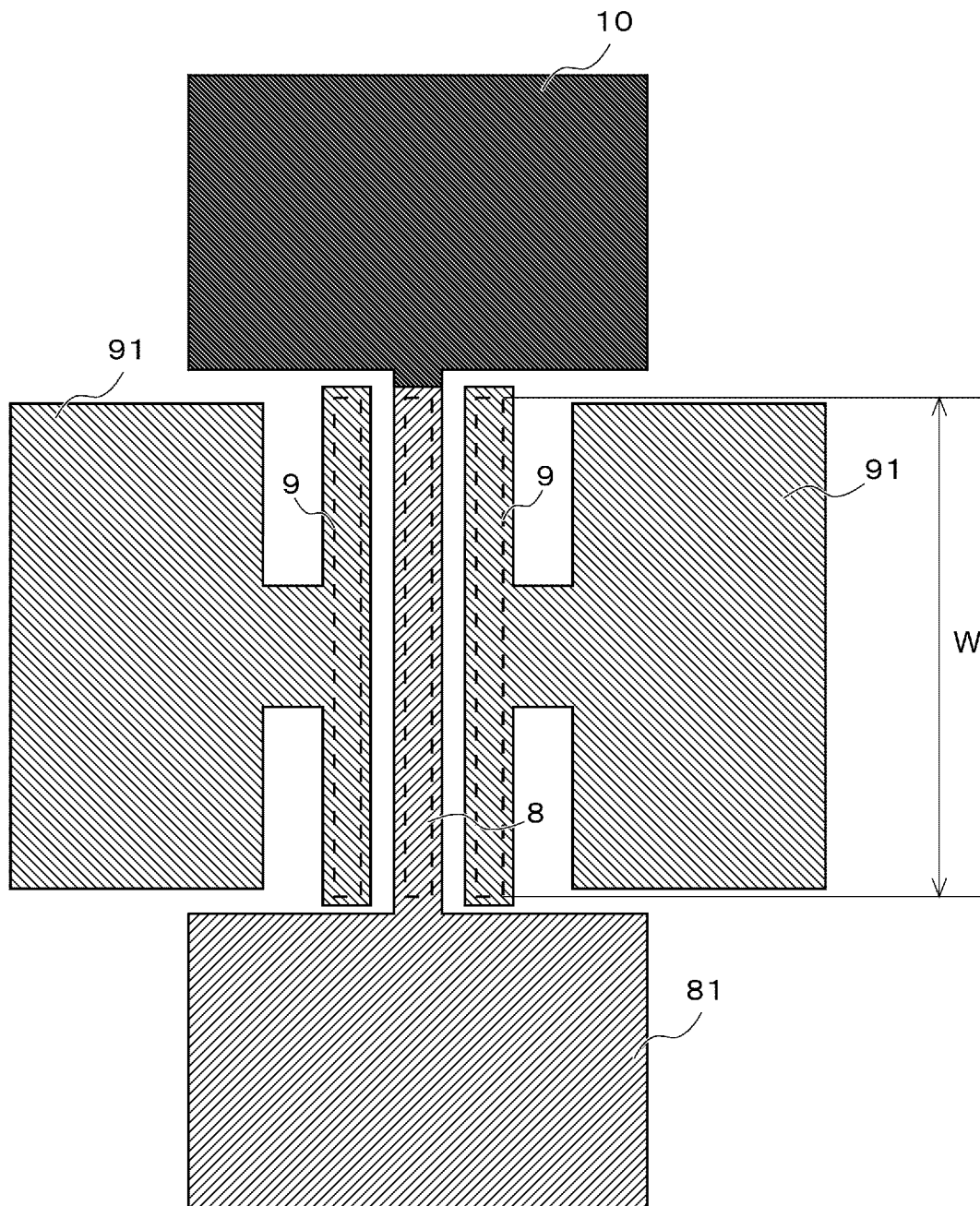
[図2]



[図3]

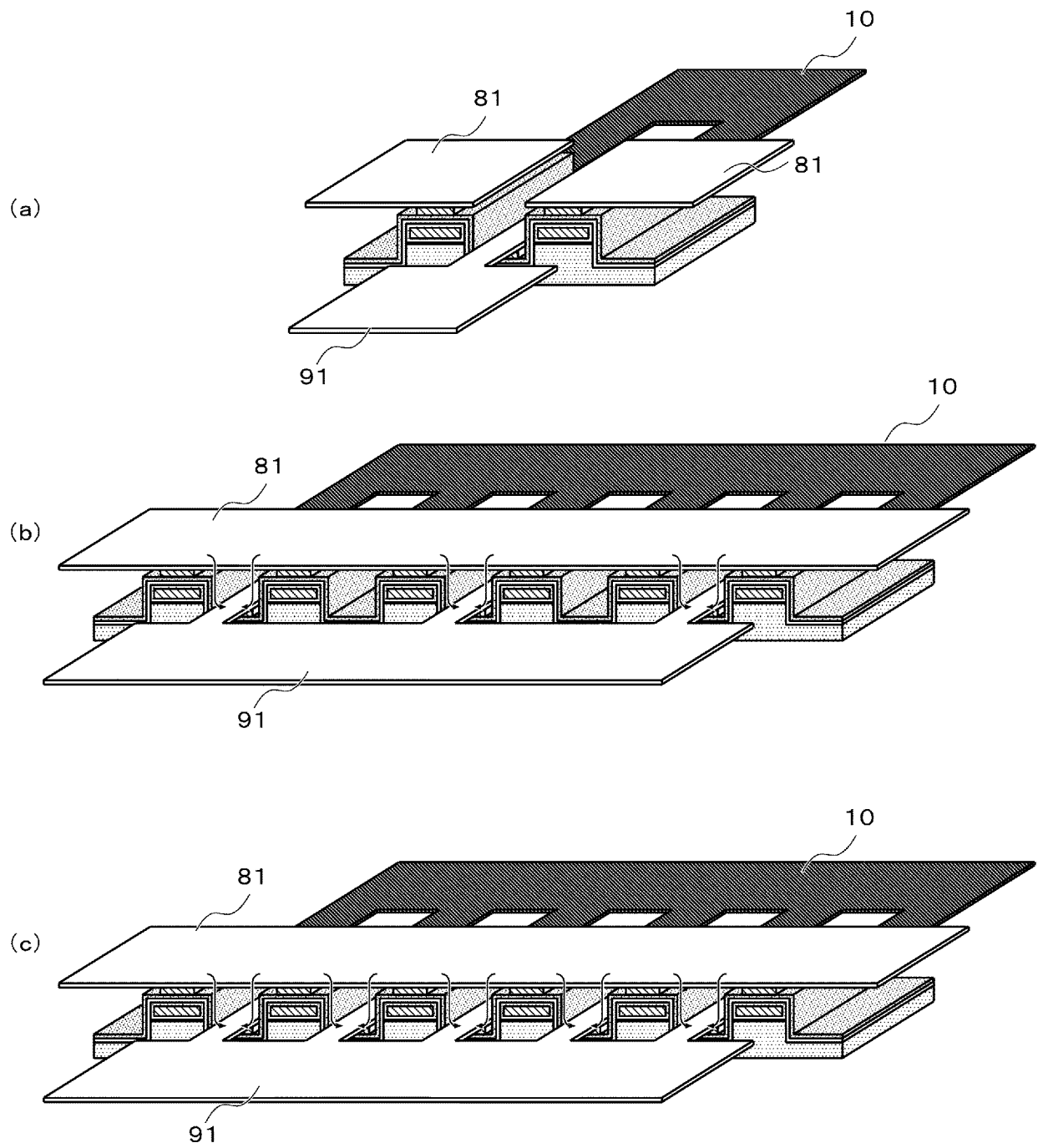


[図4]

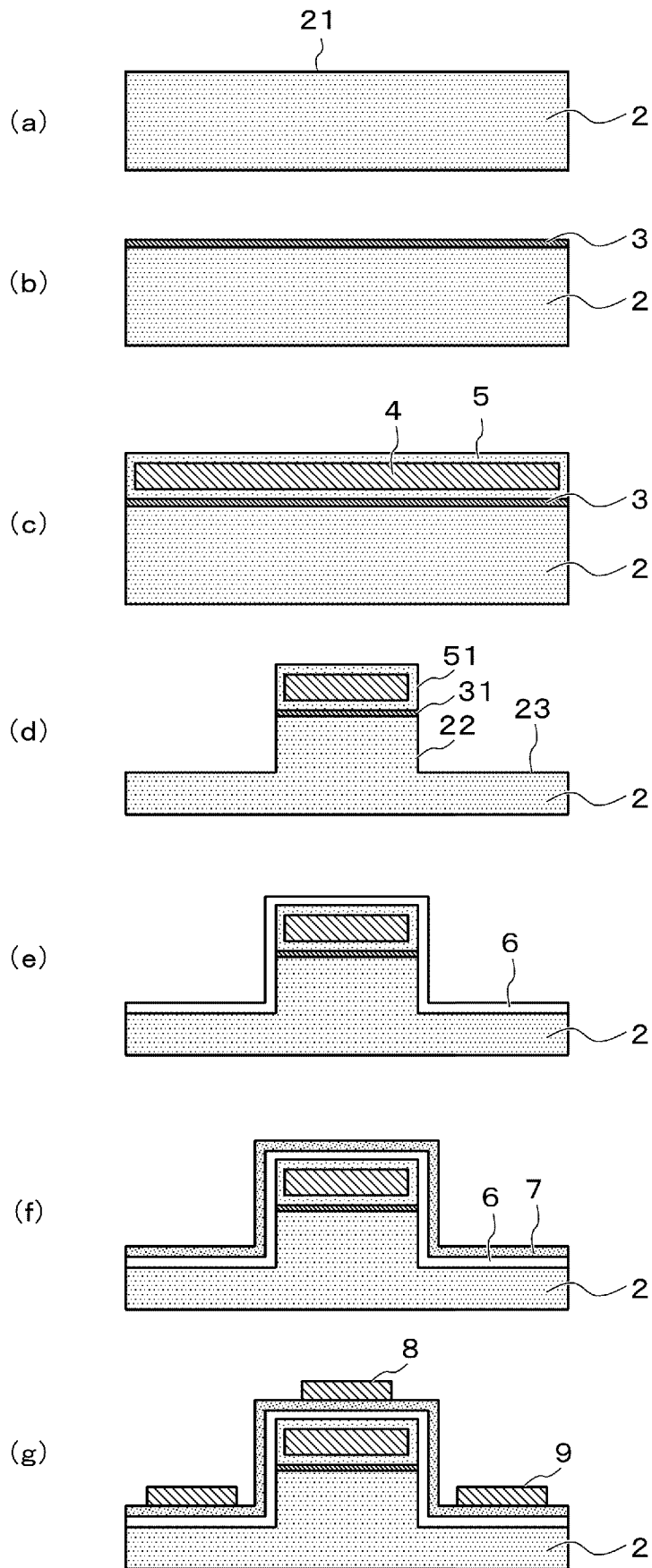




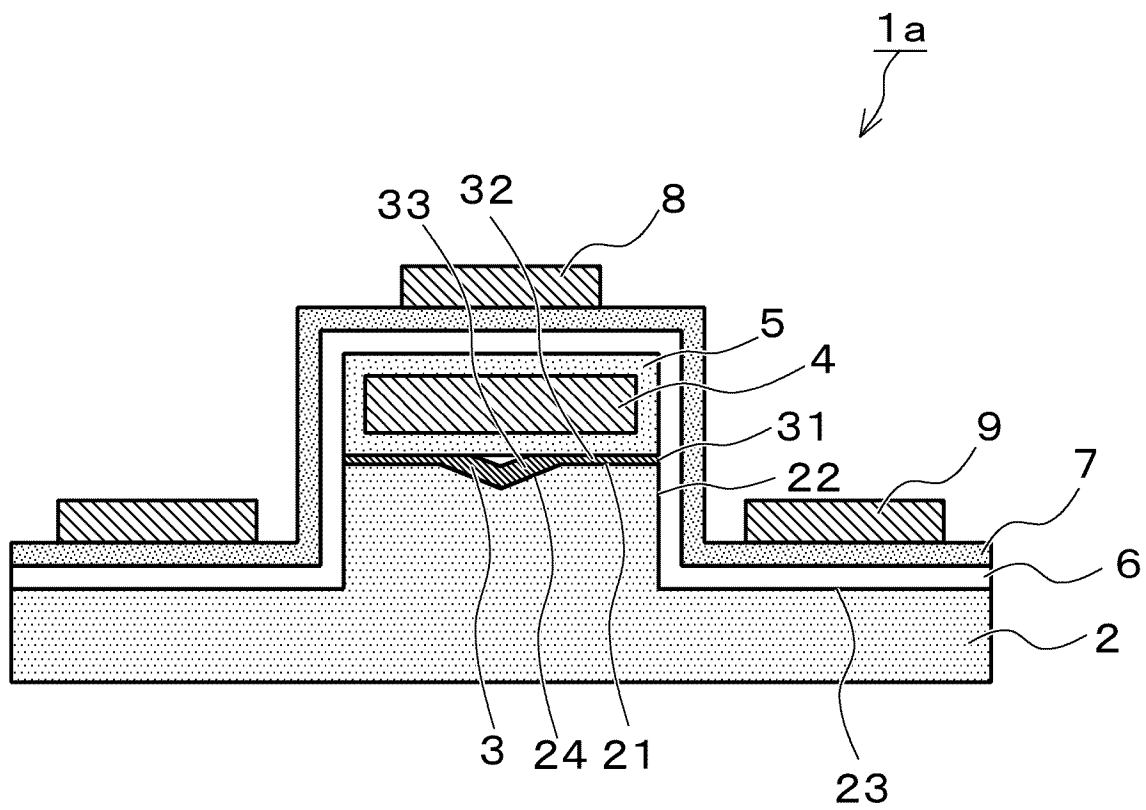
[図5]



[図6]



[図7]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/015405

|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                        |                                                                           |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------|
| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br><b>H01L 29/786</b> (2006.01)i; <b>H01L 21/336</b> (2006.01)i<br>FI: H01L29/78 626A; H01L29/78 618C; H01L29/78 618B; H01L29/78 617K; H01L29/78 617M; H01L29/78 617A;<br>H01L29/78 616S; H01L29/78 617N; H01L29/78 617T; H01L29/78 614; H01L29/78 617V; H01L29/78 618A;<br>H01L29/78 616K<br><br>According to International Patent Classification (IPC) or to both national classification and IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |                                                                                                                                                        |                                                                           |
| <b>B. FIELDS SEARCHED</b><br><br>Minimum documentation searched (classification system followed by classification symbols)<br>H01L29/786; H01L21/336<br><br>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2024<br>Registered utility model specifications of Japan 1996-2024<br>Published registered utility model applications of Japan 1994-2024<br><br>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                                                        |                                                                           |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                                                                                        |                                                                           |
| Category*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | Citation of document, with indication, where appropriate, of the relevant passages                                                                     | Relevant to claim No.                                                     |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | US 2020/0044083 A1 (IBM) 06 February 2020 (2020-02-06)                                                                                                 | 1-20                                                                      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | US 2021/0327758 A1 (MASSACHUSETTS INST TECHNOLOGY) 21 October 2021 (2021-10-21)                                                                        | 1-20                                                                      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | JP 2016-219805 A (SAMSUNG ELECTRONICS CO., LTD.) 22 December 2016 (2016-12-22)                                                                         | 1-20                                                                      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | FAN, Wu et al., "Vertical MoS2 transistors with sub-1-nm gate lengths", Nature, 2022, vol. 603, no. 7900, pp. 259-264, DOI: 10.1038/s41586-021-04323-3 | 1-20                                                                      |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |                                                                                                                                                        |                                                                           |
| <p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"D" document cited by the applicant in the international application</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p> |                                                                                                                                                        |                                                                           |
| Date of the actual completion of the international search<br><b>04 July 2024</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |                                                                                                                                                        | Date of mailing of the international search report<br><b>16 July 2024</b> |
| Name and mailing address of the ISA/JP<br><b>Japan Patent Office (ISA/JP)</b><br><b>3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915</b><br><b>Japan</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                                                                                                        | Authorized officer<br><br>Telephone No.                                   |

INTERNATIONAL SEARCH REPORT  
Information on patent family members

International application No.  
**PCT/JP2024/015405**

| Patent document<br>cited in search report |              |    | Publication date<br>(day/month/year) | Patent family member(s) |                 |    | Publication date<br>(day/month/year) |
|-------------------------------------------|--------------|----|--------------------------------------|-------------------------|-----------------|----|--------------------------------------|
| US                                        | 2020/0044083 | A1 | 06 February 2020                     | (Family: none)          |                 |    |                                      |
| US                                        | 2021/0327758 | A1 | 21 October 2021                      | WO                      | 2020/041650     | A1 |                                      |
| JP                                        | 2016-219805  | A  | 22 December 2016                     | US                      | 2016/0343891    | A1 |                                      |
|                                           |              |    |                                      | EP                      | 3096359         | A1 |                                      |
|                                           |              |    |                                      | KR                      | 10-2016-0135590 | A  |                                      |
|                                           |              |    |                                      | CN                      | 106169511       | A  |                                      |

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/786(2006.01)i; H01L 21/336(2006.01)i

FI: H01L29/78 626A; H01L29/78 618C; H01L29/78 618B; H01L29/78 617K; H01L29/78 617M; H01L29/78 617A; H01L29/78 616S; H01L29/78 617N; H01L29/78 617T; H01L29/78 614; H01L29/78 617V; H01L29/78 618A; H01L29/78 616K

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/786; H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                       | 関連する<br>請求項の番号 |
|-----------------|---------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| A               | US 2020/0044083 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 06.02.2020<br>(2020 - 02 - 06)                                                         | 1-20           |
| A               | US 2021/0327758 A1 (MASSACHUSETTS INSTITUTE OF TECHNOLOGY) 21.10.2021<br>(2021 - 10 - 21)                                                               | 1-20           |
| A               | JP 2016-219805 A (三星電子株式会社) 22.12.2016 (2016 - 12 - 22)                                                                                                 | 1-20           |
| A               | FAN, Wu et al., "Vertical MoS2 transistors with sub-1-nm gate lengths",<br>Nature, 2022, Vol. 603, No. 7900, p.259-264, DOI: 10.1038/s41586-021-04323-3 | 1-20           |

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

"A" 特に関連のある文献ではなく、一般的技术水準を示すもの

"D" 国際出願で出願人が先行技術文献として記載した文献

"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

"I" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

"O" 口頭による開示、使用、展示等に言及する文献

"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

"&" 同一パテントファミリー文献

国際調査を完了した日

04.07.2024

国際調査報告の発送日

16.07.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

岩本 勉 5F 9355

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告  
パテントファミリーに関する情報

国際出願番号  
PCT/JP2024/015405

| 引用文献 |              |    | 公表日        | パテントファミリー文献 |                 |    | 公表日 |
|------|--------------|----|------------|-------------|-----------------|----|-----|
| US   | 2020/0044083 | A1 | 06.02.2020 | (ファミリーなし)   |                 |    |     |
| US   | 2021/0327758 | A1 | 21.10.2021 | WO          | 2020/041650     | A1 |     |
| JP   | 2016-219805  | A  | 22.12.2016 | US          | 2016/0343891    | A1 |     |
|      |              |    |            | EP          | 3096359         | A1 |     |
|      |              |    |            | KR          | 10-2016-0135590 | A  |     |
|      |              |    |            | CN          | 106169511       | A  |     |