



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200951811 A1

(43)公開日：中華民國 98 (2009) 年 12 月 16 日

(21)申請案號：098107159

(22)申請日：中華民國 98 (2009) 年 03 月 05 日

(51)Int. Cl. : **G06F9/38 (2006.01)** **G06F9/30 (2006.01)**

(30)優先權：2008/03/11 美國 12/045,825

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：寇德古 魯西恩 CODRESCU, LUCIAN (US)；雷斯特 羅勃特 A LESTER, ROBERT A. (US)；塔班尼 查爾斯 J TABONY, CHARLES J. (US)；帕倫奇 瑞齊 J PLONDKE, ERICH J. (US)；曾茂 ZENG, MAO (CA)；凡谷馬哈提 蘇拉西 K VENKUMAHANTI, SURESH K. (IN)；伊各 亞傑 A INGLE, AJAY A. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：25 項 圖式數：7 共 43 頁

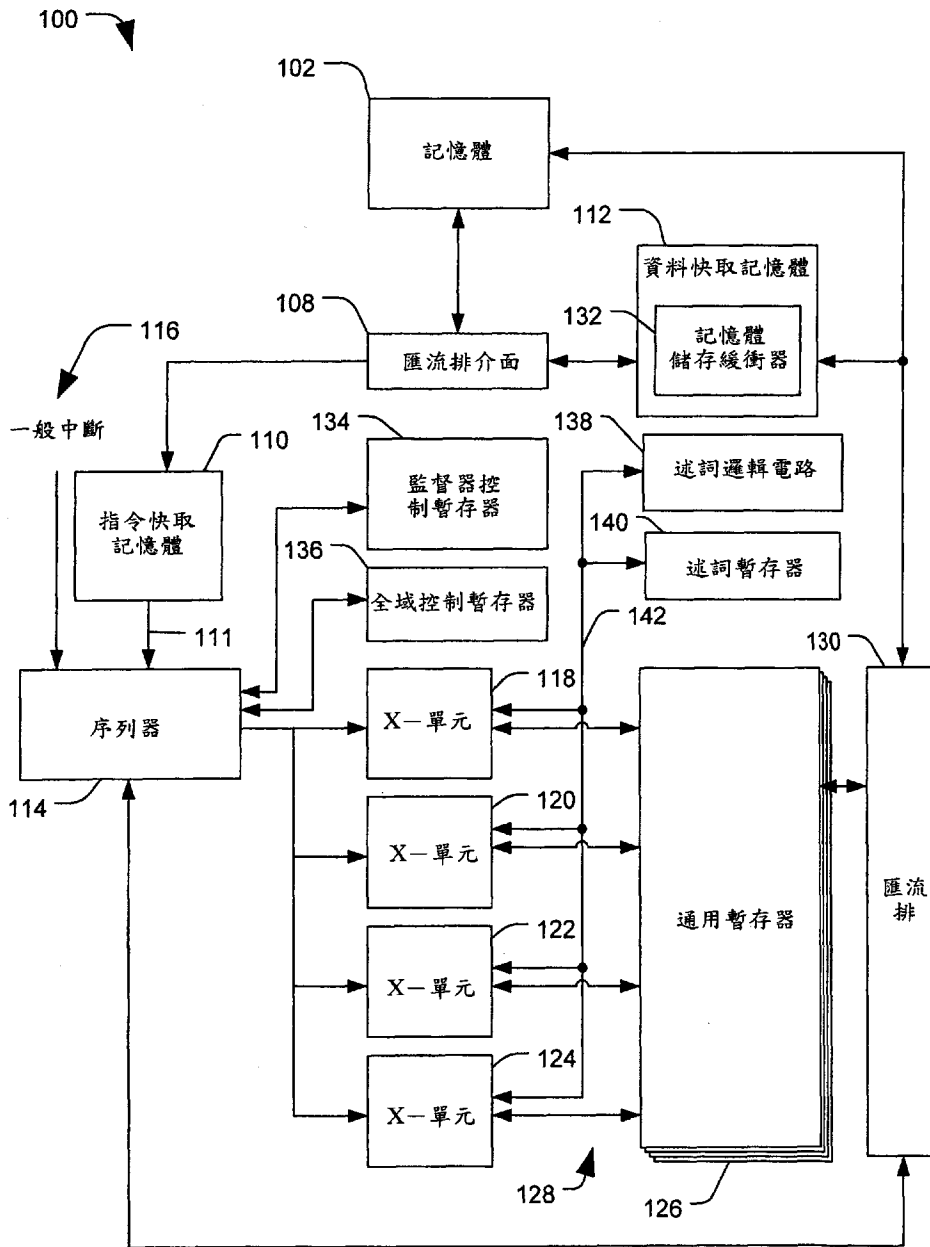
(54)名稱

選擇性提交已執行指令之結果之方法及系統

SYSTEM AND METHOD OF SELECTIVELY COMMITTING A RESULT OF AN EXECUTED INSTRUCTION

(57)摘要

在一特定實施例中，揭示一種方法，其包括在一具有包括一第一執行管線及一第二執行管線之複數個並行的執行管線之處理器處接收一指令封包，該指令封包包括一第一指令及一相關於該第一指令之第二指令。該方法進一步包括並行地執行該第一指令之至少一部分及該第二指令之至少一部分。該方法亦包括基於與藉由該第一執行管線執行該第一指令有關之一第一結果而選擇性地提交藉由該第二執行管線執行該第二指令之該至少一部分的一第二結果。



- 100：處理器
- 102：記憶體
- 108：匯流排介面
- 110：指令快取記憶體
- 111：匯流排
- 112：資料快取記憶體
- 114：序列器
- 116：一般中斷
- 118：第一指令執行單元
- 120：第二指令執行單元
- 122：第三指令執行單元
- 124：第四指令執行單元
- 126：通用暫存器檔案
- 128：第一匯流排
- 130：第二匯流排
- 132：記憶體儲存緩衝器
- 134：監督器控制暫存器
- 136：全域控制暫存器
- 138：述詞邏輯電路
- 140：述詞暫存器
- 142：匯流排



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200951811 A1

(43)公開日：中華民國 98 (2009) 年 12 月 16 日

(21)申請案號：098107159

(22)申請日：中華民國 98 (2009) 年 03 月 05 日

(51)Int. Cl. : **G06F9/38 (2006.01) G06F9/30 (2006.01)**

(30)優先權：2008/03/11 美國 12/045,825

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：寇德古 魯西恩 CODRESCU, LUCIAN (US)；雷斯特 羅勃特 A LESTER, ROBERT A. (US)；塔班尼 查爾斯 J TABONY, CHARLES J. (US)；帕倫奇 瑞齊 J PLONDKE, ERICH J. (US)；曾茂 ZENG, MAO (CA)；凡谷馬哈提 蘇拉西 K VENKUMAHANTI, SURESH K. (IN)；伊各 亞傑 A INGLE, AJAY A. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：25 項 圖式數：7 共 43 頁

(54)名稱

選擇性提交已執行指令之結果之方法及系統

SYSTEM AND METHOD OF SELECTIVELY COMMITTING A RESULT OF AN EXECUTED INSTRUCTION

(57)摘要

在一特定實施例中，揭示一種方法，其包括在一具有包括一第一執行管線及一第二執行管線之複數個並行的執行管線之處理器處接收一指令封包，該指令封包包括一第一指令及一相關於該第一指令之第二指令。該方法進一步包括並行地執行該第一指令之至少一部分及該第二指令之至少一部分。該方法亦包括基於與藉由該第一執行管線執行該第一指令有關之一第一結果而選擇性地提交藉由該第二執行管線執行該第二指令之該至少一部分的一第二結果。

六、發明說明：

【發明所屬之技術領域】

本揭示案大體係關於一種選擇性提交已執行指令之結果之系統及方法。

【先前技術】

許多演算法基於某一條件選擇性地執行運算。在軟體程式碼中，可藉由使用比較指令，接著使用基於比較運算之結果視情況跳過程式碼之部分的分支指令，來實現此選擇性執行。一些架構可允許運算自身有條件地執行，藉此消除分支運算。然而，仍然存在對特定條件之結果的相關性。

通常，在極長指令字(VLIW)處理器架構中，可執行比較運算，且來自比較指令之結果可在某一正數目的處理器循環後利用。在電腦程式中，比較運算後常為分支運算，在該情況下，比較運算之結果用以判定是否執行分支運算。通常，使用編譯器來組織指令以減少歸因此等相關性之管線暫停。

在非VLIW處理器架構中，通常利用分支預測技術推測性地消除分支之相關性。然而，此分支預測增加了複雜性且增加了處理器核心之功率消耗。由於VLIW處理器架構具有按軟體分組之許多正在進行中的指令，故分支預測通常在VLIW處理器架構中受到限制或不存在。然而，比較與分支運算之間的相關性仍然存在。因此，存在對於減少歸因於指令相關性的管線暫停之改良的處理器架構之需

求。

【發明內容】

在一特定實施例中，揭示一種方法，其包括在一具有包括一第一執行管線及一第二執行管線之複數個並行的執行管線之處理器處接收一指令封包，該指令封包包括一第一指令及一相關於該第一指令之第二指令。該方法進一步包括並行地執行該第一指令之至少一部分及該第二指令之至少一部分。該方法亦包括基於與藉由該第一執行管線執行該第一指令有關之一第一結果選擇性地提交藉由該第二執行管線執行該第二指令之至少一部分的一第二結果。

在另一特定實施例中，揭示一種方法，其包括在一具有複數個並行的執行管線之處理器處接收一包括一比較指令及一第二指令之指令封包。該第二指令相關於該比較指令。該方法進一步包括：解碼該比較指令及該第二指令以判定與是否將提交該第二指令有關之一預測；並行地執行第一指令及該第二指令；及部分基於該第二指令及該預測選擇性操控一提取管線。

在再一特定實施例中，一種處理器包括經調適以並行地執行指令之多個執行管線。該多個執行管線包括一執行一比較指令之第一執行管線及一執行一相關於該比較指令的第二指令之第二執行管線。該比較指令及該第二指令經同時執行。該處理器亦包括邏輯電路，其經調適以將自該比較指令之執行判定的一第一結果自該第一執行管線提供至該第二執行管線用於由該第二指令使用。

由該系統及該等方法之實施例提供之一特定優勢在於，編譯器可將比較指令與使用比較指令之結果的分支指令一起分組至一單一封包中，用於由處理器同時執行，而不引入與相關性有關之潛時。

提供另一特定優勢，其在於，比較指令可與相關於比較運算之結果的諸如算術及記憶體載入指令之其他指令分組在一起且與其他指令並行地加以執行。提供再一特定優勢，其在於，此等指令可在同一循環中及在執行單元需要提交其結果前使用比較指令之結果，藉此防止不必要的寫入操作。

在審閱整個申請案之後，本揭示案之其他態樣、優點及特徵將變得顯而易見，整個申請案包括以下部分：圖式簡單說明、實施方式及申請專利範圍。

【實施方式】

圖1為包括有條件地提交並行執行的指令之邏輯的處理器100之一特定說明性實施例之方塊圖。處理器100包括一經由匯流排介面108耦接至一指令快取記憶體110之記憶體102。處理器100亦包括一經由匯流排介面108耦接至記憶體102之資料快取記憶體112。指令快取記憶體110經由匯流排111耦接至序列器114。序列器114亦接收可自中斷暫存器(未圖示)擷取之一般中斷116。在一特定實施例中，指令快取記憶體110可經由複數個當前指令暫存器耦接至序列器114，該複數個當前指令暫存器可耦接至匯流排111且與處理器100之特定線緒相關聯。在一特定實施例中，處

理器100為包括六個線緒之交錯的多線緒處理器。

在一特定實施例中，匯流排111為一百二十八位元(128位元)匯流排，且序列器114經組態以經由包括每一者具有三十二(32)個位元之長度之多個指令的指令封包自記憶體102擷取指令。匯流排111耦接至第一指令執行單元118、第二指令執行單元120、第三指令執行單元122及第四指令執行單元124。每一指令執行單元118、120、122、124可經由第一匯流排128耦接至通用暫存器檔案126。通用暫存器檔案126亦可經由第二匯流排130耦接至序列器114、資料快取記憶體112及記憶體102。在一特定說明性實施例中，資料快取記憶體112可包括一記憶體儲存緩衝器132以基於尚未判定之條件為待儲存之資料提供一臨時儲存位置。

處理器100亦可包括一監督器控制暫存器134及全域控制暫存器136以儲存可由序列器內之控制邏輯存取以判定是否接受中斷及控制指令之執行的位元。處理器100亦包括一述詞邏輯電路138及述詞暫存器140，該兩者耦接至執行單元118、120、122及124。在一特定實施例中，述詞暫存器140可包括四個讀取/寫入8位元暫存器，其保持純量及向量比較運算之結果。比較結果可由執行單元118、120、122及124經由匯流排142寫入至述詞暫存器140。述詞邏輯電路138經調適以自述詞暫存器140擷取資料且將比較提供提供至需要比較結果之選定執行單元。在一特定實施例中，述詞邏輯電路138可經嵌入於每一執行單元118、

120、122及124中，且可基於與分支指令相關聯的指示符之存在自述詞暫存器140擷取資料。舉例而言，分支指令可包括識別待用於分支指令之條件資料為在同一指令封包中包括的比較結果之位元設定或某一其他指示符。此指示符可觸發述詞控制邏輯自述詞暫存器140擷取比較結果。

述詞邏輯電路138及述詞暫存器140由處理器100用以將來自第一執行管線之執行的早期階段的比較指令之結果提供至第二執行管線，用於與分支指令、邏輯運算指令(亦即，邏輯「及(AND)」、邏輯「或(OR)」、邏輯「反及(NAND)」、邏輯「反或(NOR)」、邏輯「互斥或(exclusive-OR)」或其他邏輯運算)、載入指令、儲存指令、算術指令、另一條件性指令或其任何組合一起使用。在一特定實施例中，述詞邏輯電路138經調適以擷取來自一執行管線之結果，用於由另一執行管線使用以允許分支在與產生比較結果(述詞)相同的執行循環內使用述詞。在一特定實施例中，分支指令可由執行單元120使用來自由執行單元118執行的比較指令之結果在計算比較結果後的大致零觀測循環執行。雖然在習知VLIW架構中的比較運算之結果可在許多循環後利用，但處理器100利用述詞邏輯電路138以允許分支指令在自執行管線可利用之時間中接收比較運算之結果。因此，比較結果可由同一指令封包之分支指令在該等指令正並行執行的同時使用，亦即，分支指令在與正判定比較之結果相同的執行循環中接收比較結果。

在一特定實施例中，述詞邏輯電路138經說明為在執行

單元118、120、122及124外部之電路組件。在一替代實施例中，述詞邏輯電路138可經嵌入於執行單元118、120、122及124中之每一者內。在另一替代實施例中，述詞邏輯電路138可包括於序列器114中。

在一特定說明性實施例中，指令之封包係由序列器114經由匯流排111自指令快取記憶體110提取。序列器114將指令提供至指定之指令執行單元118、120、122及124。該等指令執行單元118、120、122及124並行執行該等指令，且視指令之間的相關性而定，指令執行單元118、120、122及124經調適以基於第一指令之結果有條件地提交來自第二指令之結果。

舉例而言，在一特定實施例中，一指令之封包可包括一第一及一第二指令，其中第二指令相關於第一指令之結果。處理器100經調適以接受與流改變指令(諸如，跳躍指令、分支指令或其他流改變指令)、載入指令、儲存指令、算術指令、另一相關性運算或其任何組合一起分組之比較指令。詳言之，處理器100經調適以在執行管線中之一點處將比較運算之結果提供至述詞暫存器140，該點足夠早以使得可將結果用於同一執行循環中來判定是否選取一分支、是否載入或儲存特定資料，判定第一結果或第二結果是否正確，或其任何組合。

在一特定實例中，處理器100可利用記憶體儲存緩衝器132臨時儲存來自一或多個執行單元之結果，以提供結果之計算與將結果寫入至記憶體102之寫回操作之間的延

遲。舉例而言，當待將一條件或值提供至記憶體102時，記憶體儲存緩衝器132提供延遲。在無記憶體儲存緩衝器132之情況下，可能過早地需要條件及值以致結果尚未準備好。記憶體儲存緩衝器132提供獲得條件之結果的足夠延遲。述詞邏輯電路138可控制執行單元118、120、122及124將結果寫入至記憶體儲存緩衝器132，直至判定一條件，及接著根據判定之條件將結果中之僅一者寫入至記憶體位置。

舉例而言，處理器100可允許並行地執行比較指令及相關於來自比較指令之結果的分支指令。舉例而言，比較指令可由執行單元118處理，且分支指令可同時由執行單元120執行。分支指令可包括指示應自同一封包中之比較指令而非自來自另一封包之先前執行之指令的結果導出比較結果之一位元或其他記法。在執行管線內，述詞邏輯電路138可使比較指令之結果被提供至執行單元120，使得可在提交指令之結果前將結果用於分支指令中。藉由使比較運算之結果在執行管線中早早地可利用，在提交結果前，分支指令可使用該結果判定正確的結果。由於通常早早地在管線中判定了分支方向，故分支指令通常不具有提取正確的下一個指令封包之時間以避免在選取一分支的情況下的管線暫停。然而，在一特定實施例中，述詞邏輯電路138亦可經調適以使用早先的比較結果判定是否選取該分支及/或預測是否將提交執行管線之資料。述詞邏輯電路138可與序列器114通信(例如，經由未圖示之匯流排)以起始提

取操作來根據預測擷取指令。

圖2為有條件地提交並行執行的指令的處理器200之一第二特定說明性實施例之方塊圖。處理器200包括一指令快取記憶體202，其經由匯流排203與序列器204通信。指令快取記憶體202可將指令之封包提供至序列器204。序列器204與第一執行管線210及第二執行管線212通信以提供自指令之封包導出的指令。第一執行管線210及第二執行管線212執行該等指令且有條件地將指令之結果提交至儲存緩衝器216，且若滿足條件，則提交至記憶體218。在一特定實施例中，記憶體218(諸如，資料快取記憶體)可耦接至一匯流排以將資料傳遞至一記憶體位置，諸如，在圖1之記憶體102處之位置。

處理器200亦包括一控制邏輯電路206及一述詞暫存器208。述詞暫存器208經調適以接收由第一執行管線210及第二執行管線212執行的比較指令之結果。控制邏輯電路206經調適以將來自述詞暫存器208之此等結果選擇性地傳遞至第一執行管線210及第二執行管線212中之一者，用於在並行執行的指令中使用。控制邏輯電路206亦可經由匯流排207與序列器204通信。

在一特定實施例中，序列器204可經由匯流排203自指令快取記憶體202接收包括第一指令及第二指令的指令之封包。第二指令可相關於與第一指令之執行有關的結果。舉例而言，第二指令可為使用第一指令(諸如，比較指令)之結果判定是否選取一特定分支之分支指令。第一執行管線

210可執行第一指令，及第二執行管線212可並行地執行第二指令。第一執行單元210將第一指令(亦即，比較指令)之結果提供至述詞暫存器208。第二執行管線212接收來自述詞暫存器208之結果，且在第二指令之執行期間使用該結果判定是否提交第二指令之結果。在一特定實施例中，控制邏輯電路206將結果提供至第二執行管線212。在另一特定實施例中，第一執行管線210及第二執行管線212可包括控制邏輯電路206。

在一特定實例中，序列器204可接收包括一第一比較指令及一第二分支指令的指令之封包。第二分支指令可相關於第一比較指令之結果。在一特定實例中，第二分支指令可使用嵌入於指令內之記法(諸如，位元旗標或其他指示符)來指示對第一比較指令之相關性。在第一比較指令及第二分支指令之執行期間，第一執行管線210將比較結果寫入至述詞暫存器208。在同一執行循環中，控制邏輯電路206與第二執行管線212共用該結果，第二執行管線212在分支指令之執行中使用該結果。同時，控制邏輯電路206可經由匯流排207將一信號提供至序列器204以起始一提取操作，以自一記憶體擷取與流改變有關的指令。早先的指示(亦即，執行單元有可能基於分支指令改變程式流之預測)可由序列器用以提取相關的指令以減少管線潛時。

在另一特定實例中，當第一指令為比較指令且第二指令為儲存指令時，第一執行管線210可將比較結果寫入至述

詞暫存器 208，且控制邏輯電路 206 可在第二執行管線提交一結果前將該結果提供至第二執行管線 212。在此例中，可在起始寫回前取消與第二執行管線相關聯之寫回操作。或者，可臨時地將資料提交至儲存緩衝器 216 以在提交寫回操作前提供額外的延遲，藉此允許將第一執行管線之比較結果用以防止不必要的寫回操作，在該情況下，不需要或可拋棄來自第二執行管線之資料。

在另一特定實例中，可將比較指令與相關於比較指令之結果的算術或記憶體載入指令一起分組在一封包中。第一執行管線 210 可執行比較指令且在執行循環中相對早時將結果提供至述詞暫存器，且可在管線中之提交結果的階段之前取消條件性指令之結果。

一般而言，執行比較指令，且執行單元 210 及 212 基於比較結果在述詞暫存器 208 中設定述詞位元。此等述詞位元可接著用以有條件地執行某些指令。分支指令、載入指令、儲存指令、算術指令及多工指令為此等可有條件地執行之指令之實例。可在述詞暫存器 208 內之特定位元(諸如，最低有效位元)上調節某些純量運算。相比之下，視特定程式碼而定，向量運算可利用來自述詞暫存器 208 之較多位元。

一般而言，處理器 200 可用以並行地執行資料相關性指令。舉例而言，此等資料相關性指令可包括使用來自載入指令或比較指令之資料的算術或其他數學或邏輯指令。在一特定實例中，載入指令可基於比較之結果自記憶體位置

提取資料。在一特定實施例中，可使用特定組合語言記法(諸如，dot-new(亦即，「.new」)記法、dot-dependent(亦即，「.dep」)記法、其他記法或其任何組合)來識別此等條件性或資料相關性指令。在一特定實施例中，組合語言編譯器可經調適以辨認此記法且按一順序次序排列包括此記法的指令之封包。說明基於一比較指令(使用一「.new」組合語言記法)之結果有條件地載入字的條件性載入操作之組合語法之一實例出現如下：

```
if (P0.new) R0=MEMW(R2)//若 P0 為真，則載入字
```

在另一特定實施例中，比較指令可用以判定選擇哪一運算元，且選定運算元可用於算術運算中。說明此條件性算術運算的組合語法之一實例出現如下：

```
if (P0.new) R0=SUB(R2,R3)//若 P0 為真，則減
```

```
if (!P2.new) R2=ADD(R2,#4)//若 P2 為假，則加
```

在另一特定實施例中，可計算多個結果，且比較結果可用以判定應將哪一結果寫入至記憶體。或者，比較結果可用以判定是否應儲存該結果。說明一條條件性儲存指令的組合語法之一實例出現如下：

```
if (!P2.new) MEMW(R4)=R0//若 P2 為假，則儲存字
```

通常，可執行任何數目個條件性指令，包括條件性轉移、移動或組合指令。說明一組合及轉移指令的組合語法之一實例出現如下：

```
if (P0.new) R1:0=COMBINE(R3,R5)//若 P0 為真，則  
組合
```

```
if (!P2.new) R2=R5//若 P2 為假，則轉移
```

一般而言，可辨認位元旗標、指示符或特定記法(諸如，dot-new(「.new」)記法)，且可在封包中分組此程式碼以利用早先的比較結果來增強處理器效能。詳言之，處理器可並行地執行包括此等資料相關性指令之指令封包，使得計算一條指令且在同一指令封包之執行期間使用計算的條件之結果。舉例而言，來自一比較指令之執行的結果可在另一指令中用以判定是否提交該等結果(亦即，將結果寫入至記憶體)。若條件指示不應提交結果，則可取消寫回操作。

可使用 dot-new 記法的方式之一實例呈現於下表 1 及表 2 中。表 1 呈現 C 程式碼之一實例區段，及表 2 呈現使用 dot-new 記法的實例 C 程式碼之一組合實施。

表 1 C 程式碼。

C 程式碼

```
if (R2==4) {
    R3=*R4;
    else {
    R5=5;
    }
}
```

用於支援 dot-new 類型之記法的處理器之組合級程式碼之一代表性實例呈現於下表 2 中。

表 2 組譯程式碼－Dot-New 記法。

組譯程式碼

```

{
P0 = cmp.eq(R2,#4)
if (P0.new) R3 = MEMW(R4)//使用新產生的P0
if (!P0.new) R5 = #5
}

```

在此實例中，比較指令及新產生的述詞之多個使用經分組於同一封包中。如上關於圖1及圖2所論述，執行單元可在同一執行循環中執行比較及相關性指令。一般而言，封包中之指令不能寫入至同一目的暫存器。組譯器或編譯器可將此等封包用旗標表示為無效。然而，允許條件性指令目標針對同一目的暫存器，其限制條件為提交結果中之不超過一者。

圖3為與執行管線300相關聯的多個執行階段之一特定說明性實例之圖。執行管線300經調適以執行一第一比較指令及一相關於第一指令之結果的第二指令。執行管線300包括一解碼階段302、一暫存器讀取階段304、一第一執行階段306、一第二執行階段308、一第三執行階段310及一寫回階段312。在此實例中，省略了一或多個提取階段，且將執行管線300說明為如同其開始於解碼階段302。在一特定實例中，階段302、304、306、308、310及312中之每一者可表示時脈循環。

在此實例中，在第二執行階段期間判定比較結果(在314處)，且該結果在310處之第三執行階段中用以基於該比較結果判定是提交還是取消該結果(在316處)。視正處理何類

型之相關性指令而定，在314處之比較結果經在執行管線300中足夠早地提供以允許控制邏輯操控提取管線減少暫停。在314處之比較結果由相關性指令使用「dot-new」記法或指示來選擇。另外，在解碼階段302，可進行關於是否將選取跳躍或分支之預測。在一特定實施例中，可使用靜態預測來進行預測。當有可能選取分支或跳躍時，預測可用以操控提取管線以進一步減少暫停。詳言之，由於比較之結果直至第二執行階段308才可利用，故可能太晚了以致不能在無管線暫停之情況下提取下一個指令。然而，藉由添加預測(亦即，「選取跳躍/分支」、「不選取跳躍/分支」、其他預測或其任何組合)，控制邏輯可提取隨後指令以防止在流改變發生的情況下的管線暫停。當靜態預測錯誤時，可清除提取管線，且可提取下一個指令封包用於處理。

在一特定實例中，多線緒處理器之每一線緒可解碼整個封包之部分以預測及/或判定其他執行單元是否將具有其可需要的結果。在另一特定實例中，可取消寫回操作，藉此防止至通用暫存器檔案的寫入操作。

在一特定實例中，為了計時目的，可能有必要在比較之結果準備好(在314處)前在第二執行階段中提交至寫回操作。在此個例中，可將結果儲存於臨時暫存器中，諸如，圖1中說明之記憶體儲存緩衝器132。記憶體儲存緩衝器可在某一稍後時間點提交至記憶體內。在此實例中，可延遲提交以儲存資料且使用經緩衝之寫入以防止應被取消的寫

回操作。

圖4為將指令編譯至包括一比較指令及一相關於比較指令之結果之第二指令的封包內之一方法之一特定說明性實施例之流程圖。該方法包括經由一或多個編譯階段將複數個極長指令字(VLIW)指令編譯至機器可讀指令中(在402處)。繼續進行至404，該方法進一步包括使機器可讀指令形成(亦即，分組)至包括指令之複數個封包中，該等指令可由多線緒處理器並行地執行。該複數個封包中之至少一封包包括能夠同時執行之一第一指令及一第二指令。該第二指令相關於該第一指令。第一及第二指令經同時執行。在一特定實例中，第一指令之結果用以在同一處理循環中處理第二指令。方法終止於406。

在一特定實施例中，複數個封包中之一封包包括目標針對同一目的暫存器之至少兩個條件性指令。雖然習知編譯器可返回誤差，但可允許該至少兩個條件性指令目標針對同一目的暫存器，其限制條件為可提交僅一條條件性指令。

圖5為有條件地提交並行執行的指令的一方法之一特定說明性實施例之流程圖。該方法包括在具有複數個並行的執行管線之處理器處接收包括一第一指令及一第二指令之封包，其中第二指令相關於第一指令之結果(在502處)。該複數個並行的執行管線可包括一第一執行管線及一第二執行管線。該第一指令可為比較指令，及該第二指令可為基於比較指令之結果之條件性指令。前進至504，該方法包括並行地執行該第一指令之至少一部分及該第二指令之至

少一部分。在一特定實例中，每一執行管線可解碼該第一及該第二指令之一部分，且第一執行管線可執行第一指令，及第二執行管線可同時執行第二指令。舉例而言，第二執行管線可解碼第一指令之一部分以擷取一位元值或判定與第一指令之一部分相關聯的一值。

繼續至506，執行管線判定是否提交結果。若執行第一指令之第一結果指示應提交執行第二指令之第二結果(亦即，寫入至通用暫存器檔案、至主記憶體、至快取記憶體、至另一記憶體或其任何組合)，則方法可前進至508，且提交執行第二指令之第二結果。或者，若第一結果指示不應提交第二結果，則方法前進至510，且取消第二結果之提交。在此個例中，方法包括基於與第一指令之執行有關的第一結果選擇性提交執行第二指令之第二結果。方法終止於512。

在一特定實施例中，方法包括在執行前自封包並行地取得(讀取)第一及第二指令。第一指令之第一結果可包括一述詞結果。第一指令可為比較指令或產生述詞之另一類型之指令。述詞可提供是是否將選取分支或流改變的早先指示。在一特定實例中，儲存指令可係基於比較指令而為條件性指令。在此個例中，可基於比較之結果取消在執行管線之寫回階段的寫回操作。

在另一特定實施例中，指令之封包可包括使用來自同時執行的指令之述詞資料的第三指令。在一特定實例中，基於該資料將第一向量與第二向量合併以產生合併之資料，

且根據來自述詞暫存器之資料基於合併之資料輸出第三向量。

在另一實例中，第一指令為比較指令，且第二指令為跳躍指令。在此實例中，該方法包括解碼第一及第二指令之一部分以預測是否將提交第二結果及根據預測提取隨後封包。

在一特定實施例中，第二指令可包括指示比較指令之第一結果應由第二指令使用之一位元或指示符。使第一結果可用於第二指令，使得在提交第二結果前第二指令可判定一正確結果。在另一特定實例中，該方法可包括當不提交第二結果時，取消由第二指令之執行而觸發的異常。

在另一特定實例中，該方法可包括並行執行指令及基於述詞暫存器中之一位元判定第一指令及第二指令中之一者是否具有一有效述詞。該方法亦可包括根據有效述詞提交第一結果及第二結果中之一者，而非兩者。

在另一特定實例中，該方法可包括並行地將第一結果寫入至一第一位址及將第二結果寫入至一第二目的地位址。另外，該方法可包括當第一結果指示應拋棄第二結果時拋棄該第二結果。提交結果可涉及執行以下操作中之一者：寫回操作、儲存操作、載入操作、算術運算及流改變操作（諸如，跳躍或分支操作）。

圖6為根據預測的條件性流改變操控一提取管線的方法之一特定說明性實施例之流程圖。在602處，該方法包括在具有複數個並行的執行管線之處理器處接收一包括一比

較指令及一第二指令之封包。該第二指令相關於該比較指令。前進至604，該方法進一步包括解碼比較指令及第二指令以判定與是否將提交第二指令有關的預測。在一特定實例中，預測可為由序列器內或在執行單元處的預測邏輯進行的靜態或動態預測。繼續進行至606，該方法包括並行地執行第一指令及第二指令。

前進至608，該方法包括部分基於第二指令且基於預測沿著一「經選取」路徑操控提取管線。舉例而言，提取管線可載入有與經選取路徑有關的指令。繼續至610，若「經選取」路徑正確，則方法前進至612，且基於第一結果選擇性提交第二指令之第二結果。否則，在610處，若選定路徑不正確，則方法前進至614，且清除提取管線。繼續進行至616，該方法包括沿著「未經選取」(亦即，在604處未預測之路徑)路徑操控提取管線。

在一特定實例中，分支可為推測性分支。若預測邏輯預測將選取推測性分支，則可根據預測載入提取線。若預測不正確，則管線可經清除且經操控至不同路徑。

在一特定實例中，選擇性操控提取管線包括當第二指令為流改變指令且當預測指示流改變指令有可能被提交時，基於預測的流改變起始自記憶體の指令之擷取。在另一實例中，選擇性操控提取管線包括當預測指示流改變時基於預測起始自記憶體の與流改變有關の指令之擷取。或者，當預測不指示流改變時，不起始擷取。在一特定實例中，在判定預測為不正確後，自提取管線刪除擷取之指令。

在另一實例中，第二指令包括一指示第二指令使用比較指令之第一結果的指令記法。第一結果可用於第二指令，使得在提交第二結果前第二指令可判定一正確結果。在一特定實施例中，當不提交第二結果時，取消由第二指令之執行而觸發的異常。在另一實例中，該方法亦包括判定第一指令及第二指令中之一者是否具有一有效述詞及根據該有效述詞提交第一結果及第二結果中之一者，而非兩者。

圖7為經說明為攜帶型通信裝置700的經調適以同時處理相關性指令的一系統之一實施例之方塊圖。該攜帶型通信裝置700包括一數位信號處理器(DSP)710，其具有述詞暫存器760、一述詞邏輯電路762及一資料儲存緩衝器764。在一特定實施例中，DSP 710可為多線緒處理器，諸如，圖1及圖2中所說明之處理器100及200。DSP 710可經調適以利用述詞暫存器760及述詞邏輯電路762有條件地提交相互相關之並行執行的指令，諸如，比較指令及使用比較之結果的分支指令。攜帶型通信裝置700包括一晶片上系統722，其包括一處理器，諸如，數位信號處理器710。DSP 710包括述詞暫存器760及述詞邏輯電路762，如關於圖1至圖3及圖5至圖6所描述。在一特定說明性實施例中，述詞暫存器760及述詞邏輯762可用以藉由允許第一執行管線與正在同一執行循環中使用比較結果處理相關性指令的第二執行管線共用比較結果來增強處理效率。另外，述詞暫存器760、述詞邏輯762及資料儲存緩衝器764可用以有條件地將結果提交至記憶體，及當不滿足條件時取消或去掉寫

回操作。

圖7亦展示一耦接至數位信號處理器710及至顯示器728之顯示器控制器726。此外，輸入裝置730耦接至數位信號處理器710。另外，記憶體732耦接至數位信號處理器710。編碼器/解碼器(CODEC)734亦可耦接至數位信號處理器710。揚聲器736及麥克風738可耦接至CODEC 734。

圖7亦指示一無線控制器740可耦接至數位信號處理器710及至無線天線742。在一特定實施例中，電源744耦接至晶片上系統722。此外，如在圖7中所說明，顯示器728、輸入裝置730、揚聲器736、麥克風738、無線天線742及電源744可在晶片上系統722外部。然而，每一者耦接至晶片上系統722之組件。

在一特定說明性實施例中，述詞邏輯電路762及述詞暫存器760可用以消除或減少不合需要之寫回操作，藉此增強攜帶型通信裝置700之整體效能。另外，述詞邏輯電路762及述詞暫存器760可用以有條件地執行各種功能，此允許並行地執行相關性指令且拋棄不合需要之結果而無開銷處罰(就管線暫停而言)，此增強了裝置700之效能。

應理解，雖然述詞邏輯電路762及述詞暫存器760經描繪為DSP 710之分開的組件，但述詞控制電路762及述詞暫存器760可替代地經整合至一控制電路內，諸如，圖1中說明之序列器114。類似地，應理解，述詞邏輯電路762及資料儲存緩衝器764可經整合至多線緒處理器之執行單元中。

熟習此項技術者將進一步瞭解，結合本文所揭示之實施

例所描述之多種說明性邏輯區塊、組態、模組、電路及演算法步驟可實施為電子硬體、電腦軟體或兩者之組合。為了清晰地說明硬體與軟體之此可互換性，各種說明性組件、區塊、組態、模組、電路及步驟已在上文大體按其功能性加以了描述。將此功能性建構為硬體還是軟體視特定應用及強加於整個系統上之設計約束而定。熟習此項技術者可以變化的方式針對每一特定應用實施所描述之功能性，但是此等實施決策不應被解釋為會導致脫離本揭示案之範疇。

結合本文中所示之實施例所描述之方法或演算法的步驟可直接體現於硬體中、由處理器執行之軟體模組中或兩者之組合中。軟體模組可駐留於RAM記憶體、快閃記憶體、ROM記憶體、PROM記憶體、EPROM記憶體、EEPROM記憶體、暫存器、硬碟、抽取式碟片、CD-ROM或此項技術中已知之任一其他形式的儲存媒體中。將例示性儲存媒體耦接至處理器，使得處理器可自儲存媒體讀取資訊及將資訊寫入至儲存媒體。在替代例中，儲存媒體可整合至處理器。處理器及儲存媒體可駐留於ASIC中。ASIC可駐留於計算裝置或使用者終端機中。在替代例中，處理器及儲存媒體可作為離散組件駐留於一計算裝置或使用者終端機中。

提供所揭示之實施例的先前描述，以使任何熟習此項技術者能夠進行或使用所揭示之實施例。對於熟習此項技術者而言，對此等實施例之各種修改將易於顯而易見，且在

不脫離本揭示案之精神或範疇的情況下，本文中界定之一般性原理可適用於其他實施例。因此，本揭示案並不欲限於本文中所展示之實施例，而應符合可能與如由下列申請專利範圍界定之原理及新穎特徵相一致之最廣泛範疇。

【圖式簡單說明】

圖1為包括有條件地提交並行執行的指令之邏輯的處理器之一特定說明性實施例之方塊圖；

圖2為有條件地提交並行執行的指令的處理器之一第二特定說明性實施例之方塊圖；

圖3為包括多個執行階段之一執行循環之一特定說明性實施例之圖，其說明基於來自第一比較指令之執行之一第一結果之一第二結果之選擇性提交；

圖4為將指令編譯至包括一比較指令及一相關於比較指令之結果之第二指令的封包內之一方法之一特定說明性實施例之流程圖；

圖5為有條件地提交並行執行的指令的一方法之一特定說明性實施例之流程圖；

圖6為根據預測的條件性流改變操控一提取管線的方法之一特定說明性實施例之流程圖；及

圖7為包括有條件地提交並行執行的指令之邏輯之代表性攜帶型通信裝置之方塊圖。

【主要元件符號說明】

100 處理器

102 記憶體

108	匯流排介面
110	指令快取記憶體
111	匯流排
112	資料快取記憶體
114	序列器
116	一般中斷
118	第一指令執行單元
120	第二指令執行單元
122	第三指令執行單元
124	第四指令執行單元
126	通用暫存器檔案
128	第一匯流排
130	第二匯流排
132	記憶體儲存緩衝器
134	監督器控制暫存器
136	全域控制暫存器
138	述詞邏輯電路
140	述詞暫存器
142	匯流排
200	處理器
202	指令快取記憶體
203	匯流排
204	序列器
206	控制邏輯電路

207	匯流排
208	述詞暫存器
210	第一執行管線
212	第二執行管線
216	儲存緩衝器
218	記憶體
300	執行管線
302	解碼階段
304	暫存器讀取階段
306	第一執行階段
308	第二執行階段
310	第三執行階段
312	寫回階段
314	步驟
316	步驟
700	攜帶型通信裝置
710	數位信號處理器 (DSP)
722	晶片上系統
726	顯示器控制器
728	顯示器
730	輸入裝置
732	記憶體
734	編碼器/解碼器 (CODEC)
736	揚聲器

738	麥克風
740	無線控制器
742	無線天線
744	電源
760	述詞暫存器
762	述詞邏輯電路
764	資料儲存緩衝器

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 98107159

※ 申請日： 98.3.5

※IPC 分類：G06F

G06F 9/38

(2006.01)

G06F 9/30

(2006.01)

一、發明名稱：(中文/英文)

選擇性提交已執行指令之結果之方法及系統

SYSTEM AND METHOD OF SELECTIVELY COMMITTING A RESULT
OF AN EXECUTED INSTRUCTION

二、中文發明摘要：

在一特定實施例中，揭示一種方法，其包括在一具有包括一第一執行管線及一第二執行管線之複數個並行的執行管線之處理器處接收一指令封包，該指令封包包括一第一指令及一相關於該第一指令之第二指令。該方法進一步包括並行地執行該第一指令之至少一部分及該第二指令之至少一部分。該方法亦包括基於與藉由該第一執行管線執行該第一指令有關之一第一結果而選擇性地提交藉由該第二執行管線執行該第二指令之該至少一部分的一第二結果。

三、英文發明摘要：

In a particular embodiment, a method is disclosed that includes receiving an instruction packet including a first instruction and a second instruction that is dependent on the first instruction at a processor having a plurality of parallel execution pipelines, including a first execution pipeline and a second execution pipeline. The method further includes executing in parallel at least a portion of the first instruction and at least a portion of the second instruction. The method also includes selectively committing a second result of executing the at least a portion of the second instruction with the second execution pipeline based on a first result related to execution of the first instruction with the first execution pipeline.

七、申請專利範圍：

1. 一種方法，其包含：

在一具有包括一第一執行管線及一第二執行管線之複數個並行的執行管線之處理器處接收一指令封包，該指令封包包括一第一指令及一相關於該第一指令之第二指令；

並行地執行該第一指令之至少一部分及該第二指令之至少一部分；及

基於與藉由該第一執行管線執行該第一指令有關之一第一結果而選擇性地提交藉由該第二執行管線執行該第二指令之該至少一部分之一第二結果。

2. 如請求項1之方法，其中該第二指令包括一指示該第一結果待由該第二指令使用之指令記法。

3. 如請求項1之方法，其進一步包含將與該第一結果有關之資料寫入至一述詞暫存器。

4. 如請求項3之方法，其中該第二指令自該述詞暫存器接收與該第一結果有關之該資料。

5. 如請求項1之方法，其中選擇性提交該第二結果包含：

將該第二結果寫入至一記憶體儲存緩衝器；及

當該第一結果可利用時，選擇性地取消至一暫存器之一寫回操作。

6. 如請求項1之方法，其中該第二指令包含一條件性流改變指令，該方法進一步包含：

在該第一執行管線及該第二執行管線中之一者的一解

碼階段處解碼該第一指令及該第二指令之一部分；及

基於該經解碼之部分執行一指示是否有可能提交該條件性流改變指令之靜態預測。

7. 如請求項6之方法，其進一步包含當該靜態預測指示有可能提交該條件性流改變指令時，操控一指令提取管線以擷取與一流改變有關的指令。

8. 如請求項1之方法，其進一步包含在判定是否提交該第二結果後，有條件地將該第二結果寫回至一目的暫存器。

9. 如請求項1之方法，其中該第一指令包含一比較指令且該第二指令包含一流改變指令，該方法進一步包含：

基於該第一結果而在一述詞暫存器中設定一述詞位元；及

在執行該流改變指令後，基於該述詞位元之一值而選擇性提交以執行由該流改變指令指示的一流改變動作。

10. 一種方法，其包含：

在一具有複數個並行的執行管線之處理器處接收一包括一比較指令及一第二指令之封包，該第二指令相關於該比較指令；

解碼該比較指令及該第二指令以判定一與是否將提交該第二指令有關的預測；

並行地執行第一指令及該第二指令；及

部分基於該第二指令且基於該預測而選擇性地操控一提取管線。

11. 如請求項10之方法，其中選擇性操控該提取管線包含當該第二指令為一流改變指令且當該預測指示該流改變指令有可能被提交時基於一預測的流改變起始自記憶體的指令之擷取。
12. 如請求項10之方法，其中選擇性操控該提取管線包含當該預測指示一流改變時基於該預測起始自記憶體的與一流改變有關的指令之擷取，但當該預測不指示該流改變時不起始擷取。
13. 如請求項11之方法，其進一步包含在判定該預測不正確後自該提取管線刪除該擷取之指令。
14. 如請求項10之方法，其進一步包含至少基於與與一第一執行管線相關聯的該第一指令有關之一第一結果而選擇性地提交藉由一第二執行管線執行的該第二指令之一第二結果。
15. 如請求項14之方法，其中該第二指令包括一指示該第二指令使用該比較指令之該第一結果的指令記法，且其中在提交該第二結果前該第一結果可用於該第二指令。
16. 如請求項15之方法，其進一步包含當不提交該第二結果時，取消由該第二指令之執行而觸發的異常。
17. 如請求項10之方法，其進一步包含：

判定該第一指令及該第二指令中之一者是否具有一有效述詞；及

基於具有該有效述詞之該指令提交該第一指令之一第一結果及該第二指令之一第二結果中之一者，而非兩

者。

18. 一種處理器，其包含：

多個執行管線，其經調適以並行地執行指令，該多個執行管線包括一執行一第一指令以判定一第一結果之第一執行管線及一執行一相關於自該第一指令判定之該第一結果的第二指令之第二執行管線，該第一指令及該第二指令經同時地執行；及

邏輯電路，其經調適以將自該第一指令之執行判定的該第一結果自該第一執行管線提供至該第二執行管線用於由該第二指令使用。

19. 如請求項18之處理器，其中在提交與該第二執行管線相關聯的一第二結果前，該邏輯電路將該第一結果提供至該第二執行管線。

20. 如請求項18之處理器，其進一步包含一述詞暫存器，該述詞暫存器對該多個執行管線而言係可存取且經調適以儲存與該第一結果有關之資料。

21. 如請求項18之處理器，其進一步包含一接收包括該第一指令及該第二指令的一指令之封包之序列器，該序列器將該第一指令提供至該第一執行管線且將該第二指令提供至該第二執行管線。

22. 如請求項21之處理器，其中該第一指令包含一比較指令，且其中該第二指令相關於該比較指令之一執行結果，且其中該第二指令包含一算術指令、一邏輯運算指令、一載入指令、一儲存指令、一分支指令及一跳躍指

令中之至少一者。

23. 如請求項18之處理器，其進一步包含一記憶體緩衝器，其耦接至該多個執行管線以在提交來自該第二指令之執行的一第二結果前提供一足夠獲得來自該第一指令之執行的該第一結果之延遲。

24. 一種處理器，其包含：

用於在一具有包括一第一執行管線及一第二執行管線之複數個並行的執行管線之處理器處接收一指令封包之構件，該指令封包包括一第一指令及一相關於該第一指令之第二指令；

用於並行地執行該第一指令之至少一部分及該第二指令之至少一部分之構件；及

用於基於與藉由該第一執行管線執行該第一指令有關之一第一結果而選擇性地提交藉由該第二執行管線執行該第二指令之該至少一部分的一第二結果之構件。

25. 如請求項24之處理器，其進一步包含：

用於將該第二結果寫入至一記憶體儲存緩衝器之構件；及

用於當該第一結果可利用時選擇性地取消至一暫存器的一寫回操作之構件。

八、圖式：

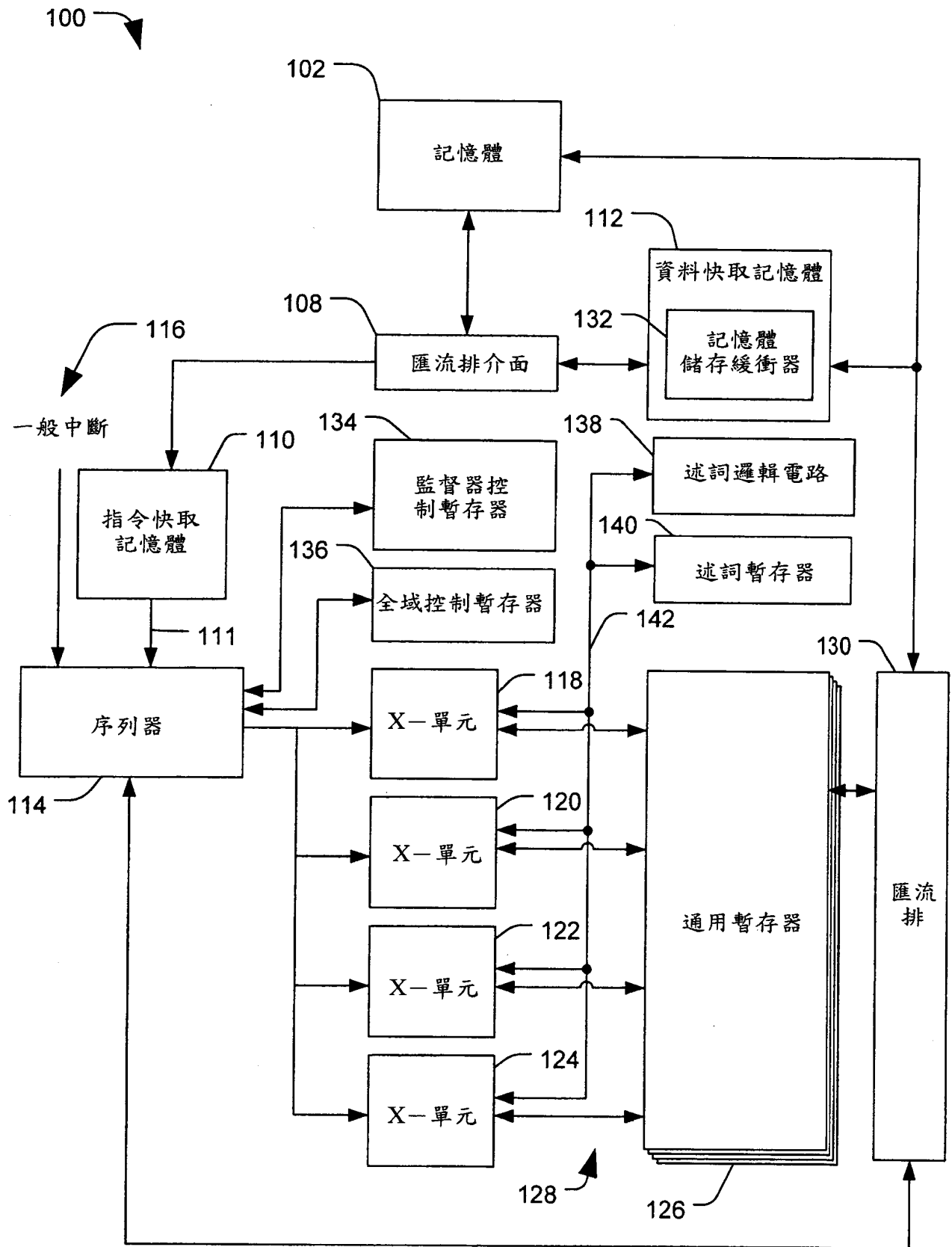


圖 1

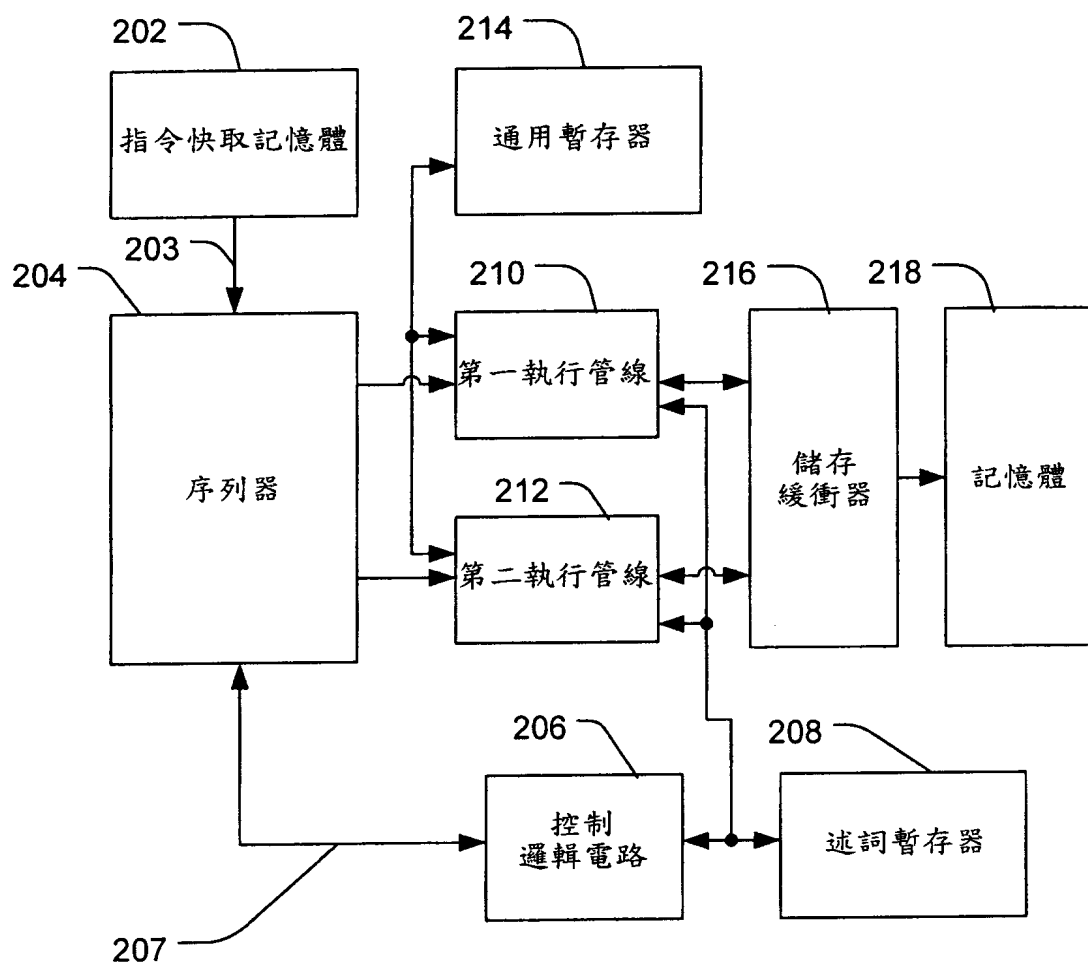


圖2

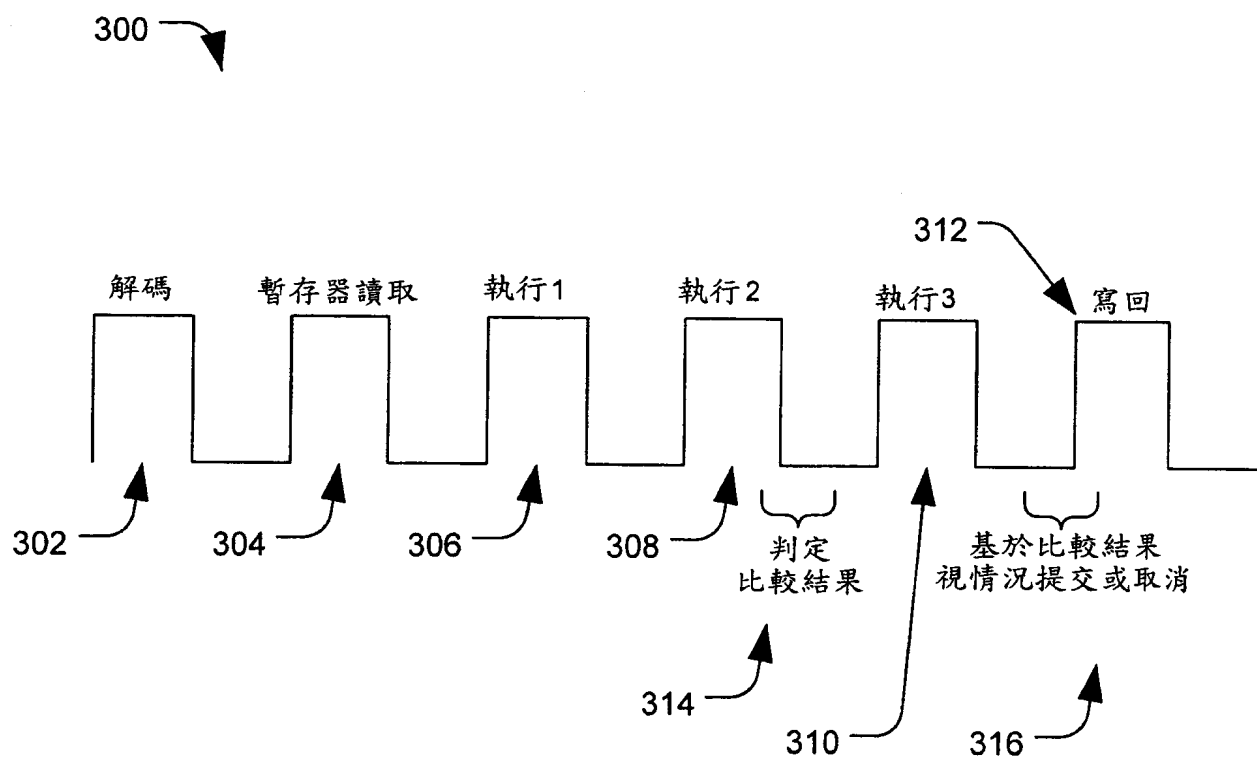


圖3

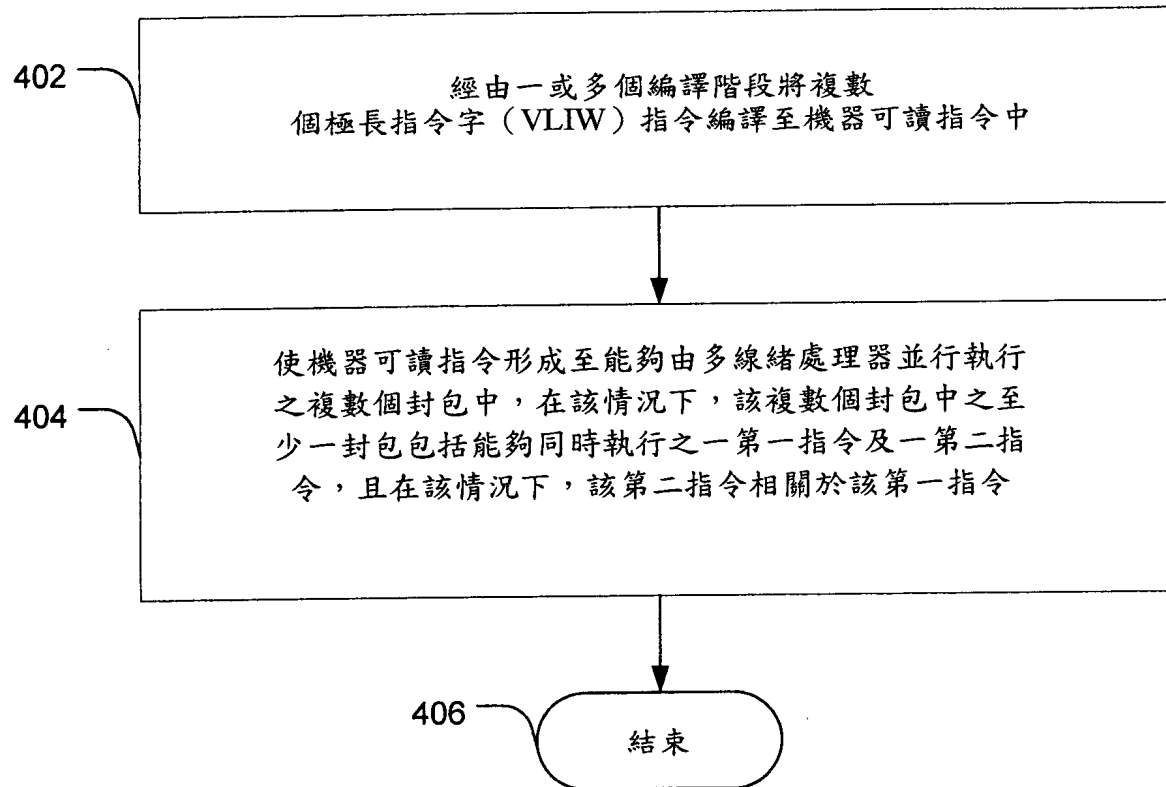


圖4

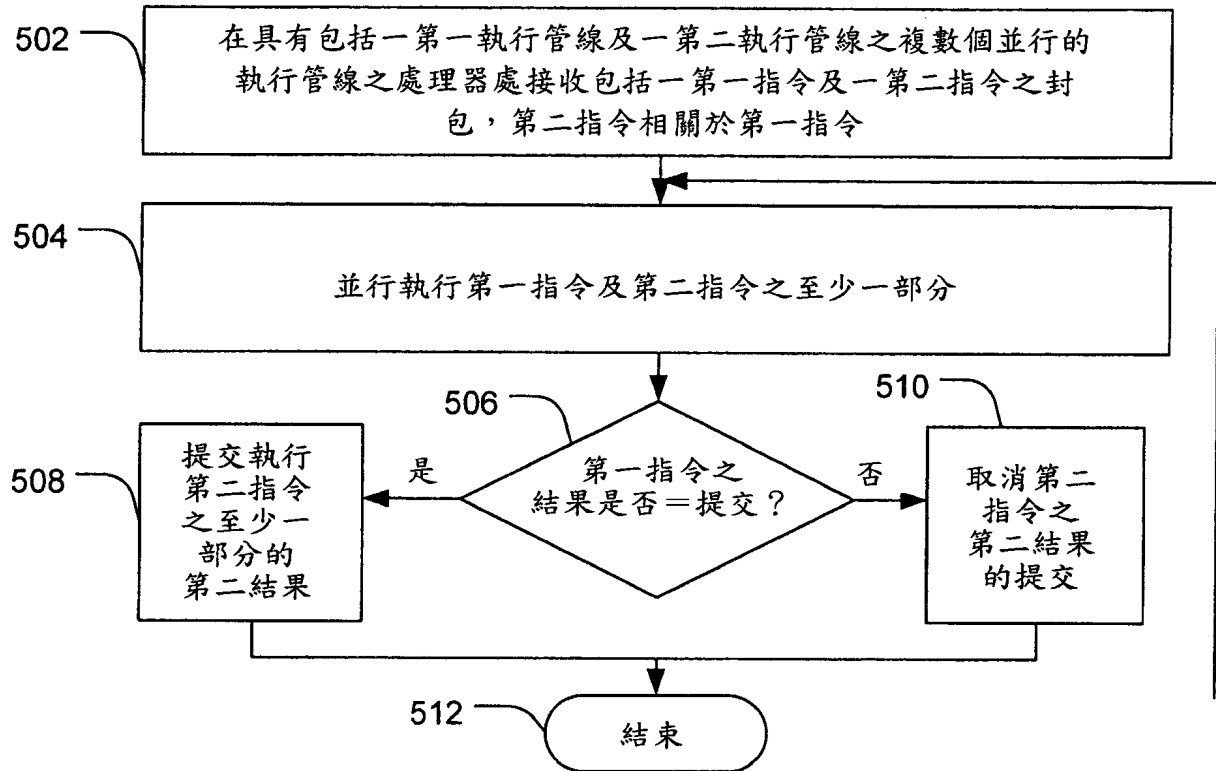


圖5

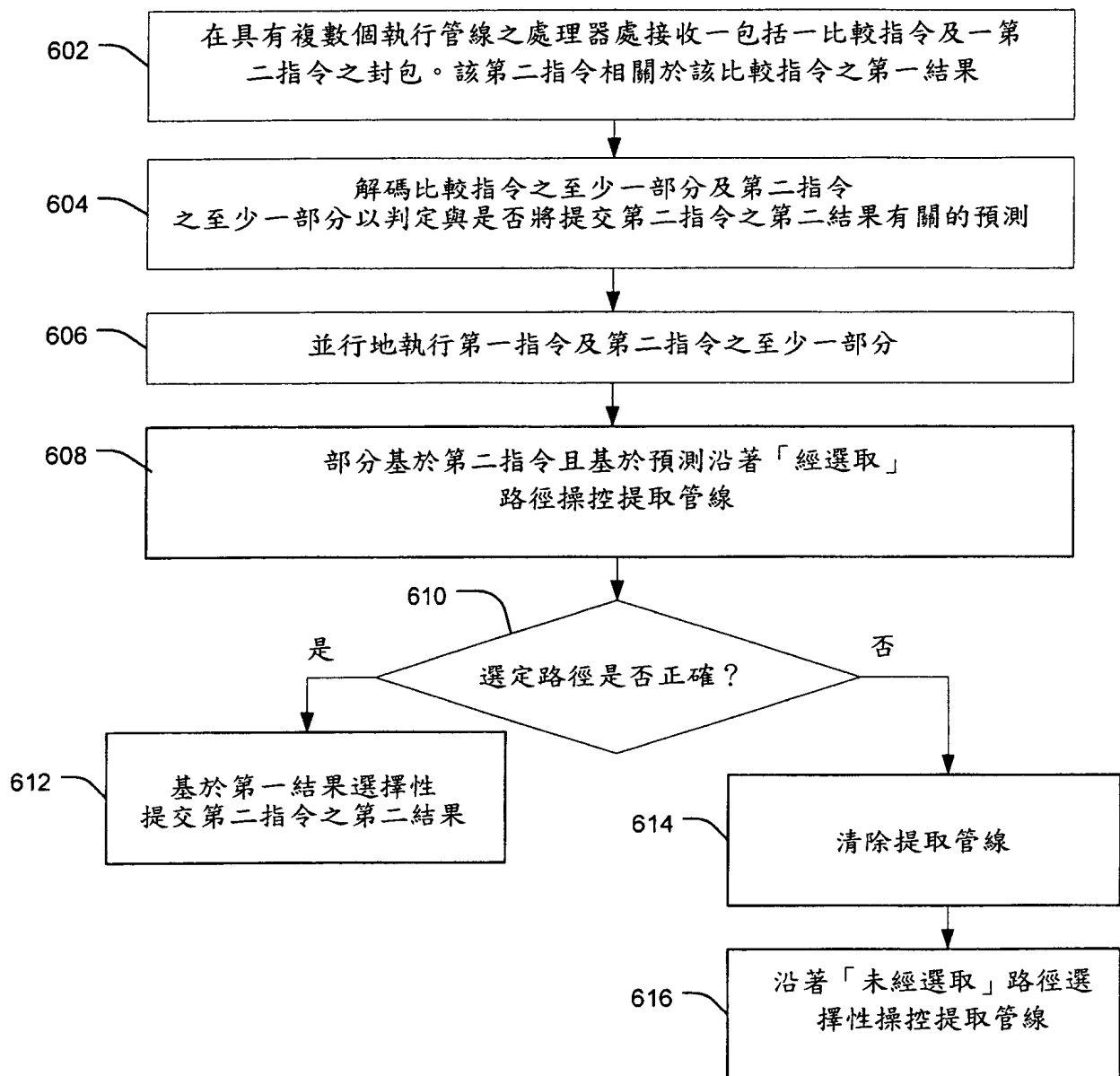


圖6

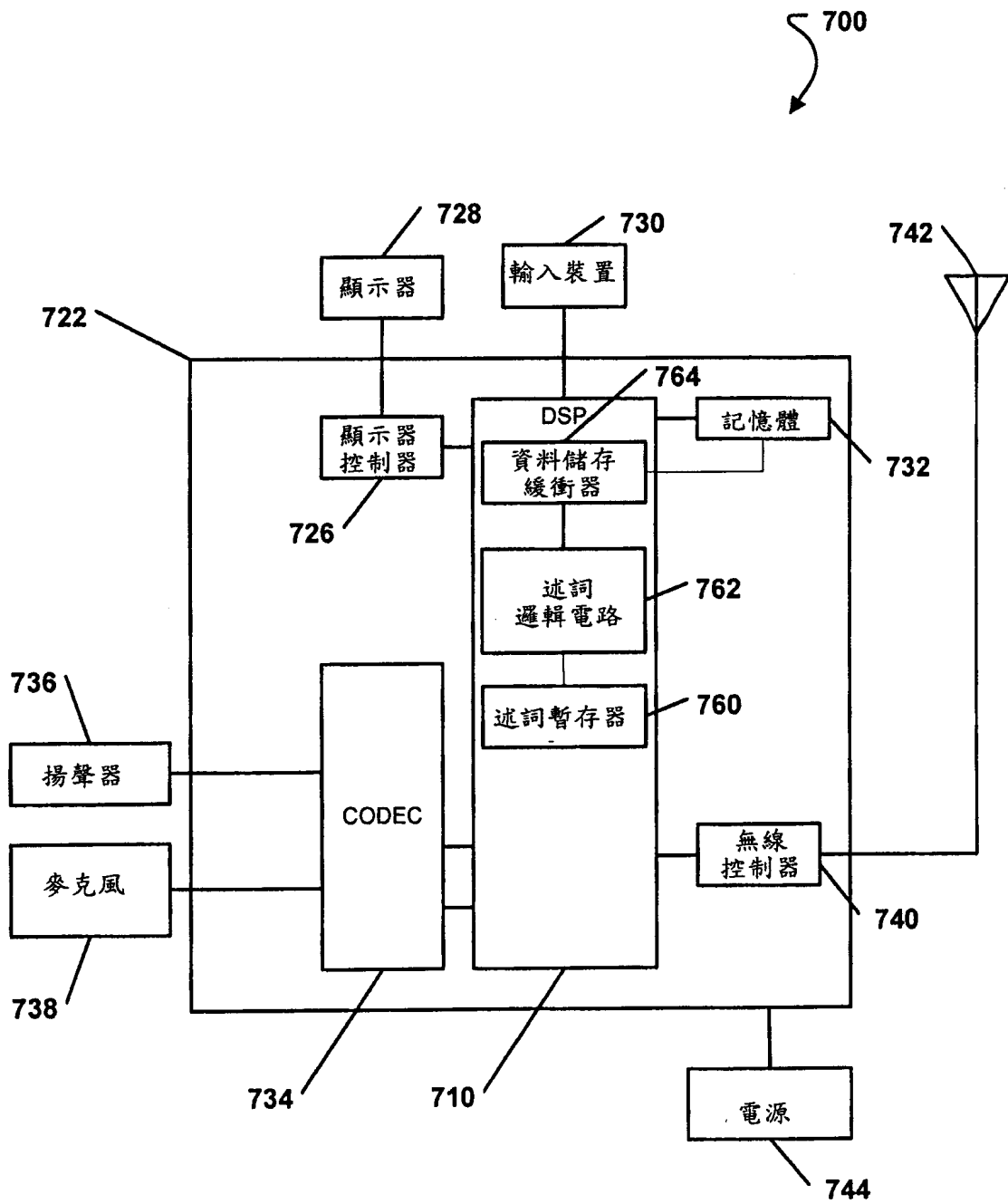


圖 7

四、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

100	處理器
102	記憶體
108	匯流排介面
110	指令快取記憶體
111	匯流排
112	資料快取記憶體
114	序列器
116	一般中斷
118	第一指令執行單元
120	第二指令執行單元
122	第三指令執行單元
124	第四指令執行單元
126	通用暫存器檔案
128	第一匯流排
130	第二匯流排
132	記憶體儲存緩衝器
134	監督器控制暫存器
136	全域控制暫存器
138	述詞邏輯電路
140	述詞暫存器
142	匯流排

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（無）