

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年9月15日(2016.9.15)

【公表番号】特表2016-500198(P2016-500198A)

【公表日】平成28年1月7日(2016.1.7)

【年通号数】公開・登録公報2016-001

【出願番号】特願2015-533073(P2015-533073)

【国際特許分類】

H 01 L 23/12 (2006.01)

H 01 L 25/04 (2014.01)

H 01 L 25/18 (2006.01)

H 01 L 23/00 (2006.01)

【F I】

H 01 L 23/12 F

H 01 L 23/12 E

H 01 L 23/12 501B

H 01 L 25/04 Z

H 01 L 23/00 C

【手続補正書】

【提出日】平成28年7月25日(2016.7.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

装置であって、

複数の第1のビアを有するインターポーザと、

前記インターポーザの対向する表面上にそれぞれ結合される複数の第1のインターネクトおよび複数の第2のインターネクトとを含み、

前記複数の第1のインターネクトの第1の部分および前記複数の第1のインターネクトの第2の部分は互いに間隔を置いて配置され、それらの間に分離領域を規定しており、前記装置はさらに、

複数の第2のビアを有する基板と、

前記基板の対向する表面上にそれぞれ結合される複数の第3のインターネクトおよび前記複数の第2のインターネクトとを含み、

前記複数の第1のビアの第1の部分および前記複数の第2のビアの第1の部分は両方とも前記分離領域に存在し、前記複数の第2のインターネクトの第1の部分により互いに結合され、

前記第1の部分の前記複数の第2のビアの各々は前記基板の前記対向する表面の各々に延在し、前記第1の部分の前記複数の第2のビアの各々は、前記基板内で互いに結合される、装置。

【請求項2】

前記複数の第1のインターネクトの前記第1の部分により前記インターポーザに結合される第1の集積回路ダイと、

前記複数の第1のインターネクトの前記第2の部分により前記インターポーザに結合される第2の集積回路ダイとをさらに含む、請求項1に記載の装置。

【請求項 3】

前記第1の集積回路ダイは、前記複数の第1のインターフェクトの前記第1の部分により前記インターポーラに結合されるアナログ回路を含み、

前記第2の集積回路ダイは、前記複数の第1のインターフェクトの前記第2の部分により前記インターポーラに結合されるデジタル回路を含む、請求項2に記載の装置。

【請求項 4】

前記複数の第1のインターフェクトの前記第1の部分および前記第2の部分により前記インターポーラに結合される集積回路ダイをさらに含む、請求項1に記載の装置。

【請求項 5】

前記複数の第1のビアの前記第1の部分が、前記複数の第2のインターフェクトの前記第1の部分と、前記複数の第2のビアの前記第1の部分と、前記複数の第3のインターフェクトの第1の部分とを通じて接地に結合される、請求項1に記載の装置。

【請求項 6】

前記複数の第1のビアの各々の第2の部分と、前記複数の第2のインターフェクトと、前記複数の第2のビアと、前記複数の第3のインターフェクトとは、前記分離領域の外側に位置する、請求項5に記載の装置。

【請求項 7】

前記複数の第1のビアの各々の前記第2の部分、前記複数の第2のインターフェクト、前記複数の第2のビア、および前記複数の第3のインターフェクトの各々の第1のセットはデジタル回路の動作に関連付けられる第1の能動領域に位置し、

前記複数の第1のビアの各々の前記第2の部分、前記複数の第2のインターフェクト、前記複数の第2のビア、および前記複数の第3のインターフェクトの各々の第2のセットはアナログ回路の動作に関連付けられる第2の能動領域に位置する、請求項6に記載の装置。

【請求項 8】

前記第1の部分の前記複数の第1のビアの各々は、前記インターポーラの前記対向する表面の各々に延在する、請求項1に記載の装置。

【請求項 9】

装置であつて、

回路プラットホームを含み、前記回路プラットホームは、

複数のビアを含み、前記複数のビアの少なくとも部分が、前記複数のビアに対して少なくともほぼ直交に配置される1つ以上の導電層を使用して互いに相互接続され、前記回路プラットホームはさらに、

前記複数のビアに接続されない少なくとも1つの第1の導体と、

前記ビアに接続されない少なくとも1つの第2の導体とを含み、

前記複数のビアは、ノイズ減衰壁を提供するために互いに間隔を置いて配置されており、

前記複数のビアは、前記少なくとも1つの第2の導体と前記少なくとも1つの第1の導体との間にノイズバリアを提供するよう前記少なくとも1つの第2の導体を囲み、

前記少なくとも1つの第1の導体は前記ノイズ減衰壁の外側に位置する、装置。

【請求項 10】

前記少なくとも1つの第1の導体は少なくとも1つの第1の信号を導くためのものであり、

前記少なくとも1つの第2の導体は少なくとも1つの第2の信号を導くためのものであり、

前記少なくとも1つの第1の信号は、前記少なくとも1つの第2の信号に対する加害信号である、請求項9に記載の装置。

【請求項 11】

前記複数のビアは前記回路プラットフォームの前記対向する表面へ延在する、請求項9に記載の装置。

【請求項 1 2】

前記回路プラットホームはインターポーザまたはパッケージ基板である、請求項 9 に記載の装置。

【請求項 1 3】

前記ノイズ減衰壁は、少なくとも 1 つの二重壁を含み、

前記少なくとも 1 つの二重壁の少なくとも 1 つの外壁を提供するよう前記複数のビアの第 1 の部分が使用され、

リング状の内壁を提供するよう前記複数のビアの第 2 の部分が使用され、

前記複数のビアの前記第 1 の部分は、前記ノイズ減衰壁の、前記少なくとも 1 つの外壁と同じ側に配置される前記複数のビアの前記第 2 の部分のサブセットに対して介在される、請求項 9 に記載の装置。

【請求項 1 4】

前記複数のビアの第 1 の部分は、1 つ以上の接地に結合するためのものであり、

前記複数のビアの第 2 の部分は、1 つ以上の電源電圧に結合するためのものである、請求項 9 に記載の装置。

【請求項 1 5】

前記ノイズ減衰壁は、同じパッケージ内においてダイ間通信のために路を提供するよう前記ノイズバリアを提供する、請求項 9 に記載の装置。

【請求項 1 6】

装置であつて、

複数の基板貫通ビア、複数のトランジスタおよび少なくとも 1 つの導電層を有するダイを含み、

前記少なくとも 1 つの導電層は、前記複数の基板貫通ビアを互いに相互接続し、

前記複数の基板貫通ビアは、ノイズ減衰壁を提供するために互いに間隔を置いて配置されており、前記装置はさらに、

前記ノイズ減衰壁の第 1 の側に位置し、前記ノイズ減衰壁には相互接続されない第 1 の導体と、

前記ノイズ減衰壁の第 2 の側に位置し、前記ノイズ減衰壁には相互接続されない第 2 の導体とを含み、

前記第 1 の導体は第 1 の信号を導くためのものであり、

前記第 2 の導体は第 2 の信号を導くためのものであり、

前記第 1 の信号は、前記第 2 の信号壁に対するノイズ加害者であり、

前記ノイズ減衰壁は、前記第 1 の導体と前記第 2 の導体との間に位置し、前記第 1 の信号によって引き起こされるノイズが前記第 2 の信号に対して引き起こされるのを低減する、装置。

【請求項 1 7】

前記複数の基板貫通ビアは、前記第 2 の導体と前記第 1 の導体との間にノイズバリアを提供するよう前記第 2 の導体を囲む、請求項 1 6 に記載の装置。