

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 9 月 15 日 (2016.9.15)

【公表番号】特表 2016-500198 (P2016-500198A)

【公表日】平成 28 年 1 月 7 日 (2016.1.7)

【年通号数】公開・登録公報 2016-001

【出願番号】特願 2015-533073 (P2015-533073)

【国際特許分類】

H 0 1 L 23/12 (2006.01)

H 0 1 L 25/04 (2014.01)

H 0 1 L 25/18 (2006.01)

H 0 1 L 23/00 (2006.01)

【F I】

H 0 1 L 23/12 F

H 0 1 L 23/12 E

H 0 1 L 23/12 5 0 1 B

H 0 1 L 25/04 Z

H 0 1 L 23/00 C

【手続補正書】

【提出日】平成 28 年 7 月 25 日 (2016.7.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

装置であって、

複数の第 1 のビアを有するインターポーザと、

前記インターポーザの対向する表面上にそれぞれ結合される複数の第 1 のインターコネク
トおよび複数の第 2 のインターコネクトとを含み、

前記複数の第 1 のインターコネクトの第 1 の部分および前記複数の第 1 のインターコ
ネクトの第 2 の部分は互いに間隔を置いて配置され、それらの間に分離領域を規定しており
、前記装置はさらに、

複数の第 2 のビアを有する基板と、

前記基板の対向する表面上にそれぞれ結合される複数の第 3 のインターコネクトおよび
前記複数の第 2 のインターコネクトとを含み、

前記複数の第 1 のビアの第 1 の部分および前記複数の第 2 のビアの第 1 の部分は両方と
も前記分離領域に存在し、前記複数の第 2 のインターコネクトの第 1 の部分により互いに
結合され、

前記第 1 の部分の前記複数の第 2 のビアの各々は前記基板の前記対向する表面の各々に
延在し、前記第 1 の部分の前記複数の第 2 のビアの各々は、前記基板内で互いに結合され
る、装置。

【請求項 2】

前記複数の第 1 のインターコネクトの前記第 1 の部分により前記インターポーザに結合
される第 1 の集積回路ダイと、

前記複数の第 1 のインターコネクトの前記第 2 の部分により前記インターポーザに結合
される第 2 の集積回路ダイとをさらに含む、請求項 1 に記載の装置。

【請求項 3】

前記第 1 の集積回路ダイは、前記複数の第 1 のインターコネクトの前記第 1 の部分により前記インターポーザに結合されるアナログ回路を含み、

前記第 2 の集積回路ダイは、前記複数の第 1 のインターコネクトの前記第 2 の部分により前記インターポーザに結合されるデジタル回路を含む、請求項 2 に記載の装置。

【請求項 4】

前記複数の第 1 のインターコネクトの前記第 1 の部分および前記第 2 の部分により前記インターポーザに結合される集積回路ダイをさらに含む、請求項 1 に記載の装置。

【請求項 5】

前記複数の第 1 のビアの前記第 1 の部分が、前記複数の第 2 のインターコネクトの前記第 1 の部分と、前記複数の第 2 のビアの前記第 1 の部分と、前記複数の第 3 のインターコネクトの第 1 の部分とを通じて接地に結合される、請求項 1 に記載の装置。

【請求項 6】

前記複数の第 1 のビアの各々の第 2 の部分と、前記複数の第 2 のインターコネクトと、前記複数の第 2 のビアと、前記複数の第 3 のインターコネクトとは、前記分離領域の外側に位置する、請求項 5 に記載の装置。

【請求項 7】

前記複数の第 1 のビアの各々の前記第 2 の部分、前記複数の第 2 のインターコネクト、前記複数の第 2 のビア、および前記複数の第 3 のインターコネクトの各々の第 1 のセットはデジタル回路の動作に関連付けられる第 1 の能動領域に位置し、

前記複数の第 1 のビアの各々の前記第 2 の部分、前記複数の第 2 のインターコネクト、前記複数の第 2 のビア、および前記複数の第 3 のインターコネクトの各々の第 2 のセットはアナログ回路の動作に関連付けられる第 2 の能動領域に位置する、請求項 6 に記載の装置。

【請求項 8】

前記第 1 の部分の前記複数の第 1 のビアの各々は、前記インターポーザの前記対向する表面の各々に延在する、請求項 1 に記載の装置。

【請求項 9】

装置であって、

回路プラットフォームを含み、前記回路プラットフォームは、

複数のビアを含み、前記複数のビアの少なくとも部分が、前記複数のビアに対して少なくともほぼ直交に配置される 1 つ以上の導電層を使用して互いに相互接続され、前記回路プラットフォームはさらに、

前記複数のビアに接続されない少なくとも 1 つの第 1 の導体と、

前記ビアに接続されない少なくとも 1 つの第 2 の導体とを含み、

前記複数のビアは、ノイズ減衰壁を提供するために互いに間隔を置いて配置されており、

前記複数のビアは、前記少なくとも 1 つの第 2 の導体と前記少なくとも 1 つの第 1 の導体との間にノイズバリアを提供するよう前記少なくとも 1 つの第 2 の導体を囲み、

前記少なくとも 1 つの第 1 の導体は前記ノイズ減衰壁の外側に位置する、装置。

【請求項 10】

前記少なくとも 1 つの第 1 の導体は少なくとも 1 つの第 1 の信号を導くためのものであり、

前記少なくとも 1 つの第 2 の導体は少なくとも 1 つの第 2 の信号を導くためのものであり、

前記少なくとも 1 つの第 1 の信号は、前記少なくとも 1 つの第 2 の信号に対する加害信号である、請求項 9 に記載の装置。

【請求項 11】

前記複数のビアは前記回路プラットフォームの前記対向する表面へ延在する、請求項 9 に記載の装置。

【請求項 1 2】

前記回路プラットフォームはインターポーザまたはパッケージ基板である、請求項 9 に記載の装置。

【請求項 1 3】

前記ノイズ減衰壁は、少なくとも 1 つの二重壁を含み、

前記少なくとも 1 つの二重壁の少なくとも 1 つの外壁を提供するよう前記複数のビアの第 1 の部分が使用され、

リング状の内壁を提供するよう前記複数のビアの第 2 の部分が使用され、

前記複数のビアの前記第 1 の部分は、前記ノイズ減衰壁の、前記少なくとも 1 つの外壁と同じ側に配置される前記複数のビアの前記第 2 の部分のサブセットに対して介在される、請求項 9 に記載の装置。

【請求項 1 4】

前記複数のビアの第 1 の部分は、1 つ以上の接地に結合するためのものであり、

前記複数のビアの第 2 の部分は、1 つ以上の電源電圧に結合するためのものである、請求項 9 に記載の装置。

【請求項 1 5】

前記ノイズ減衰壁は、同じパッケージ内においてダイ間通信のために路を提供するよう前記ノイズバリアを提供する、請求項 9 に記載の装置。

【請求項 1 6】

装置であって、

複数の基板貫通ビア、複数のトランジスタおよび少なくとも 1 つの導電層を有するダイを含み、

前記少なくとも 1 つの導電層は、前記複数の基板貫通ビアを互いに相互接続し、

前記複数の基板貫通ビアは、ノイズ減衰壁を提供するために互いに間隔を置いて配置されており、前記装置はさらに、

前記ノイズ減衰壁の第 1 の側に位置し、前記ノイズ減衰壁には相互接続されない第 1 の導体と、

前記ノイズ減衰壁の第 2 の側に位置し、前記ノイズ減衰壁には相互接続されない第 2 の導体とを含み、

前記第 1 の導体は第 1 の信号を導くためのものであり、

前記第 2 の導体は第 2 の信号を導くためのものであり、

前記第 1 の信号は、前記第 2 の信号壁に対するノイズ加害者であり、

前記ノイズ減衰壁は、前記第 1 の導体と前記第 2 の導体との間に位置し、前記第 1 の信号によって引き起こされるノイズが前記第 2 の信号に対して引き起こされるのを低減する、装置。

【請求項 1 7】

前記複数の基板貫通ビアは、前記第 2 の導体と前記第 1 の導体との間にノイズバリアを提供するよう前記第 2 の導体を囲む、請求項 1 6 に記載の装置。