



(12) 发明专利申请

(10) 申请公布号 CN 116762175 A

(43) 申请公布日 2023. 09. 15

(21) 申请号 202180087763.2

(22) 申请日 2021.12.28

(30) 优先权数据

17/136,816 2020.12.29 US

(85) PCT国际申请进入国家阶段日

2023.06.27

(86) PCT国际申请的申请数据

PCT/US2021/065280 2021.12.28

(87) PCT国际申请的公布数据

W02022/146964 EN 2022.07.07

(71) 申请人 德州仪器公司

地址 美国德克萨斯州

(72) 发明人 克里斯托弗·博古斯拉·科措恩

亨利·利茨曼·爱德华兹

(74) 专利代理机构 北京律盟知识产权代理有限公司

责任公司 11287

专利代理师 林斯凯

(51) Int.Cl.

H01L 29/66 (2006.01)

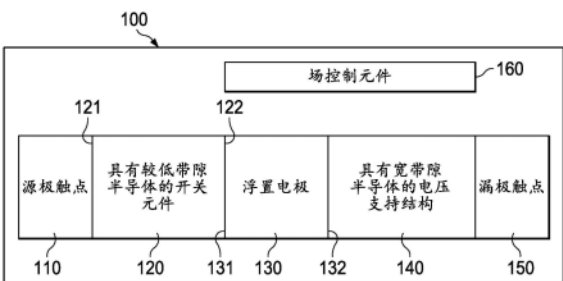
权利要求书2页 说明书10页 附图20页

(54) 发明名称

混合半导体器件

(57) 摘要

一种半导体器件,包括开关元件(120),该开关元件具有表面以及第一区和第二区(121,122),并且包括具有带隙的第一半导体材料。开关元件(120)的第一区(121)耦合到源极触点(110)。浮置电极(130)具有第一端和第二端(131,132)。浮置电极(130)的第一端(131)耦合到开关元件(120)的第二区(122)。电压支持结构(140)包括具有比第一半导体材料的带隙大的带隙的第二半导体材料。电压支持结构与浮置电极(140)的第二端(132)相接触。漏极触点(150)耦合到电压支持结构(140)。



1. 一种半导体器件,包括:

开关元件,所述开关元件具有表面以及第一区和第二区,并且包括具有带隙的第一半导体材料,所述开关元件的第一区耦合到源极触点;

浮置电极,所述浮置电极具有第一端和第二端,所述浮置电极的第一端耦合到所述开关元件的第二区;

电压支持结构,所述电压支持结构包括具有比所述第一半导体材料的带隙大的带隙的第二半导体材料,所述电压支持结构与所述浮置电极的第二端相接触;以及

漏极触点,所述漏极触点耦合到所述电压支持结构。

2. 如权利要求1所述的半导体器件,其中,所述浮置电极包括金属或硅化物中的至少一种。

3. 如权利要求1所述的半导体器件,其中:

所述浮置电极的第一端与所述开关元件的第二区处于欧姆接触;并且

所述浮置电极的第二端与所述电压支持结构处于欧姆接触。

4. 如权利要求1所述的器件,其中,所述开关元件是二极管、双极晶体管、场效应晶体管、或绝缘栅双极晶体管中的至少一种。

5. 如权利要求4所述的器件,其中:

所述开关元件包括场效应晶体管;并且

所述场效应晶体管是p型场效应晶体管或n型场效应晶体管。

6. 如权利要求5所述的器件,其中,所述开关元件是横向扩散金属氧化物半导体场效应晶体管。

7. 如权利要求5所述的器件,其中,所述开关元件包括栅极。

8. 如权利要求7所述的器件,其中,所述开关的栅极在正交于所述开关元件的表面的方向上延伸,或者在平行于所述开关元件的表面的方向上延伸。

9. 如权利要求1所述的器件,其中,所述第二半导体材料包括碳化硅或氮化镓中的至少一种。

10. 如权利要求1所述的器件,其中,所述第二半导体材料包括纳米管材料。

11. 如权利要求1所述的器件,其中,所述第一半导体材料包括硅、锗、或砷化镓中的至少一种。

12. 如权利要求1所述的器件,进一步包括:

场控制元件,所述场控制元件朝向所述漏极触点延伸。

13. 如权利要求12所述的器件,其中,所述场控制元件是电耦合到所述源极触点或另一电压触点的场板。

14. 如权利要求12所述的器件,其中:

所述场控制元件是所述开关元件的第三区;并且

所述开关元件的第三区耦合到所述源极触点并朝向所述漏极触点延伸。

15. 如权利要求1所述的器件,其中,所述电压支持结构在所述开关元件上,并且在正交于所述开关元件的表面的方向上延伸。

16. 如权利要求1所述的器件,其中:

所述电压支持结构在平行于所述开关元件的表面的方向上延伸;并且

所述电压支持结构至少部分被所述开关元件包围。

17. 一种半导体器件, 包括:

源极触点;

开关元件, 所述开关元件具有:

表面,

第一半导体区, 所述第一半导体区具有第一掺杂极性并包括沟道区,

源极区, 所述源极区具有第二掺杂极性并且与所述源极触点和所述第一半导体区相接触, 以及

漏极区, 所述漏极区具有第二掺杂极性并且与所述第一半导体区相接触, 以及

栅极, 所述栅极与所述第一半导体区的沟道区相对应, 其中, 所述第一半导体区、所述源极区、以及所述漏极区均包括具有带隙的第一半导体材料;

浮置电极, 所述浮置电极具有第一端和第二端, 所述浮置电极的第一端耦合到所述开关元件的漏极区;

电压支持结构, 所述电压支持结构包括具有比所述第一半导体材料的带隙大的带隙的第二半导体材料, 所述电压支持结构与所述浮置电极的第二端相接触; 以及

漏极触点, 所述漏极触点耦合到所述电压支持结构。

18. 如权利要求17所述的器件, 其中, 所述电压支持结构在所述开关元件上, 并且在正交于所述开关元件的表面的方向上延伸。

19. 一种用于形成半导体器件的方法, 包括:

形成包括具有带隙的第一半导体材料的开关元件;

形成具有第一端和第二端的浮置电极, 所述浮置电极的第一端耦合到所述开关元件;

形成电压支持结构, 所述电压支持结构包括具有比所述第一半导体材料的带隙大的带隙的第二半导体材料;

形成耦合到所述开关元件的源极触点;

形成耦合到所述电压支持结构的漏极触点; 以及

形成场控制元件。

20. 如权利要求19所述的方法, 其中, 所述第一半导体材料包括硅、锗、或砷化镓中的至少一种。

混合半导体器件

背景技术

[0001] 比如硅开关器件的半导体开关器件具有广泛的应用。半导体开关器件包括二极管、双极晶体管、场效应晶体管(field-effect transistor, FET)等。例如,硅横向扩散金属氧化物半导体(laterally-diffused metal oxide semiconductor, LDMOS)场效应晶体管(FET)可以用作电力电子工业中的电源开关。

发明内容

[0002] 在一些示例中,一种半导体器件包括开关元件,该开关元件具有表面以及第一区和第二区,并且包括具有带隙的第一半导体材料。开关元件的第一区耦合到源极触点。浮置电极具有第一端和第二端。浮置电极的第一端耦合到开关元件的第二区。电压支持结构包括具有比第一半导体材料的带隙大的带隙的第二半导体材料。电压支持结构与浮置电极的第二端相接触。漏极触点耦合到电压支持结构。

[0003] 在某些示例中,一种半导体器件包括源极触点。开关元件具有表面。第一半导体区具有第一掺杂极性并且包括沟道区。源极区具有第二掺杂极性并且与源极触点和第一半导体区相接触。漏极区具有第二掺杂极性并且与第一半导体区相接触。栅极与第一半导体区的沟道区相对应。第一半导体区、源极区、以及漏极区均包括具有带隙的第一半导体材料。浮置电极具有第一端和第二端。浮置电极的第一端耦合到开关元件的漏极区。电压支持结构包括具有比第一半导体材料的带隙大的带隙的第二半导体材料。电压支持结构与浮置电极的第二端相接触。漏极触点耦合到电压支持结构。

[0004] 在某些示例中,一种用于形成半导体器件的形成方法包括形成开关元件,该开关元件包括具有带隙的第一半导体材料。形成具有第一端和第二端的浮置电极。浮置电极的第一端耦合到开关元件。形成电压支持结构。电压支持结构包括具有比第一半导体材料的带隙大的带隙的第二半导体材料。形成耦合到开关元件的源极触点。形成耦合到电压支持结构的漏极触点。形成场控制元件。

附图说明

[0005] 为了详细描述多个不同示例,现在将参照附图,在附图中:

[0006] 图1图示了根据所描述的示例的示例混合半导体器件的框图;

[0007] 图2图示了用于形成混合半导体器件的示例方法的流程图;

[0008] 图3至图11图示了根据所描述的示例的形成示例混合半导体器件的各个阶段的结构剖视图;

[0009] 图12图示了用于形成图11的混合半导体器件的另一示例方法的流程图;

[0010] 图13图示了图11的混合半导体器件的另一示例剖视图;

[0011] 图14图示了图11的混合半导体器件的另一示例剖视图;

[0012] 图15图示了根据所描述的示例的另一示例混合半导体器件的剖视图;

[0013] 图16至图22图示了形成另一示例混合半导体器件的各个阶段的结构剖视图;

[0014] 图23图示了用于形成图22的混合半导体器件的示例方法的流程图;以及

[0015] 图24图示了根据所描述的示例的另一示例混合半导体器件。

具体实施方式

[0016] 硅器件的发展正在减缓并最终受到硅材料性质限制。在30多年的硅加工发展之后,在制造半导体器件(比如横向扩散金属氧化物半导体(LDMOS)场效应晶体管(FET))时,使用当前半导体制造的能力是快速采用和提高性能成本比的途径。

[0017] 所描述的示例包括混合半导体器件和用于形成混合半导体器件的形成方法。说明性混合半导体器件包括:源极触点;开关元件,该开关元件具有带有带隙的第一半导体材料;电压支持结构,该电压支持结构包括具有比第一半导体材料的带隙大的带隙的第二半导体材料;浮置电极,该浮置电极在开关元件与电压支持结构之间并将开关元件耦合到电压支持结构;漏极触点,该漏极触点耦合到电压支持结构;以及一个或多个场控制元件。混合半导体器件可以将比如硅开关元件的可靠开关元件与宽带隙(WBG)半导体相组合。混合半导体器件中的WBG半导体可以提供电压支持区以承受在混合半导体器件上施加的电压的一部分或大部分,使得可以降低施加到混合半导体器件的比如硅开关元件/部分的其他部分的电压。因此,可以增大混合半导体器件的临界电压。

[0018] 图1图示了根据所描述的示例的示例混合半导体器件的框图。混合半导体器件100包括:源极触点110;开关元件120,该开关元件具有带有带隙(即,能带隙)的第一半导体材料;电压支持结构140,该电压支持结构包括带有比开关元件120的第一半导体材料的带隙大的带隙的宽带隙(WBG)半导体材料;浮置电极130,该浮置电极在开关元件120与电压支持结构140之间并将开关元件120耦合到电压支持结构140;漏极触点150,该漏极触点耦合到电压支持结构140;以及场控制元件160。浮置电极120具有第一端131和第二端132;浮置电极130的第一端131耦合到开关元件120并与其处于欧姆接触;并且浮置电极130的第二端132耦合到电压支持结构140并与其处于欧姆接触。浮置电极可以将第一部件电耦合到第二部件、而不与除了被耦合的部件之外的附加电压端子或电流端子相接触。在一些示例中,开关元件120的第一半导体材料包括硅、锗或砷化镓中的至少一种。

[0019] 在一些示例中,浮置电极131的第一端131与开关元件120的第二区122处于欧姆接触;浮置电极130的第二端132与电压支持结构140处于欧姆接触;并且开关元件120的第一区121与源极触点110处于欧姆接触。在一些示例中,场控制元件160从开关元件120朝向漏极触点150延伸。

[0020] 根据应用场景,结构/部件110、120、130、140、150、以及160可以相对于彼此布置在各种方向(例如平面内方向、平面外方向、和/或任何其他合适的方向)上。在一个示例中,电压支持结构140沿着平面外方向处于浮置电极130和开关元件120上。在另一示例中,电压支持结构140沿着平面内方向邻接浮置电极130和开关元件120。

[0021] 掺杂半导体可以是掺杂有电子受体掺杂剂的p型半导体或者掺杂有电子给体掺杂剂的n型半导体。根据各种应用场景,可以为混合半导体器件的部件选择以下掺杂水平中的任何一个。p型半导体的掺杂水平可以是小于 $3 \times 10^{16} \text{cm}^{-3}$ 的P-掺杂水平、在 $3 \times 10^{16} \text{cm}^{-3}$ 至 $1 \times 10^{19} \text{cm}^{-3}$ 的范围内的P掺杂水平、或者高于 $1 \times 10^{19} \text{cm}^{-3}$ 的P+掺杂水平。n型半导体的掺杂水平可以是小于 $3 \times 10^{16} \text{cm}^{-3}$ 的N-掺杂水平、在 $3 \times 10^{16} \text{cm}^{-3}$ 至 $1 \times 10^{19} \text{cm}^{-3}$ 的范围内的N掺杂水平或

者高于 $1 \times 10^{19} \text{cm}^{-3}$ 的N+掺杂水平。掺杂极性可以指p型掺杂或n型掺杂。

[0022] 图2图示了用于形成混合半导体器件的示例方法的流程图,下面将参考图1对其进行描述。

[0023] 在S701,形成包括具有带隙的第一半导体材料的开关元件。在一些示例中,开关元件(例如,120)通过例如气相沉积、离子注入、和/或蚀刻形成。在一些示例中,开关元件120包括二极管、双极晶体管、场效应晶体管(FET)或绝缘栅双极晶体管(IGBT)中的至少一种;并且开关元件120的材料包括具有带隙的硅。在一些示例中,场效应晶体管是包括栅极的p型场效应晶体管或n型场效应晶体管。在一些示例中,开关元件包括横向扩散金属氧化物半导体(LDMOS)场效应晶体管。在一些示例中,开关元件包括绝缘栅双极晶体管(IGBT),比如横向绝缘栅双极晶体管(LIGBT)。

[0024] 在S702,形成具有第一端和第二端的浮置电极。在一些示例中,具有第一端和第二端(131,132)的浮置电极120通过例如沉积形成;浮置电极130的第一端131耦合到开关元件120并与其处于欧姆接触;并且浮置电极130的第二端132耦合到电压支持结构140并与其处于欧姆接触。

[0025] 在S703,形成电压支持结构,该电压支持结构包括具有比第一半导体材料的带隙大的带隙的第二半导体材料。在一些示例中,电压支持结构140通过沉积和/或离子注入形成,其中电压支持结构140包括具有比开关元件120的第一半导体材料(比如硅)的带隙大的带隙的WBG半导体材料。

[0026] 在S704,形成耦合到电压支持结构的漏极触点。在一些示例中,漏极触点150通过沉积形成,并且漏极触点150耦合到电压支持结构140并与其处于欧姆接触。

[0027] 在S705,形成耦合到开关元件的源极触点。在一些示例中,源极触点110通过沉积形成,并且源极触点110耦合到开关元件120并与其处于欧姆接触。

[0028] 在S706,形成场控制元件。在一些示例中,场控制元件160包括场板,并且场板通过沉积形成。在其他示例中,场控制元件160包括在开关元件120的形成过程中形成的开关元件120的部件。

[0029] 在本说明书中,步骤或过程可以按任何合适的顺序执行。在一些示例中,形成包括第一半导体材料的开关元件(S701)可以在形成包括第二半导体材料的电压支持结构(S703)之前执行。在其他示例中,形成包括第一半导体材料的开关元件(S701)可以在形成包括第二半导体材料的电压支持结构(S703)之后执行。例如,在形成了包括第二半导体材料的电压支持结构之后,例如通过用于形成LDMOS FET的过程形成包括第一半导体材料的开关元件。

[0030] 图3至图11图示了形成示例混合半导体器件300的各个阶段的结构剖视图,以及图12图示了用于形成混合半导体器件300的示例方法的对应流程图。现在将参考图12的流程图描述图3至图11。

[0031] 图3图示了半导体层310,该半导体层包括源极区320、漂移区330、包括沟道区316的体区315、以及体接触区340;并且图12将这个步骤图示为在图12的步骤S801中在半导体层中形成源极区、漂移区、体区、以及体接触区。

[0032] 半导体层310具有第一表面311和相反的第二表面312。半导体层310可以是衬底或生长在衬底上的外延层。图3还图示了具有X轴、Y轴、以及Z轴的坐标系。X轴和Y轴彼此正交,

并且平行于半导体层310的平面(例如第一表面311或第二表面312)。X轴和Y轴因此被称为“平面内方向”Z轴垂直于X轴和Y轴,并且因此垂直于半导体层310的平面。由此,Z轴被称为“平面外方向”沿着平面内方向(X轴),体区315的沟道区316在源极区320与漂移区330之间、用作源极区320与漂移区330之间的导电沟道。

[0033] 在一些示例中,半导体层310通过外延生长和/或离子注入形成,以形成例如处于P掺杂水平的p型层;并且半导体层310包括处于P掺杂水平的体区315。源极区320、漂移区330、以及体接触区340可以通过将掺杂剂进行离子注入到半导体层310中来形成。在图3的示例中,源极区320是具有N⁺掺杂水平的n型半导体区;漂移区330是具有N掺杂水平的n型半导体区;体区315是具有P掺杂水平的p型半导体区;并且体接触区340是具有P⁺掺杂水平的p型半导体区。根据各种应用场景,可以为结构(例如,315、320、330、315、340)选择其他合适的掺杂极性和掺杂水平。在图3的示例中,体接触区340是凹陷的体接触区。在其他示例中,体接触区是平面体接触区。

[0034] 图4图示了半导体层310的第二表面312上的电介质层350;并且图12将这个步骤图示为在图12的步骤S802中在半导体层上添加电介质层。电介质层350的材料可以包括比如氮化硅、氮化铝的氮化物材料和/或比如氧化硅、氧化铝的氧化物材料。电介质层可以通过气相沉积或键合而添加到半导体层上。

[0035] 图5图示了半导体层310的第二表面312上的栅极(例如,栅极端子)355;并且图12将这个步骤图示为在图12的步骤S803中在半导体层上形成栅极。在图5的示例中,栅极355与体区315的沟道区316相对应,并且被配置成使沟道区316导通和截止;并且电介质层350的电介质部分351在栅极355与半导体层310的第二表面312之间,并且因此将栅极355与半导体层310的第二表面312分隔开。

[0036] 可以通过在电介质层350中蚀刻沟槽(图5中未示出)并将栅极材料沉积到沟槽中来形成栅极355。在一个示例中,栅极355的栅极材料可以包括多晶硅和/或金属。在一些示例中,比如氮化物或氧化物的电介质材料被进一步沉积在沟槽中并且在栅极355上。

[0037] 图6图示了电介质层350中的沟槽356;并且图12将这个步骤图示为在图12的步骤S804中在电介质层中形成沟槽。可以通过蚀刻掉电介质层350的一部分来形成沟槽356。

[0038] 图7图示了沟槽356中并且在半导体层310的第二表面312上的浮置电极360;并且图12将这个步骤图示为在图12的步骤S805中在沟槽中并且在半导体层上形成浮置电极。浮置电极360可以通过比如化学气相沉积(CVD)的气相沉积形成。

[0039] 浮置电极360具有第一端361和第二端362;并且第一端361耦合到漂移区330并与其相接触。浮置电极可以用于将第一部件电耦合到第二部件,以允许在没有势垒电压的情况下处于欧姆接触到第一部件和第二部件,其中第一部件和第二部件包括不同的带隙材料。与第一部件和第二部件的其他部分相比,第一部件和第二部件的与浮置电极相接触的部分的掺杂水平可以增大。浮置电极的材料可以包括金属或硅化物中的至少一种。可以在两个部件之间、比如在具有不同带隙或不同能带结构的材料的两个部件之间使用浮置电极,以用于两个部件之间的不间断的无势垒电流流动。

[0040] 图8图示了沟槽356中并且在浮置电极360上的电压支持结构370;并且图12将这个步骤图示为在图12的步骤S806中在浮置电极上形成电压支持结构。电压支持结构370可以包括具有比半导体层310的半导体更大的带隙的WBG半导体。在一些示例中,电压支持结构

370的WBG半导体包括碳化硅、氮化镓、和/或任何其他合适的WBG半导体。电压支持结构370可以通过比如化学气相沉积(CVD)的气相沉积和/或离子注入来形成。

[0041] 图9图示了沟槽356中并且在电压支持结构370上的漏极触点380;并且图12将这个步骤图示为在图12的步骤S807中在沟槽中并且在电压支持结构上形成漏极触点。在一些示例中,漏极触点380包括与电压支持结构370相接触的硅化物部分和在硅化物部分上的铝部分。可以使用气相沉积来形成漏极触点380。

[0042] 图10图示了电介质层350中的沟槽357;并且图12将这个步骤图示为在图12的步骤S808中在电介质层中形成沟槽。可以通过利用掩模蚀刻电介质层350来形成沟槽357。

[0043] 图11图示了沟槽357中的源极触点390和场板395;并且图12将这个步骤图示为在图12的步骤S809中在沟槽中形成源极触点和场板。可以通过气相沉积形成源极触点和场板。在图11的示例中,源极触点390与源极区320和体接触区340相接触。在一些示例中,源极触点390包括硅化物部分和在硅化物部分上的铝部分;并且场板包括硅化物部分和在硅化物部分上的铝部分。

[0044] 在图11的示例中,场板395和源极触点390在结构上集成为单件。在其他示例中,场板和源极触点在结构上是分隔开的件;并且场板电耦合到源极触点或另一电压触点。

[0045] 图11图示了根据所描述的示例的示例混合半导体器件300。混合半导体器件300包括半导体层310,该半导体层具有源极区320、漂移区330、包括沟道区316的体区315、以及体接触区340。半导体层310的材料可以包括硅、锗或砷化镓中的至少一种。半导体层310具有第一表面311和相反的第二表面312。沿着平面内方向(X轴),体区315的沟道区316在源极区320与漂移区330之间。混合半导体器件300进一步包括在半导体层310的第二表面312上的电介质层350和栅极355。电介质层350的电介质部分351在栅极355与半导体层310的第二表面312之间,并且因此将栅极355与半导体层310的第二表面312分隔开。栅极355沿着平面内方向(X轴)延伸,并且被配置成沿着平面内方向(X轴)使在源极区320与漂移区330之间的沟道区316导通和截止;并且因此栅极355是沿着平面内方向(X轴)延伸的侧向栅极。

[0046] 混合半导体器件300进一步包括在漂移区330上的浮置电极360、在浮置电极360上的电压支持结构370、在电压支持结构370上的漏极触点380、源极触点390、以及场板395,该场板是场控制元件的实施方案,比如图1中的场控制元件160。电压支持结构370包括与浮置电极360的第二端362处于欧姆接触的第一区371,以及与漏极触点380欧姆接触的第二区372。在图11的示例中,体区315经由体接触区340电耦合到源极触点390,并且从源极触点390的区或其附近朝向漏极触点380(例如沿着大致平面内方向(X轴))延伸;并且体区315用作比如图1中的场控制元件160的场控制元件的实施方案。

[0047] 在图11的示例中,浮置电极360具有第一端361和第二端362;并且第一端361在漂移区330上并与其处于欧姆接触;并且电压支持结构370在浮置电极360上,并且与浮置电极360的第二端362处于欧姆接触。漏极触点380在电压支持结构370上。通过沿着平面外方向(Z轴)(例如竖直方向)在半导体层310的漂移区330上布置电压支持结构370和浮置电极360,可以减小沿着平面内方向(例如沿着X轴)的器件大小。源极触点390与源极区320和体接触区340处于欧姆接触;并且场板395从源极触点390朝向漏极触点380和电压支持结构370延伸。

[0048] 电压支持结构370可以包括具有比半导体层310的半导体更大的带隙的WBG半导

体。在一些示例中,电压支持结构370的WBG半导体包括碳化硅、氮化镓、和/或任何其他合适的WBG半导体。在一些示例中,电压支持结构370的WBG半导体包括具有WBG的纳米材料(比如碳化硅纳米管材料或任何其他合适的WBG纳米材料)。

[0049] 在图11的示例中,混合半导体器件300包括开关元件319;并且开关元件319包括源极区320、漂移区330、体区315或体区315的包括沟道区316的部分、体接触区340、栅极355、以及电介质层350的电介质部分351。混合半导体器件300进一步包括源极触点390、浮置电极360、电压支持结构370、漏极触点380、以及场控制元件,这些场控制元件包括场板395和从源极触点390的区或从源极触点附近朝向漏极触点380(例如沿着大致平面内方向(X轴))延伸的体区315。电压支持结构370在开关元件319上,并且在正交于开关元件319的表面(例如,半导体层310的第二表面312)的方向上例如竖直地延伸。

[0050] 在一些示例中,浮置电极360的第一端361与开关元件319的漂移区330处于欧姆接触;浮置电极360的第二端362与电压支持结构370处于欧姆接触;并且开关元件319的体接触区340与源极触点390处于欧姆接触。在一些示例中,与电压支持结构370的其他区相比,电压支持结构370的与浮置电极360和漏极触点380相接触的区域(例如,371、372)以增大的掺杂水平掺杂,并且与浮置电极360和漏极触点380形成处于欧姆接触;与漂移区330的其他区相比,漂移区330的与浮置电极360相接触的区域331以增大的掺杂水平掺杂,并且与浮置电极360形成处于欧姆接触。

[0051] 图13图示了根据所描述的示例的图11的混合半导体器件300的穿过A1-A2的示例剖视图。在图13的示例中,源极触点390、源极区320、包括沟道区316的体区315、以及漂移区330以条状构型沿平面内方向(Y轴)延伸。图14图示了根据所描述的示例的图11的混合半导体器件300的穿过B1-B2的另一示例剖视图。在图14的示例中,源极触点390、电介质层350、场板395、以及电压支持结构370以条状构型沿着平面内方向(Y轴)延伸。

[0052] 在图13和图14的示例中,混合半导体器件300的某些部件(比如390、320、315、316、330、350、395)以条状构型沿着平面内方向(Y轴)延伸。在其他示例中,混合半导体器件300的某些部件(比如390、320、316、315、330、350、395、370)以圆形或环形形状在平面内(例如,平行于X-Y平面)延伸。例如,混合半导体器件300的某些部件(比如390、320、316、315、330、350、395、370)围绕图11中的轴线01-02以例如圆形或环形构型延伸。

[0053] 图15图示了根据所描述的示例的另一示例混合半导体器件400的剖视图。混合半导体器件400包括半导体层410,该半导体层具有源极区420、漂移区430、包括一个或多个沟道区416的体区415、以及体接触区440。半导体层410具有第一表面411和相反的第二表面412。沿着平面外方向(Z轴),体区415的沟道区416在源极区420与漂移区430之间延伸。混合半导体器件400进一步包括栅极455和将栅极455与半导体层410的体区415分隔开的电介质层451。栅极455沿着平面外方向(Z轴)延伸,并且被配置成沿着平面外方向(Z轴)使源极区420与漂移区430之间的沟道区416导通和截止;并且因此栅极455是沿着平面外方向延伸的竖直栅极。

[0054] 混合半导体器件400进一步包括在半导体层410的第二表面412上的电介质层450、在漂移区430上的浮置电极460、在浮置电极460上的电压支持结构470、在电压支持结构470上的漏极触点480、源极触点490、以及场板495。

[0055] 在图15的示例中,浮置电极460具有第一端461和第二端462;并且第一端461在漂

移区430上并与其处于欧姆接触；并且电压支持结构470在浮置电极460上，并且与浮置电极460的第二端462处于欧姆接触。漏极触点480在电压支持结构470上。源极触点490与源极区420和体接触区440处于欧姆接触；并且场板495从源极触点490朝向漏极触点480和电压支持结构470延伸。

[0056] 电压支持结构470包括具有比半导体层410的半导体更大的带隙的WBG半导体。在一些示例中，电压支持结构470的WBG半导体包括碳化硅、氮化镓、和/或任何其他合适的WBG半导体。在一些示例中，电压支持结构470的WBG半导体包括具有WBG的纳米材料(比如SiC纳米管材料或任何其他合适的纳米材料)。

[0057] 图16至图22图示了形成另一示例混合半导体器件500的各个阶段的结构的剖视图，以及图23图示了用于形成混合半导体器件500的示例方法的对应流程图。现在将参考图23的流程图描述图16至图22。

[0058] 图16图示了半导体层510，该半导体层包括源极区520、漂移区530、包括沟道区516的体区515、以及体接触区540；并且图23将这个步骤图示为在图12的步骤S901中在半导体层中形成源极区、漂移区、体区、以及体接触区。

[0059] 半导体层510具有第一表面511和相反的第二表面512。半导体层510的材料可以包括硅、锗或砷化镓中的至少一种。图16还图示了具有X轴、Y轴、以及Z轴的坐标系。X轴和Y轴彼此正交，并且平行于半导体层510的平面(例如第一表面511或第二表面512)。X轴和Y轴因此被称为“平面内方向”Z轴垂直于X轴和Y轴，并且因此垂直于半导体层510的平面。由此，Z轴被称为“平面外方向”沿着平面内方向(X轴)，体区515的沟道区516在源极区520与漂移区530之间。

[0060] 在一些示例中，半导体层510通过外延生长和/或离子注入形成，以形成例如处于P掺杂水平的p型层；并且半导体层510包括体区515。源极区520、漂移区530、以及体接触区540可以通过将掺杂剂进行离子注入到半导体层510中来形成。在图16的示例中，源极区520是具有N⁺掺杂水平的n型半导体区；漂移区530是具有N掺杂水平的n型半导体区；体区515是具有P掺杂水平的p型半导体区；并且体接触区540是具有P⁺掺杂水平的p型半导体区。根据各种应用场景，可以为混合半导体器件500的结构(例如，515、520、530、540)选择其他合适的掺杂极性和掺杂水平。在图16的示例中，体接触区540是凹陷的体接触区。在其他示例中，体接触区是平面体接触区。

[0061] 图17图示了半导体层510中的电压支持结构570和电介质层575；并且图23将这个步骤图示为在图12的步骤S902中在半导体层中形成电介质层和电压支持结构。电介质层575和电压支持结构570可以通过蚀刻掉半导体层510的一部分以形成沟槽、通过气相沉积或氧化在沟槽的内壁处形成电介质层575、以及将电压支持结构570的材料沉积到沟槽中并且在电介质层575上来形成。在图8的示例中，电压支持结构570沿着平面内方向(X轴)例如横向邻接漂移区530。电介质层575在电压支持结构570与体区515之间，并将电压支持结构570与体区515分隔开。

[0062] 电压支持结构570可以包括具有比半导体层510的体区515的半导体更大的带隙的WBG半导体。在一些示例中，电压支持结构570的WBG半导体包括碳化硅、氮化镓、和/或任何其他合适的WBG半导体。

[0063] 图18图示了漂移区530与电压支持结构570之间的浮置电极560；并且图12将这个

步骤图示为在图23的步骤S903中在漂移区与电压支持结构之间形成浮置电极。浮置电极560可以通过蚀刻掉漂移区530、电介质层575、以及电压支持结构570的部分以形成沟槽，并且通过比如化学气相沉积(CVD)的气相沉积在沟槽中沉积浮置电极560的材料来形成。浮置电极的材料可以包括金属或硅化物中的至少一种。

[0064] 浮置电极560具有第一端561和第二端562；第一端561耦合到漂移区530并与其处于欧姆接触；并且第二端562耦合到电压支持结构570并与其处于欧姆接触。在图18的示例中，电压支持结构570、漂移区530、以及浮置电极560沿着平面内方向(X轴)例如横向地相对于彼此布置。

[0065] 图19图示了半导体层510的第二表面512上的电介质层550；并且图23将这个步骤图示为在图23的步骤S904中在半导体层上添加电介质层。电介质层550的材料可以包括比如氮化硅、氮化铝的氮化物材料和/或比如氧化硅、氧化铝的氧化物材料。电介质层550可以通过气相沉积或键合添加在半导体层510上。

[0066] 图20图示了半导体层510的第二表面512上的栅极(例如，栅极端子)555；并且图23将这个步骤图示为在图23的步骤S905中在半导体层510上形成栅极。在图20的示例中，栅极555与体区515的沟道区516相对应；并且电介质层550的电介质部分551在栅极555与半导体层510的第二表面512之间，并且因此将栅极555与半导体层510的第二表面512分隔开。

[0067] 可以通过在电介质层550中蚀刻出沟槽并在沟槽中沉积栅极材料来形成栅极555。在一个示例中，栅极555的材料可以包括多晶硅和/或金属。在一些示例中，在沟槽中并且在栅极555上还沉积比如氮化物或氧化物的电介质材料。

[0068] 图21图示了电介质层550中的沟槽556和557；并且图23将这个步骤图示为在图23的步骤S906中在电介质层中形成沟槽。沟槽556和557可以通过利用掩模蚀刻电介质层550来形成。

[0069] 图22图示了源极触点590、场板595、以及漏极触点580；并且图23将这个步骤图示为在图23的步骤S907中在沟槽中形成源极触点、场板、以及漏极触点。在图22的示例中，源极触点590与源极区520和体接触区540处于欧姆接触。在一些示例中，源极触点590包括硅化物部分和硅化物部分上的铝部分；并且场板595包括硅化物部分和硅化物部分上的铝部分。漏极触点580在电压支持结构570上。在一些示例中，漏极触点580包括与电压支持结构570相接触的硅化物部分和在硅化物部分上的铝部分。源极触点590、场板595、以及漏极触点580可以使用气相沉积来形成。

[0070] 图22图示了根据所描述的示例的示例混合半导体器件500。混合半导体器件500包括半导体层510。半导体层510包括源极区520、漂移区530、包括沟道区516的体区515、以及体接触区540。半导体层510具有第一表面511和相反的第二表面512。

[0071] 混合半导体器件500进一步包括电压支持结构570和电介质层575，漂移区530与电压支持结构570之间的浮置电极560，半导体层510的第二表面512上的电介质层550和栅极555，以及在电介质层550中形成的沟槽中的源极触点590、场板595、以及漏极触点580。

[0072] 电压支持结构570沿着平面内方向(X轴)例如横向邻接漂移区530。电介质层575在电压支持结构570与体区515之间，并将电压支持结构570与体区515分隔开。电压支持结构570可以包括具有比源极区520、漂移区530、包括沟道区516的体区515、以及体接触区540的半导体更大的带隙的WBG半导体。在一些示例中，电压支持结构570的WBG半导体包括碳化

硅、氮化镓、和/或任何其他合适的WBG半导体。

[0073] 浮置电极560具有第一端561和第二端562;第一端561耦合到漂移区530并与其处于欧姆接触;并且第二端562耦合到电压支持结构570并与其处于欧姆接触。电压支持结构570、漂移区530、以及浮置电极560沿着平面内方向(X轴)例如横向地相对于彼此布置。

[0074] 栅极555与体区515的沟道区516相对应;并且电介质层550的电介质部分551在栅极555与半导体层510的第二表面512之间,并且因此将栅极555与半导体层510的第二表面512分隔开。

[0075] 源极触点590与源极区520和体接触区540处于欧姆接触。在一些示例中,源极触点590包括硅化物部分和硅化物部分上的铝部分;并且场板595包括硅化物部分和硅化物部分上的铝部分。场板595从源极触点590朝向漏极触点580延伸。漏极触点580在电压支持结构570上。在一些示例中,漏极触点580包括与电压支持结构570相接触的硅化物部分和在硅化物部分上的铝部分。

[0076] 在图22的示例中,场板595和源极触点590在结构上集成为单件。在其他示例中,场板和源极触点在结构上是分隔开的件;并且场板电耦合到源极触点或另一电压触点。

[0077] 在一些示例中,混合半导体器件500的某些部件(比如590、520、516、515、530、550、595、570)以条状构型沿着平面内方向(Y轴)延伸。在其他示例中,混合半导体器件500的某些部件(比如590、520、516、515、530、550、595、570)以圆形或环形形状在平面内(例如,平行于X-Y平面)延伸。例如,混合半导体器件500的某些部件(比如590、520、516、515、530、550、595、570)围绕图22中的轴线03-04以例如圆形或环形构型延伸。

[0078] 在图22的示例中,混合半导体器件500包括开关元件519;并且开关元件519包括源极区520、漂移区530、体区515或体区515的包括沟道区516的一部分、体接触区540、栅极555、以及电介质层550的电介质部分551。混合半导体器件500进一步包括浮置电极560、电压支持结构570、漏极触点580、源极触点590、以及场控制元件,这些场控制元件包括场板595和从源极触点590的区或其附近朝向漏极触点580(例如沿着大致平面内方向(X轴))延伸的体区515。电压支持结构570沿着平面内方向(X轴)邻接开关元件519,并且在平行于开关元件519的表面(例如,半导体层510的第二表面512的一部分)的方向上例如横向延伸。在一些示例中,电压支持结构570至少部分地被开关元件519包围。

[0079] 在一些示例中,浮置电极560的第一端561与开关元件519的漂移区530处于欧姆接触;浮置电极560的第二端562与电压支持结构570处于欧姆接触;并且开关元件519的体接触区540与源极触点590处于欧姆接触。在一些示例中,与电压支持结构570的其他区相比,电压支持结构570的与浮置电极560和漏极触点580相接触的区域(例如,571、572)以增大的掺杂水平掺杂,并且与浮置电极560和漏极触点580形成处于欧姆接触;并且与漂移区530的其他区相比,漂移区530的与浮置电极560相接触的区域531以增大的掺杂水平掺杂,并且与浮置电极560形成处于欧姆接触。

[0080] 图24图示了根据所描述的示例的另一示例混合半导体器件600。混合半导体器件600包括半导体层610。半导体层610包括源极区620、漂移区630、包括沟道区616的体区615、以及体接触区640。半导体层610具有第一表面611和相反的第二表面612。

[0081] 混合半导体器件600进一步包括电压支持结构670、漂移区630与电压支持结构670之间的浮置电极660、半导体层610的第二表面612上的电介质层650和栅极655、源极触点

690、场板695、以及漏极触点680。

[0082] 电压支持结构670沿着平面内方向(X轴)例如横向邻接漂移区630。电压支持结构670与体区615相接触。电压支持结构670可以通过将掺杂剂进行离子注入到半导体层610中或者通过蚀刻掉半导体层610的一部分以形成沟槽并将电压支持结构670的材料沉积到沟槽中来形成。在一些示例中,半导体层610是硅层,电压支持结构670通过将碳进行离子注入半导体层610并激活被注入区以形成碳化硅作为电压支持结构670来形成。电压支持结构670可以包括具有比半导体层610的半导体更大的带隙的WBG半导体。在一些示例中,电压支持结构670的WBG半导体包括碳化硅、氮化镓、和/或任何其他合适的WBG半导体。

[0083] 混合半导体器件600的某些部件与混合半导体器件的上述部件相同或相似,并且可以参考混合半导体器件的部件(比如混合半导体器件500的部件)的上述描述。

[0084] 在不脱离本说明书的范围的情况下,可以对本文描述的设备、系统、装置和方法进行修改、添加或省略。而且,本文描述的器件、系统和装置的操作可以通过包括更多、更少或其他部件来执行;并且所描述的方法可以包括更多、更少或其他步骤。而且,步骤可以按任何合适的顺序执行。

[0085] 术语“耦合”在整个说明书中使用。所述术语可以涵盖能够实现与本文的描述一致的功能关系的连接、通信或信号路径。例如,如果设备A生成信号以控制设备B执行动作,则在第一示例中,设备A与设备B耦合;或者在第二示例中,设备A通过中间部件C与设备B耦合,条件是中间部件C没有实质性改变设备A与设备B之间的功能关系,因此设备B由设备A经由设备A生成的控制信号来控制。

[0086] 在权利要求的范围内,对所描述的实施例进行修改是可能的,并且其他实施例也是可能的。

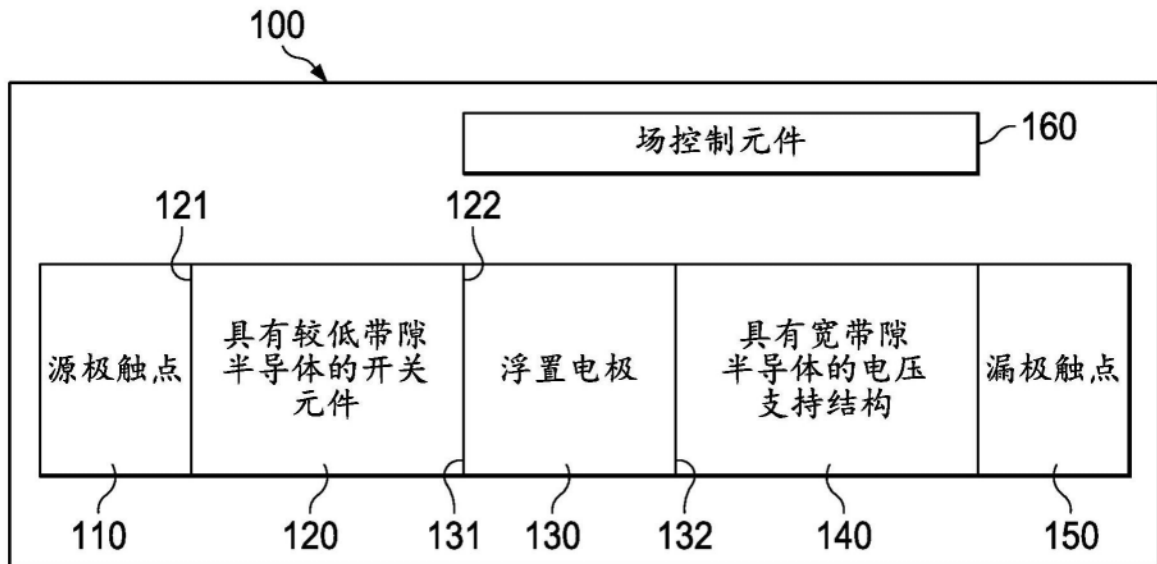


图1

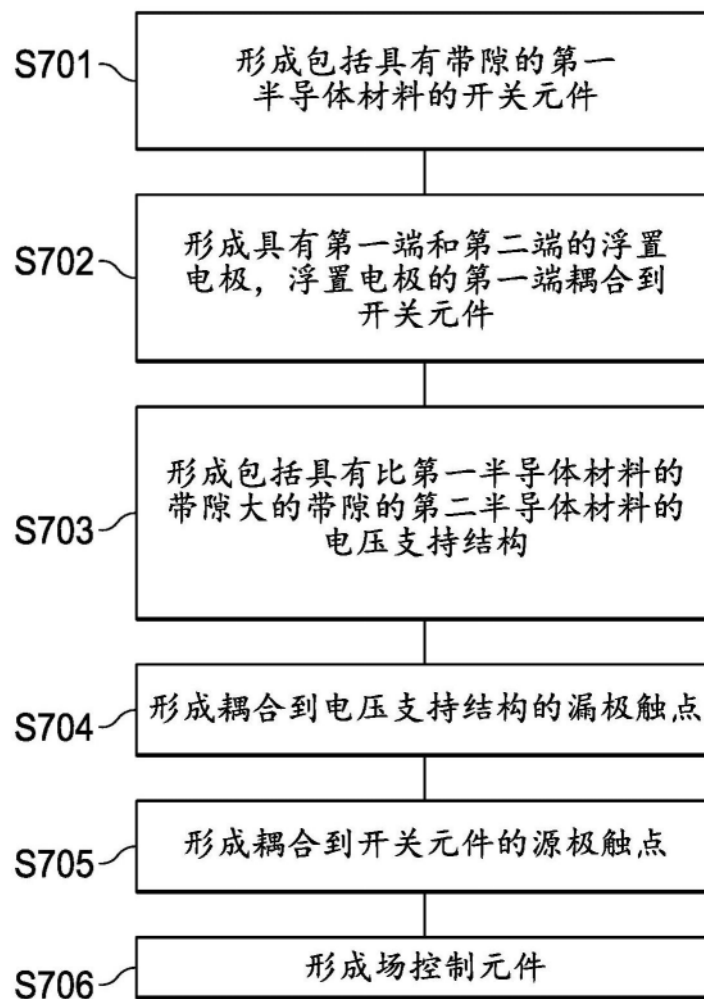


图2

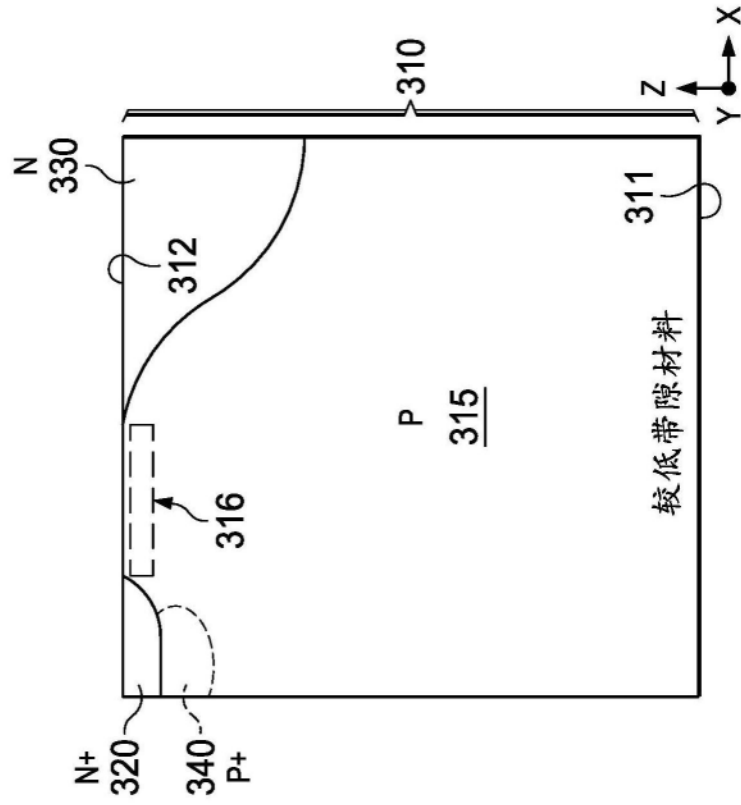


图3

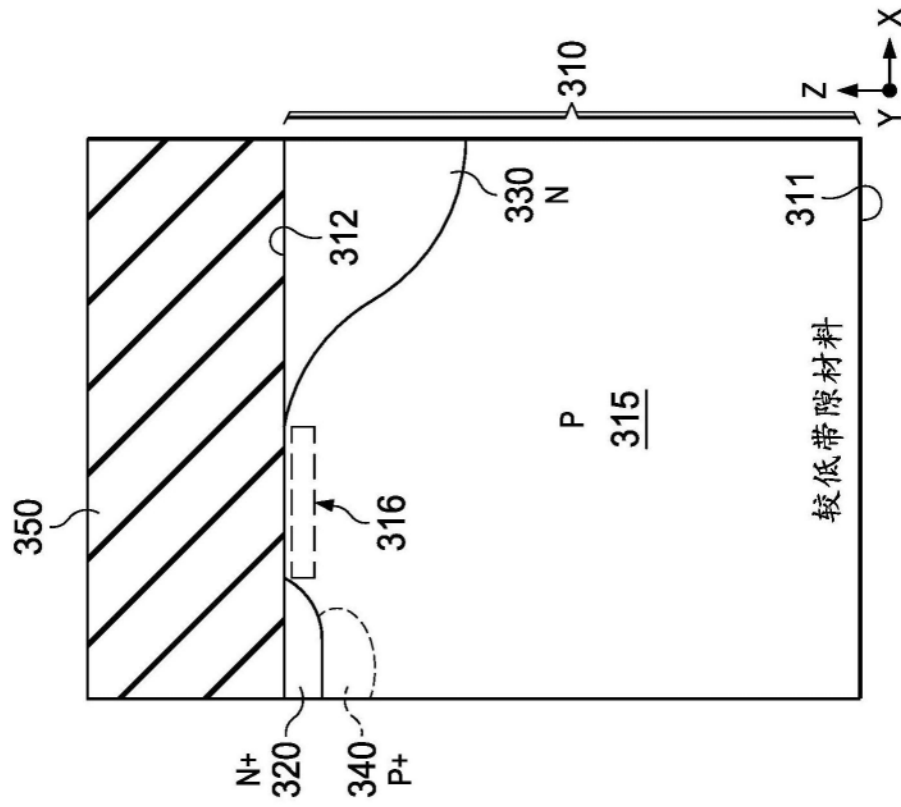


图4

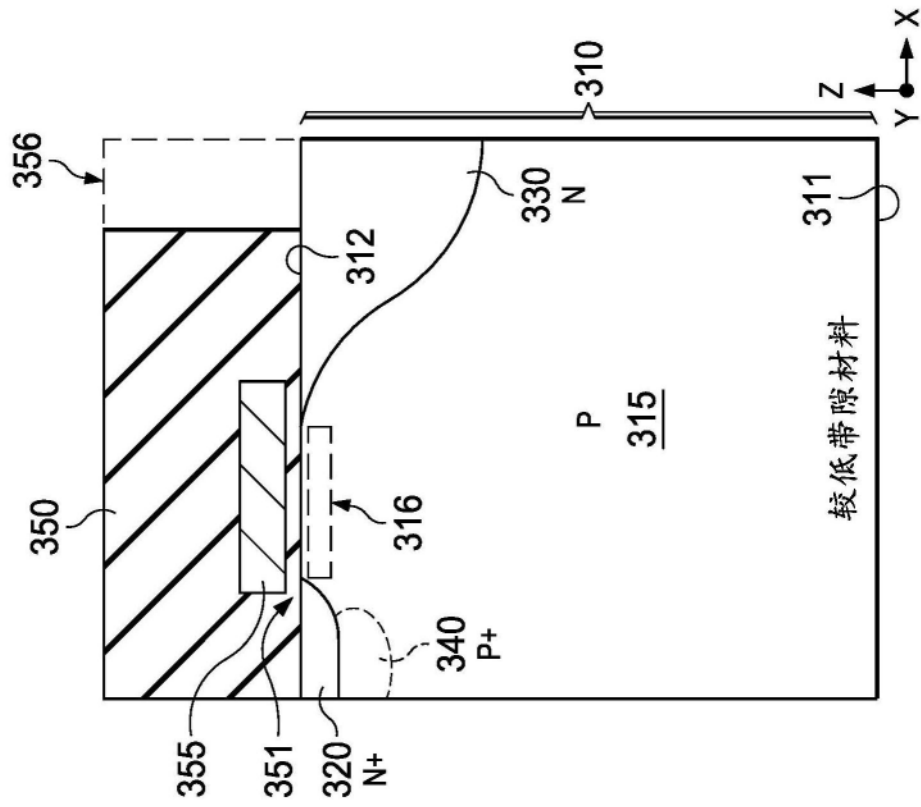


图6

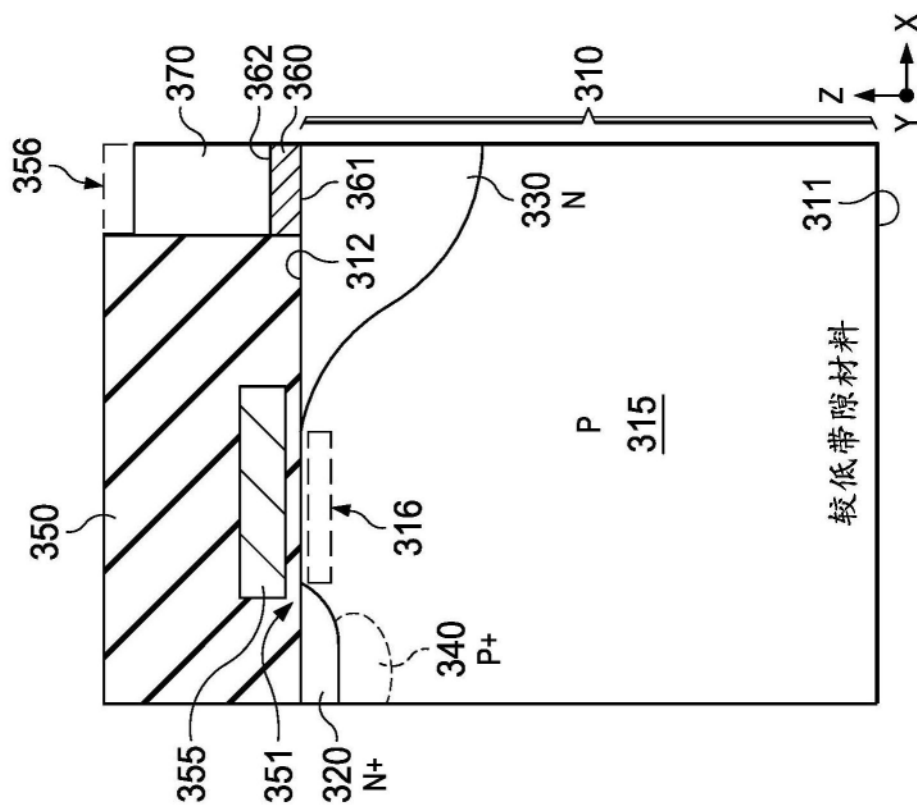


图8

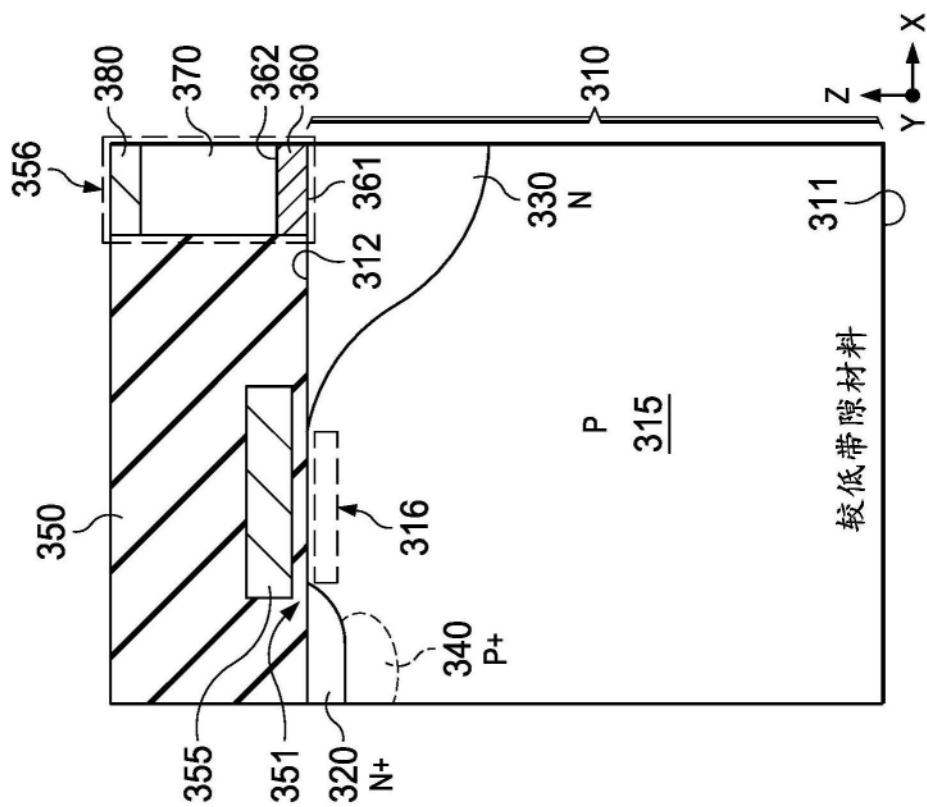


图9

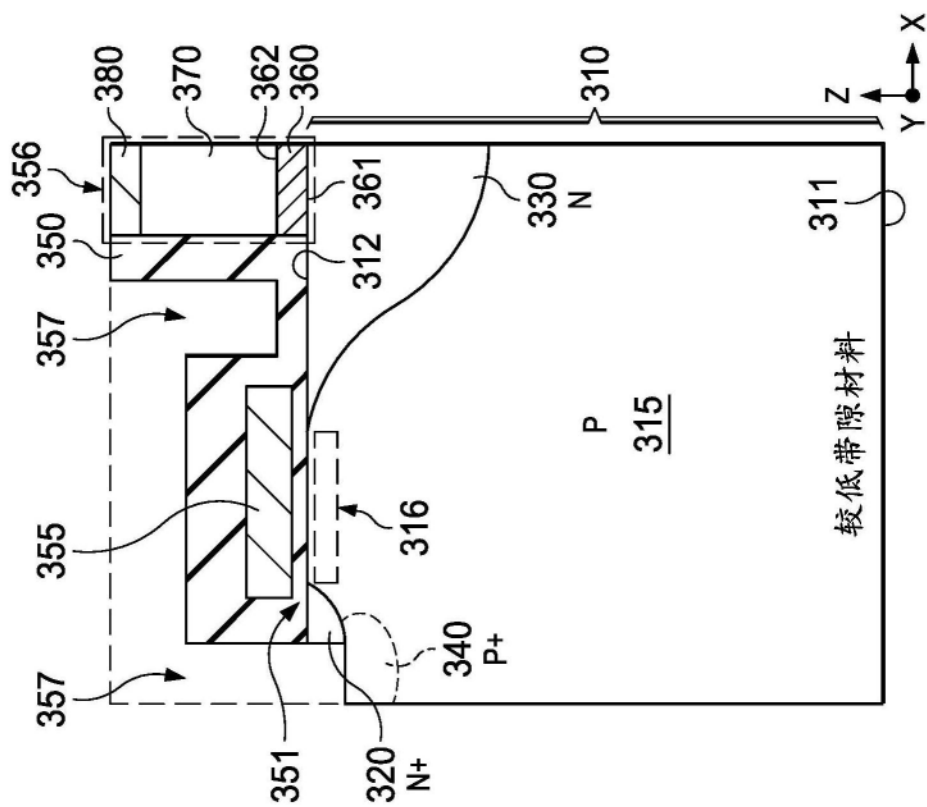


图10

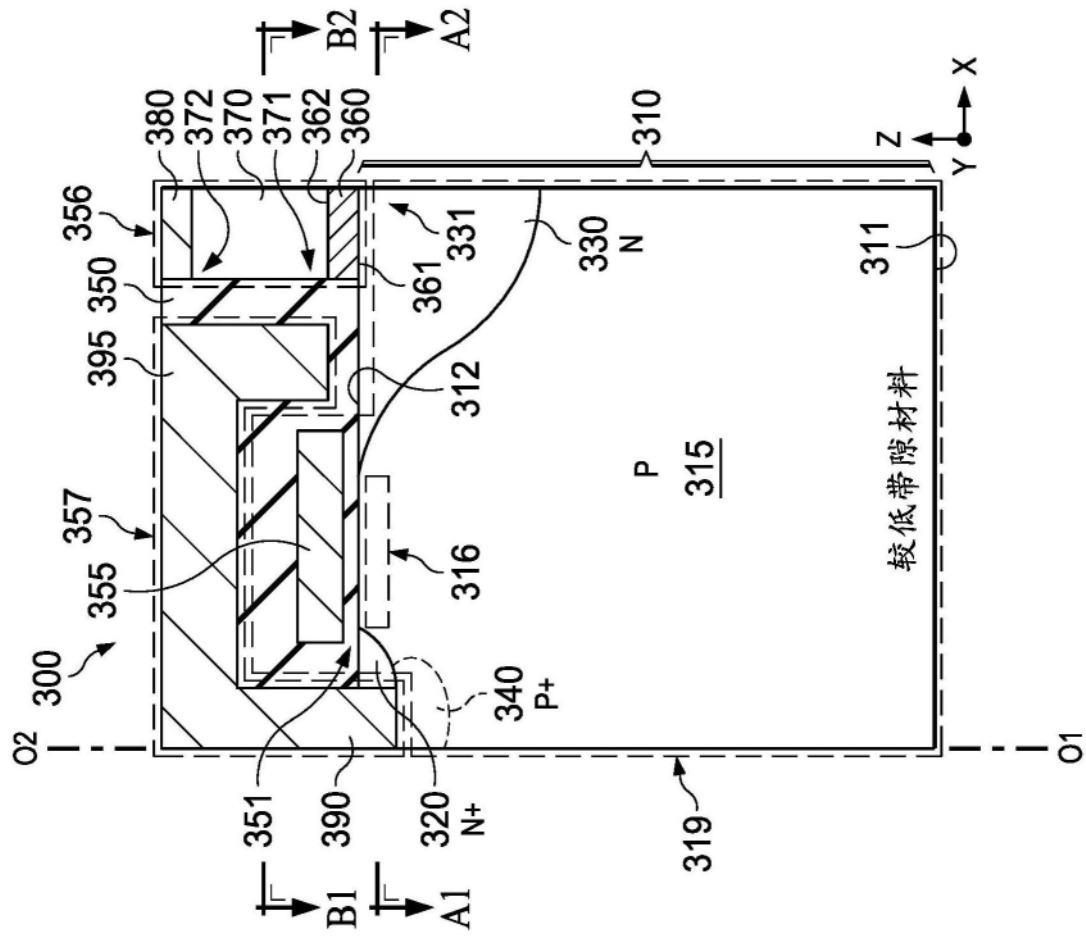


图11

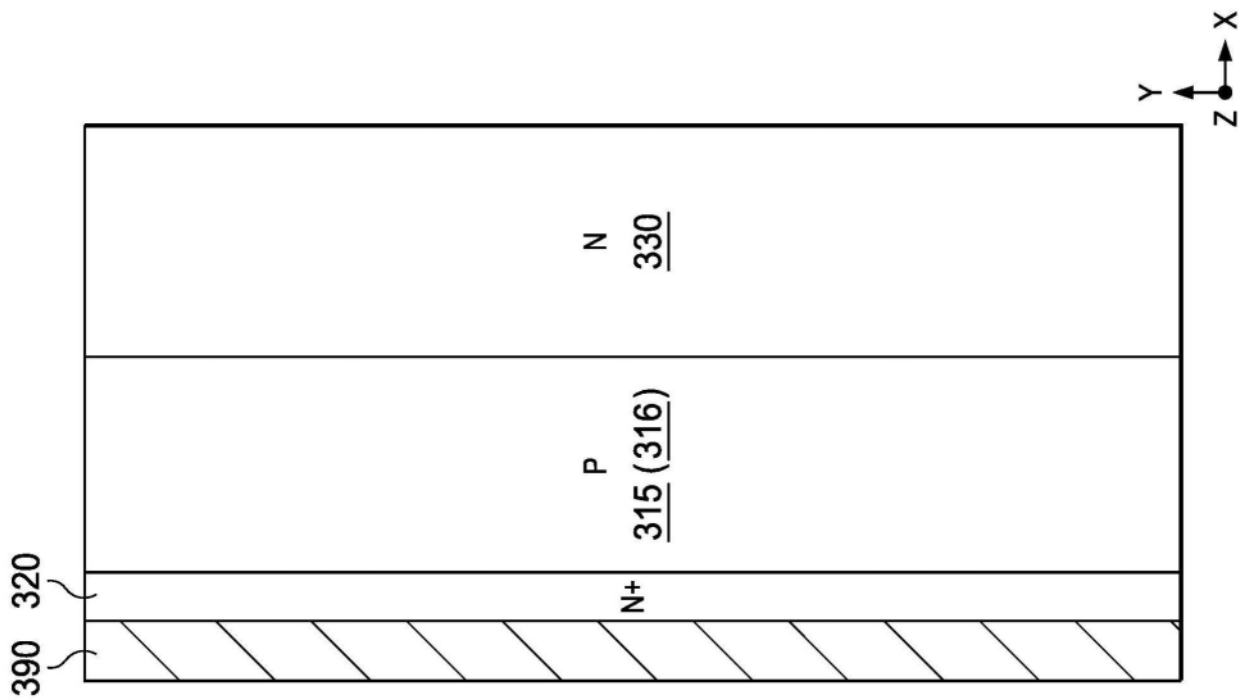


图13

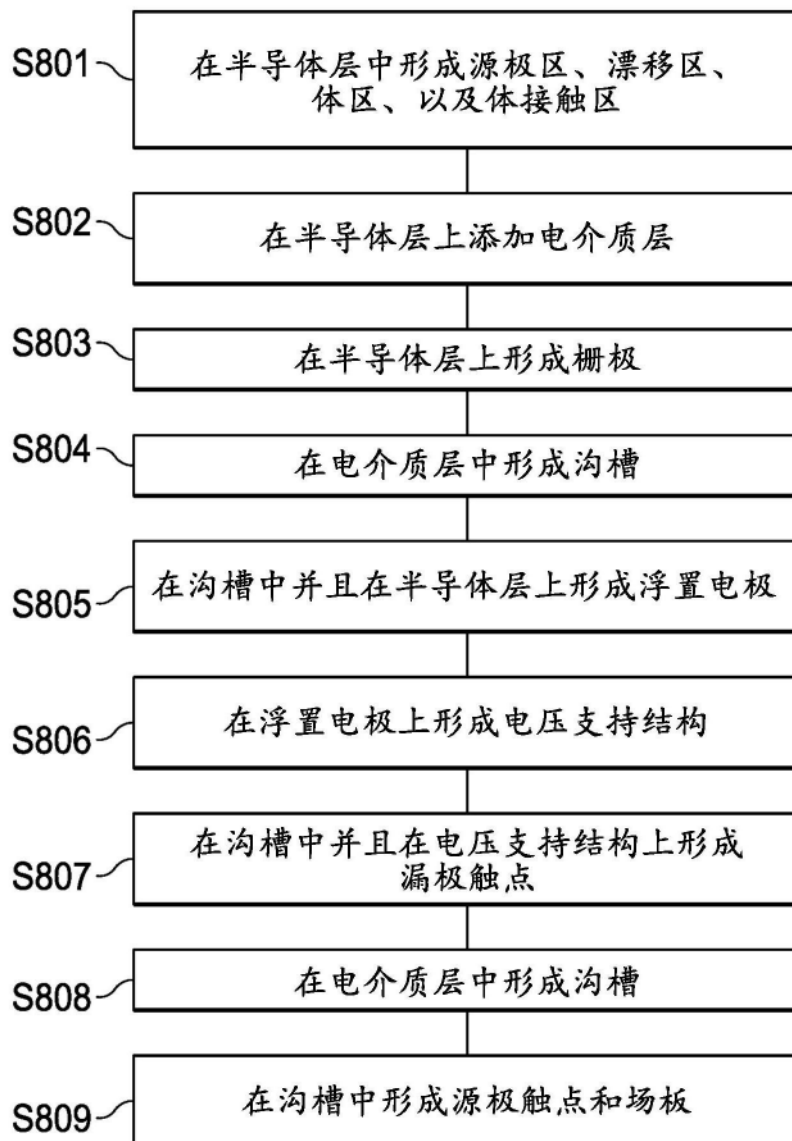


图12

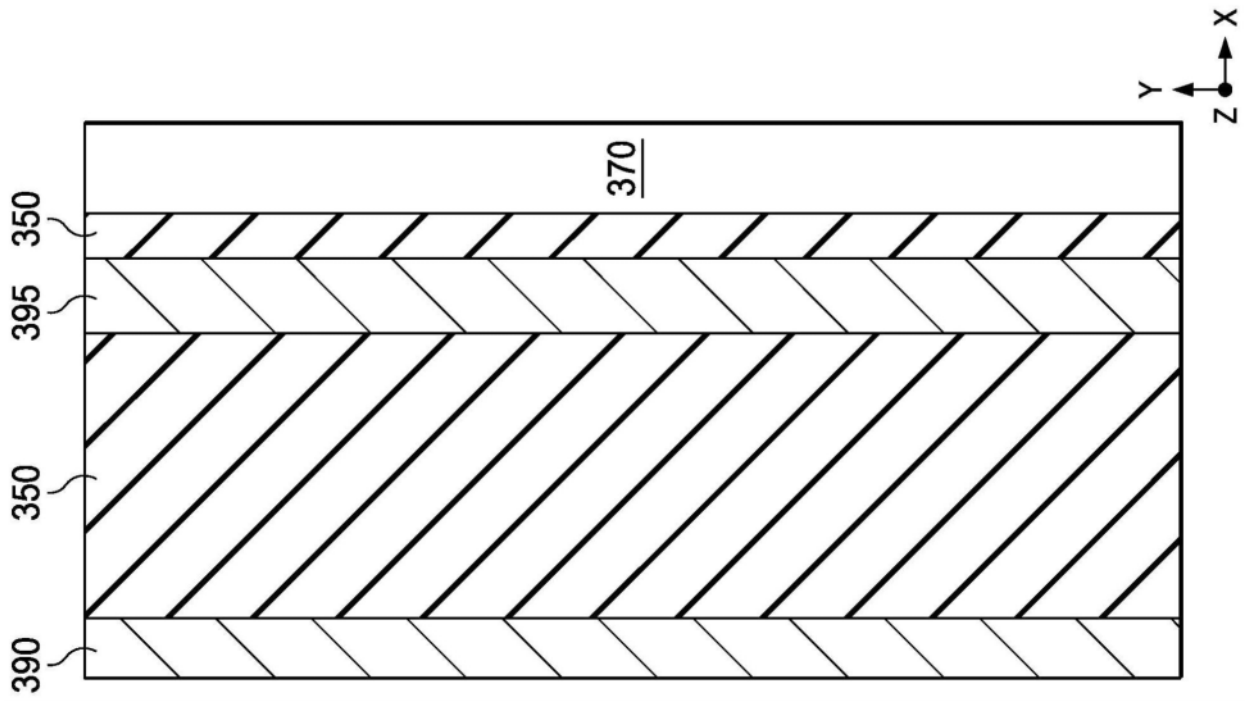


图14

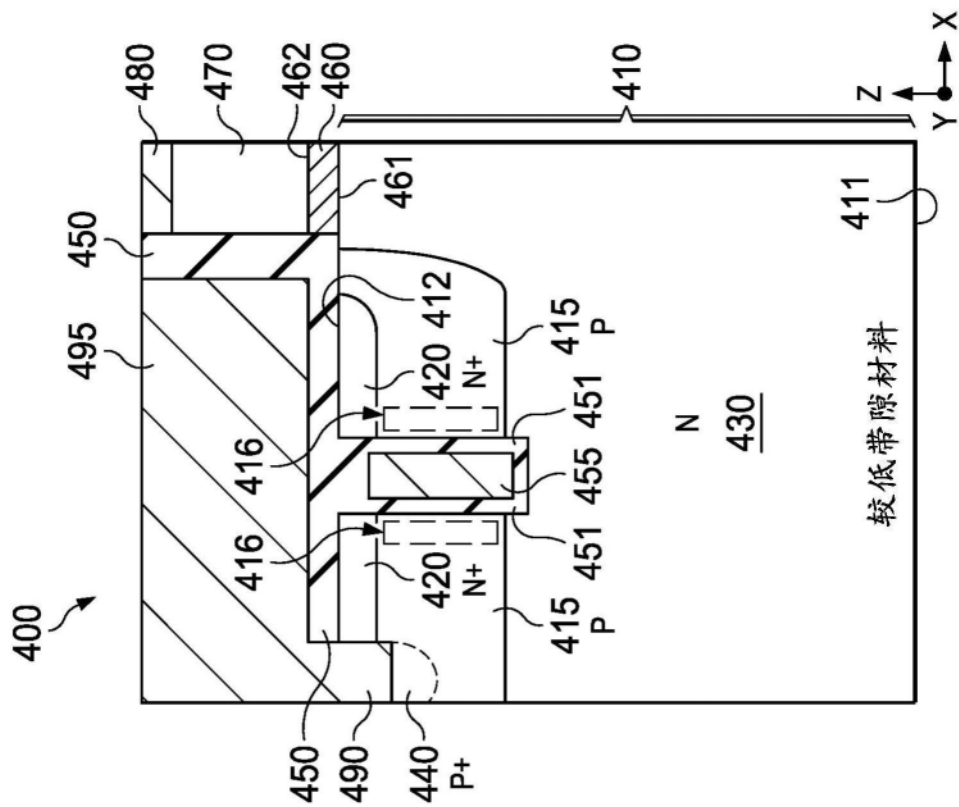


图15

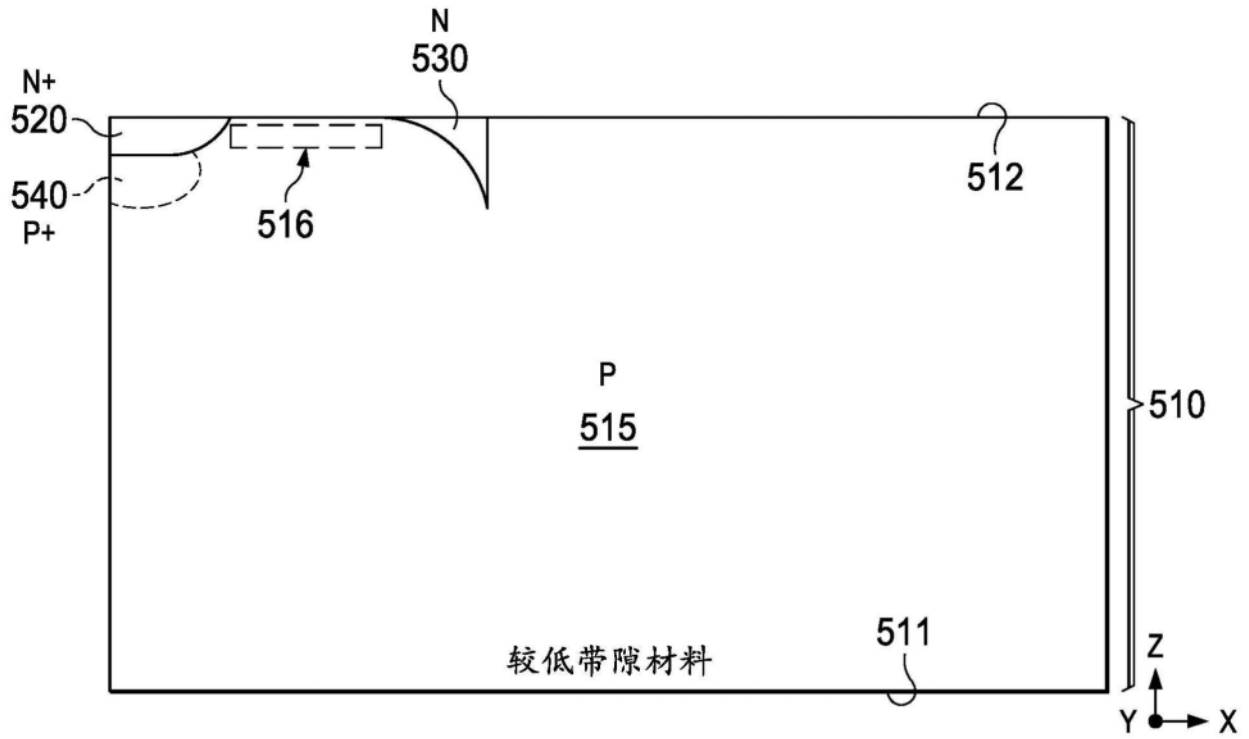


图16

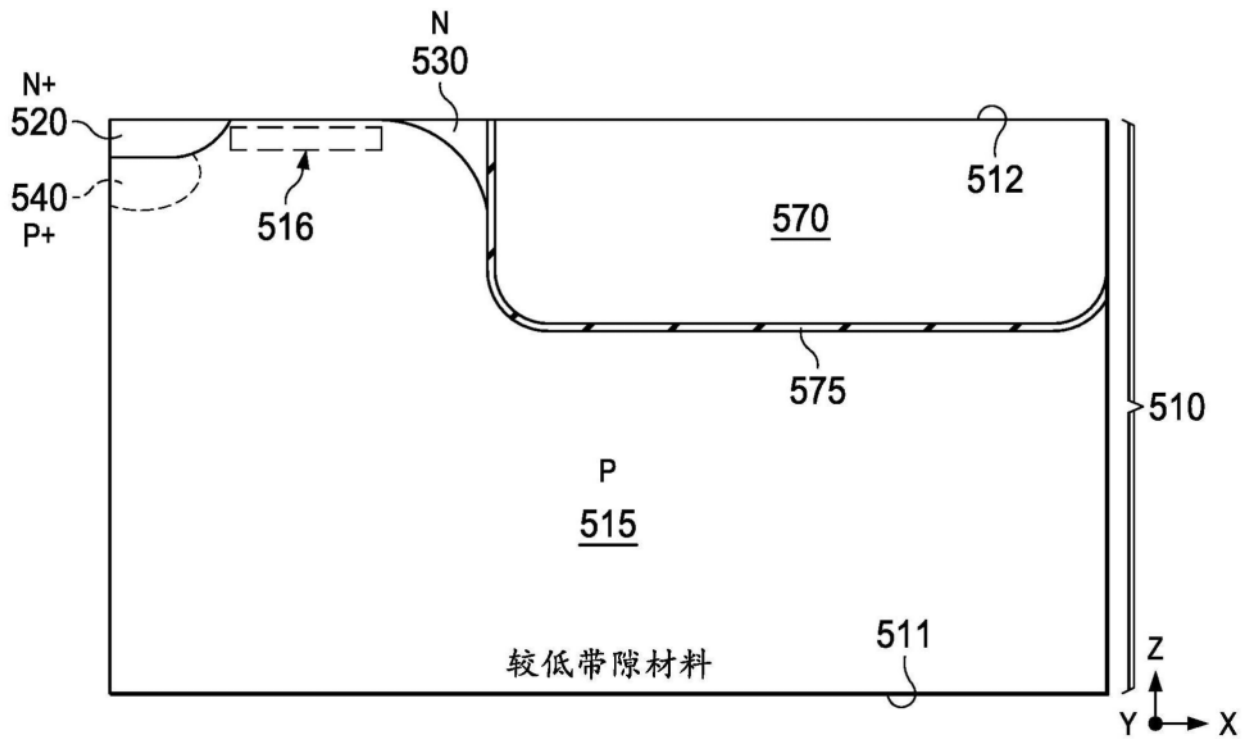


图17

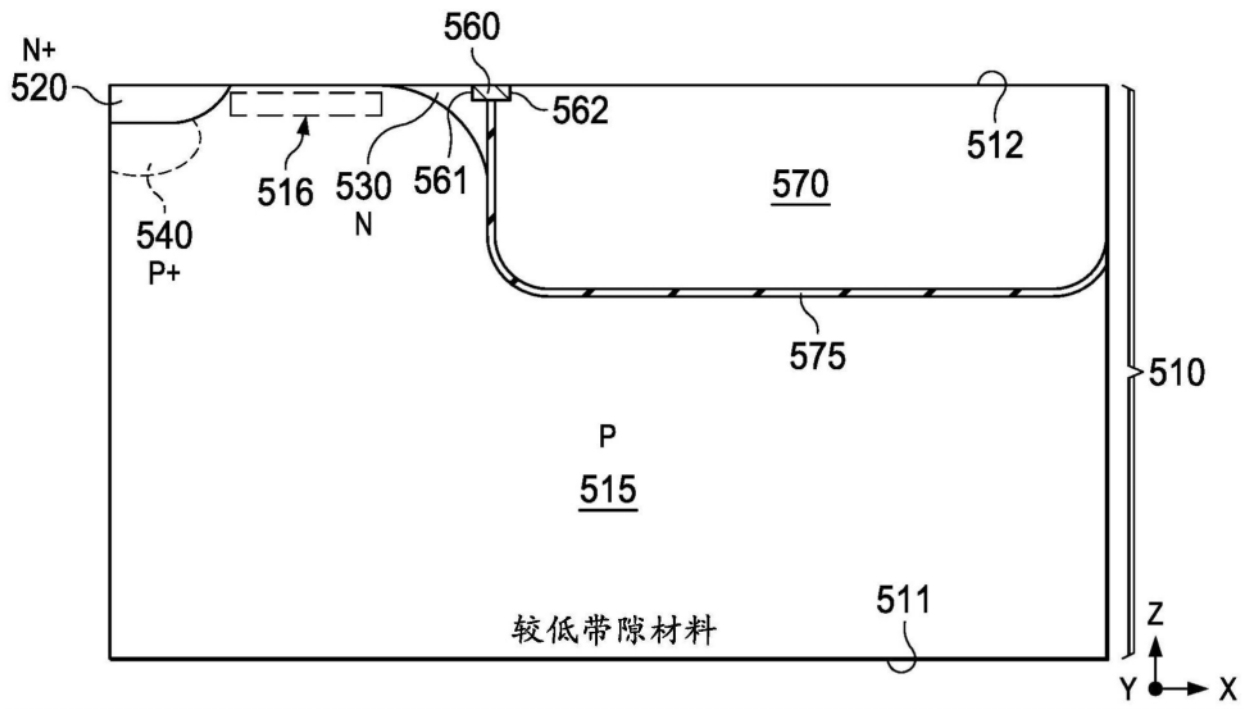


图18

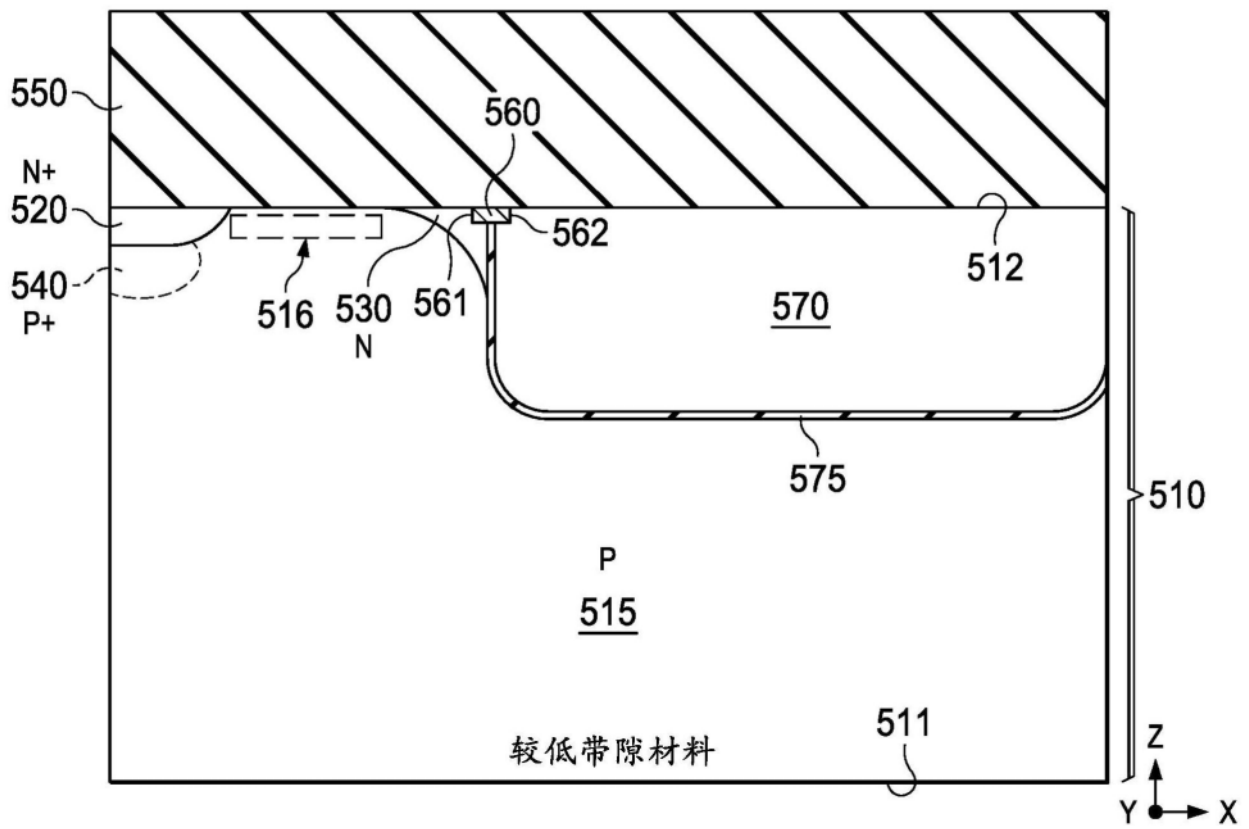


图19

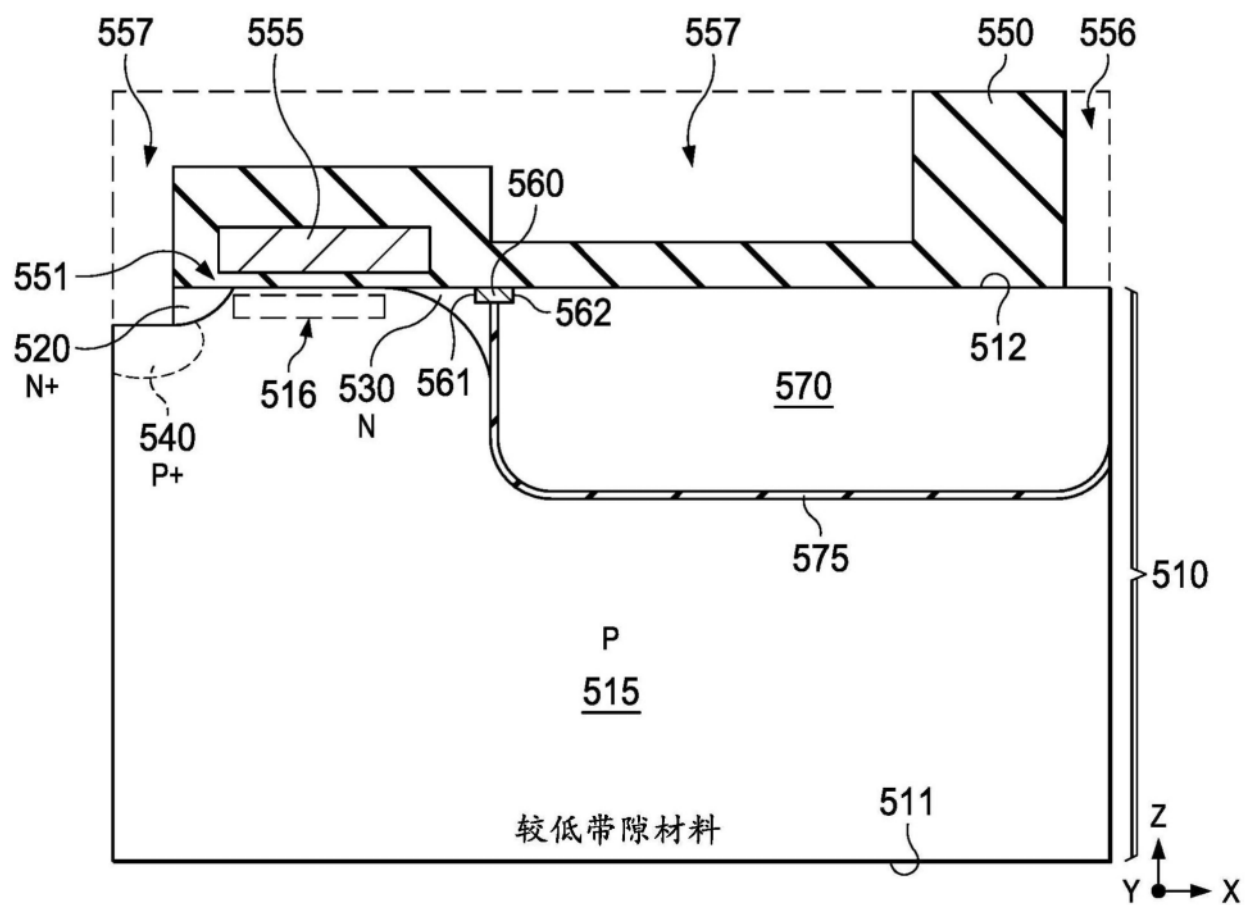


图21

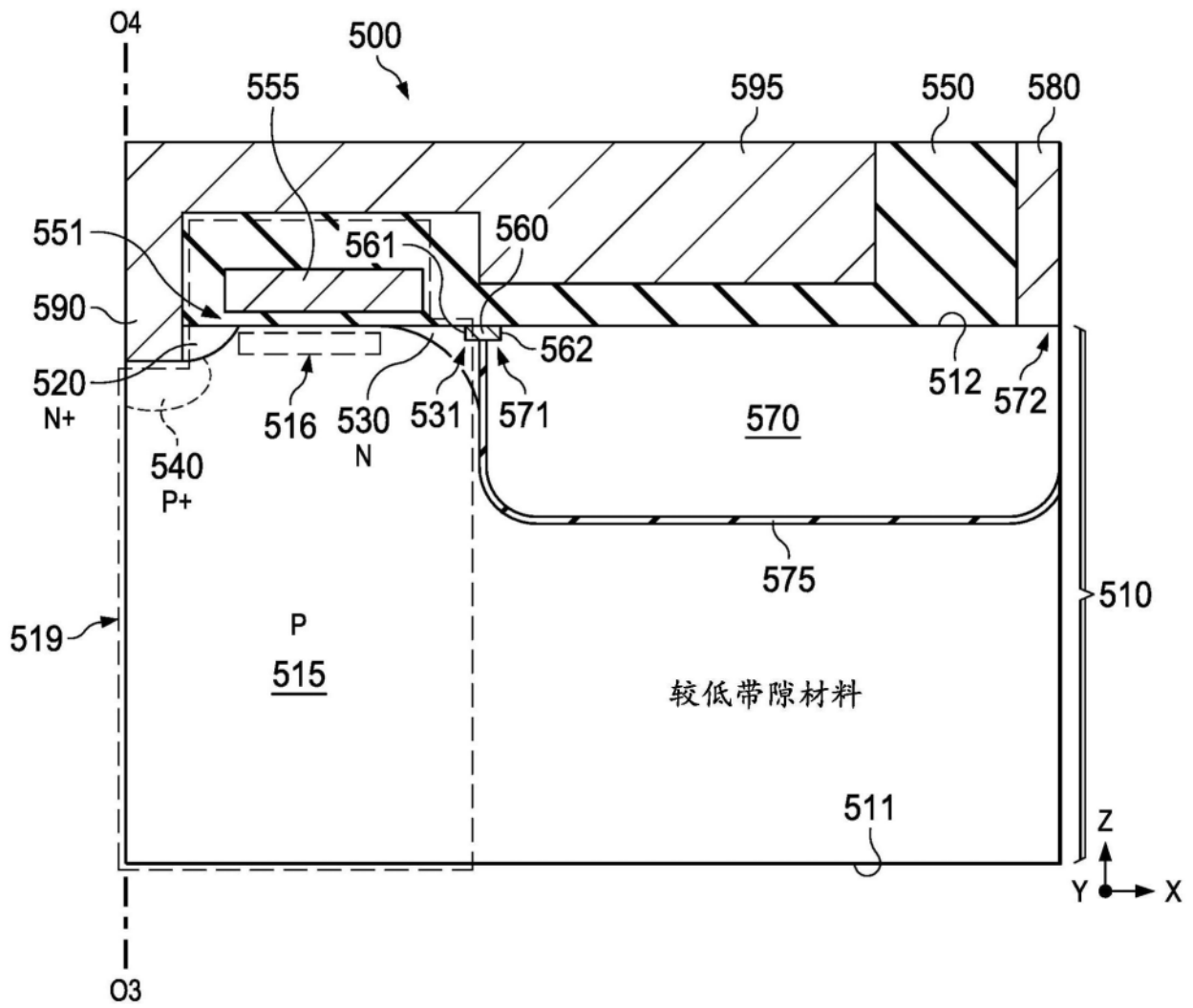


图22

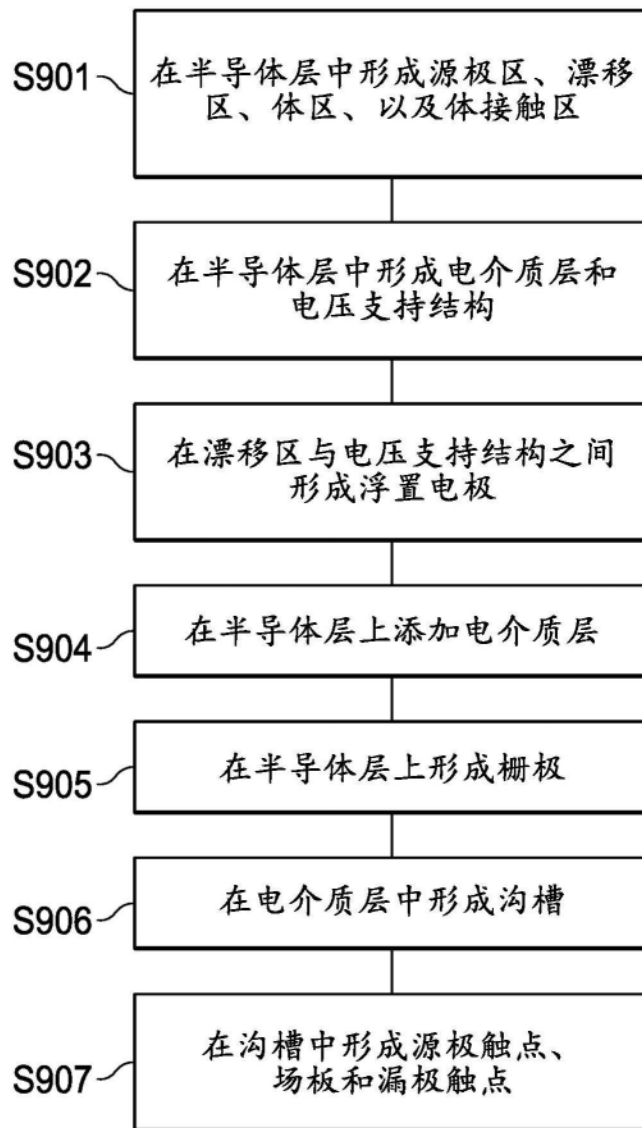


图23

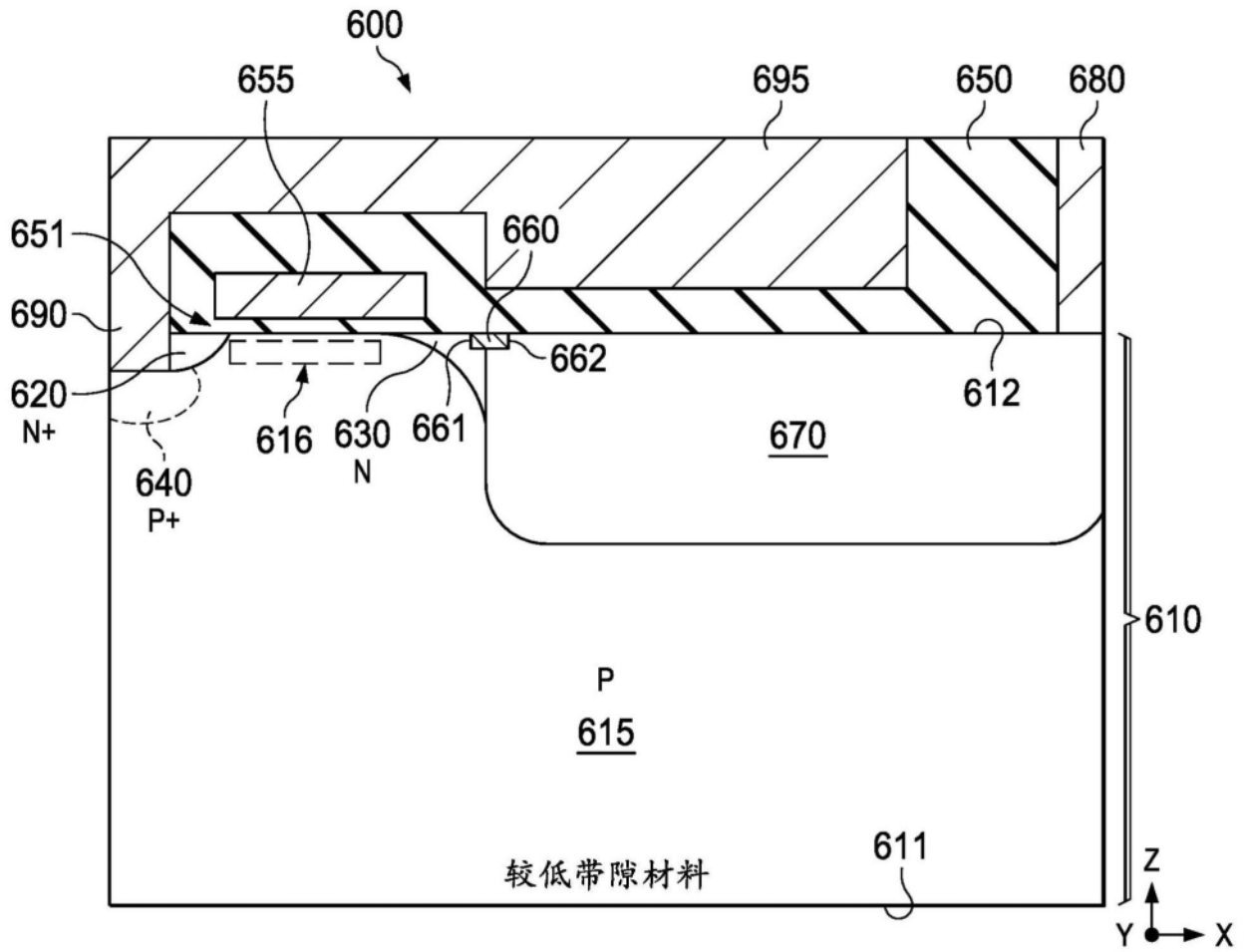


图24