



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I521714 B

(45)公告日：中華民國 105 (2016) 年 02 月 11 日

(21)申請案號：099135740

(22)申請日：中華民國 99 (2010) 年 10 月 20 日

(51)Int. Cl. : **H01L29/786 (2006.01)**

(30)優先權：2009/10/21 日本 2009-242853

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；廣瀨篤志
HIROSE, ATSUSHI (JP)；津吹將志 TSUBUKU, MASASHI (JP)；野田耕生 NODA,
KOSEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5680343

US 2006/0261253A1

US 2009/0045397A1

審查人員：王人毅

申請專利範圍項數：9 項 圖式數：25 共 148 頁

(54)名稱

類比電路及半導體裝置

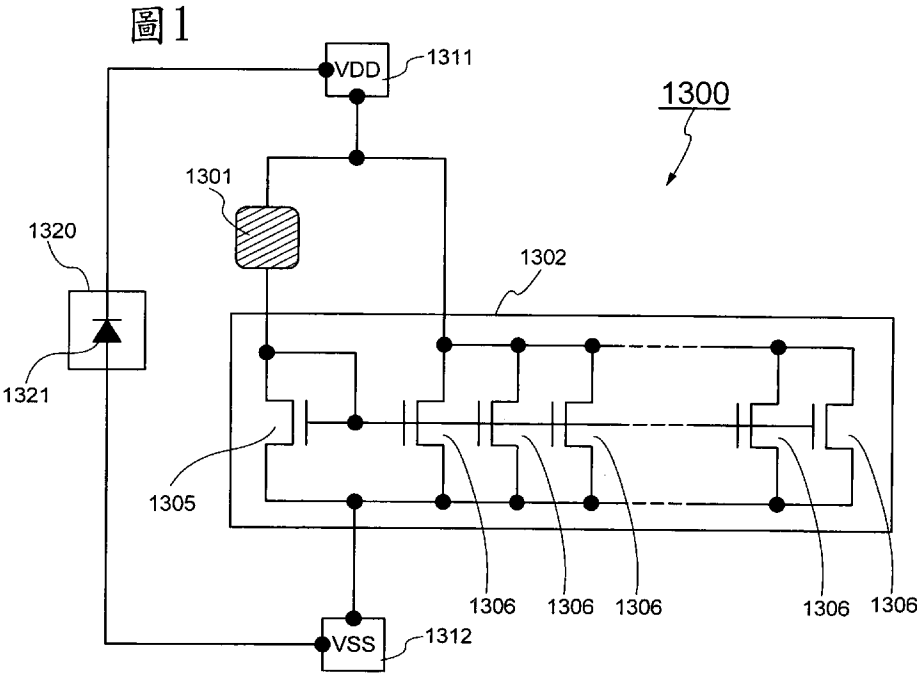
ANALOG CIRCUIT AND SEMICONDUCTOR DEVICE

(57)摘要

本發明之一目標為獲得一種半導體裝置，其具有檢測信號高敏感性及寬動態範圍，並使用其中使用氧化物半導體層之薄膜電晶體。一種使用包括氧化物半導體之薄膜電晶體而形成之類比電路，該氧化物半導體具有通道形成層之功能、具有 5×10^{19} 原子/cm³ 或更低之氫濃度、及本質上做為無電場產生之狀態的絕緣體。因而，可獲得具有檢測信號高敏感性及寬動態範圍之半導體裝置。

An object is to obtain a semiconductor device having a high sensitivity in detecting signals and a wide dynamic range, using a thin film transistor in which an oxide semiconductor layer is used. An analog circuit is formed with the use of a thin film transistor including an oxide semiconductor which has a function as a channel formation layer, has a hydrogen concentration of 5×10^{19} atoms/cm³ or lower, and substantially functions as an insulator in the state where no electric field is generated. Thus, a semiconductor device having a high sensitivity in detecting signals and a wide dynamic range can be obtained.

指定代表圖：



- 符號簡單說明：
- 1300 . . . 光檢測器
 - 1301 . . . 檢測器
 - 1302 . . . 放大器電路
 - 1305、1306 . . . 電晶體
 - 1311、1312 . . . 電源端子
 - 1320 . . . 保護電路
 - 1321 . . . 二極體

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099135740

※申請日：099 年 10 月 20 日

※IPC 分類：H01L 29/786 (2006.01)

一、發明名稱：(中文／英文)

類比電路及半導體裝置

Analog circuit and semiconductor device

二、中文發明摘要：

本發明之一目標為獲得一種半導體裝置，其具有檢測信號高敏感性及寬動態範圍，並使用其中使用氧化物半導體層之薄膜電晶體。一種使用包括氧化物半導體之薄膜電晶體而形成之類比電路，該氧化物半導體具有通道形成層之功能、具有 5×10^{19} 原子/cm³ 或更低之氫濃度、及本質上做為無電場產生之狀態的絕緣體。因而，可獲得具有檢測信號高敏感性及寬動態範圍之半導體裝置。

三、英文發明摘要：

An object is to obtain a semiconductor device having a high sensitivity in detecting signals and a wide dynamic range, using a thin film transistor in which an oxide semiconductor layer is used. An analog circuit is formed with the use of a thin film transistor including an oxide semiconductor which has a function as a channel formation layer, has a hydrogen concentration of 5×10^{19} atoms/cm³ or lower, and substantially functions as an insulator in the state where no electric field is generated. Thus, a semiconductor device having a high sensitivity in detecting signals and a wide dynamic range can be obtained.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

1300：光檢測器

1301：檢測器

1302：放大器電路

1305、1306：電晶體

1311、1312：電源端子

1320：保護電路

1321：二極體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明之實施例關於包括其中使用氧化物半導體之場效電晶體的類比電路。此外，本發明之實施例關於包括該類比電路之半導體裝置。

在本說明書中，半導體裝置表示藉由利用半導體特性而可運作之所有類型裝置，且電光裝置、半導體電路及電氣裝備，均為半導體裝置。

【先前技術】

一種藉由使用形成於具有絕緣表面之基板上之半導體薄膜而形成薄膜電晶體（TFT）之技術，已引起注意。薄膜電晶體係用於以液晶電視機為代表之顯示裝置。有關可應用於薄膜電晶體之半導體薄膜，已知矽基半導體材料，而有關另一材料，氧化物半導體則引起注意。

有關氧化物半導體之材料，已知氧化鋅或包含氧化鋅做為成分之材料。此外，（專利文獻1至3）揭露使用具有低於 $10^{18}/\text{cm}^3$ 之電子載子濃度的非結晶金屬氧化物（氧化物半導體）形成之薄膜電晶體。

[參考]

[專利文獻]

[專利文獻1]日本公開專利申請案No. 2006-165527

[專利文獻2]日本公開專利申請案No. 2006-165528

[專利文獻3]日本公開專利申請案No. 2006-165529

【發明內容】

然而，氧化物半導體中化學計量成分的差異於薄膜形成程序中增加。例如，氧化物半導體之導電性因缺氧或超氧而改變。此外，於薄膜形成期間進入氧化物半導體薄膜之氫，形成氧（O）-氫（H）鍵並做為電子供體，此係改變導電性之一因子。此外，由於O-H鍵為極性分子，其做為改變主動裝置（諸如使用氧化物半導體製造之薄膜電晶體）特性之因子。

當電子載子濃度低於 $10^{18}/\text{cm}^3$ 時，氧化物半導體本質上為n型，且專利文獻1至3中揭露薄膜電晶體之開啓/關閉比例僅為 10^3 。薄膜電晶體之開啓/關閉比例如此低的原因為高關閉狀態電流。

經形成包括具低開啓/關閉比例之薄膜電晶體的電路傾向於不穩定地操作。此外，若該等薄膜電晶體用於類比電路，便無法獲得足夠動態範圍。此外，高關閉狀態電流造成一個問題，其中對於弱信號之檢測敏感性無法增加。此外，高關閉狀態電流亦造成不必要之電流流動之問題，此增加了電力消耗。

鑑於上述問題，本發明之實施例的目標為減少包括使用氧化物半導體形成之薄膜電晶體的電路故障。

本發明之實施例的另一目標為增加包括使用氧化物半導體形成之薄膜電晶體的電路之動態範圍。

本發明之實施例的另一目標為增加包括使用氧化物半

導體形成之薄膜電晶體的電路之檢測信號的敏感性。

本發明之實施例的另一目標為減少包括使用氧化物半導體形成之薄膜電晶體的電路之電力消耗。

在本發明之實施例中，使用薄膜電晶體而形成類比電路，其中通道區係使用固有氧化物半導體或本質上固有半導體予以形成，並為具有較矽半導體更大能隙之氧化物半導體，其係藉由移除做為氧化物半導體中電子供體之雜質（氫、濕氣、氫化物、氫氧化物等）而予獲得。

具體地，使用薄膜電晶體而形成類比電路，其中通道區係使用氧化物半導體予以形成，其中氫或OH群組被移除，使得其中所包括之氫低於或等於 $5 \times 10^{19} / \text{cm}^3$ ，較佳地為低於或等於 $5 \times 10^{18} / \text{cm}^3$ ，進一步較佳地為低於或等於 $5 \times 10^{17} / \text{cm}^3$ ，藉此載子濃度成為 $5 \times 10^{14} / \text{cm}^3$ 或更低，較佳地為 $5 \times 10^{12} / \text{cm}^3$ 或更低。

形成供體之諸如氫的雜質被盡量減少，使得氧化物半導體之能隙為2 eV或更大，較佳地為2.5 eV或更大，且進一步較佳地為3 eV或更大，藉此載子濃度被設定為 $1 \times 10^{14} / \text{cm}^3$ 或更低，較佳地為 $1 \times 10^{12} / \text{cm}^3$ 或更低。

藉由將純化氧化物半導體用於薄膜電晶體之通道區，當通道寬度為10 mm時，若汲極電壓為1 V及10 V，在閘極電壓為-5 V至-20 V之範圍內，可體現 1×10^{-13} A或更低之汲極電流。

本發明之實施例為類比電路，其包括：參考電晶體、鏡像電晶體及檢測器。參考電晶體電性連接檢測器。參考

電晶體之汲極及閘極彼此電性連接。參考電晶體之閘極電性連接鏡像電晶體之閘極。參考電晶體及鏡像電晶體包括通道區，其係使用具有 5×10^{19} 原子/cm³ 或更低之氫濃度的氧化物半導體予以形成。

本發明之另一實施例為類比電路，其包括：具有電性連接高電源電位（亦稱為高電位側電源）之第一端子的第一薄膜電晶體；具有電性連接高電源電位之第一端子的第二薄膜電晶體；及高電源電位與第一薄膜電晶體之第一端子之間的檢測器。第一薄膜電晶體之閘極電性連接檢測器與第一薄膜電晶體之第一端子之間之點。第二薄膜電晶體之閘極電性連接第一薄膜電晶體之閘極。第一薄膜電晶體之第二端子及第二薄膜電晶體之第二端子電性連接低電源電位（亦稱為低電位側電源）。第一薄膜電晶體及第二薄膜電晶體包括通道區，其係使用具有 5×10^{19} 原子/cm³ 或更低之氫濃度的氧化物半導體予以形成。

在本說明書中，濃度係藉由二次離子質譜（以下亦稱為 SIMS）予以測量。然而，當進行另一測量方法特別說明時，測量方法不侷限於 SIMS。

本發明之另一實施例為包括任一上述類比電路之半導體裝置。

基於本發明之實施例，類比電路係使用其中使用純化氧化物半導體之薄膜電晶體予以形成，藉此可獲得具有檢測信號高敏感性及寬動態範圍之半導體裝置。

藉由使用其中使用高度純化氧化物半導體之薄膜電晶

體，可獲得穩定操作及具有低電力消耗之半導體裝置。

【實施方式】

將參照圖式說明本發明之實施例。然而，本發明不侷限於下列說明，且熟悉本技藝之人士將輕易理解，在不偏離本發明之精神及範圍下，於模式及細節可進行各式改變及修改。因此，本發明不應解釋為侷限於下列實施例之說明。

請注意，若使用不同極性之電晶體或若電路操作中電流流動方向改變，源極與汲極之功能可以切換。因此，「源極」及「汲極」用詞於本說明書中可分別用於標示汲極及源極。

請注意，由於電晶體之源極端子及汲極端子隨電晶體之結構、操作狀況等而切換，難以定義何者為源極端子或汲極端子。因此，在本說明書中為予區分，源極端子及汲極端子之一稱為第一端子，另一則稱為第二端子。

請注意，實施例之圖式等中所描繪之每一結構的尺寸、層之厚度或區域，有時為求簡化而予以誇張。因此，本發明之實施例不侷限於該比例尺。此外，在本說明書中，諸如「第一」、「第二」及「第三」之序數係用以避免元件混淆，且該些用詞並非侷限元件之編號。

（實施例1）

本說明書中所揭露之使用純化氧化物半導體之薄膜電

晶體可應用於類比電路。有關類比電路之典型範例，可提供例如電流鏡像電路。若使用電流鏡像電路做為電流放大器電路，可提升電流放大器電路之動態範圍，特別是可改進對於小電流之敏感性。

在本實施例中，將參照圖1說明光檢測器，做為應用薄膜電晶體之範例，其中純化氧化物半導體用於電流鏡像電路。

圖1中所描繪之光檢測器1300包括檢測器1301、放大器電路1302、供應高電源電位VDD之電源端子1311、供應低電源電位VSS之電源端子1312、及保護電路1320。在光檢測器1300中，電源端子1312之電位可為接地電位GND。

保護電路1320包括二極體1321。二極體1321係提供於電源端子1311與電源端子1312之間，二極體1321之陰極電性連接電源端子1311，及二極體1321之陽極電性連接電源端子1312。若因為靜電放電（ESD）等，過電壓（浪湧）應用於電源端子1311及/或the電源端子1312，電源端子1311及電源端子1312將被二極體1321短路，使得以避免過電壓應用於放大器電路1302及檢測器1301。

有關二極體1321，可使用閘極端子與汲極端子彼此連接且具有類似於二極體特性之薄膜電晶體。本說明書中所揭露之使用純化氧化物半導體之薄膜電晶體，具有極小關閉電流值之特性。藉由利用本說明書中所揭露之使用純化氧化物半導體之薄膜電晶體而形成二極體，當應用反向偏壓時，二極體之洩漏電流極小。使用該等薄膜電晶體形成

之複數二極體，可串聯或並聯。

將所接收之光轉換為電信號之光電轉換元件被用做檢測器 1301。有關光電轉換元件，可使用光二極體、光電晶體等。放大器電路 1302 為一種電路，用於放大檢測器 1301 之輸出電流。此處，使用電流鏡像電路形成放大器電路 1302。電流鏡像電路包括一電晶體 1305，及彼此並聯之複數電晶體 1306。使用純化氧化物半導體之薄膜電晶體被用做電晶體 1305 及 1306。

電晶體 1305 為參考電晶體，用於檢測檢測器 1301 之輸出電流，及電晶體 1306 為鏡像電晶體，依據電晶體 1305 檢測之電流而操作。

電源端子 1311 與電源端子 1312 之間流動的電流可藉由電晶體 1306 之數量而予調整。例如，若電晶體 1305 與電晶體 1306 係使用具有相同電流-電壓特性之電晶體予以形成，為放大於電源端子 1311 與電源端子 1312 之間流動之電流達檢測器 1301 之輸出電流的 100 倍，可針對一電晶體 1305 並聯九十九個電晶體 1306。基此結構，使用電流鏡像電路形成之放大器電路 1302 可成為具有放大倍數 100 之放大器電路，使得檢測器 1301 之輸出電流可放大 100 倍並可檢測。

除了通道寬度較電晶體 1305 之通道寬度長以外，電晶體 1306 可具有與電晶體 1305 相同結構，且上述放大器電路 1302 可使用具有該等結構之電晶體 1305 及電晶體 1306 形成。例如，若使用二十個電晶體 1306 針對一電晶體 1305 並聯

，各具有較電晶體 1305 之通道寬度長 4.95 倍之通道寬度，那麼放大器電路 1302 之放大倍數可為 100。

此外，若除了通道寬度為電晶體 1305 之通道寬度的 99 倍以外，電晶體 1306 具有與電晶體 1305 相同結構，且針對一電晶體 1305 而連接一電晶體 1306，亦可形成具有放大倍數 100 之放大器電路 1302。此結構具有簡單電路結構之優點，但當電晶體 1306 之功能損害時，增加了顯著損害放大器電路 1302 之整體功能的可能性。

因此，針對冗餘度增加，較佳的是放大器電路 1302 具有一種結構，其中複數電晶體 1306 並聯。基此複數電晶體 1306 並聯之結構，若複數電晶體 1306 之一部分功能損害，可抑制對於放大器電路 1302 之影響，因而可獲得可穩定操作之高度可靠放大器電路 1302。例如，若十個電晶體 1306 並聯，若電晶體 1306 的其中之一功能損害，所產生之影響估計為十分之一。

此外，當複數電晶體 1306 並聯時，可降低電晶體 1306 之特徵改變，且放大器電路 1302 可具高可靠性而穩定操作。

當電晶體 1306 並聯的數量為二或更多時，較佳地為五或更多，放大器電路 1302 可具有高可靠性。因而可製造使用高度可靠電流鏡像電路之光檢測器。

若用於放大器電路 1302 中之薄膜電晶體具有高關閉狀態電流，信號雜訊比於檢測少量光時變低。即，關閉狀態電流相對於檢測器 1301 之輸出電流成為不可忽視之量，使

得無法準確獲得檢測器 1301 之輸出電流。

在使用非結晶矽或多晶矽之習知薄膜電晶體中，藉由降低通道寬度或增加通道長度，可使關閉狀態電流小至某程度；然而，此時開啓電流的減少是一個問題。因而，其難以平衡少量光之檢測及大量光之檢測，及獲得寬動態範圍。

在本說明書中所揭露之使用純化氧化物半導體之薄膜電晶體中，若通道寬度增加，關閉狀態電流可遠小於習知薄膜電晶體中。因此，可製造具有針對少量電流之有利敏感性及寬動態範圍之電流鏡像電路。換言之，可製造具有寬動態範圍之光檢測器。

在本實施例中已說明光電轉換元件用做檢測器 1301 之光檢測器，任何其他檢測器可用做檢測器 1301。例如，溫度感測器可用做檢測器 1301，以形成溫度檢測裝置。另一方面，音頻感應器可用做檢測器 1301，使得不僅可形成音頻檢測裝置，亦可形成音頻放大器。

使用本說明書中所揭露之使用純化氧化物半導體之薄膜電晶體的電流鏡像電路，不侷限於本實施例中所說明之光檢測器，而是可應用於其他半導體裝置。

（實施例 2）

在本實施例中，將說明實施例 1 中所說明之光檢測器 1300 的堆疊結構範例。本實施例將說明光二極體用做檢測器 1301 之範例。圖 2 為截面圖，描繪光檢測器 1300 之一部

分。

圖 2 為 截 面 圖，描 繪 光 感 測 器 中 檢 測 器 1301 及 電 晶 體 1305。於 基 板 601 之 上 提 供 做 為 感 應 器 之 檢 測 器 1301 及 電 晶 體 1305。基 板 613 係 提 供 於 檢 測 器 1301 與 電 晶 體 1305 之 上，且 黏 接 層 608 插 於 其 間。

用 做 基 板 601 之 基 板 需 具 有 透 光 屬 性，亦 具 有 耐 熱 性 以 支 撐 製 造 程 序 中 熱 處 理。例 如，可 使 用 以 鋁 矽 酸 鹽 玻 璃、鋇 硼 矽 酸 鹽 玻 璃、鋁 硼 矽 酸 鹽 玻 璃 等 製 成 之 玻 璃 基 板。另 一 方 面，可 酌 情 使 用 塑 料 基 板 等。

於 電 晶 體 1305 之 上 提 供 絕 緣 層 631、保 護 絕 緣 層 632、層 際 絕 緣 層 633、及 層 際 絕 緣 層 634。檢 測 器 1301 係 提 供 於 層 際 絕 緣 層 633 之 上，並 具 有 一 種 結 構，其 中 第 一 半 導 體 層 606a、第 二 半 導 體 層 606b、及 第 三 半 導 體 層 606c 係 從 層 際 絕 緣 層 633 側 堆 疊。第 一 半 導 體 層 606a 電 性 連 接 提 供 於 層 際 絕 緣 層 633 上 之 電 極 層 641，及 第 三 半 導 體 層 606c 電 性 連 接 提 供 於 層 際 絕 緣 層 634 上 之 電 極 層 642。

電 極 層 641 電 性 連 接 形 成 於 層 際 絕 緣 層 634 中 之 導 電 層 643，及 電 極 層 642 經 由 電 極 層 644 電 性 連 接 閘 極 電 極 層 645。閘 極 電 極 層 645 電 性 連 接 電 晶 體 1305 之 閘 極 電 極 層。即，檢 測 器 1301 電 性 連 接 電 晶 體 1305。

此 處，描 繪 針 狀 光 二 極 體 做 為 範 例，其 中 做 為 第 一 半 導 體 層 606a 之 具 有 p 型 導 電 性 之 半 導 體 層、做 為 第 二 半 導 體 層 606b 之 高 電 阻 半 導 體 層（I 型 半 導 體 層）、及 做 為 第 三 半 導 體 層 606c 之 具 有 n 型 導 電 性 之 半 導 體 層 堆 疊。

第一半導體層 606a 為 p 型半導體層並可使用包含傳遞 p 型導電性之雜質元素的非結晶矽膜予以形成。第一半導體層 606a 係藉由電漿 CVD 法，利用包含屬於 13 族（諸如硼（B））之雜質元素的半導體來源氣體予以形成。有關半導體來源氣體可使用矽烷（ SiH_4 ）。另一方面，可使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。再另一方面，可形成未包含雜質元素之非結晶矽膜，且接著可利用擴散法、離子摻雜法或離子注入法將雜質元素導入非結晶矽膜。於藉由離子注入法等導入雜質元素之後，可實施加熱等，以便擴散雜質元素。在此狀況下，有關形成非結晶矽膜之方法，可使用 LPCVD 法、蒸汽沈積法、濺鍍法等。第一半導體層 606a 較佳地經形成而具有大於或等於 10 nm 及小於或等於 50 nm 之厚度。

第二半導體層 606b 為 I 型半導體層（固有半導體層），係使用非結晶矽膜予以形成。有關第二半導體層 606b 之形成，係藉由電漿 CVD 法及利用半導體來源氣體而形成非結晶矽膜。有關半導體來源氣體，可使用矽烷（ SiH_4 ）。另一方面，可使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。第二半導體層 606b 可藉由 LPCVD 法、蒸汽沈積法、濺鍍法等而替代地形成。第二半導體層 606b 較佳地經形成而具有大於或等於 200 nm 及小於或等於 1000 nm 之厚度。理想上，固有半導體層係指不包含雜質且費米能級本質上位於禁制帶中央之半導體層；然而，第二半導體層 606b 可使用其內添加做為供體（例如磷（P）等）之雜質或做為受

體（例如硼（B）等）之雜質，以便費米能級本質上位於禁制帶中央的半導體而予形成。

第三半導體層 606c 為 n 型半導體層並可使用包含傳遞 n 型導電性之雜質元素的非結晶矽膜予以形成。第三半導體層 606c 係藉由電漿 CVD 法，利用包含屬於 15 族（諸如磷（P））之雜質元素的半導體來源氣體予以形成。有關半導體來源氣體可使用矽烷（ SiH_4 ）。另一方面，可使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。再另一方面，可形成未包含雜質元素之非結晶矽膜，且接著可利用擴散法、離子摻雜法或離子注入法將雜質元素導入非結晶矽膜。於藉由離子注入法等導入雜質元素之後，可實施加熱等，以便擴散雜質元素。在此狀況下，有關形成非結晶矽膜之方法，可使用 LPCVD 法、蒸汽沈積法、濺鍍法等。第三半導體層 606c 較佳地經形成而具有大於或等於 20 nm 及小於或等於 200 nm 之厚度。

第一半導體層 606a、第二半導體層 606b 及第三半導體層 606c 不必然使用非結晶半導體形成，其可使用多晶半導體、微晶半導體或半結晶半導體（SAS）而予形成。

考量吉布斯自由能，微晶半導體處於亞穩狀態，其係在非結晶狀態與單晶狀態中間。即，微晶半導體處於在自由能方面為穩定之第三狀態，並具有短程有序及晶格畸變。柱狀或針狀結晶於基板表面之法線方向生長。微晶矽之拉曼光譜為微晶半導體之典型範例，偏移至較代表單晶矽之 520 cm^{-1} 為低之波數側。換言之，微晶矽之拉曼光譜具

有代表單晶矽之 520 cm^{-1} 與代表非結晶矽之 480 cm^{-1} 之間的峰值。此外，微晶半導體膜包含 1 原子 % 或更多之氫或鹵素以終止懸鍵。微晶半導體膜進一步包含稀有氣體元素，諸如氦、氬、氖或氙，以進一步促進晶格畸變，藉此可獲得具改進之穩定性的有利微晶半導體膜。

可藉由高頻電漿 CVD 法，以數十兆赫至數百兆赫之頻率，或以具 1 GHz 或更高頻率之微波電漿 CVD 設備，而形成微晶半導體膜。典型地，可使用矽烷，諸如 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 或 SiHCl_3 ，或以氫稀釋之鹵化矽，諸如 SiCl_4 或 SiF_4 ，而形成微晶半導體膜。此外，可以包含矽烷之氣體及藉由一或多種選自氫、氬、氖及氙之稀有氣體元素來稀釋之氫，而形成微晶半導體膜。

在矽烷之稀釋中，氫相對於矽烷之流量比設定為 5:1 至 200:1，較佳地為 50:1 至 150:1，更佳地為 100:1。此外，諸如 CH_4 或 C_2H_6 之碳化合物氣體，諸如 GeH_4 或 GeF_4 、 F_2 之鍺氣體等可混入包含矽之氣體。

此外，由於藉由光電效果產生之電洞的移動性低於電子，當 p 型半導體層側之表面用做光接收平面時，針狀光二極體具有較佳特性。此處，將說明一範例，其中檢測器 1301 從其上形成針狀光二極體之基板 601 的表面接收之光 622，被轉換為電信號。此外，來自具有導電性類型與光接收平面之半導體層導電性類型相反之半導體層的光為騷動光；因此，較佳地使用阻光導電膜形成電極層。請注意，n 型半導體層側之表面可替代地用做光接收平面。

有關基板 613，可使用類似於基板 601 之基板。由於基板 613 位於光接收平面對面，諸如鋁、不銹鋼等金屬基板之阻光基板，或矽半導體基板等，可用做基板 613。

絕緣層 631、保護絕緣層 632、層際絕緣層 633 及層際絕緣層 634 之形成，可使用絕緣材料，取決於材料而藉由濺鍍法、針狀塗層法、浸漬法、旋塗層、滴液釋放法（例如噴墨法、網印或膠印）、滾筒塗層、簾式塗層、刮刀塗層等。

有關絕緣層 631，可使用單層或堆疊層之氧化物絕緣層，諸如氧化矽層、氮化矽層、氧化鋁層、氮化鋁層等。

有關保護絕緣層 632 之無機絕緣材料，可使用單層或堆疊層之氮化物絕緣層，諸如氮化矽層、氮氧化矽層、氮化鋁層、氮氧化鋁層等。由於可形成具有高支撐電壓之密集及高品質絕緣層，較佳地使用利用微波（2.45 GHz）之高密度電漿 CVD。

為減少表面粗糙，做為平面化絕緣膜之絕緣膜較佳地用做層際絕緣層 633 及 634。可使用具有耐熱性之有機材料形成層際絕緣層 633 及 634，諸如丙烯酸樹脂、聚醯亞胺、苯並環丁烯樹脂、聚醯胺、或環氧樹脂。有關該等有機材料之替代品，可使用單層或堆疊層之低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、摻雜硼磷的矽玻璃（BPSG）等。

藉由檢測器 1301 檢測入射光，可讀取目標上資訊。請

注意，可於讀取目標上資訊時使用諸如背光之光源。

說明做為上述實施例之範例的電晶體，可用做電晶體 1305。包括藉由有意排除來自氧化物半導體層之雜質，諸如氫、濕氣、羥基或氫化物（亦稱為氫化合物），而純化之氧化物層的電晶體具有抑制變化之電氣特性且電氣穩定。因此，可提供具高可靠性之半導體裝置。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

（實施例 3）

在本實施例中，將說明實施例 1 中所說明之類比電路中所包括之薄膜電晶體的範例。

將參照圖 3A 及 3B 及圖 4A 至 4E 說明本實施例之薄膜電晶體及其製造方法之實施例。

圖 3A 及 3B 中描繪薄膜電晶體之頂面結構及截面結構之範例。圖 3A 及 3B 中所描繪之薄膜電晶體 410 為具有頂閘結構之薄膜電晶體。

圖 3A 為具有頂閘結構之薄膜電晶體 410 之俯視圖，圖 3B 為沿圖 3A 中線 C1-C2 之截面結構。

薄膜電晶體 410 於具有絕緣表面之基板 400 上包括絕緣層 407、氧化物半導體層 412、源極或汲極電極層 415a、源極或汲極電極層 415b、閘極絕緣層 402、及閘極電極層 411。佈線層 414a 及佈線層 414b 經提供而分別接觸並電性連接源極或汲極電極層 415a 及源極或汲極電極層 415b。

儘管薄膜電晶體 410 說明為單閘極薄膜電晶體，當需要時可形成為包括複數通道區之多閘極薄膜電晶體。

以下將參照圖 4A 至 4E 說明基板 400 上薄膜電晶體 410 之製造程序。

儘管對於可用做具有絕緣表面之基板 400 的基板無特別限制，但基板需具有至少足夠高之耐熱性以支撐之後執行之熱處理。有關具有絕緣表面之基板 400，可使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等形成之玻璃基板。

若使用玻璃基板，且之後執行之熱處理的溫度高，較佳地使用應變點高於或等於 730 °C 之玻璃基板。有關玻璃基板，使用例如玻璃材料之基板，諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃。請注意，藉由包含較氧化硼 (B_2O_3) 更大量之氧化鋇 (BaO)，可獲得更實用之耐熱玻璃基板。因此，較佳的是使用包含 B_2O_3 及 BaO ，使得 B_2O_3 之量較 BaO 更多之玻璃基板。

請注意，可使用絕緣體形成之基板，諸如陶瓷基板、石英基板或藍寶石基板，取代上述玻璃基板。另一方面，可使用結晶玻璃基板等。再另一方面，可酌情使用塑料基板等。

做為基膜之絕緣層 407 形成於具有絕緣表面之基板 400 上。較佳的是使用諸如氧化矽層、氧氮化矽層、氧化鋁層、或氧氮化鋁層之氧化物絕緣層，形成接觸氧化物半導體層 412 之絕緣層 407。

有關絕緣層 407 之形成法，可使用電漿 CVD 法、濺鍍

法等。為避免絕緣層 407 包含大量氫，較佳的是藉由濺鍍法來形成絕緣層 407。

在本實施例中，藉由濺鍍法形成氧化矽層做為絕緣層 407。以下列方式於基板 400 上形成氧化矽層，做為絕緣層 407：基板 400 被轉移至處理室中，其中移除氫及濕氣並包含高純度氧之濺鍍氣體被導入，並使用矽半導體靶材。此外，基板 400 可保持在室溫或可加熱。

例如，藉由 RF 濺鍍法，以如下狀況形成氧化矽膜：使用石英（較佳地為人造石英），基板溫度為 108 °C，靶材與基板之間距離（T-S 距離）為 60 mm，壓力為 0.4 Pa，高頻電力為 1.5 kW，及使用氧及氫之氣體（25 sccm 流率之氧相對於 25 sccm 流率之氫之流量比 = 1 : 1）。厚度為 100 nm。可使用矽靶材用做形成氧化矽膜之靶材，取代石英（較佳地為人造石英）。氧或氧及氫之混合氣體用做濺鍍氣體。

在此狀況下，較佳的是於絕緣層 407 之膜形成時移除處理室內剩餘濕氣，以避免絕緣層 407 中包含氫、羥基或濕氣。

為從處理室移除剩餘濕氣，較佳地使用吸附型真空泵。例如較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡之室，耗盡例如氫原子、諸如水（H₂O）之包括氫原子之化合物等。因此，可減少於膜形成室中形成之絕緣層 407 中所包括之雜質濃度。

有關於絕緣層 407 形成中使用之濺鍍氣體，較佳地使用高純度氣體中諸如氫、水、羥基或氫化物之雜質被減少至約 ppm 位準或 ppb 位準。

濺鍍法之範例包括其中高頻電源用做濺鍍電源之 RF 濺鍍法、其中使用直流電源之 DC 濺鍍法、及其中以脈衝方式施予偏壓之脈衝 DC 濺鍍法。RF 濺鍍法主要用於形成絕緣膜之狀況，及 DC 濺鍍法主要用於形成金屬膜之狀況。

此外，亦存在多來源濺鍍設備，其中可設定不同材料之複數靶材。基於多來源濺鍍設備，不同材料之膜可於相同室中堆疊沈積，且複數類材料之膜可於相同室中經由同時放電而沈積。

此外，亦存在提供於腔室內部具磁性系統並用於磁控管濺鍍法之濺鍍設備，及用於 ECR 濺鍍法之濺鍍設備，其中使用利用微波產生之電漿而未使用輝光放電。

此外，有關使用濺鍍法之膜形成法，亦存在反應濺鍍法，其中靶材物質及濺鍍氣體成分於膜形成期間彼此化學反應，以形成其薄複合膜，及偏壓濺鍍法，其中電壓亦於膜形成期間應用於基板。

絕緣層 407 可具有堆疊結構，及例如可使用一種堆疊結構，其中氮化物絕緣層，諸如氮化矽層、氮氧化矽層、氮化鋁層或氮氧化鋁層，及上述氧化物絕緣層以此順序堆疊於基板 400 之上。

例如，藉由導入氫及濕氣移除並包含高純度氮之濺鍍氣體，及使用矽靶材而於氧化矽層與基板 400 之間形成氮

化矽層。亦在此狀況下，較佳的是如同氧化矽層之狀況，形成氮化矽層同時從處理室移除剩餘濕氣。

亦在氮化矽層形成之狀況，基板可於膜形成時加熱。

若堆疊氮化矽層及氧化矽層做為絕緣層407，氮化矽層及氧化矽層可使用共同矽靶材而於相同處理室中形成。首先導入包含氮之濺鍍氣體，且用於形成氮化矽層之矽靶材置於處理室內部，接著濺鍍氣體被切換為包含氧之濺鍍氣體，並使用相同矽靶材而形成氧化矽層。由於氮化矽層及氧化矽層可連續形成而未暴露於空氣，可避免諸如氫或濕氣之雜質吸附於氮化矽層之表面。

接著，於絕緣層407上形成氧化物半導體膜，厚度為大於或等於2 nm及小於或等於200 nm。

為使氧化物半導體膜包含盡可能少量的氫、羥基及濕氣，較佳的是於濺鍍設備的預熱室中，藉由預熱其上形成絕緣層407之基板400，以排除及耗盡吸附於基板400之雜質，諸如氫或濕氣，做為膜形成之預處理。有關提供於預熱室中之耗盡單元，較佳地使用低溫泵。請注意，本預熱處理可予以省略。本預熱可以類似方式，於之後形成之閘極絕緣層402形成之前於基板400之上執行，或可於其上已形成源極或汲極電極層415a及源極或汲極電極層415b之基板400之上執行。

請注意，在藉由濺鍍法形成氧化物半導體膜之前，較佳地藉由反向濺鍍，其中導入氫氣並產生電漿，使得以移除絕緣層407表面之灰塵。反向濺鍍為一種方法，其中於

氬氣中以高頻電源將電壓應用於基板側，且未將電壓應用於靶材側，並於基板附近產生電漿，使得以修改基板表面。請注意，可使用氮氣、氬氣、氧氣等，取代氬氣。

藉由濺鍍法形成氧化物半導體膜。有關氧化物半導體膜，係使用下列任一項：In-Ga-Zn-O基氧化物半導體膜、In-Sn-Zn-O基氧化物半導體膜、In-Al-Zn-O基氧化物半導體膜、Sn-Ga-Zn-O基氧化物半導體膜、Al-Ga-Zn-O基氧化物半導體膜、Sn-Al-Zn-O基氧化物半導體膜、In-Sn-O基氧化物半導體膜、In-Zn-O基氧化物半導體膜、Sn-Zn-O基氧化物半導體膜、Al-Zn-O基氧化物半導體膜、In-Ga-O基氧化物半導體膜、In-O基氧化物半導體膜、Sn-O基氧化物半導體膜、及Zn-O基氧化物半導體膜。在本實施例中，使用In-Ga-Zn-O基氧化物半導體靶材並藉由濺鍍法而形成氧化物半導體膜。氧化物半導體膜可於稀有氣體（典型地為氬）、氧氣、或包括稀有氣體（典型地為氬）及氧之混合氣體中，藉由濺鍍法而予形成。若使用濺鍍法，可使用包括2重量%至10重量%（含）之氧化矽（ SiO_x （ $x>0$ ））之靶材來形成膜。將妨礙結晶之氧化矽（ SiO_x （ $x>0$ ））添加入氧化物半導體層，可抑制製造程序中氧化物半導體層形成之後執行熱處理時，氧化物半導體層的結晶。氧化物半導體層較佳地為非結晶狀態；然而，氧化物半導體層可為局部結晶。

氧化物半導體較佳地包括In，進一步較佳地包括In及Ga。為獲得I型（固有）氧化物半導體層，之後說明的脫

水或脫氫是有效的。

有關於氧化物半導體膜形成中使用之濺鍍氣體，較佳地使用高純度氣體中諸如氫、水、羥基或氫化物之雜質被減少至約 ppm 位準或 ppb 位準。

有關藉由濺鍍法形成氧化物半導體膜之靶材，可使用包含氧化鋅做為其主要成分之金屬氧化物靶材。有關金屬氧化物靶材之另一範例，可使用包括 In、Ga 及 Zn 之金屬氧化物靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 摩爾比、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ 原子比）。有關包括 In、Ga 及 Zn 之金屬氧化物靶材，亦可使用具有下列成分之任一靶材： $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 或 $1 : 1 : 2$ 原子比。金屬氧化物靶材之填充率為高於或等於 90 % 及低於或等於 100 %，較佳地為高於或等於 95 % 及低於或等於 99.9 %。使用具有高填充率之金屬氧化物靶材，使其可形成密集氧化物半導體膜。

氧化物半導體膜形成於基板 400 之上，以下列方式：基板保持於減壓狀態之處理室內，導入氫及濕氣移除之濺鍍氣體，同時移除處理室中剩餘濕氣，且金屬氧化物被用做靶材。為移除處理室中剩餘濕氣，較佳地使用吸附型真空泵。例如，較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡之室，耗盡例如氫原子、諸如水（ H_2O ）之包括氫原子之化合物（較佳地連同包括碳原子之化合物）等。因此，可減少於膜形成室中形成之氧化物半導體膜中所包括之雜質的濃度。當氧化物半導體膜形成時，基板可加熱。

有關膜形成狀況之範例，使用下列狀況：基板之溫度為室溫；基板與靶材之間之距離為 60 mm；壓力為 0.4 Pa；直流（DC）電力為 0.5 kW；及使用氧及氬之氣體（15 sccm 流率之氧及 30 sccm 流率之氬）。較佳的是因為可減少膜形成中產生之粉狀物質（亦稱為粒子或灰塵）並可使膜厚度均勻，而使用脈衝直流（DC）電源。氧化物半導體膜較佳地具有大於或等於 5 nm 及小於或等於 30 nm 之厚度。請注意，氧化物半導體膜之適當厚度隨材料而異；因此，依據材料而適當決定厚度。

其次，氧化物半導體膜於第一光刻步驟中經處理為島形氧化物半導體層 412（詳圖 4A）。此外，用於形成島形氧化物半導體層 412 之抗蝕罩可使用噴墨法而予形成。當藉由噴墨法而形成抗蝕罩時，不使用光罩；因而，可減少製造成本。

對氧化物半導體膜之蝕刻而言，可使用濕式蝕刻、乾式蝕刻、或其二者。

有關用於乾式蝕刻之蝕刻氣體，較佳地使用包含氯之氣體（氯基氣體，諸如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）或四氯化碳（ CCl_4 ））。

另一方面，可使用包含氟之氣體（氟基氣體，諸如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）或三氟甲烷（ CHF_3 ））；溴化氫（ HBr ）；氧（ O_2 ）；任一該些氣體附加諸如氦（ He ）或氬（ Ar ）之稀有氣體等。

有關乾式蝕刻法，可使用平行板 RIE（反應離子蝕刻

）法或 ICP（電感耦合電漿）蝕刻法。為將層蝕刻為所需形狀，便適當調整蝕刻狀況（應用於線圈狀電極之電量、應用於基板側電極之電量、基板側電極之溫度等）。

有關用於濕式蝕刻之蝕刻劑，可使用磷酸、乙酸及硝酸之混合溶液等。此外，亦可使用 ITO-07N（KANTO CHEMICAL CO., INC.製造）。

在濕式蝕刻之後，藉由清潔連同蝕刻掉之材料而移除蝕刻劑。包含移除材料之蝕刻劑的廢液可純化，且廢液中所包含之材料可再使用。當諸如氧化物半導體層中所包括之銦之材料，從蝕刻後廢液匯集及再使用，資源可有效地使用，並可降低成本。

依據材料而適當調整蝕刻狀況（諸如蝕刻劑、蝕刻時間或溫度），使得材料可蝕刻為所需形狀。

在本實施例中，藉由使用混合磷酸、乙酸及硝酸所獲得溶液做為蝕刻劑之濕式蝕刻法，氧化物半導體膜被處理為島形氧化物半導體層 412。

其次在本實施例中，於氧化物半導體層 412 上執行第一熱處理。第一熱處理之溫度為高於或等於 400 °C 及低於或等於 750 °C，較佳地為高於或等於 400 °C 及低於基板之應變點。此處，基板被置於一種熱處理設備之電熔爐中，並於氮氣中，在氧化物半導體層上以 450 °C 執行熱處理達 1 小時，接著氧化物半導體層未暴露於空氣，使得以避免水或氫進入氧化物半導體層；因而，獲得氧化物半導體層。氧化物半導體層 412 可經由第一熱處理而執行脫水或脫氫

熱處理設備不侷限於電熔爐，而是可為經提供而具一種裝置，藉由來自諸如電阻加熱元件等之加熱元件的熱傳導或熱輻射而加熱將處理之目標。例如，可使用 RTA（快速熱降火）設備，諸如 GRTA（氣體快速熱降火）設備或 LRTA（燈快速熱降火）設備。LRTA 設備為一種設備，藉由自諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射（電磁波）而加熱將處理之目標。GRTA 設備為用於使用高溫氣體而熱處理之設備。有關該氣體，係使用未藉由熱處理而與將處理之目標反應之惰性氣體，諸如氮，或諸如氬之稀有氣體。

例如，有關第一熱處理，可以下列方式執行 GRTA。基板被轉移進入加熱至 650 °C 至 700 °C 高溫之惰性氣體，加熱達若干分鐘，並轉移及取出加熱至高溫之惰性氣體。GRTA 可於短時間實施高溫熱處理。

請注意，在第一熱處理中，較佳的是氮或諸如氮、氖或氬之稀有氣體中未包含水、氫等。另一方面，較佳的是被導入熱處理設備之氮或諸如氮、氖或氬之稀有氣體具有 6N（99.9999 %）或更高之純度，更佳地為 7N（99.99999 %）或更高（即，雜質之濃度被設定為 1 ppm 或更低，較佳地為 0.1 ppm 或更低）。

藉由以上述方式減少氧化物半導體中雜質，可獲得 I 型或本質上 I 型氧化物半導體（純化氧化物半導體）。具體地，移除氧化物半導體中氫或 OH 群組，使得氧化物半

導體中所包括之氫低於或等於 $5 \times 10^{19} / \text{cm}^3$ ，較佳地為低於或等於 $5 \times 10^{18} / \text{cm}^3$ ，進一步較佳地為低於或等於 $5 \times 10^{17} / \text{cm}^3$ ，藉此載子濃度成為 $5 \times 10^{14} / \text{cm}^3$ 或更低，較佳地為 $5 \times 10^{12} / \text{cm}^3$ 或更低。因而，可獲得 I 型或本質上 I 型氧化物半導體（純化氧化物半導體）。

此外，依據第一熱處理之狀況或氧化物半導體層之材料，氧化物半導體層可結晶為微晶膜或多晶膜。例如，氧化物半導體層可結晶為微晶氧化物半導體膜，具有 90 % 或更高之結晶程度，或 80 % 或更高。依據第一熱處理之狀況或氧化物半導體層之材料，氧化物半導體層可為不包含結晶成分之非結晶氧化物半導體層。氧化物半導體層可成為氧化物半導體層，其中微晶部（具大於或等於 1 nm 及小於或等於 20 nm 粒徑，典型為大於或等於 2 nm 及小於或等於 4 nm）被混入非結晶氧化物半導體。

第一熱處理可於被處理成島形氧化物半導體層 412 之前，於氧化物半導體膜上執行，而非在島形氧化物半導體層上。在此狀況下，基板於第一熱處理之後從加熱設備被取出，接著於其上執行光刻步驟。

具有脫水或脫氫氧化物半導體層效果之熱處理可於下列任一時機執行：在氧化物半導體層形成之後；在源極電極及汲極電極形成於氧化物半導體層上之後；及在閘極絕緣層形成於源極電極及汲極電極上之後。

其次，於絕緣層 407 及氧化物半導體層 412 之上形成導電膜。導電膜可藉由濺鍍法或真空蒸發法而予形成。有關

導電膜之材料可提供選自鋁（Al）、鉻（Cr）、銅（Cu）、鉭（Ta）、鈦（Ti）、鉬（Mo）及鎢（W）之元素、包含任一該些元素之合金、包含該些元素組合之合金膜等。另一方面，可使用一或多項選自錳（Mn）、鎂（Mg）、銮（Zr）、鈹（Be）及釷（Th）之材料。此外，金屬導電膜可具有單層結構或二或更多層之堆疊層結構。例如，可提供包括矽之鋁膜的單層結構，其中鈦膜堆疊於鋁膜之上的雙層結構，其中鈦膜、鋁膜及鈦膜以此順序堆疊的三層結構等。另一方面，可使用包含鋁（Al）及一或多項選自鈦、鉭、鎢、鉬、鉻、釷及釷之元素的膜、合金膜或氮化物膜。

藉由第二光刻步驟而於導電膜之上形成抗蝕罩。執行選擇性蝕刻，使得以形成源極或汲極電極層415a及源極或汲極電極層415b。接著移除抗蝕罩（詳圖4B）。較佳的是所形成之源極及汲極電極層之端部具有錐形形狀，以改進堆疊於上之閘極絕緣層的覆蓋。

在本實施例中，藉由濺鍍法形成具有150 nm厚度之鈦膜，做為用於形成源極或汲極電極層415a及源極或汲極電極層415b之導電膜。

請注意，適當調整每一材料及蝕刻狀況，使得藉由蝕刻導電膜時移除氧化物半導體層412，氧化物半導體層412下方之絕緣層407不會暴露。

在本實施例中，由於Ti膜用做導電膜，In-Ga-Zn-O基氧化物半導體用於氧化物半導體層412，及過氧化氫銨溶

液（氨、水及過氧化氫溶液之混合物）用做蝕刻劑。

請注意，在第二光刻步驟中，有時氧化物半導體層 412 可局部蝕刻，使得以形成具有槽（凹部）之氧化物半導體層。可藉由噴墨法而形成用於形成源極或汲極電極層 415a 及源極或汲極電極層 415b 之抗蝕罩。當藉由噴墨法而形成抗蝕罩時，不使用光罩；因而，可減少製造成本。

對於第二光刻步驟中形成抗蝕罩之曝光，使用紫外光、KrF 雷射光或 ArF 雷射光。之後將完成之薄膜電晶體的通道長度 L ，係藉由氧化物半導體層 412 上彼此相鄰的源極電極層之下端部與汲極電極層之下端部之間之距離而予決定。若通道長度 L 短於 25 nm，第二光刻步驟中執行抗蝕罩形成時之曝光，係使用具有若干奈米至數十奈米之極短波長的遠紫外光。使用遠紫外光之曝光，具有高解析度及大深度聚焦。因此，之後將完成之薄膜電晶體之通道長度 L ，可設定為大於或等於 10 nm 及小於或等於 1000 nm，藉此可提升電路之操作速度。此外，由於關閉狀態電流極低，可達成低電力消耗。

其次，於絕緣層 407、氧化物半導體層 412、源極或汲極電極層 415a、及源極或汲極電極層 415b 之上形成閘極絕緣層 402（詳圖 4C）。

閘極絕緣層 402 可藉由電漿 CVD 法、濺鍍法等，而形成具有氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層及氧化鋁層之單層結構或堆疊層結構。為避免閘極絕緣層 402 包含大量氫，較佳的是藉由濺鍍法形成閘極絕緣層 402

。若藉由濺鍍法形成氧化矽膜，可使用矽靶材或石英靶材做為靶材，且以氧或氧及氬之混合氣體做為濺鍍氣體。

閘極絕緣層 402 可具有一種結構，其中氧化矽層及氮化矽層以此順序堆疊於源極或汲極電極層 415a 及源極或汲極電極層 415b 之上。例如，可以下列方式形成具有 100 nm 厚度之閘極絕緣層 402，其中藉由濺鍍法形成具有 5 nm 至 300 nm（含）厚度之氧化矽層（ SiO_x （ $x>0$ ））做為第一閘極絕緣層，及接著於第一閘極絕緣層之上堆疊具有 50 nm 至 200 nm（含）厚度之氮化矽層（ SiN_y （ $y>0$ ））做為第二閘極絕緣層。在本實施例中，藉由 RF 濺鍍法以如下狀況形成具有 100-nm 厚度之氧化矽層：壓力為 0.4 Pa，高頻電力為 1.5 kW，及氣體為氧及氬（25 sccm 流率之氧相對於 25 sccm 流率之氬之流量比 = 1 : 1）。

其次，在第三光刻步驟中，形成抗蝕罩，並執行選擇性蝕刻，以移除部分閘極絕緣層 402，使得以形成分別抵達源極或汲極電極層 415a 及源極或汲極電極層 415b 之開口 421a 及 421b（詳圖 4D）。

接著，於閘極絕緣層 402 和開口 421a 及 421b 之上形成導電膜，並藉由第四光刻步驟而形成閘極電極層 411 及佈線層 414a 及 414b。請注意，可藉由噴墨法而形成抗蝕罩。當藉由噴墨法而形成抗蝕罩時，不使用光罩；因而，可降低製造成本。

閘極電極層 411 和佈線層 414a 及 414b 可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹或鈳之金屬材料，或包含任

一該些材料做為其主要成分之合金材料，經形成而具有單層或堆疊層結構。

例如，有關閘極電極層411和佈線層414a及414b之雙層結構，下列任一結構較佳：鋁層及堆疊於上之鉬層的雙層結構、銅層及堆疊於上之鉬層的雙層結構、銅層及堆疊於上之氮化鈦層或氮化鉬層的雙層結構、及氮化鈦層及鉬層的雙層結構。有關三層結構，鎢層或氮化鎢層、鋁及矽之合金或鋁及鈦之合金、及氮化鈦層或鈦層之堆疊較佳。請注意，閘極電極層可使用透光導電膜予以形成。有關透光導電膜，可提供透光導電氧化物等。

在本實施例中，藉由濺鍍法及使用具有150 nm厚度之鈦膜，而形成閘極電極層411和佈線層414a及414b。

其次，於惰性氣體或氧氣中執行第二熱處理（較佳地為200 °C至400 °C，例如250 °C至350 °C）。在本實施例中，於氮氣中以250 °C執行第二熱處理達1小時。可於保護絕緣層或平面化絕緣層形成於薄膜電晶體410之上後，執行第二熱處理。

此外，可於空氣中以100 °C至200°C（含）執行熱處理達1小時至30小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度從室溫上升至100 °C至200 °C之溫度，及接著降至室溫。本熱處理可在減壓下執行。在減壓下，熱處理時間可縮短。

經由上述程序，可形成包括其中氫、濕氣、氫化物或

氮氧化物之濃度減少之氧化物半導體層412的薄膜電晶體410（詳圖4E）。薄膜電晶體410可用做實施例1及2之類比電路中所包括之薄膜電晶體。

進行平面化之保護絕緣層或平面化絕緣層可提供於薄膜電晶體410之上。例如，可形成保護絕緣層而具有包括氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層及氧化鋁層之單層結構或堆疊層結構。

平面化絕緣層可使用耐熱性之有機材料予以形成，諸如聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂、聚醯胺或環氧樹脂。除了該等有機材料外，亦可使用低介電常數材料（低k材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、摻雜硼磷的矽玻璃（BPSG）等。請注意，平面化絕緣層可藉由堆疊使用該些材料形成之複數絕緣膜予以形成。

請注意，矽氧烷基樹脂相應於包括使用矽氧烷基材料做為啓動材料所形成Si-O-Si鍵之樹脂。矽氧烷基樹脂可包括有機基（例如烷基或芳基）或氟基，做為取代基。此外，有機基可包括氟基。

形成平面化絕緣層之方法並無特別限制。平面化絕緣層可依據材料，藉由下列方法而予形成，諸如濺鍍法、SOG法、針狀塗層法、浸漬法、旋塗法、噴塗法或液低釋放法（例如噴墨法、網印或膠印），或使用工具諸如刮膠刀、擠膠滾筒、簾式塗料器或刮刀塗佈機。

當氧化物半導體膜形成時，以上述方式移除反應氣體中剩餘濕氣；因而，可減少氧化物半導體膜中氫及氫化物

之濃度。因而，可使氧化物半導體膜穩定。

因雜質移除而成爲I型或成爲本質上I型（純化氧化物半導體）之氧化物半導體對於介面狀態密度或介面電荷極敏感；因此，具閘極絕緣膜之介面是重要的。因而，接觸純化氧化物半導體之閘極絕緣膜（GI）需要較高品質。

例如，由於可形成具有高支撐電壓之密集及高品質絕緣層，較佳地使用利用微波（2.45 GHz）之高密度電漿CVD。當純化氧化物半導體及高品質閘極絕緣膜彼此密切接觸時，可降低介面狀態密度，及可獲得有利介面特性。若可形成有利地做爲閘極絕緣膜之絕緣膜，可使用其他膜形成法，諸如濺鍍法及電漿CVD法。另一方面，可使用一種絕緣膜，其膜品質及與氧化物半導體之介面特性藉由於絕緣膜形成之後執行之熱處理而改進。無論如何，任一絕緣膜，具有與氧化物半導體之降低的介面狀態密度，可形成有利介面以及具有做爲閘極絕緣膜之有利膜品質，均可予以使用。

此外，當包含雜質之氧化物半導體歷經閘極偏壓-溫度壓力測試（BT測試），其中溫度爲85℃，應用於閘極之電壓爲 2×10^6 V/cm，達12小時，雜質與氧化物半導體主要成分之間的鍵，藉由高電場（B：偏壓）及高溫度（T：溫度）而分裂，且所產生之懸鍵導致閾值電壓（ V_{th} ）偏移。相反地，本發明藉由盡可能移除氧化物半導體雜質，特別是氫、水等，以獲得上述氧化物半導體與閘極絕緣膜之間介面的有利特性，而可獲得針對BT測試爲穩定之薄膜

電 晶 體 。

當上述薄膜電晶體用於實施例1中所說明之類比電路，類比電路便可具有穩定電氣特性及高可靠性。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

(實施例 4)

在本實施例中，將說明實施例1中所說明之類比電路中所包括之薄膜電晶體的範例。請注意，有關與實施例3中相同部分或具有類似於實施例3中功能之部分，及類似於實施例3中相同步驟，可參照實施例3，且其重複說明將省略。此外，相同部分之詳細說明不重複。

在本實施例中，將參照圖5A及5B及圖6A至6E說明薄膜電晶體之實施例及其製造方法。

圖5A及5B中描繪薄膜電晶體之頂面結構及截面結構範例。圖5A及5B中所描繪之薄膜電晶體460為具有頂閘結構之薄膜電晶體。

圖5A為具有頂閘結構之薄膜電晶體460之平面圖，及圖5B為沿圖5A中線D1-D2之截面結構。

薄膜電晶體460於具有絕緣表面之基板450上，包括絕緣層457、源極或汲極電極層465a1及465a2、氧化物半導體層462、源極或汲極電極層465b、佈線層468、閘極絕緣層452、及閘極電極層461（461a及461b）。源極或汲極電極層465a1及465a2經由佈線層468而電性連接至佈線層464

。此外，儘管未描繪，源極或汲極電極層465b經由提供於閘極絕緣層452中之開口亦電性連接至佈線層。

以下將參照圖6A至6E說明基板450上之薄膜電晶體460的製造程序。

首先，做為基膜之絕緣層457形成於具有絕緣表面之基板450上。

在本實施例中，藉由濺鍍法而形成氧化矽層做為絕緣層457。以下列方式於基板450之上形成氧化矽層做為絕緣層457：基板450被轉移至處理室，氬及濕氣移除並包含高純度氧之濺鍍氣體被導入，並使用矽靶材或石英（人造石英）。氧或氧及氬之混合氣體被用做濺鍍氣體。

例如，藉由RF濺鍍法，以如下狀況形成氧化矽層：使用具有6N純度之石英（較佳地為人造石英），基板溫度為108 °C，基板與靶材之間距離（T-S距離）為60 mm，壓力為0.4 Pa，高頻電力為1.5 kW，及使用氧及氬之氣體（25 sccm流率之氧相對於25 sccm流率之氬之流量比=1：1）。厚度為100 nm。可使用矽靶材用做形成氧化矽層之靶材，取代石英（較佳地為人造石英）。

在此狀況下，較佳的是於絕緣層457膜形成期間移除處理室中之剩餘濕氣，以避免絕緣層457包含羥基或濕氣。自利用低溫泵執行耗盡之室中，例如氬原子、諸如水（H₂O）之包括氬原子之化合物等被耗盡。因此，可減少膜形成室中所形成之絕緣層457中所包括之雜質的濃度。

有關用於絕緣層457形成之濺鍍氣體，較佳地使用高

純度氣體中，諸如氫、水、羥基或氫化物之雜質降至約 ppm 位準或 ppb 位準。

絕緣層 457 可具有堆疊結構；例如可具有堆疊結構，其中諸如氮化矽層、氮氧化矽層、氮化鋁層或氮氧化鋁層之氮化物絕緣層，及上述氧化物絕緣層以此順序堆疊於基板 450 之上。

例如，藉由導入氫及濕氣移除並包含高純度氮之濺鍍氣體，及使用矽靶材，而於氧化矽層與基板 450 之間空間形成氮化矽層。亦在此狀況下，以類似於氧化矽層之方式，形成氮化矽層，同時移除處理室中剩餘濕氣。

其次，於絕緣層 457 之上形成導電膜。藉由第一光刻步驟於導電膜之上形成抗蝕罩。執行選擇性蝕刻，使得以形成源極或汲極電極層 465a1 及 465a2。接著，移除抗蝕罩（詳圖 6A）。截面圖中所示被截斷之源極或汲極電極層 465a1 及 465a2 為連續膜。較佳的是所形成之源極及汲極電極層之端部具有錐形形狀，以其上堆疊之閘極絕緣層的覆蓋。

有關源極或汲極電極層 465a1 及 465a2 之材料，可提供選自 Al、Cr、Cu、Ta、Ti、Mo 及 W 之元素，包含任一上述元素做為成分之合金，包含該些元素組合之合金膜等。另一方面，可使用選自錳、鎂、鋅、鈹及鈦之一或多項材料。導電膜可具有單層結構或二或更多層之堆疊層結構。例如可提供包括矽之鋁膜的單層結構，鈦膜堆疊於鋁膜之上的雙層結構，鈦膜、鋁膜及鈦膜以此順序堆疊的三層結構

等。另一方面，可使用包含鋁及選自鈦、鉬、鎢、鉕、鉻、釹及鈳之一或複數項元素之膜、合金膜或氮化物膜。

在本實施例中，藉由濺鍍法使用具 150 nm 厚度之鈦膜，而形成源極或汲極電極層 465a1 及 465a2。

其次，於絕緣層 457 及源極或汲極電極層 465a1 及 465a2 之上，形成具大於或等於 2 nm 及小於或等於 200 nm 厚度之氧化物半導體膜。

接著，藉由第二光刻步驟氧化物半導體膜被處理為島形氧化物半導體層 462（詳圖 6B）。在本實施例中，使用 In-Ga-Zn-O 基氧化物半導體靶材並藉由濺鍍法而形成氧化物半導體膜。

氧化物半導體膜形成於基板 450 之上，以下列方式：基板保持於減壓狀態之處理室內，導入氬及濕氣移除之濺鍍氣體，同時移除處理室中剩餘濕氣，且金屬氧化物被用做靶材。為移除處理室中剩餘濕氣，較佳地使用吸附型真空泵。例如，較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡之室，耗盡例如氬原子、諸如水（ H_2O ）之包括氬原子之化合物（較佳地連同包括碳原子之化合物）等。因此，可減少於膜形成室中形成之氧化物半導體膜中所包括之雜質的濃度。當氧化物半導體膜形成時，基板可加熱。

有關於氧化物半導體膜形成中使用之濺鍍氣體，較佳地使用高純度氣體中諸如氬、水、羥基或氫化物之雜質被減少至約 ppm 位準或 ppb 位準。

有關膜形成狀況之範例，使用下列狀況：基板之溫度為室溫；基板與靶材之間之距離為 60 mm；壓力為 0.4 Pa；直流（DC）電力為 0.5 kW；及使用氧及氬之氣體（15 sccm 流率之氧及 30 sccm 流率之氬）。較佳的是因為可減少膜形成中產生之粉狀物質（亦稱為粒子或灰塵）並可使膜厚度均勻，而使用脈衝直流（DC）電源。氧化物半導體膜較佳地具有大於或等於 5 nm 及小於或等於 30 nm 之厚度。請注意，氧化物半導體膜之適當厚度隨材料而異；因此，依據材料而適當決定厚度。

在本實施例中，氧化物半導體膜藉由濕式蝕刻法，使用藉由混合磷酸、乙酸及硝酸而獲得之溶液做為蝕刻劑，而被處理成島形氧化物半導體層 462。

在本實施例中，於氧化物半導體層 462 上執行第一熱處理。第一熱處理之溫度為高於或等於 400 °C 及低於或等於 750 °C，較佳地為高於或等於 400 °C 及低於基板之應變點。此處，基板被導入一種熱處理設備之電熔爐中，並於氬氣中，在氧化物半導體層上以 450 °C 執行熱處理達 1 小時，接著氧化物半導體層未暴露於空氣，使得以避免水或氫進入氧化物半導體層；因而，獲得氧化物半導體層。氧化物半導體層 462 可經由第一熱處理而執行脫水或脫氫。

熱處理設備不侷限於電熔爐，而是可為經提供而具一種裝置，藉由來自諸如電阻加熱元件等之加熱元件的熱傳導或熱輻射而加熱將處理之目標。例如，可使用 RTA（快速熱降火）設備，諸如 GRTA（氣體快速熱降火）設備或

LRTA（燈快速熱降火）設備。例如，有關第一熱處理，可執行GRTA如下。基板被轉移進入加熱至 650°C 至 700°C 高溫之惰性氣體，加熱達若干分鐘，並轉移及取出加熱至高溫之惰性氣體。GRTA可於短時間實施高溫熱處理。

請注意，在第一熱處理中，較佳的是氮或諸如氮、氬或氫之稀有氣體中未包含水、氫等。另一方面，較佳的是被導入熱處理設備之氮或諸如氮、氬或氫之稀有氣體具有6N（99.9999 %）或更高之純度，更佳地為7N（99.99999 %）或更高（即，雜質之濃度被設定為1 ppm或更低，更較佳地為0.1 ppm或更低）。

此外，依據第一熱處理之狀況或氧化物半導體層之材料，氧化物半導體層可結晶為微晶膜或多晶膜。

第一熱處理可於被處理成島形氧化物半導體層之前，於氧化物半導體膜上執行，而非在島形氧化物半導體層上。在此狀況下，基板於第一熱處理之後從加熱設備被取出，接著於其上執行光刻步驟。

具有脫水或脫氫氧化物半導體層效果之熱處理可於下列任一時機執行：在氧化物半導體層形成之後；在源極電極及汲極電極形成於氧化物半導體層上之後；及在閘極絕緣層形成於源極電極及汲極電極上之後。

其次，於絕緣層457及氧化物半導體層462之上形成導電膜。藉由第三光刻步驟而於導電膜之上形成抗蝕罩。執行選擇性蝕刻，使得以形成源極或汲極電極層465b及佈線層468。接著，移除抗蝕罩（詳圖6C）。源極或汲極電極

層 465b 及 佈線層 468 可使用類似於源極或汲極電極層 465a1 及 465a2 之材料及程序，而予形成。

在本實施例中，藉由濺鍍法，使用具 150 nm 厚度之鈦膜，而形成源極或汲極電極層 465b 及 佈線層 468。由於本實施例中所說明之範例，其中源極或汲極電極層 465a1 及 465a2 和源極或汲極電極層 465b 均係使用鈦膜形成，源極或汲極電極層 465b 相對於源極或汲極電極層 465a1 及 465a2 之蝕刻選擇性不高。因此，佈線層 468 係提供於源極或汲極電極層 465a2 之一部分之上，其未被氧化物半導體層 462 覆蓋，以便源極或汲極電極層 465a1 及 465a2 不會於形成源極或汲極電極層 465b 之蝕刻時被蝕刻。若源極或汲極電極層 465a1 及 465a2 和源極或汲極電極層 465b 係使用蝕刻步驟中蝕刻選擇性高之不同材料形成，便不必要提供於蝕刻時保護源極或汲極電極層 465a2 之佈線層 468。

請注意，適當調整每一材料及蝕刻狀況，使得氧化物半導體層 462 不會被導電膜之蝕刻移除。

在本實施例中，Ti 膜被用做導電膜，In-Ga-Zn-O 基氧化物半導體被用做氧化物半導體層 462，及過氧化氫銨溶液（氫、水及過氧化氫溶液之混合物）被用做蝕刻劑。

請注意，在第三光刻步驟中，有時氧化物半導體層 462 可局部蝕刻，使得以形成具有槽（凹部）之氧化物半導體層。藉由噴墨法可形成用以形成源極或汲極電極層 465b 與佈線層 468 之抗蝕罩。當藉由噴墨法形成抗蝕罩時，不使用光罩；因而，可降低製造成本。

其次，於絕緣層 457、氧化物半導體層 462、源極或汲極電極層 465a1 及 465a2、及源極或汲極電極層 465b 之上，形成閘極絕緣層 452。

閘極絕緣層 452 可藉由電漿 CVD 法、濺鍍法等，形成具氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或氧化鋁層之單層結構或堆疊層結構。為避免閘極絕緣層 452 包含大量氫，較佳的是藉由濺鍍法形成閘極絕緣層 452。若藉由濺鍍法形成氧化矽膜，矽靶材或石英靶材被用做靶材，且以氧或氧及氫之混合氣體被用做濺鍍氣體。

閘極絕緣層 452 可具有一種結構，其中氧化矽層及氮化矽層從源極或汲極電極層 465a1 及 465a2 與源極或汲極電極層 465b 側堆疊。在本實施例中，藉由 RF 濺鍍法，以下列狀況形成具有 100-nm 厚度之氧化矽層：壓力為 0.4 Pa；高頻電力為 1.5 kW；及氧及氫氣體（25 sccm 流率之氧相對於 25 sccm 流率之氫之流量比 = 1：1）。

其次，在第四光刻步驟中，形成抗蝕罩，及執行選擇性蝕刻以移除部分閘極絕緣層 452，使得以形成抵達佈線層 468 之開口 423（詳圖 6D）。儘管未描繪，但可於形成開口 423 時，形成抵達源極或汲極電極層 465b 之開口。在本實施例中，在層際絕緣層進一步堆疊之後，形成抵達源極或汲極電極層 465b 之開口，且接著用於電性連接之佈線層於該開口中形成。

接著，導電膜於閘極絕緣層 452 及開口 423 之上形成，及藉由第五光刻步驟，形成閘極電極層 461（461a 及 461b

）及佈線層 464。請注意，可藉由噴墨法而形成抗蝕罩。當藉由噴墨法而形成抗蝕罩時，不使用光罩；因而，可降低製造成本。

閘極電極層 461（461a及461b）和佈線層 464可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳之金屬材料，或包含任一該些材料做為其主要成分之合金材料，而形成具有單層結構或堆疊結構。

在本實施例中，藉由濺鍍法及使用具有 150-nm 厚度之鈦膜，而形成閘極電極層 461（461a及461b）與佈線層 464。

其次，於惰性氣體或氧氣中執行第二熱處理（較佳地為 200 °C 至 400 °C，例如 250 °C 至 350 °C 之溫度）。在本實施例中，於氮氣中以 250 °C 執行第二熱處理達 1 小時。可於保護絕緣層或平面化絕緣層形成於薄膜電晶體 410 之上後，執行第二熱處理。

此外，可於空氣中以 100 °C 至 200°C（含）執行熱處理達 1 小時至 30 小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度可從室溫上升至 100 °C 至 200 °C 之溫度，及接著降至室溫。本熱處理可於減壓下執行。在減壓下，熱處理時間可縮短。

經由上述程序，可形成包括其中氫、濕氣、氫化物及氫氧化物之濃度減少之氧化物半導體層 462 的薄膜電晶體 460（詳圖 6E）。

進行平面化之保護絕緣層或平面化絕緣層可提供於薄膜電晶體460之上。儘管未描繪，抵達源極或汲極電極層465b之開口係形成於閘極絕緣層452及保護絕緣層或平面化絕緣層中，而電性連接至源極或汲極電極層465b之佈線層則係形成於該開口中。

當氧化物半導體膜形成時，以上述方式移除反應氣體中剩餘濕氣；因而，可減少氧化物半導體膜中氫及氫化物之濃度。因而，可使氧化物半導體膜穩定。

當上述薄膜電晶體用於實施例1中所說明之類比電路時，該類比電路可具有穩定電氣特性及高可靠性。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

（實施例5）

在本實施例中，將說明實施例1中所說明之類比電路中所包括之薄膜電晶體的範例。請注意，有關與其他實施例中相同部分及類似於其他實施例之部分及步驟，可參照其他實施例之說明，且其重複說明不重複。此外，省略相同部分之詳細說明。

將參照圖7A及7B說明本實施例之薄膜電晶體。

圖7A及7B描繪薄膜電晶體之截面結構範例。圖7A及7B中所描繪之薄膜電晶體425及426各為一種具有氧化物半導體層插於導電層與閘極電極層之間之結構的薄膜電晶體。

在圖 7A 及 7B 中，使用矽基板做為基板，且每一薄膜電晶體 425 及薄膜電晶體 426 係提供於設於矽基板 420 上之絕緣層 422 之上。

在圖 7A 中，導電層 427 係提供於設於矽基板 420 上之絕緣層 422 與絕緣層 407 之間，以便至少與整個氧化物半導體層 412 重疊。

請注意，圖 7B 描繪一範例，其中絕緣層 422 與絕緣層 407 之間之導電層係藉由蝕刻而被處理為導電層 424，並與至少包括氧化物半導體層 412 之通道區的部分重疊。

導電層 427 及導電層 424 各由可耐受之後執行之熱處理溫度之金屬材料而予形成；有關該等金屬材料，可使用選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）及釷（Sc）之元素，包含任一上述元素做為成分之合金，包含任一該些元素之組合的合金膜，包含任一上述元素做為其成分之氮化物等。此外，導電層 427 及 424 可各具有單層結構或堆疊結構。例如，可使用鎢層之單層結構，包括氮化鎢層及鎢層之堆疊結構等。

此外，導電層 427 及 424 之電位可與薄膜電晶體 425 及 426 之閘極電極層 411 的電位相同或不同。導電層 427 及 424 亦可做為第二閘極電極層。此外，導電層 427 及 424 之電位可為固定電位，諸如 GND 或 0 V，或為與其他無關之浮動狀態。

薄膜電晶體 425 及 426 之電氣特性可分別由導電層 427 及 424 控制。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

此處，參照能帶圖說明其中使用氧化物半導體之本發明之實施例的薄膜電晶體。

圖 22 為其中使用氧化物半導體之反向交錯薄膜電晶體的縱剖視圖。氧化物半導體層 (OS) 提供於閘極電極 (GE1) 之上，且閘極絕緣膜 (GI) 插於其間，及源極電極 (S) 及汲極電極 (D) 提供於其上。

圖 23A 及 23B 為沿圖 22 中所描繪之剖面 A-A' 之能帶圖 (示意圖)。圖 23A 描繪源極與汲極之間電壓為零之狀況 ($V_D = 0$ V，源極電位與汲極電位相同)，及圖 23B 描繪相對於源極之正電位應用於汲極之狀況 ($V_D > 0$)。

圖 24A 及 24B 為沿圖 22 中所描繪之剖面 B-B' 之能帶圖 (示意圖)。圖 24A 描繪開啓狀態，其中正電位 ($+V_G$) 應用於閘極 (G1)，且源極與汲極之間載子 (電子) 流動。圖 24B 描繪關閉狀態，其中負電位 ($-V_G$) 應用於閘極 (G1)，且少數載子未流動。

圖 25 顯示真空位準與金屬之功函數 (ϕ_M) 之間的關係，及真空位準與氧化物半導體之電子親和性 (χ) 之間的關係。

因為金屬退化，費米能級位於傳導帶中。另一方面，習知氧化物半導體典型為 n 型半導體，在此狀況下費米能級 (E_f) 遠離位於帶隙中間之固有費米能級 (E_i)，並較接近傳導帶。請注意，已知部分氫為氧化物半導體中供體

，並為造成氧化物半導體成為n型半導體之一因子。

另一方面，本發明之氧化物半導體為固有（I型）或實質上固有氧化物半導體，其係藉由從氧化物半導體移除n型雜質之氫而予獲得，並純化氧化物半導體，使得盡可能避免除氧化物半導體之主要成分外之雜質包含於其中。換言之，其特性為純化之I型（固有）半導體或接近之半導體，並非藉由添加雜質，而係藉由盡可能移除諸如氫或水之雜質，而予獲得。此使得費米能級（ E_f ）與固有費米能級（ E_i ）為相同位準。

若氧化物半導體之帶隙（ E_g ）為3.15 eV，電子親和性（ χ ）咸信為4.3 eV。源極電極及汲極電極中所包括之鈦（Ti）的功函數實質上等於氧化物半導體之電子親和性（ χ ）。在此狀況下，於金屬與氧化物半導體之間之介面未形成電子之蕭特基障壁。

換言之，若金屬之功函數（ ϕ_M ）與氧化物半導體之電子親和性（ χ ）彼此相等，且金屬與氧化物半導體彼此接觸，便獲得圖23A中所描繪之能帶圖（示意圖）。

在圖23B中，黑圈（•）代表電子，當正電位應用於汲極時，電子便跨越障壁（ h ）注入氧化物半導體，並朝向汲極流動。在此狀況下，障壁（ h ）之高度便隨閘極電壓及汲極電壓而改變；若應用正汲極電壓，障壁（ h ）之高度便小於圖23A中無電壓應用之障壁高度，即帶隙（ E_g ）之1/2。

在此狀況下，如圖24A中所示，電子沿氧化物半導體

之最低區域移動，此位於閘極絕緣膜與純化氧化物半導體之間介面，能量穩定。

此外，在圖24B中，當負電位（反向偏壓）應用於閘極電極（G1）時，因為少數載子之電洞實質上為零，所以電流之值極接近零。

例如，當薄膜電晶體具有 $1 \times 10^4 \mu\text{m}$ 之通道寬度W及 $3 \mu\text{m}$ 之通道長度時，關閉狀態電流為 10^{-13} A 或更低，且亞閾擺動（S值）為 0.1 V/dec （閘極絕緣膜之厚度： 100 nm ）。

如上述，氧化物半導體經純化，使得並非氧化物半導體主要成分之雜質量最少化，藉此可獲得薄膜電晶體之有利操作。

（實施例6）

在本實施例中，將說明實施例1中所說明之類比電路中所包括之薄膜電晶體的範例。

將參照圖8A至8E說明本實施例之薄膜電晶體及其製造方法之實施例。

圖8D中所描繪之薄膜電晶體310為具有底閘結構之薄膜電晶體，亦稱為反向交錯薄膜電晶體。

儘管使用單閘極薄膜電晶體說明薄膜電晶體310，但當需要時可形成包括複數通道形成區之多閘極薄膜電晶體。

以下將參照圖8A至8E說明基板300上之薄膜電晶體310

之製造程序。

首先，於具有絕緣表面之基板 300 上形成導電膜，並於其上執行第一光刻步驟，使得以形成閘極電極層 311。較佳的是所形成之閘極電極層的端部具有錐形形狀，以改進其上堆疊之閘極絕緣層的覆蓋。請注意，可藉由噴墨法而形成抗蝕罩。當藉由噴墨法而形成抗蝕罩時，不使用光罩；因而，可降低製造成本。

儘管對於可用做具有絕緣表面之基板 300 的基板無特別限制，但基板需具有至少足以支撐之後執行之熱處理的耐熱性。有關具有絕緣表面之基板 300，可使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等形成之玻璃基板。

若使用玻璃基板，且之後執行之熱處理的溫度高，較佳的是使用應變點大於或等於 730 °C 之玻璃基板。有關玻璃基板，例如使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃之玻璃材料的基板。請注意，藉由包含較氧化硼 (B_2O_3) 更大量之氧化鋇 (BaO)，可獲得更實用之耐熱玻璃基板。因此，較佳的是使用包含 BaO 及 B_2O_3 之玻璃基板，使得 BaO 的量較 B_2O_3 的量更多。

請注意，使用絕緣體形成之基板，諸如陶瓷基板、石英基板或藍寶石基板，可用以取代上述玻璃基板。另一方面，可使用結晶玻璃基板等。

此外，做為基膜之絕緣膜可提供於基板 300 與閘極電極層 311 之間。基膜具有避免雜質元素從基板 300 擴散之功能，並可使用選自氮化矽膜、氧化矽膜、氮氧化矽膜及氧

氮化矽膜之一或多項而形成爲具單層結構或堆疊結構。

可使用諸如鉬、鈦、鉻、鉕、鎢、鋁、銅、釹或銦之金屬材料，或包含任一該些材料做爲其主要成分之合金材料，而形成具單層結構或堆疊結構之閘極電極層 311。

例如，有關閘極電極層 311 之雙層結構，任一下列結構較佳：鋁層及堆疊於其上之鉬層的雙層結構、銅層及堆疊於其上之鉬層的雙層結構、銅層及堆疊於其上之氮化鈦層或氮化鉕層的雙層結構、氮化鈦層及鉬層的雙層結構、及氮化鎢層及鎢層的雙層結構。有關三層結構，鎢層或氮化鎢層、鋁及矽之合金或鋁及鈦之合金之層、及氮化鈦層或鈦層之堆疊較佳。請注意，亦可使用透光導電膜而形成閘極電極層。有關透光導電膜，可提供透光導電氧化物等。

其次，於閘極電極層 311 之上形成閘極絕緣層 302。

可藉由電漿 CVD 法、濺鍍法等，形成具有氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或氧化鋁層之單層結構或堆疊結構之閘極絕緣層 302。例如，可使用 SiH_4 、氧及氮做爲沈積氣體，並藉由電漿 CVD 法而形成氧氮化矽層。閘極絕緣層 302 之厚度爲大於或等於 100 nm 及小於或等於 500 nm；若閘極絕緣層 302 經形成而具有堆疊結構，例如，相堆疊之第一閘極絕緣層具大於或等於 50 nm 及小於或等於 200 nm 之厚度，及第二閘極絕緣層具大於或等於 5 nm 及小於或等於 300 nm 之厚度。

在本實施例中，藉由電漿 CVD 法形成具有 100 nm 或更

少之厚度的氮化矽層，做為閘極絕緣層 302。

接著，於閘極絕緣層 302 之上，形成具有大於或等於 2 nm 及小於或等於 200 nm 厚度之氧化物半導體膜 330。

有關氧化物半導體膜 330，使用下列任一項：In-Ga-Zn-O 基氧化物半導體膜、In-Sn-Zn-O 基氧化物半導體膜、In-Al-Zn-O 基氧化物半導體膜、Sn-Ga-Zn-O 基氧化物半導體膜、Al-Ga-Zn-O 基氧化物半導體膜、Sn-Al-Zn-O 基氧化物半導體膜、In-Sn-O 基氧化物半導體膜、In-Zn-O 基氧化物半導體膜、Sn-Zn-O 基氧化物半導體膜、Al-Zn-O 基氧化物半導體膜、In-Ga-O 基氧化物半導體膜、In-O 基氧化物半導體膜、Sn-O 基氧化物半導體膜、及 Zn-O 基氧化物半導體膜。在本實施例中，使用 In-Ga-Zn-O 基氧化物半導體靶材並藉由濺鍍法而形成氧化物半導體膜 330。圖 8A 中描繪此階段之截面圖。可藉由濺鍍法於稀有氣體（典型地為氬）、氧氣、或包括稀有氣體（典型地為氬）及氧之混合氣體中，形成氧化物半導體膜 330。若使用濺鍍法，可使用包括 2 重量 % 至 10 重量 %（含）之氧化矽（ SiO_x （ $x > 0$ ））之靶材而形成膜。

有關藉由濺鍍法形成氧化物半導體膜之靶材，可使用包含氧化鋅做為其主要成分之金屬氧化物靶材。有關金屬氧化物靶材之另一範例，可使用包括 In、Ga 及 Zn 之金屬氧化物靶材（ In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1 摩爾比、In：Ga：Zn=1：1：0.5 原子比）。有關包括 In、Ga 及 Zn 之金屬氧化物靶材，亦可使用具有下列成分之任一靶材：In：Ga：

$Zn=1:1:1$ 或 $1:1:2$ 原子比。金屬氧化物靶材之填充率為高於或等於 90 % 及低於或等於 100 %，較佳地為高於或等於 95 % 及低於或等於 99.9 %。使用具有高填充率之金屬氧化物靶材，使其可形成密集氧化物半導體膜。

有關用於氧化物半導體膜 330 形成之濺鍍氣體，較佳地使用高純度氣體中，諸如氫、水、羥基或氫化物之雜質降至約 ppm 位準或 ppb 位準。

基板保持在減壓狀態之處理室中，基板溫度設定為高於或等於 100 °C 及低於或等於 600 °C，較佳地為高於或等於 200 °C 及低於或等於 400 °C。藉由於膜沈積中加熱基板，可降低所形成之氧化物半導體膜中雜質濃度。此外，可抑制藉由濺鍍之損害。導入氫及濕氣移除之濺鍍氣體，同時移除處理室中剩餘濕氣，且金屬氧化物用做靶材。因而，氧化物半導體膜 330 形成於基板 300 之上。為從腔室移除剩餘濕氣，較佳地使用吸附型真空泵。例如，較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡之室，耗盡例如氫原子、諸如水 (H_2O) 之包括氫原子之化合物（較佳地連同包括碳原子之化合物）。因此，可減少膜形成室中所形成之氧化物半導體膜中所包括之雜質的濃度。

有關膜形成狀況之範例，使用下列狀況：基板與靶材之間之距離為 100 mm；壓力為 0.6 Pa；直流 (DC) 電力為 0.5 kW；及使用氧氣（氧流比例為 100 %）。較佳的是因為可減少膜形成中產生之粉狀物質（亦稱為粒子或灰塵）

並可使膜厚度均勻，而使用脈衝直流（DC）電源。氧化物半導體膜較佳地具有大於或等於2 nm及小於或等於200 nm之厚度，及更佳地具有大於或等於5 nm及小於或等於30 nm之厚度。請注意，氧化物半導體膜之適當厚度隨材料而異；因此，依據材料而適當決定厚度。

其次，氧化物半導體膜330於第二光刻步驟中經處理為島形氧化物半導體層。用於形成島形氧化物半導體層之抗蝕罩可使用噴墨法而予形成。當藉由噴墨法而形成抗蝕罩時，不使用光罩；因而，可減少製造成本。

其次，在本實施例中，於氧化物半導體層331上執行第一熱處理。氧化物半導體層可經由第一熱處理而執行脫水或脫氫。第一熱處理之溫度為高於或等於400 °C及低於或等於750 °C，較佳地為高於或等於400 °C及低於基板之應變點。此處，基板被導入為一種熱處理設備之電熔爐中，並於氧化物半導體層上，在氮氣中以450 °C執行熱處理達1小時，接著氧化物半導體層未暴露於空氣，使得以避免水及氫進入氧化物半導體層；因而，獲得氧化物半導體層331（詳圖8B）。

熱處理設備不侷限於電熔爐，而是可為經提供而具一種裝置，使用來自諸如電阻加熱元件之加熱元件的熱傳導或熱輻射而加熱處理目標。例如，可使用RTA（快速熱降火）設備，諸如GRTA（氣體快速熱降火）設備或LRTA（燈快速熱降火）設備。LRTA設備為一種設備，藉由自諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或

高壓水銀燈之燈所發射光的輻射（電磁波）而加熱處理目標。GRTA設備為用於使用高溫氣體而熱處理之設備。有關該氣體，係使用未藉由熱處理而與處理目標反應之惰性氣體，如氮，或諸如氬之稀有氣體。

例如，有關第一熱處理，可以下列方式執行GRTA。基板被轉移進入加熱至650 °C至700 °C高溫之惰性氣體，加熱達若干分鐘，並轉移及取出加熱至高溫之惰性氣體。GRTA可於短時間實施高溫熱處理。

請注意，在第一熱處理中，較佳的是氮或諸如氮、氬或氬之稀有氣體中未包含水、氫等。另一方面，較佳的是被導入熱處理設備之氮或諸如氮、氬或氬之稀有氣體具有6N（99.9999 %）或更高之純度，更佳地為7N（99.99999 %）或更高（即，雜質之濃度被設定為1 ppm或更低，更較佳地為0.1 ppm或更低）。

此外，依據第一熱處理之狀況或氧化物半導體層之材料，氧化物半導體層可結晶為微晶膜或多晶膜。例如，氧化物半導體層可結晶為微晶氧化物半導體層，其中結晶程度為90 %或更高，或80 %或更高。依據第一熱處理之狀況或氧化物半導體層之材料，氧化物半導體層可成為不包含結晶成分之非結晶氧化物半導體層。氧化物半導體層可成為氧化物半導體層，其中微晶部（具大於或等於1 nm及小於或等於20 nm粒徑，典型為大於或等於2 nm及小於或等於4 nm）被混入非結晶氧化物半導體。

第一熱處理可於被處理成島形氧化物半導體層之前，

於氧化物半導體膜 330 上執行，而非在島形氧化物半導體層上。在此狀況下，基板於第一熱處理之後從加熱設備被取出，接著於其上執行光刻步驟。

具有脫水或脫氫氧化物半導體層效果之熱處理可於下列任一時機執行：在氧化物半導體層形成之後；在源極電極及汲極電極形成於氧化物半導體層上之後；及在保護絕緣膜形成於源極電極及汲極電極上之後。

此外，若接觸孔形成於閘極絕緣層 302 中，接觸孔之形成可在氧化物半導體膜 330 之脫水或脫氫處理之前或之後，予以執行。

請注意，氧化物半導體膜之蝕刻可為乾式蝕刻，不侷限於濕式蝕刻。

依據材料而適當調整蝕刻狀況（諸如蝕刻劑、蝕刻時間及溫度），使得材料可蝕刻為所需形狀。

其次，於閘極絕緣層 302 及氧化物半導體層 331 之上形成導電膜。導電膜可藉由濺鍍法或真空蒸發法而予形成。有關導電膜之材料可提供選自 Al、Cr、Cu、Ta、Ti、Mo 及 W 之元素、包含任一該些元素做為成分之合金、包含該些元素組合之合金膜等。另一方面，可使用一或多項選自錳、鎂、鋅、銻及鈦之材料。導電膜可具有單層結構或二或更多層之堆疊結構。例如，可提供包括矽之鋁膜的單層結構，其中鈦膜堆疊於鋁膜之上的雙層結構，其中鈦膜、鋁膜及鈦膜以此順序堆疊的三層結構等。另一方面，可使用包含鋁及一或多項選自鈦、鉭、鎢、鉬、鉻、釹及銦之

元素的膜、合金膜或氮化物膜。

若於導電膜形成之後執行熱處理，導電膜較佳地具有足以支撐熱處理之耐熱性。

藉由第三光刻步驟而於導電膜之上形成抗蝕罩。執行選擇性蝕刻，使得以形成源極電極層 315a 及汲極電極層 315b。接著，移除抗蝕罩（詳圖 8C）。

對於第三光刻步驟中形成抗蝕罩之曝光，使用紫外光、KrF 雷射光或 ArF 雷射光。之後將完成之薄膜電晶體的通道長度 L ，係藉由氧化物半導體層 331 上彼此相鄰的源極電極層 315a 之下端部與汲極電極層 315b 之下端部之間之距離而予決定。若通道長度 L 短於 25 nm，第三光刻步驟中執行抗蝕罩形成時之曝光，係使用具有若干奈米至數十奈米之極短波長的遠紫外光。使用遠紫外光之曝光，具有高解析度及大深度聚焦。因此，之後將完成之薄膜電晶體之通道長度 L ，可設定為大於或等於 10 nm 及小於或等於 100 nm，藉此可提升電路之操作速度。此外，由於關閉狀態電流極低，可達成低電力消耗。

請注意，適當調整每一材料及蝕刻狀況，使得氧化物半導體層 331 不因導電膜之蝕刻而被移除。

在本實施例中，Ti 膜用做導電膜，In-Ga-Zn-O 基氧化物半導體用做氧化物半導體層 331，及過氧化氫銨溶液（氨、水及過氧化氫溶液之混合物）用做蝕刻劑。

請注意，在第三光刻步驟中，有時氧化物半導體層 331 可局部蝕刻，使得以形成具有槽（凹部）之氧化物半

導體層。藉由噴墨法可形成用以形成源極電極層 315a 及汲極電極層 315b 之抗蝕罩。當藉由噴墨法形成抗蝕罩時，不使用光罩；因而，可降低製造成本。

此外，氧化物導電層可形成於氧化物半導體層 331 與源極及汲極電極層 315a 及 315b 之間。氧化物導電層 331 與用於形成源極電極層 315a 及汲極電極層 315b 之金屬層可接連形成。氧化物導電層可做為源極區及汲極區。

當於氧化物半導體層與源極及汲極電極層之間提供氧化物導電層做為源極區及汲極區時，源極區及汲極區可具有較低電阻，且電晶體可以高速操作。

為減少光刻步驟中光罩及步驟之數量，可使用以多色調遮罩形成之抗蝕罩來執行蝕刻，多色調遮罩為曝光遮罩，光透射此以便具有複數強度。由於使用多色調遮罩形成之抗蝕罩具有複數厚度，並可藉由執行蝕刻而進一步改變形狀，抗蝕罩可用於複數蝕刻步驟以提供不同型樣。因此，可藉由使用一多色調遮罩而形成相應於至少兩種不同型樣之抗蝕罩。因而，可減少曝光遮罩之數量，亦可減少相應光刻步驟之數量，藉此可體現製造程序之簡化。

接著，執行使用諸如 N_2O 、 N_2 或 Ar 之氣體的電漿處理。本電漿處理移除暴露之氧化物半導體層表面所吸附之水等。此外，電漿處理可使用氧及氬之混合氣體而予執行。

在電漿處理之後，於未暴露於空氣下，形成氧化物絕緣層 316 以做為保護絕緣膜，並接觸部分氧化物半導體層。

可適當地藉由一種方法，諸如濺鍍法，而形成至少 1 nm 厚度之氧化物絕緣層 316，藉此諸如水或氫之雜質便不會進入氧化物絕緣層 316。當氧化物絕緣層 316 中包含氫時，造成氫進入氧化物半導體層或藉由氫而擷取氧化物半導體層中之氧，因此使氧化物半導體層之反向通道具有較低電阻（具有 n 型導電性），使得形成寄生通道。因此，重要的是使用其中未用到氫之形成法，使得氧化物絕緣層 316 盡可能包含少量之氫。

在本實施例中，藉由濺鍍法形成 200-nm 厚之氧化矽膜做為氧化物絕緣層 316。膜形成中基板溫度可高於或等於室溫及低於或等於 300 °C，在本實施例中為 100 °C。可藉由濺鍍法，在稀有氣體（典型為氬）、氧氣、或包含稀有氣體及氧之氣體中，形成氧化矽膜。有關靶材，可使用氧化矽靶材或矽靶材。例如，使用矽靶材，可藉由濺鍍法於氧及氮之氣體中沈積氧化矽。有關經形成而接觸氧化物半導體層 331 的氧化物絕緣層 316，可使用無機絕緣膜，其不包括諸如濕氣、氫離子或 OH⁻ 之雜質，並阻擋該些雜質從外部進入。典型地使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜等。

在此狀況下，較佳地形成氧化物絕緣層 316，同時移除處理室中剩餘濕氣，以避免氧化物半導體層 331 及氧化物絕緣層 316 中包含氫、羥基或濕氣。

為從處理室移除剩餘濕氣，較佳地使用吸附型真空泵。例如較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡

單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡之室，耗盡例如氫原子、諸如水（ H_2O ）之包括氫原子之化合物等。因此，可減少形成於膜形成室中之氧化物絕緣層316中所包括之雜質濃度。

有關用於氧化物絕緣層316形成之濺鍍氣體，較佳地使用高純度氣體中，諸如氫、水、羥基或氫化物之雜質降至約ppm位準或ppb位準。

其次，於惰性氣體或氧氣中執行第二熱處理（較佳地為 200°C 至 400°C ，例如 250°C 至 350°C ）。例如，於氮氣中以 250°C 執行第二熱處理達1小時。在第二熱處理中，氧化物半導體層之一部分（通道區）在與氧化物絕緣層316接觸之狀態下被加熱。若於氧化物半導體層331與氧化物絕緣層316彼此接觸之狀態下執行熱處理，於第一熱處理時減少之氧化物半導體之主要成分之一的氧，可從氧化物絕緣層316供應予氧化物半導體層331。因而氧化物半導體被純化成爲I型（固有）。

經由上述程序，可形成包括I型氧化物半導體層331之薄膜電晶體310，其中氫、濕氣、氫化物或氫氧化物之濃度藉由脫水或脫氫而降低（詳圖8D）。

此外，可於空氣中以 100°C 至 200°C （含）執行熱處理達1小時至30小時。在本實施例中，熱處理係以 150°C 執行達10小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度可從室溫上升至 100°C 至 200°C 之溫度，及接著降至室溫。本

熱處理可於氧化物絕緣層形成之前，在減壓下執行。在減壓下，熱處理時間可縮短。基於本熱處理，可獲得正常關薄膜電晶體。

保護絕緣層 303 可附加形成於氧化物絕緣層 316 之上。例如，藉由 RF 濺鍍法而形成氮化矽膜。較佳的是因為 RF 濺鍍法具有高生產力，而以其做為保護絕緣層之膜形成法。有關保護絕緣層，使用無機絕緣膜，其不包含諸如濕氣、氫離子或 OH^- 之雜質，並阻擋該些雜質從外部進入。典型地使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜等（詳圖 8E）。

在本實施例中，以下列方式形成氮化矽膜，做為保護絕緣層 303：加熱其上形成各層直至氧化物絕緣層 316 之基板 300，達 $100\text{ }^{\circ}\text{C}$ 至 $400\text{ }^{\circ}\text{C}$ 之溫度，使用氫及濕氣移除並包含高純度氮之濺鍍氣體，及使用矽靶材。亦在此狀況下，亦較佳的是以類似於氧化物絕緣層 316 之方式，形成保護絕緣層 303，同時移除處理室中剩餘濕氣。

用於平面化之平面化絕緣層可提供於保護絕緣層 303 之上。

當上述薄膜電晶體用於實施例 1 中所說明之類比電路時，該類比電路可具有穩定電氣特性及高可靠性。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

（實施例 7）

在本實施例中，將說明實施例 1 中所說明之類比電路中所包括之薄膜電晶體的範例。

將參照圖 9A 至 9D 說明本實施例之薄膜電晶體及其製造方法之實施例。

圖 9D 中所描繪之薄膜電晶體 360 為一種底閘薄膜電晶體，其稱為通道保護型（通道停止型）薄膜電晶體，亦稱為反向交錯薄膜電晶體。

儘管使用單閘極薄膜電晶體說明薄膜電晶體 360，但當需要時可形成包括複數通道形成區之多閘極薄膜電晶體。

以下，將參照圖 9A 至 9D 說明基板 320 上之薄膜電晶體 360 的製造程序。

首先，於具有絕緣表面之基板 320 上形成導電膜，並於其上執行第一光刻步驟，使得以形成閘極電極層 361。請注意，可藉由噴墨法而形成抗蝕罩。當藉由噴墨法而形成抗蝕罩時，不使用光罩；因而，可降低製造成本。

可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳之金屬材料，或包含任一該些材料做為其主要成分之合金材料，而形成具單層結構或堆疊結構之閘極電極層 361。

其次，於閘極電極層 361 之上形成閘極絕緣層 322。

在本實施例中，藉由電漿 CVD 法而形成具有 100 nm 或更少厚度之氧氮化矽層，做為閘極絕緣層 322。

接著，於閘極絕緣層 322 之上形成具大於或等於 2 nm 及小於或等於 200 nm 厚度之氧化物半導體膜，且該氧化物

半導體膜藉由第二光刻步驟而被處理為島形氧化物半導體層 332。在本實施例中，係使用 In-Ga-Zn-O 基氧化物半導體靶材並藉由濺鍍法而形成該氧化物半導體膜。

在此狀況下，較佳地形成氧化物半導體膜，同時移除處理室中剩餘濕氣，以避免氧化物半導體膜中包含氫、羥基或濕氣。

為從處理室移除剩餘濕氣，較佳地使用吸附型真空泵。例如較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡之室，耗盡例如氫原子、諸如水（ H_2O ）之包括氫原子之化合物等。因此，可減少膜形成室中所形成之氧化物半導體膜中所包括之雜質的濃度。

有關於氧化物半導體膜形成中使用之濺鍍氣體，較佳地使用高純度氣體中諸如氫、水、羥基或氫化物之雜質被減少至約 ppm 位準或 ppb 位準。

其次，執行氧化物半導體層 332 之脫水或脫氫。用於脫水或脫氫之第一熱處理之溫度為高於或等於 $400\text{ }^{\circ}\text{C}$ 及低於或等於 $750\text{ }^{\circ}\text{C}$ ，較佳地為高於或等於 $400\text{ }^{\circ}\text{C}$ 及低於基板之應變點。此處，基板被導入一種熱處理設備之電熔爐中，並於氮氣中，在氧化物半導體層 332 上以 $450\text{ }^{\circ}\text{C}$ 執行熱處理達 1 小時，接著，氧化物半導體層 332 未暴露於空氣，使得以避免水或氫進入氧化物半導體層 332；因而，獲得脫水或脫氫之氧化物半導體層 332（詳圖 9A）。

接著，執行使用諸如 N_2O 、 N_2 或 Ar 之氣體的電漿處理

。本電漿處理移除暴露之氧化物半導體層表面所吸附之水等。此外，電漿處理可使用氧及氬之混合氣體而予執行。

其次，於閘極絕緣層322及氧化物半導體層332之上形成氧化物絕緣層，接著藉由第三光刻步驟形成抗蝕罩。執行選擇性蝕刻，使得以形成做為通道保護層之氧化物絕緣層366。接著，移除抗蝕罩。做為通道保護層之氧化物絕緣層366可避免之後做為通道形成區之氧化物半導體層332之一部分，於之後步驟中受損（例如，因電漿或蝕刻中蝕刻劑而厚度減少）。

在本實施例中，藉由濺鍍法形成200-nm厚之氧化矽膜做為氧化物絕緣層366。膜形成中基板溫度可高於或等於室溫及低於或等於300℃，在本實施例中為100℃。可藉由濺鍍法，在稀有氣體（典型為氬）、氧氣、或包含稀有氣體（典型為氬）及氧之混合氣體中，形成氧化矽膜。有關靶材，可使用氧化矽靶材或矽靶材。例如，基於使用矽靶材，可藉由濺鍍法於氧及氮之氣體中沈積氧化矽。

在此狀況下，較佳地形成氧化物絕緣層366，同時移除處理室中剩餘濕氣，以避免氧化物半導體層332及氧化物絕緣層366中包含氫、羥基或濕氣。

為從處理室移除剩餘濕氣，較佳地使用吸附型真空泵。例如較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡之室，耗盡例如氬原子、諸如水（ H_2O ）之包括氬原子之化合物等。因此，可減少於膜形成室中形成之氧化物絕緣

層 366 中所包括之雜質濃度。

有關於氧化物絕緣層 366 形成中使用之濺鍍氣體，較佳地使用高純度氣體中諸如氫、水、羥基或氫化物之雜質被減少至約 ppm 位準或 ppb 位準。

其次，於惰性氣體或氧氣中執行第二熱處理（較佳地為 200 °C 至 400 °C，例如 250 °C 至 350 °C）。例如，於氮氣中以 250 °C 執行第二熱處理達 1 小時。在第二熱處理中，氧化物半導體層之一部分（通道區）係於接觸氧化物絕緣層 366 之狀態下，予以加熱。

其次，於閘極絕緣層 322、氧化物半導體層 332 及氧化物絕緣層 366 之上形成導電膜，接著藉由第四光刻步驟形成抗蝕罩。執行選擇性蝕刻，使得以形成源極電極層 365a 及汲極電極層 365b。接著，移除抗蝕罩（詳圖 9C）。

有關源極電極層 365a 及汲極電極層 365b 之材料，可提供選自 Al、Cr、Cu、Ta、Ti、Mo 及 W 之元素、包含任一上述元素做為其成分之合金、包含該些元素組合之合金膜等。金屬導電膜可具有單層結構或二或更多層之堆疊結構。於源極電極層 365a 及汲極電極層 365b 形成之後，可執行第二熱處理。

經由上述程序，形成包括 I 型氧化物半導體層 332 之薄膜電晶體 360，其中氫、濕氣、氫化物或氫氧化物之濃度，藉由脫水或脫氫而降低。

此外，可於空氣中以 100 °C 至 200 °C（含）執行熱處理達 1 小時至 30 小時。在本實施例中，熱處理係以 150 °C 執行

達 10 小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度可從室溫上升至 100 °C 至 200 °C 之溫度，及接著降至室溫。本熱處理可於氧化物絕緣層形成之前，在減壓下執行。在減壓下，熱處理時間可縮短。基於本熱處理，可獲得正常關薄膜電晶體。

此外，保護絕緣層 323 可形成於源極電極層 365a、汲極電極層 365b 及氧化物絕緣層 366 之上。在本實施例中，係使用氮化矽膜而形成保護絕緣層 323（詳圖 9D）。

另一方面，氧化物絕緣層可進一步形成於源極電極層 365a、汲極電極層 365b 及氧化物絕緣層 366 之上，且接著保護絕緣層 323 可堆疊於氧化物絕緣層之上。

當上述薄膜電晶體用於實施例 1 中所說明之類比電路中時，該類比電路可具有穩定電氣特性及高可靠性。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

（實施例 8）

在本實施例中，將說明實施例 1 中所說明之類比電路中所包括之薄膜電晶體的範例。

將參照圖 10A 至 10D 說明本實施例之薄膜電晶體及其製造方法之實施例。

儘管將使用單閘極薄膜電晶體說明圖 10D 中所描繪之薄膜電晶體 350，但當需要時可形成包括複數通道形成區

之多閘極薄膜電晶體。

以下將參照圖 10A 至 10D 說明基板 340 上之薄膜電晶體 350 的製造程序。

首先，於具有絕緣表面之基板 340 上形成導電膜，並於其上執行第一光刻步驟，使得以形成閘極電極層 351。在本實施例中，藉由濺鍍法形成具有 150-nm 厚度之鎢膜，做為閘極電極層 351。

其次，閘極絕緣層 342 形成於閘極電極層 351 之上。在本實施例中，藉由電漿 CVD 法形成具有 100 nm 或更少之厚度的氧氮化矽層，做為閘極絕緣層 342。

其次，導電膜形成於閘極絕緣層 342 之上。藉由第二光刻步驟而於導電膜之上形成抗蝕罩。執行選擇性蝕刻，使得以形成源極電極層 355a 及汲極電極層 355b。接著，移除抗蝕罩（詳圖 10A）。

其次，形成氧化物半導體膜 345（詳圖 10B）。在本實施例中，藉由濺鍍法並使用 In-Ga-Zn-O 基氧化物半導體靶材而形成氧化物半導體膜 345。氧化物半導體膜 345 藉由第三光刻步驟而被處理成島形氧化物半導體層 346。

在此狀況下，較佳地形成氧化物半導體膜 345，同時移除處理室中剩餘濕氣，以避免氧化物半導體膜 345 中包含氫、羥基或濕氣。

為從處理室移除剩餘濕氣，較佳地使用吸附型真空泵。例如較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡

之室，耗盡例如氫原子、諸如水（ H_2O ）之包括氫原子之化合物等。因此，可減少於膜形成室中形成之氧化物半導體膜 345 中所包括之雜質濃度。

有關於氧化物半導體膜 345 形成中使用之濺鍍氣體，較佳地使用高純度氣體中諸如氫、水、羥基或氫化物之雜質被減少至約 ppm 位準或 ppb 位準。

其次，執行氧化物半導體層 346 之脫水或脫氫。用於脫水或脫氫之第一熱處理之溫度為高於或等於 $400\text{ }^{\circ}\text{C}$ 及低於或等於 $750\text{ }^{\circ}\text{C}$ ，較佳地為高於或等於 $400\text{ }^{\circ}\text{C}$ 及低於基板之應變點。此處，基板被導入一種熱處理設備之電熔爐中，並於氮氣中，在氧化物半導體層 346 上以 $450\text{ }^{\circ}\text{C}$ 執行熱處理達 1 小時，接著，氧化物半導體層 346 未暴露於空氣，使得以避免水或氫進入氧化物半導體層 346；因而，獲得脫水或脫氫之氧化物半導體層 346（詳圖 10C）。

有關第一熱處理，可以下列方式執行 GRTA。基板被轉移進入加熱至 $650\text{ }^{\circ}\text{C}$ 至 $700\text{ }^{\circ}\text{C}$ 高溫之惰性氣體，加熱達若干分鐘，並轉移及取出加熱至高溫之惰性氣體。GRTA 可於短時間實施高溫熱處理。

形成氧化物絕緣層 356 做為保護絕緣膜，及接觸氧化物半導體層 346。

可適當地藉由一種方法，諸如濺鍍法，而形成至少 1 nm 厚度之氧化物絕緣層 356，藉此諸如水或氫之雜質便不會進入氧化物絕緣層 356。當氧化物絕緣層 356 中包含氫時，造成氫進入氧化物半導體層或藉由氫而擷取氧化物半導

體層中之氧，因此使氧化物半導體層之反向通道具有較低電阻（具有n型導電性），使得形成寄生通道。因此，重要的是使用其中未用到氫之形成法，使得氧化物絕緣層356盡可能包含少量之氫。

在本實施例中，藉由濺鍍法形成200-nm厚之氧化矽膜做為氧化物絕緣層356。膜形成中基板溫度可高於或等於室溫及低於或等於300℃，在本實施例中為100℃。可藉由濺鍍法，在稀有氣體（典型為氬）、氧氣、或包含稀有氣體（典型為氬）及氧之混合氣體中，形成氧化矽膜。有關靶材，可使用氧化矽靶材或矽靶材。例如，基於使用矽靶材，可藉由濺鍍法於氧及氮之氣體中形成氧化矽。有關經形成而接觸氧化物半導體層346的氧化物絕緣層356，可使用無機絕緣膜，其不包括諸如濕氣、氫離子或OH⁻之雜質，並阻擋該些雜質從外部進入。典型地使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜等。

此狀況下，較佳地形成氧化物絕緣層356，同時移除處理室中剩餘濕氣，以避免氧化物半導體層346及氧化物絕緣層356中包含氫、羥基或濕氣。

為從處理室移除剩餘濕氣，較佳地使用吸附型真空泵。例如較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡之室，耗盡例如氫原子、諸如水（H₂O）之包括氫原子之化合物等。因此，可減少於膜形成室中形成之氧化物絕緣層356中所包括之雜質濃度。

有關於氧化物絕緣層356形成中使用之濺鍍氣體，較佳地使用高純度氣體中諸如氫、水、羥基或氫化物之雜質被減少至約ppm位準或ppb位準。

其次，於惰性氣體或氧氣中執行第二熱處理（較佳地為200℃至400℃，例如250℃至350℃）。例如，於氮氣中以250℃執行第二熱處理達1小時。第二熱處理係於氧化物半導體層接觸氧化物絕緣層356之狀態下，予以執行。

經由上述程序，可形成包括I型氧化物半導體層346之薄膜電晶體350，其中氫、濕氣、氫化物或氫氧化物之濃度，藉由脫水或脫氫而降低。

此外，可於空氣中以100℃至200℃（含）執行熱處理達1小時至30小時。在本實施例中，熱處理係以150℃執行達10小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度可從室溫上升至100℃至200℃之溫度，及接著降至室溫。本熱處理可於氧化物絕緣膜形成之前，在減壓下執行。在減壓下，熱處理時間可縮短。基於本熱處理，可獲得正常關薄膜電晶體。

保護絕緣層可附加形成於氧化物絕緣層356之上。例如，藉由RF濺鍍法形成氮化矽膜。在本實施例中，使用氮化矽膜形成保護絕緣層343做為保護絕緣層（詳圖10D）。

用於平面化之平面化絕緣層可提供於保護絕緣層343之上。

當上述薄膜電晶體用於實施例1中所說明之類比電路

中時，該類比電路具有穩定電氣特性及高可靠性。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

（實施例9）

在本實施例中，將說明實施例1中所說明之類比電路中所包括之薄膜電晶體的範例。

在本實施例中，將參照圖11說明範例，其中部分與實施例6中薄膜電晶體之製造程序不同。由於除了部分程序外，圖11與圖8A至8E相同，相同編號用於相同部分，且相同部分之詳細說明並未重複。

依據實施例6，閘極電極層381形成於基板370之上，且第一閘極絕緣層372a及第二閘極絕緣層372b相堆疊。在本實施例中，閘極絕緣層具有雙層結構：氮化物絕緣層用做第一閘極絕緣層372a，及氧化物絕緣層用做第二閘極絕緣層372b。

有關氧化物絕緣層，可使用氧化矽層、氧氮化矽層、氧化鋁層及氧氮化鋁層等。此外，有關氮化物絕緣層，可使用氮化矽層、氮氧化矽層、氮化鋁層、氮氧化鋁層等。

在本實施例中，閘極絕緣層具有一種結構，其中氮化矽層及氧化矽層以此順序堆疊於閘極電極層381之上。以下列方式形成具有150 nm厚度之閘極絕緣層，其中藉由濺鍍法形成具有50 nm至200 nm（含）厚度（在本實施例中為50 nm）之氮化矽層（ SiN_y （ $y>0$ ））做為第一閘極絕緣

層 372a，及於第一閘極絕緣層 372a 之上堆疊具有 5 nm 至 300 nm（含）厚度（在本實施例中為 100 nm）之氧化矽層（ SiO_x （ $x>0$ ））做為第二閘極絕緣層 372b。

其次，形成氧化物半導體膜，並藉由光刻步驟被處理為島形氧化物半導體層 382。在本實施例中，藉由濺鍍法並使用 In-Ga-Zn-O 基氧化物半導體靶材形成氧化物半導體膜。

在此狀況下，較佳地形成氧化物半導體膜，同時移除處理室中剩餘濕氣，以避免氧化物半導體膜中包含氫、羥基或濕氣。

為從處理室移除剩餘濕氣，較佳地使用吸附型真空泵。例如較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡之室，耗盡例如氫原子、諸如水（ H_2O ）之包括氫原子之化合物等。因此，可減少於膜形成室中形成之氧化物半導體膜中所包括之雜質濃度。

有關於氧化物半導體膜形成中使用之濺鍍氣體，較佳地使用高純度氣體中諸如氫、水、羥基或氫化物之雜質被減少至約 ppm 位準或 ppb 位準。

其次，執行氧化物半導體層 382 之脫水或脫氫。用於脫水或脫氫之第一熱處理的溫度為高於或等於 400 °C 及低於或等於 750 °C，較佳地為高於或等於 425 °C。當溫度為 425 °C 或更高，熱處理時間可為一小時或更短，反之若溫度為低於 425 °C，熱處理時間可為多於一小時。此處，基

板被導入一種熱處理設備之電熔爐中，並於氮氣中，在氧化物半導體層上執行熱處理，接著氧化物半導體層未暴露於空氣，使得以避免水或氫進入氧化物半導體層；因而，獲得氧化物半導體層。之後，藉由導入高純度氧氣、高純度 N_2O 氣體或極乾燥空氣（具有 $-40\text{ }^{\circ}\text{C}$ 或更低之露點，較佳地為 $-60\text{ }^{\circ}\text{C}$ 或更低）進入相同熔爐而執行冷卻。較佳的是氧氣及 N_2O 氣體未包含水、氫等。被導入熱處理設備之氧氣或 N_2O 氣體之純度較佳地為6N（99.9999 %）或更高，進一步較佳地為7N（99.99999 %）或更高（即，氧氣或 N_2O 氣體之雜質濃度為1 ppm或更低，更較佳地為0.1 ppm或更低）。

熱處理設備不侷限於電熔爐，例如，可使用RTA（快速熱降火）設備，諸如GRTA（氣體快速熱降火）設備或LRTA（燈快速熱降火）設備。LRTA設備為一種設備，用於藉由自諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射（電磁波）而加熱處理目標。此外，LRTA設備可經提供而不僅具燈，亦具一種裝置，藉由來自諸如電阻加熱器之加熱器的熱傳導或熱輻射而加熱處理目標。GRTA為用於使用高溫氣體之熱處理的方法。有關該氣體，係使用未藉由熱處理而與處理目標反應之惰性氣體，諸如氮，或諸如氫之稀有氣體。熱處理可藉由RTA法而以 $600\text{ }^{\circ}\text{C}$ 至 $750\text{ }^{\circ}\text{C}$ 執行達若干分鐘。

此外，在用於脫水或脫氫之第一熱處理之後，可於氧

氣或 N_2O 氣體中以 $200\text{ }^\circ\text{C}$ 至 $400\text{ }^\circ\text{C}$ (含) 執行熱處理，較佳地為 $200\text{ }^\circ\text{C}$ 至 $300\text{ }^\circ\text{C}$ 。

第一熱處理可於氧化物半導體膜被處理為島形氧化物半導體層之前，在氧化物半導體膜上執行，而非在島形氧化物半導體層上。在此狀況下，基板在第一熱處理之後被取出熱處理設備，並執行光刻步驟。

經由上述程序，氧化物半導體中雜質降低，藉此可獲得整個區域為 I 型或本質上 I 型之氧化物半導體層 382。

其次，於氧化物半導體層 382 之上形成導電膜，藉由光刻步驟而形成抗蝕罩，並選擇性蝕刻導電膜，使得以形成源極電極層 385a 及汲極電極層 385b。接著，藉由濺鍍法而形成氧化物絕緣層 386。

在此狀況下，較佳地形成氧化物絕緣層 386，同時移除處理室中剩餘濕氣，以避免氧化物半導體層 382 及氧化物絕緣層 386 中包含氫、羥基或濕氣。

為從處理室移除剩餘濕氣，較佳地使用吸附型真空泵。例如較佳地使用低溫泵、離子泵或鈦昇華泵。有關耗盡單元，可使用附加冷阱之渦輪泵。自使用低溫泵執行耗盡之室，耗盡例如氫原子、諸如水 (H_2O) 之包括氫原子之化合物等。因此，可減少於膜形成室中形成之氧化物絕緣層 386 中所包括之雜質濃度。

有關於氧化物絕緣層 386 形成中使用之濺鍍氣體，較佳地使用高純度氣體中諸如氫、水、羥基或氫化物之雜質被減少至約 ppm 位準或 ppb 位準。

經由上述步驟，可形成薄膜電晶體 380。

其次，可於惰性氣體或氮氣中執行熱處理（較佳地為高於或等於 150 °C 及低於 350 °C），以抑制薄膜電晶體之電氣特性變化。例如，於氮氣中以 250 °C 執行熱處理達 1 小時。

此外，可於空氣中以 100 °C 至 200°C（含）執行熱處理達 1 小時至 30 小時。在本實施例中，係以 150 °C 執行熱處理達 10 小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度可從室溫上升至 100 °C 至 200 °C 之溫度，及接著降至室溫。本熱處理可於氧化物絕緣層形成之前，在減壓下執行。在減壓下，熱處理時間可縮短。基於本熱處理，可獲得正常關薄膜電晶體。

保護絕緣層 373 係形成於氧化物絕緣層 386 之上。在本實施例中，藉由濺鍍法形成具有 100-nm 厚度之氮化矽膜做為保護絕緣層 373。

保護絕緣層 373 及第一閘極絕緣層 372a 均為使用氮化物絕緣層而予形成，不包含諸如濕氣、氫、氫化物或氫氧化物之雜質，並具有避免該些雜質從外部進入之有利效果。

因此，在保護絕緣層 373 形成之後的製造程序中，可避免諸如濕氣之雜質從外部進入。此外，在裝置完成做為諸如液晶顯示裝置之半導體裝置之後，可長期避免諸如濕氣之雜質從外部進入；因此，可改進裝置之長期可靠性。

此外，一種結構其中保護絕緣層373藉由移除提供於保護絕緣層373與第一閘極絕緣層372a之間之絕緣層，其均為使用氮化物絕緣層而予形成，而接觸第一閘極絕緣層372a。

基於保護絕緣層373接觸第一閘極絕緣層372a之結構，可將氧化物半導體層中諸如濕氣、氫、氫化物或氫氧化物之雜質降至最少量，且此外，可避免雜質再次進入氧化物半導體層。因此，氧化物半導體層中雜質濃度可保持低。

進行平面化之平面化絕緣層可提供於保護絕緣層373之上。

當上述薄膜電晶體用於實施例1中所說明之類比電路中時，該類比電路可具有穩定電氣特性及高可靠性。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

(實施例10)

在本實施例中，將說明包括實施例1中所說明之類比電路的半導體裝置之範例。具體地，將參照圖12A至12C說明包括實施例1中所說明之光檢測器的液晶顯示面板之外觀及截面。圖12A及12C為面板之平面圖，其中薄膜電晶體4010及4011與液晶元件4013以密封劑4005密封於第一基板4001與第二基板4006之間。圖12B為沿圖12A或圖12C中M-N之截面圖。

提供密封劑 4005 以便環繞提供於第一基板 4001 上之像素部 4002 及掃描線驅動電路 4004。第二基板 4006 係提供於像素部 4002 及掃描線驅動電路 4004 之上。因此，像素部 4002 及掃描線驅動電路 4004 藉由第一基板 4001、密封劑 4005 及第二基板 4006 而與液晶層 4008 密封在一起。使用單晶半導體膜或多晶半導體膜而於個別準備之基板上形成之信號線驅動電路 4003，安裝於第一基板 4001 上與密封劑 4005 環繞之區域不同之區域中。

實施例 1 中所說明之光檢測器 4100 係提供於第一基板 4001 上與密封劑 4005 環繞之區域不同之區域中。光檢測器 4100 可與像素部同時形成於第一基板 4001 上，或可形成於不同基板上，而接著安裝於第一基板 4001 上。請注意，若使用透光基板做為第一基板 4001，光檢測器 4100 可具有檢測從基板側進入之光的結構，同時若使用未透射可見光之基板做為第一基板 4001，光檢測器之光接收部需面對不受因基板阻光之影響的方向。

請注意，對於分別形成之驅動電路的連接方法並無特別限制，可使用 COG 法、引線鍵合法、TAB 法等。圖 12A 描繪一範例，其中信號線驅動電路 4003 係經由 COG 法安裝。圖 12C 描繪一範例，其中信號線驅動電路 4003 係經由 TAB 法安裝。

像素部 4002 及掃描線驅動電路 4004 係提供於包括複數薄膜電晶體之第一基板 4001 上。圖 12B 描繪像素部 4002 中所包括之薄膜電晶體 4010，及掃描線驅動電路 4004 中所包

括之薄膜電晶體 4011，做為範例。絕緣層 4041、保護絕緣層 4042、絕緣層 4020 及絕緣層 4021 係提供於薄膜電晶體 4010 及 4011 上。

實施例 3 至 9 之任一薄膜電晶體，可適當用做薄膜電晶體 4010 及 4011，並可使用類似於實施例 3 至 9 之薄膜電晶體的步驟及材料予以形成。薄膜電晶體 4010 及 4011 各包括氧化物半導體層，其中氫或水減少。因此，薄膜電晶體 4010 及 4011 為高度可靠薄膜電晶體。在本實施例中，薄膜電晶體 4010 及 4011 為 n 通道薄膜電晶體。

導電層 4040 係提供於與用於驅動電路之薄膜電晶體 4011 中氧化物半導體層的通道區重疊之部分絕緣層 4021 之上。導電層 4040 係提供於與氧化物半導體層的通道區重疊之位置，藉此可降低 BT 試驗前後薄膜電晶體 4011 之閾值電壓的改變量。導電層 4040 之電位可與薄膜電晶體 4011 之閘極電極層之電位相同或不同。導電層 4040 亦可做為第二閘極電極層。此外，導電層 4040 之電位可為接地（GND）、0 V，或導電層 4040 可處於浮動狀態。請注意，若未提供導電層 4040 是可接受的。

液晶元件 4013 中所包括之像素電極層 4030 電性連接至薄膜電晶體 4010 之源極或汲極電極層。液晶元件 4013 之相對電極層 4031 係形成於第二基板 4006 上。像素電極層 4030、相對電極層 4031 及液晶層 4008 彼此重疊之部分，相應於液晶元件 4013。請注意，像素電極層 4030 及相對電極層 4031 經提供而分別具有做為校準膜之絕緣層 4032 及絕緣層

4033，液晶層 4008 夾於電極層之間，且絕緣層 4032 及 4033 插於其間。

請注意，透光基板可用做第一基板 4001 及第二基板 4006；可使用玻璃、陶瓷或塑料。塑料可為強化玻璃纖維塑料（FRP）板、聚氯乙烯（PVF）膜、聚脂膜或丙烯酸樹脂膜。

隔板 4035 為藉由選擇性蝕刻絕緣膜而獲得之柱狀隔板，柱狀隔板 4035 經提供以控制像素電極層 4030 與相對電極層 4031 之間之距離（格間距）。另一方面，球形隔板可用做隔板 4035。相對電極層 4031 電性連接至形成薄膜電晶體 4010 之基板上的共同電位線。經由提供於使用共同連接部之一對基板之間的導電粒子，相對電極層 4031 及共同電位線可彼此電性連接。請注意，導電粒子係包括於密封劑 4005 中。

另一方面，可使用展現不需校準膜之藍相的液晶。藍相為一種液晶相位，其產生於膽固醇相改變為各向同性相，同時膽固醇液晶之溫度增加之前不久。因為藍相僅產生於窄的溫度範圍內，為改進溫度範圍，將包含大於或等於 5 重量 % 之手性劑的液晶成分用於液晶層 4008。包括展現藍相之液晶及手性劑的液晶成分具有 1 msec 或更短之短暫回應時間，並為光學各向同性；因此，不需校準處理且視角相依性小。此外，由於不需提供校準膜，且不需研磨處理，可避免藉由研磨處理造成之靜電放電損害，及可減少製造程序中液晶顯示裝置之缺陷及損害。因而，可提升液晶

顯示裝置之生產量。使用氧化物半導體層之薄膜電晶體特別具有下列可能性，即藉由靜電影響，薄膜電晶體之電氣特性可顯著改變，且偏離設計範圍。因此，更有效地為將藍相液晶材料用於包括使用氧化物半導體層之薄膜電晶體的液晶顯示裝置。

請注意，除了透射液晶顯示裝置，本發明之實施例亦可應用於半透射液晶顯示裝置。

儘管在液晶顯示裝置之範例中，偏光板係提供於基板的外部表面（在觀看者側），而著色層及用於顯示元件之電極層以此順序提供於基板的內部表面，但偏光板可提供於基板的內部表面。偏光板及著色層的堆疊結構並不侷限於在本實施例，可依據偏光板及著色層之材料或製造程序狀況而適當設定。此外，可於顯示部以外區域中提供做為黑矩陣的阻光膜。

在薄膜電晶體 4011 及 4010 上，形成絕緣層 4041 以接觸氧化物半導體層。絕緣層 4041 可使用類似於任一其他實施例中所說明之氧化物絕緣層的材料及方法予以形成。此處，有關絕緣層 4041，藉由濺鍍法而形成氧化矽層。此外，於絕緣層 4041 之上形成保護絕緣層 4042 並與其接觸。保護絕緣層 4042 可以類似於任一其他實施例中所說明之保護絕緣層的方式予以形成，並可使用例如氮化矽膜。為減少薄膜電晶體造成之表面粗糙，於保護絕緣層 4042 之上形成絕緣層 4021 做為平面化膜。

有關做為平面化絕緣膜之絕緣層 4021，可使用具有耐

熱性之有機材料，諸如聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂、聚醯胺或環氧樹脂。除了該等有機材料外，可使用低介電常數材料（低k材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、摻雜硼磷的矽玻璃（BPSG）等。請注意，絕緣層4021可藉由堆疊該些材料形成之複數絕緣膜予以形成。

形成絕緣層4021之方法並無特別限制。絕緣層4021可依據材料而藉由下列方法或裝置予以形成：方法諸如濺鍍法、SOG法、針狀塗層法、浸漬法、旋塗法或液低釋放法（例如噴墨法、網印或膠印），或工具（裝備）諸如刮膠刀、擠膠滾筒、簾式塗料器或刮刀塗佈機。絕緣層4021之烘烤步驟亦做為半導體層之退火，藉此可有效地製造半導體裝置。

可使用透光導電材料形成像素電極層4030及相對電極層4031，諸如銦錫氧化物（ITO）、銦鋅氧化物（IZO）、氧化矽（ SiO_x （ $x>0$ ））混合氧化銦之導電材料、有機金屬銦、有機金屬錫、包含氧化鎢之氧化銦、包含氧化鎢之銦鋅氧化物、包含氧化鈦之氧化銦、包含氧化鈦之銦錫氧化物等。此外，若反射液晶顯示裝置中不需透光屬性或需要反射屬性，像素電極層4030及相對電極層4031可使用選自諸如鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）或銀（Ag）之金屬之一或複數種材料，該些金屬之合金，及該些

金屬之氮化物，予以形成。

包含高分子重量之導電分子（亦稱為導電聚合物）之導電成分可用於像素電極層 4030 及相對電極層 4031。使用導電成分形成之像素電極較佳地具有小於或等於每平方 10000 歐姆之片阻抗，及於 550 nm 波長下大於或等於 70 % 之透光率。此外，導電成分中所包含之導電聚合物的電阻係數較佳地為小於或等於 $0.1 \Omega\text{-cm}$ 。

有關導電聚合物，可使用所謂 π -電子共軛導電聚合物。例如，可提供聚苯胺及其衍生物；聚吡咯及其衍生物；聚噻吩及其衍生物；二或更多該類材料之共聚物等。

此外，各類信號及電位供應予個別形成之信號線驅動電路 4003、掃描線驅動電路 4004 或來自 FPC 4018 之像素部 4002。

使用與液晶元件 4013 中所包括之像素電極層 4030 相同導電膜形成連接終端電極 4015，及使用與電晶體 4010 及 4011 之源極及汲極電極層相同導電膜形成終端電極 4016。

連接終端電極 4015 經由各向異性導電膜 4019 而電性連接至 FPC 4018 中所包括之端子。

請注意，圖 12A 至 12C 描繪範例，其中信號線驅動電路 4003 係個別形成並安裝於第一基板 4001 上；然而，本實施例並不侷限於此結構。掃描線驅動電路可個別形成並接著安裝，或僅部分信號線驅動電路或部分掃描線驅動電路可個別形成並接著安裝。

酌情提供黑矩陣（阻光層）、諸如極化構件、延遲構

件或抗反射構件之光學元件（光學基板）等。例如，藉由使用極化基板及延遲基板，可使用圓極化。此外，背光、側燈等可用做光源。

在主動式矩陣液晶顯示裝置中，顯示型樣係藉由矩陣配置之像素電極的驅動而形成於螢幕上。具體地，將電壓應用於所選擇像素電極與相應於像素電極之相對電極之間，因而，設於像素電極與相對電極之間的液晶層光學調變。此光學調變經觀看者感知為顯示型樣。

液晶顯示裝置具有一個問題，其中當顯示移動影像時，由於液晶分子本身的反應速度低，而發生影像殘留，或移動影像模糊。有關用於改進液晶顯示裝置之移動影像特性之技術，存在所謂黑色插入之驅動技術，藉此每一其他訊框期間整個螢幕顯示黑色。

另一方面，可使用所謂雙訊框速率驅動之驅動法，其中垂直同步頻率為通常垂直同步頻率的1.5倍或更多，較佳地為2倍或更多，藉此改進移動影像特性。

此外，有關用於改進液晶顯示裝置之移動影像特性之技術，存在另一種驅動技術，其中包括複數發光二極體（LED）或複數EL光源被用做背光而形成表面光源，且表面光源中所包括之每一光源係獨立地驅動，以便於一訊框期間執行間歇性發光。有關表面光源，可使用三或更多種LED，或可使用發射白光之LED。由於可獨立地控制複數LED，LED之發光時序可與液晶層之光學調變時序切換同步。在本驅動技術中，LED可部分關閉。因此，特別是若

顯示在螢幕上黑色影像區域比例高之影像，可以低電力消耗驅動液晶顯示裝置。

當組合任一該些驅動技術時，相較於習知液晶顯示裝置，液晶顯示裝置可具有較佳顯示特性，諸如移動影像特性。

由於薄膜電晶體亦於因靜電等而損害，保護電路較佳地提供於與像素部及驅動電路部相同之基板上。保護電路較佳地使用包括氧化物半導體層之非線性元件形成。例如，保護電路係提供於像素部與掃描線輸入端子及信號線輸入端子之間。在本實施例中，提供複數保護電路，使得當因靜電等之浪湧電壓應用於掃描線、信號線或電容器匯流排線時，像素電晶體等不致損害。因此，當浪湧電壓應用於保護電路時，保護電路具有一結構，用以將電荷釋放至共同佈線。保護電路包括非線性元件，其平行配置於掃描線與共同佈線之間。每一非線性元件包括諸如二極體之雙端子元件，或諸如電晶體之三端子元件。例如，非線性元件可經由與像素部之薄膜電晶體的相同步驟予以形成。例如，藉由將閘極端子連接至汲極端子，可達成類似於二極體之特性。

此外，對液晶顯示模組而言，可使用扭轉向列（TN）模式、平面方向切換（IPS）模式、邊緣場切換（FFS）模式、軸對稱排列微型格（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反電液晶（AFLC）模式等。

對於本說明書中所揭露之半導體裝置並無特別限制，可使用液晶顯示裝置，包括TN液晶、OCB液晶、STN液晶、VA液晶、ECB液晶、GH液晶、聚合物分散液晶、圓盤狀液晶等。尤其，正常黑液晶面板較佳，諸如使用垂直調整（VA）模式之透射液晶顯示裝置。提供一些範例做為垂直調整模式。例如，可使用多區域垂直排列（MVA）模式、圖像垂直調整（PVA）模式、ASV模式等。

本發明之實施例亦可應用於VA液晶顯示裝置。VA液晶顯示裝置具有一種形式，其中液晶顯示面板之液晶分子的調整受控制。在VA液晶顯示裝置中，當無電壓應用時，液晶分子係以垂直於面板表面之方向校準。可使用一種稱為多域或多域設計之方法，其中像素被劃分為一些區域（子像素），且分子係以各區域中不同方向校準。

光檢測器4100檢測液晶顯示裝置附近之照度，並可調整背光之發光亮度，藉此可提升可視性並可達成較低電力消耗。

若實施例1中所說明之光檢測器提供於像素部4002中，該裝置可用做光學碰觸感應器。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

（實施例11）

在本實施例中，將說明主動式矩陣發光顯示裝置之範例。具體地，將說明包括使用電致發光之發光元件的發光

顯示裝置之範例。

使用電致發光之發光元件係依據發光材料為有機化合物或無機化合物予以分類。通常，前者稱為有機EL元件，後者稱為無機EL元件。

在有機EL元件中，藉由將電壓施予發光元件，電子及電洞分別自一對電極注入包含發光有機化合物之層中，且電流流動。接著，載子（電子及電洞）重新組合，造成發光。由於該等機構，此發光元件稱為電流激勵發光元件。

無機EL元件依據其元件結構而區分為分散型無機EL元件及薄膜無機EL元件。分散型無機EL元件具有發光層，其中發光材料之粒子分散於黏合劑中，且其發光機構為使用供體位準及受體位準之供體-受體重組型發光。薄膜無機EL元件具有一結構，其中發光層夾於電介質層之間，電介質層進一步夾於電極之間，且其發光機構為使用金屬離子之內殼層電子躍遷的侷限型發光。請注意，本實施例使用有機EL元件做為發光元件進行說明。

圖13描繪可施予數字鐘灰階驅動之像素組態範例，做為半導體裝置之範例。

將說明可施予數字鐘灰階驅動之像素的組態及作業。本實施例中說明一範例，其中一像素包括兩個使用通道區中氧化物半導體層之n通道電晶體。

像素6400包括開關電晶體6401、用於驅動發光元件之電晶體6402、發光元件6404及電容器6403。在開關電晶體6401中，其閘極連接至掃描線6406，其第一電極（源極及

汲極電極之一) 連接至信號線 6405，及其第二電極(源極及汲極電極之另一) 連接至用於驅動發光元件之電晶體 6402之閘極。在用於驅動發光元件之電晶體 6402中，其閘極經由電容器 6403連接至電源線 6407，其第一電極連接至電源線 6407，及其第二電極連接至發光元件 6404之第一電極(像素電極)。發光元件 6404之第二電極相應於共同電極 6408。共同電極 6408電性連接至相同基板之上提供之共同電位線。

請注意，發光元件 6404之第二電極(共同電極 6408)設定為低電源電位。請注意，低電源電位為滿足低電源電位 < 高電源電位(參照設定於電源線 6407之高電源電位)之電位。有關低電源電位，可使用例如接地(GND)、0 V等。高電源電位與低電源電位之間電位差施予發光元件 6404，使得電流流經發光元件 6404，藉此發光元件 6404發光。因而，設定每一電位，使得高電源電位與低電源電位之間電位差大於或等於發光元件 6404之前向閾值電壓。

當用於驅動發光元件之電晶體 6402之閘極電容用做電容器 6403之代用品時，電容器 6403可予省略。用於驅動發光元件之電晶體 6402之閘極電容可形成於通道區與閘極電極之間。

若使用電壓-輸入、電壓-驅動方法，視訊信號被輸入至用於驅動發光元件之電晶體 6402的閘極，使得用於驅動發光元件之電晶體 6402處於充分開啓或關閉兩狀態之一。即，用於驅動發光元件之電晶體 6402是在線性區作業，因

而高於電源線 6407 電壓之電壓便施予用於驅動發光元件之電晶體 6402 的閘極。請注意，高於或等於下列之電壓施予信號線 6405：電源線電壓 + 用於驅動發光元件之電晶體 6402 之 V_{th} 。

若執行類比灰階驅動取代數字鐘灰階驅動，便可藉由改變信號輸入而使用圖 13 中相同像素組態。

若執行類比灰階驅動，高於或等於下列之電壓施予用於驅動發光元件之電晶體 6402 的閘極：發光元件 6404 之前向電壓 + 用於驅動發光元件之電晶體 6402 之 V_{th} 。發光元件 6404 之前向電壓係指獲得所需亮度之電壓，包括至少前向閾值電壓。藉由輸入使用於驅動發光元件之電晶體 6402 可在飽和區作業之視訊信號，便可饋送電流予發光元件 6404。為使用於驅動發光元件之電晶體 6402 可在飽和區作業，將電源線 6407 之電位設定高於用於驅動發光元件之電晶體 6402 的閘極電位。當使用類比視訊信號時，依據視訊信號可饋送電流予發光元件 6404，並執行類比灰階驅動。

其次，將參照圖 14 說明不同圖 13 之像素組態範例。圖 14 描繪應用電流鏡像電路之像素組態範例。此處範例其中四個 n 通道電晶體（其中氧化物半導體層用於通道區）用於一像素中。

像素 6510 包括開關電晶體 6511、開關電晶體 6512、參考電晶體 6513、用於驅動發光元件之電晶體 6502、發光元件 6504 及電容器 6503。開關電晶體 6511 及開關電晶體 6512 之閘極連接掃描線 6506。開關電晶體 6511 之第一電極（源

極電極與汲極電極之一) 連接信號線 6505，及其第二電極 (源極電極與汲極電極之另一) 連接參考電晶體 6513及用於驅動發光元件之電晶體 6502之閘極。開關電晶體 6512之第一電極連接信號線 6505，及其第二電極連接參考電晶體 6513之第一電極。

用於驅動發光元件之電晶體 6502之第一電極連接電源線 6507，其閘極經由電容器 6503而連接發光元件 6504之第一電極 (像素電極)。請注意，儘管圖 14 中電容器 6503連接發光元件 6504之第一電極，但電容器 6503可不連接發光元件 6504之第一電極，而係連接電源線 6507或具有固定電位之電極，諸如共同電極 6508。可使用一種結構，其中開關電晶體 6511及開關電晶體 6512之閘極連接不同於掃描線 6506之掃描線。

此外，參考電晶體 6513及用於驅動發光元件之電晶體 6502之第二電極，連接發光元件 6504之第一電極 (像素電極)，發光元件 6504之第二電極連接共同電極 6508。共同電極 6508電性連接形成於相同基板上之共同電位線。

共同電極 6508被設定為低電源電位。請注意，低電源電位為低於設定至電源線 6507之高電源電位的電位。有關低電源電位，可使用例如 GND、0 V 等。發光元件 6504被製成為藉由電流 I_{out} 流動而發光，電流 I_{out} 係從電源線 6507，經由用於驅動發光元件之電晶體 6502而供應予發光元件 6504。因而，設定每一電位，使得高電源電位與低電源電位之間差異大於或等於發光元件 6504之前向閾值電壓。

當用於驅動發光元件之電晶體 6502 之閘極電容用做電容器 6503 之替代品時，電容器 6503 可予省略。用於驅動發光元件之電晶體 6502 之閘極電容可形成於通道區與閘極電極之間。

首先，將掃描線 6506 之電位設定為開啓開關電晶體 6511 及開關電晶體 6512 之電位，使得開關電晶體 6511 之第一電極與第二電極被導通，且開關電晶體 6512 之第一電極與第二電極亦被導通，藉此電流 I_{data} 從信號線 6505 供應予像素電路。電流 I_{data} 經由開關電晶體 6511 供應予電容器 6503，且電容器 6503 充電。電容器 6503 之電位藉由充電而提升，當電位超過參考電晶體 6513 之 V_{th} 時，參考電晶體 6513 被開啓。接著，電流 I_{data} 流經開關電晶體 6512、參考電晶體 6513 及發光元件 6504，至共同電極 6508。

電容器 6503 之電位持續增加，直至當參考電晶體 6513 之汲極電流成為等於電流 I_{data} 之電流值時為止。換言之，當電流 I_{data} 停止流經開關電晶體 6511 時，電容器 6503 之電位停止增加。

由於參考電晶體 6513 及用於驅動發光元件之電晶體 6502 之閘極彼此連接，用於驅動發光元件之電晶體 6502 之閘極與參考電晶體 6513 之閘極具有相同電位。若參考電晶體 6513 與用於驅動發光元件之電晶體 6502 具有相同電晶體特性及相同的通道寬度 W 相對於通道長度 L 之比例（ W/L 比），從電源線 6507 經由用於驅動發光元件之電晶體 6502 而供應予發光元件 6504 之電流 I_{out} ，便與電流 I_{data} 具有相等電

流值。

其次，掃描線 6506 之電位設定為關閉開關電晶體 6511 及開關電晶體 6512 之電位，使得關閉開關電晶體 6511 及開關電晶體 6512 成為關閉狀態，且電流 I_{data} 之供應停止。然而，藉由電容器 6503 中保持之電位，電流 I_{out} 可持續供應予發光元件 6504。

請注意，藉由設計電晶體特性及參考電晶體 6513 與用於驅動發光元件之電晶體 6502 之通道寬度 W 與通道長度 L 之間關係，電流 I_{out} 可製成大於或小於電流 I_{data} 。例如，若電晶體與參考電晶體 6513 具有相同電晶體特性及相同通道長度 L ，及具有參考電晶體 6513 之通道寬度 W 的一半，該電晶體用做用於驅動發光元件之電晶體 6502，電流 I_{out} 便成為電流 I_{data} 的一半。

由於用於本實施例之包括氧化物半導體層之電晶體具有極小關閉狀態電流，電容器 6503 之電位可輕易保持，且電容器 6503 之尺寸可製成小巧。此外，可避免當發光元件 6504 處於非發射狀態而未供應電流時，因所造成之關閉狀態電流之微弱發光之現象。

請注意，像素組態不侷限於圖 13 及圖 14 中所描繪者。例如，圖 13 及圖 14 中所描繪之像素可進一步包括開關、電阻器、電容器、電晶體及邏輯電路等。

其次，將參照圖 15A 至 15C 說明發光元件之結構。將藉由採用用於驅動發光元件之 n 通道薄膜電晶體做為範例，說明像素之截面結構。用於驅動發光元件之電晶體 7011、

用於驅動發光元件之電晶體 7021、及用於驅動發光元件之電晶體 7001，分別用於圖 15A、15B及 15C中所描繪之半導體裝置，可以類似於任一上述實施例中所說明之薄膜電晶體的方式加以製造，並將說明使用包括氧化物半導體層之薄膜電晶體的範例。

為提取發光元件發射之光，陽極及陰極之至少其一需透光。薄膜電晶體及發光元件係形成於基板之上。發光元件可具有頂部發射結構，其中光係經由相對於基板之表面予以提取；底部發射結構，其中光係經由基板側之表面予以提取；或雙重發射結構，其中光係經由相對於基板之表面及基板側之表面予以提取。像素組態可應用於具有任一該些發射結構之發光元件。

將參照圖 15A描述具有底部發射結構之發光元件。

圖 15A為像素之截面圖，若用於驅動發光元件之電晶體 7011為 n型，且光從發光元件 7012發射至第一電極 7013側。在圖 15A中，發光元件 7012之第一電極 7013係形成於電性連接至用於驅動發光元件之電晶體 7011之汲極電極層的透光導電層 7017之上，且 EL層 7014及第二電極 7015係以此順序堆疊於第一電極 7013之上。

有關透光導電層 7017，可使用諸如下列各膜之透光導電膜：包含氧化鎢之氧化銦、包含氧化鎢之銦鋅氧化物、包含氧化鈦之氧化銦、包含氧化鈦之銦錫氧化物、銦錫氧化物、銦鋅氧化物、或添加氧化矽之銦錫氧化物。

任何各類材料可用於形成發光元件之第一電極 7013。

例如，若第一電極 7013 用做陰極，較佳地使用具有低功函數之材料，例如鹼金屬（諸如 Li 或 Cs）；鹼土金屬（諸如 Mg、Ca 或 Sr）；包含任一該些元素之合金（Mg:Ag、Al:Li 等）；稀土金屬（諸如 Yb 或 Er）等。在圖 15A 中，第一電極 7013 之厚度為使第一電極透光（較佳地為約 5 nm 至 30 nm）。例如，使用具 20 nm 厚度之鋁膜做為第一電極 7013。

請注意，可堆疊透光導電膜及鋁膜，並接著選擇地蝕刻，使得以形成透光導電層 7017 及第一電極 7013。在此狀況下，較佳地使用相同遮罩執行蝕刻。

第一電極 7013 外邊緣部覆以分割區 7019。分割區 7019 之形成可使用聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽氧烷。特別較佳的是分割區 7019 係使用光敏樹脂材料形成，於第一電極層 7013 之上具有開口，使得開口之側壁形成為具連續曲率之傾斜表面。若將光敏樹脂材料用於分割區 7019，形成抗蝕罩之步驟便可省略。

形成於第一電極 7013 及分割區 7019 上之 EL 層 7014，只要包括至少發光層，便可使用單層或複數層堆疊而予形成。當 EL 層 7014 係使用複數層形成時，EL 層 7014 係藉由電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層依序堆疊於做為陰極之第一電極 7013 之上，而予形成。請注意，並不需要提供所有該些層。

堆疊順序不侷限於上述堆疊順序。第一電極 7013 可做

為陽極，而電洞注入層、電洞傳遞層、發光層、電子傳遞層及電子注入層可依序堆疊於第一電極7013之上。然而，當比較電力消耗時，較佳的是第一電極7013做為陰極，且電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層依序堆疊於第一電極7013之上，因為可抑制驅動電路部中電壓上升，並可減少電力消耗。

有關形成於EL層7014上之第二電極7015，可使用各式材料。例如，若第二電極7015用做陽極，較佳地使用具有高功函數之材料，諸如ZrN、Ti、W、Ni、Pt或Cr，或諸如ITO、IZO或ZnO之透光導電材料。阻光膜7016形成於第二電極7015之上。有關阻光膜7016，使用阻擋光之金屬、反射光之金屬等。在本實施例中，ITO膜用做第二電極7015及Ti膜用做阻光膜7016。

發光元件7012相應於一區域，其中包括透光層之EL層7014夾於第一電極7013與第二電極7015之間。若為圖15A中所描繪之元件結構，如箭頭所示，光從發光元件7012發射至第一電極7013側。光從發光元件7012發射，通過濾色層7033，並可經由基板發射。

濾色層7033可藉由諸如噴墨法之液滴釋放法、印刷法、使用光刻技術之蝕刻法等予以形成。

濾色層7033覆以覆膜層7034，及亦覆以保護絕緣層7035。請注意，覆膜層7034具有圖15A中所描繪之薄厚度；然而，覆膜層7034具有使因濾色層7033造成表面不平坦平面化之功能。

形成於保護絕緣層 7035、覆膜層 7034、濾色層 7033、平面化絕緣膜 7036、絕緣層 7032、及絕緣層 7031中之接觸孔，抵達汲極電極層，係提供於與分割區 7019重疊之部分。

其次，將參照圖 15B說明具有雙重發射結構之發光元件。

在圖 15B中，發光元件 7022之第一電極 7023係形成於電性連接用於驅動發光元件之電晶體 7021的汲極電極層之透光導電膜 7027之上，且 EL層 7024及第二電極 7025依此順序堆疊於第一電極 7023之上。

對透光導電層 7027而言，可使用諸如下列各膜之透光導電膜：包含氧化鎢之氧化銦、包含氧化鎢之銦鋅氧化物、包含氧化鈦之氧化銦、包含氧化鈦之銦錫氧化物、銦錫氧化物、銦鋅氧化物、或添加氧化矽之銦錫氧化物。

各式材料可用於形成第一電極 7023。例如，若第一電極 7023用做陰極，較佳地使用具有低功函數之材料，具體地，鹼金屬（諸如 Li或 Cs）；鹼土金屬（諸如 Mg、Ca或 Sr）；包含任一該些元素之合金（Mg:Ag、Al:Li等）；稀土金屬（諸如 Yb或 Er）等。在本實施例中，第一電極 7023用做陰極，且第一電極 7023經形成之厚度為使第一電極 7023可透光（較佳地為約 5 nm至 30 nm）。例如，使用具 20 nm厚之鋁膜做為陰極。

請注意，可堆疊透光導電膜及鋁膜並接著選擇性蝕刻，使得以形成透光導電層 7027及第一電極 7023。在此狀況

下，較佳的是使用相同抗蝕罩執行蝕刻。

第一電極 7023 周圍覆以分割區 7029。分割區 7029 之形成可使用諸如聚醯亞胺、丙烯酸樹脂、聚醯胺或環氧樹脂之有機樹脂膜；無機絕緣膜；或有機聚矽氧烷。特別較佳的是分割區 7029 係使用光敏樹脂材料形成，於第一電極層 7023 之上具有開口，使得開口之側壁形成為具連續曲率之傾斜表面。若將光敏樹脂材料用於分割區 7029，形成抗蝕罩之步驟便可省略。

形成於第一電極 7023 及分割區 7029 上之 EL 層 7024，只要包括至少發光層，便可使用單層或複數層堆疊而予形成。當 EL 層 7024 係使用複數層形成時，EL 層 7024 係藉由電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層依序堆疊於做為陰極之第一電極 7023 之上，而予形成。請注意，並不需要提供所有該些層。

堆疊順序不侷限於上述堆疊順序。第一電極 7023 可做為陽極，而電洞注入層、電洞傳遞層、發光層、電子傳遞層及電子注入層可依序堆疊於陽極之上。然而，為求較低電力消耗，較佳的是第一電極 7023 做為陰極，且電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層依序堆疊於陰極之上。

此外，形成於 EL 層 7024 上之第二電極 7025，可使用各式材料予以形成。例如，當第二電極 7025 用做陽極時，較佳地使用具高功函數之材料或透光導電材料，諸如 ITO、IZO 或 ZnO。在本實施例中，第二電極 7025 用做陽極，係

使用包含氧化矽之ITO膜予以形成。

發光元件7022相應於一區域，其中包括發光層之EL層7024夾於第一電極7023與第二電極7025之間。若為圖15B中所描繪之元件結構，如箭頭所示，光從發光元件7022發射至第二電極7025側及第一電極7023側。

請注意，圖15B中描繪一範例，其中透光導電膜用做閘極電極層，及透光薄膜用做源極及汲極電極層。光從發光元件7022發射至第一電極7023側，通過濾色層7043，並可經由基板提取。

濾色層7043可藉由諸如噴墨法之液滴釋放法、印刷法、使用光刻技術之蝕刻法等予以形成。

濾色層7043覆以覆膜層7044，及亦覆以保護絕緣層7045。

形成於保護絕緣層7045、覆膜層7044、濾色層7043、平面化絕緣膜7046、絕緣層7042、及絕緣層7041中之接觸孔，抵達汲極電極層，係提供於與分割區7029重疊之部分。

請注意，當使用具有雙重發射結構之發光元件，並於二顯示表面上執行全彩顯示時，來自第二電極7025側之光便不通過濾色層7043；因此，較佳地於第二電極7025上提供具另一濾色層之密封基板。

其次，參照圖15C說明具有頂部發射結構之發光元件。

圖15C為像素截面圖，若用於驅動發光元件之電晶體

7001 爲 n 型，且光從發光元件 7002 發射至第二電極 7005 側。在圖 15C 中，用於驅動發光元件之電晶體 7001 之汲極電極層與第一電極 7003 彼此接觸，且用於驅動發光元件之電晶體 7001 與發光元件 7002 之第一電極 7003 彼此電性連接。EL 層 7004 及第二電極 7005 依序堆疊於第一電極 7003 上。

各式材料可用於形成發光元件之第一電極 7013。例如，若第一電極 7013 用做陰極，較佳地使用具有低功函數之材料，例如鹼金屬（諸如 Li 或 Cs）；鹼土金屬（諸如 Mg、Ca 或 Sr）；包含任一該些元素之合金（Mg:Ag、Al:Li 等）；稀土金屬（諸如 Yb 或 Er）等。

第一電極 7003 周圍覆以分割區 7009。分割區 7009 之形成可使用諸如聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽氧烷。特別較佳的是分割區 7009 係使用光敏樹脂材料形成，於第一電極層 7003 之上具有開口，使得開口之側壁形成爲具連續曲率之傾斜表面。當將光敏樹脂材料用於分割區 7009 時，形成抗蝕罩之步驟便可省略。

形成於第一電極 7003 及分割區 7009 上之 EL 層 7004，只要包括至少發光層，便可使用單層或複數層堆疊而予形成。當 EL 層 7004 係使用複數層形成時，EL 層 7004 係藉由電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層依序堆疊於做爲陰極之第一電極 7003 之上，而予形成。請注意，並不需要提供所有該些層。

堆疊順序不侷限於上述堆疊順序，且電洞注入層、電

洞傳遞層、發光層、電子傳遞層及電子注入層可依序堆疊於用做陽極之第一電極7003之上。

在圖15C中，電洞注入層、電洞傳遞層、發光層、電子傳遞層及電子注入層依序堆疊於複合膜之上，其中依序堆疊鈦膜、鋁膜及鈦膜，且其上形成Mg:Ag合金薄膜及ITO之堆疊層。

然而，若用於驅動發光層之電晶體7001為n型，電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層較佳地依序堆疊於第一電極7003之上，因其可抑制驅動電路中電壓上升，並可減少電力消耗。

第二電極7005係使用可透光之透光導電材料製成，例如可使用諸如下列各膜之透光導電膜：包含氧化鎢之氧化銦、包含氧化鎢之銦鋅氧化物、包含氧化鈦之氧化銦、包含氧化鈦之銦錫氧化物、銦錫氧化物、銦鋅氧化物、或添加氧化矽之銦錫氧化物。

發光元件7002相應於一區域，其中EL層7004夾於第一電極7003與第二電極7005之間。若為圖15C中所描繪之像素，如箭頭所示，光從發光元件7002發射至第二電極7005側。

在圖15C中，用於驅動發光層之電晶體7001的汲極電極層經由提供於氧化矽層7051、保護絕緣層7052、平面化絕緣層7056、平面化絕緣層7053及絕緣層7055中之接觸孔，而電性連接第一電極7003。

提供分割區7009以便絕緣第一電極7003及鄰近像素之

第一電極。分割區 7009 之形成可使用聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽氧烷。特別較佳的是分割區 7009 係使用光敏樹脂材料形成，於第一電極層 7003 之上具有開口，使得開口之側壁形成爲具連續曲率之傾斜表面。當光敏樹脂材料用於分割區 7009 時，形成抗蝕罩之步驟便可省略。

在圖 15C 之結構中，當執行全彩顯示時，例如，發光元件 7002 用做綠色發光元件，鄰近發光元件之一用做紅色發光元件，及其他發光元件用做藍色發光元件。另一方面，可全彩顯示之發光顯示裝置可使用四類發光元件予以製造，除了該三類發光元件，還包括白色發光元件。

在圖 15C 之結構中，可全彩顯示之發光顯示裝置可以一種方式製造，即所配置的所有複數發光元件爲白色發光元件，以及具有濾色器等之密封基板，配置於發光元件 7002 上。可形成展現諸如白色之單色光的材料，並組合濾色器或顏色轉換層，藉此可執行全彩顯示。

請注意，平面化絕緣層 7036、7046、7053 及 7056 可使用樹脂材料形成，諸如聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂、聚醯胺或環氧樹脂。除了該等樹脂材料外，亦可使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、摻雜硼磷的矽玻璃（BPSG）等。請注意，平面化絕緣層 7036、7046、7053 及 7056 可經由堆疊該些材料組成之複數絕緣膜予以形成。形成平面化絕緣層 7036、7046、7053 及 7056 之方法並無特別限制，並可依據材料

而藉由下列方法或裝置而形成平面化絕緣層 7036、7046、7053及7056：方法諸如濺鍍法、SOG法、針狀塗層法、浸漬法、旋塗法、噴塗法或液低釋放法（例如噴墨法、網印或膠印），或工具諸如刮膠刀、擠膠滾筒、簾式塗料器、刮刀塗佈機等。

任一上述實施例之薄膜電晶體可酌情用做用於驅動發光元件之電晶體 7001、用於驅動發光元件之電晶體 7011及用於驅動發光元件之電晶體 7021，而用於半導體裝置，且其可使用類似於上述實施例之薄膜電晶體的步驟及材料予以形成。在用於驅動發光元件之電晶體 7001、7011及7021的氧化物半導體層中，氫或水降低。因此，用於驅動發光元件之電晶體 7001、7011及7021為高度可靠薄膜電晶體。

不用說，亦可執行單色光之顯示。例如，可使用白光發射形成發光裝置，或可使用單色發光形成區域多彩發光裝置。

若有需要，可提供光學膜，諸如包括圓偏光板之偏光膜。

儘管此處說明有機EL元件做為發光元件，亦可提供無機EL元件做為發光元件。

請注意，所說明之範例其中控制發光元件之驅動的電晶體（用於驅動發光元件之電晶體）電性連接至發光元件；然而，可使用一種結構，其中用於電流控制之電晶體連接至用於驅動發光元件之電晶體與發光元件之間。

其次，將參照圖 16A及 16B說明發光顯示面板（亦稱為

發光面板)之外觀及截面。圖16A為面板平面圖，其中薄膜電晶體及發光元件以密封劑密封於第一基板與第二基板之間。圖16B為沿圖16A中線H-I之截面圖。

提供密封劑4505以便圍繞提供於第一基板4501上之像素部4502、信號線驅動電路4503a、信號線驅動電路4503b、掃描線驅動電路4504a及掃描線驅動電路4504b。此外，第二基板4506係提供於像素部4502、信號線驅動電路4503a及4503b、及掃描線驅動電路4504a及4504b之上。因此，像素部4502、信號線驅動電路4503a及4503b、及掃描線驅動電路4504a及4504b藉由第一基板4501、密封劑4505及第二基板4506而連同填充劑4507密封在一起。較佳的是顯示裝置因而以保護膜(諸如複合膜或紫外線固化樹脂膜)或具高氣密性及低脫氣之覆蓋材料封裝(密封)，使得顯示裝置不暴露於外部空氣。

實施例1中所說明之光檢測器4580係提供於第一基板4501上與密封劑4505環繞之區域不同之區域中。光檢測器4580可與像素部同時形成於第一基板4501上，或可形成於不同基板上，而接著安裝於第一基板4501上。請注意，若使用透光基板做為第一基板4501，光檢測器4580可具有檢測從基板側進入之光的結構，同時若使用未透射可見光之基板做為第一基板4501，光檢測器之光接收部需面對不受因基板阻光之影響的方向。

形成於第一基板4501上之像素部4502、信號線驅動電路4503a及4503b、及掃描線驅動電路4504a及4504b，各包

括複數薄膜電晶體，且像素部4502中所包括之薄膜電晶體4510及信號線驅動電路4503a中所包括之薄膜電晶體4509，被描繪做為圖16B中範例。

任一上述實施例之薄膜電晶體可酌情用做薄膜電晶體4509及4510，且其可使用類似於上述實施例之薄膜電晶體的步驟及材料予以形成。薄膜電晶體4509及4510之氧化物半導體層中氫或水減少。

請注意，用於驅動電路之薄膜電晶體4509於與薄膜電晶體中氧化物半導體層之通道區重疊的位置具有導電層。在本實施例中，薄膜電晶體4509及4510為n通道薄膜電晶體。

導電層4540係提供於與用於驅動電路之薄膜電晶體4509中氧化物半導體層的通道區重疊部分之氧化矽層4542之上。當導電層4540係提供於與氧化物半導體層的通道區重疊部分時，藉此可降低BT（偏壓溫度）測試前後薄膜電晶體4509之閾值電壓的偏移量。導電層4540可具有與薄膜電晶體4509之閘極電極層相同或不同之電位，並可做為第二閘極電極層。導電層4540之電位可為接地（GND）、0V、或處於浮動狀態。

此外，形成氧化矽層4542以覆蓋薄膜電晶體4510之氧化物半導體層。薄膜電晶體4510之源極或汲極電極層於經形成而覆蓋薄膜電晶體之氧化矽層4542與絕緣層4551中形成之開口中電性連接佈線層4550。佈線層4550經形成而接觸第一電極4517，且薄膜電晶體4510與第一電極4517經由

佈線層 4550 而彼此電性連接。

氧化矽層 4542 可使用類似於其他實施例中所說明之氧化物絕緣層的材料及方法，予以形成。

濾色層 4545 形成於絕緣層 4551 之上，以便與發光元件 4511 之發光區重疊。

此外，為降低濾色層 4545 之表面粗糙，濾色層 4545 覆以做為平面化絕緣膜之覆膜層 4543。

此外，絕緣層 4544 形成於覆膜層 4543 之上。絕緣層 4544 可以類似於其他實施例中所說明之保護絕緣層之方式，予以形成，及氮化矽膜可藉由例如濺鍍法而予形成。

編號 4511 表示發光元件，而第一電極層 4517 為發光元件 4511 中所包括之像素電極，經由佈線層 4550 而電性連接至薄膜電晶體 4510 之源極電極層或汲極電極層。請注意，發光元件 4511 之結構不侷限於所描繪之結構，其包括第一電極層 4517、電致發光層 4512 及第二電極層 4513。依據從發光元件 4511 等提取之光的方向，發光元件 4511 之結構可酌情改變。

分割區 4520 係使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷而予形成。特別較佳的是分割區 4520 為光敏材料形成，於第一電極層 4517 之上具有開口，使得開口之側壁形成為具連續曲率之傾斜表面。

電致發光層 4512 可使用單層或複數層堆疊而予形成。

保護膜可形成於第二電極層 4513 及分割區 4520 之上，以避免氧、氫、濕氣、二氧化碳等進入發光元件 4511。有

關保護膜，可形成氮化矽膜、氮氧化矽膜、DLC（類鑽石碳）膜等。

此外，各類信號及電位從FPC 4518a及FPC 4518b供應予信號線驅動電路4503a及信號線驅動電路4503b、掃描線驅動電路4504a及掃描線驅動電路4504b、或像素部4502。

由與發光元件4511中所包括之第一電極層4517相同導電膜而形成連接終端電極4515，及由薄膜電晶體4509中所包括之源極及汲極電極層相同導電膜而形成終端電極4516。

連接終端電極4515經由各向異性導電膜4519而電性連接至FPC 4518a中所包括之端子。

置於從發光元件4511提取光之方向的基板需具有透光屬性。在此狀況下，使用透光材料，諸如玻璃板、塑料板、聚脂膜或丙烯酸樹脂膜。

有關填充劑4507，除了諸如氮或氬之惰性氣體外，可使用紫外線固化樹脂或熱固性樹脂。例如，可使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、聚乙烯醇縮丁醛（PVB）或乙烯醋酸乙烯酯（EVA）。例如，氮用做填充劑。

此外，當需要時，諸如偏光板、圓偏光板（包括橢圓偏光板）、或延遲板（四分之一波板或半波板）等光學膜，可適當地提供於發光元件之發光表面。此外，偏光板或圓偏光板可提供具防反射膜。例如，可執行防眩光處理，藉此反射光可藉由投影而擴散並於表面上降低，以致降低

眩光。

密封劑可使用網印法、噴墨設備或分配設備予以沈積。有關密封劑，典型地可使用包含可見光固化樹脂、紫外線固化樹脂、或熱固性樹脂之材料。此外，可包含填充劑。

信號線驅動電路 4503a 及 4503b 與掃描線驅動電路 4504a 及 4504b 可安裝做為使用單晶半導體膜或多晶半導體膜於個別準備之基板上形成之驅動電路。另一方面，僅信號線驅動電路或其部分，或僅掃描線驅動電路或其部分，可個別形成及安裝。本實施例不侷限於圖 16A 及 16B 中所描繪之結構。

經由上述程序，可製造發光顯示裝置（顯示面板）做為半導體裝置。

光檢測器 4580 檢測發光顯示裝置附近之照度，並可調整發光亮度，藉此可提升可視性並可達成較低電力消耗。

若實施例 1 中所說明之光檢測器提供於像素部 4502 中，該裝置可用做光學碰觸感應器。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

（實施例 12）

在本實施例中，將說明本說明書中所揭露之半導體裝置。具體地，將說明電子紙之範例，做為本說明書中所揭露之半導體裝置的實施例。

圖 17 描繪主動式矩陣電子紙。用於電子紙之薄膜電晶體 581 可為任一上述實施例中所說明之薄膜電晶體，並可使用類似於上述實施例中所說明之薄膜電晶體的步驟及材料予以製造。在本實施例中，將說明一範例，其中實施例 6 中所說明之薄膜電晶體用做薄膜電晶體 581。薄膜電晶體 581 之氧化物半導體層中氫或水減少。

圖 17 中電子紙為使用扭球顯示系統之顯示裝置範例。扭球顯示系統係指一種方法，其中染成黑色及白色的每一球形粒子用於顯示元件，配置於電極層的第一電極層與第二電極層之間，並於第一電極層與第二電極層之間產生電位差，以控制球形粒子之方向，使得以執行顯示。

提供於基板 580 上之薄膜電晶體 581 為具有底閘結構之薄膜電晶體。薄膜電晶體 581 之源極或汲極電極層經由形成於氧化矽層 583、保護絕緣層 584 及絕緣層 585 中之開口，而電性連接第一電極層 587。

在第一電極層 587 與第二電極層 588 之間，提供各具有黑區 590a、白區 590b 及填充液體環繞黑區 590a 及白區 590b 之腔室 594 之球形粒子 589。圍繞球形粒子 589 之空間填注諸如樹脂之填充劑 595（詳圖 17）。在本實施例中，第一電極層 587 相應於像素電極，且提供於相對基板 596 上之第二電極層 588 相應於共同電極。

亦可使用電泳元件取代扭球。使用具有約 10 μm 至 200 μm 直徑之微膠囊，其中透明液體、正向充電之白色微粒子及負向充電之黑色微粒子均裝入膠囊。在第一電極層與第

二電極層之間所提供之微膠囊中，當藉由第一電極層及第二電極層而應用電場時，白色微粒子及黑色微粒子以彼此相對方向移動，使得可顯示白色或黑色。使用此原理之顯示元件為電泳顯示元件，而包括電泳顯示元件之裝置一般稱為電子紙。電泳顯示元件具有高於液晶顯示元件之反射係數，因而不需要輔助光，電力消耗低，且可於黑暗處識別顯示部。此外，當電力未供應予顯示部時，可維持已顯示之影像。因此，若具有顯示功能之半導體裝置（此可簡單地稱為顯示裝置或具顯示裝置之半導體裝置）迴避電波源，可儲存已顯示之影像。

本實施例之電子紙為反射顯示裝置，其中顯示係藉由控制應用於具驅動電路之扭球的電壓而予執行。

經由上述程序，可製造電子紙做為半導體裝置。

若實施例1中所說明之光檢測器係提供於顯示部，該裝置可用做光學碰觸感應器。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

（實施例13）

本說明書中揭露之半導體裝置可應用於各類電子裝置（包括遊戲機）。電子裝置之範例包括電視機（亦稱為電視或電視接收器）、電腦螢幕等、諸如數位相機或數位視訊攝影機之攝影機、數位相框、蜂巢式電話（亦稱為行動電話或行動電話機）、可攜式遊戲機、可攜式資訊終端機

、音頻再生裝置、諸如彈珠機之大型遊戲機等。

圖 18A 描繪行動電話範例。行動電話 1600 包括併入顯示部 1602 之外殼 1601、操作按鈕 1603a 及 1603b、外部連接埠 1604、揚聲器 1605、麥克風 1606 等。

當以手指等碰觸圖 18A 中所描繪之行動電話 1600 的顯示部 1602 時，資料可輸入至行動電話 1600。此外，諸如打電話及發送和寫郵件之作業，可藉由以手指等碰觸顯示部 1602 而予執行。

主要存在顯示部 1602 的三種螢幕模式。第一模式為主要用於顯示影像之顯示模式。第二模式為主要用於輸入諸如正文之資料的輸入模式。第三模式為顯示及輸入模式，其中顯示模式及輸入模式兩模式相結合。

例如，若打電話或寫郵件，便於顯示部 1602 選擇主要用於輸入正文之正文輸入模式，使得可輸入顯示於螢幕之正文。在此狀況下，較佳的是在幾乎顯示部 1602 之螢幕的所有區域顯示鍵盤或數字按鈕。

當包括用於檢測傾角之感應器（諸如陀螺儀或加速感應器）的檢測裝置提供於行動電話 1600 內部時，顯示部 1602 之螢幕顯示可經由檢測行動電話 1600 的方向而自動切換（不論行動電話 1600 為用於全景模式或肖像模式而水平或垂直擺置）。

螢幕模式係藉由碰觸顯示部 1602 或操作外殼 1601 之操作按鈕 1603a 及 1603b 而予切換。另一方面，螢幕模式可依據顯示於顯示部 1602 之影像種類而予切換。例如，當顯示

於顯示部 1602 之影像的信號為移動影像資料之信號時，螢幕模式便切換為顯示模式。當信號為正文資料之信號時，螢幕模式便切換為輸入模式。

此外，在輸入模式，當藉由碰觸顯示部 1602 之輸入未執行達某期間，同時檢測到藉由顯示部 1602 中光學感應器檢測之信號，便可控制螢幕模式，以便從輸入模式切換為顯示模式。

顯示部 1602 可做為影像感應器。例如，掌紋、指紋等影像係藉由以手掌或手指碰觸顯示部 1602 時拍攝，藉此可執行人員驗證。此外，藉由於顯示部中提供背光或發射近紅外線之感應光源，便可拍攝手指靜脈或手掌靜脈之影像。

任一上述實施例中所說明之半導體裝置可應用於顯示部 1602。例如，上述實施例中所說明之複數薄膜電晶體可排列為像素中開關元件。

圖 18B 亦描繪行動電話之範例。諸如圖 18B 中所描繪之可攜式資訊終端機，可具有複數功能。例如，除了電話功能以外，該等可攜式資訊終端機可藉由結合電腦，而具有處理各式資料項之功能。

圖 18B 中所描繪之可攜式資訊終端機具有外殼 1800 及外殼 1801。外殼 1801 包括顯示面板 1802、揚聲器 1803、麥克風 1804、指向裝置 1806、相機鏡頭 1807、外部連接端子 1808 等。外殼 1800 包括鍵盤 1810、外部記憶體槽 1811 等。此外，天線併入外殼 1801。

顯示面板 1802 經提供而具觸控面板。以影像顯示之複數操作鍵 1805 於圖 18B 中以虛線描繪。

此外，除了上述結構外，可結合非接觸 IC 晶片、小型記憶體裝置等。

任一上述實施例中所說明之半導體裝置可用於顯示面板 1802，其顯示方向依據應用模式而適當改變。此外，相機鏡頭 1807 提供於與顯示面板 1802 相同表面上，因而可體現視訊電話。揚聲器 1803 及麥克風 1804 可用於視訊電話、記錄、播放聲音等，以及語言通話。再者，外殼 1800 及 1801 處於圖 18D 中所描繪之開發狀態，而藉由滑動而使得彼此重疊；因此，可攜式資訊終端機之尺寸可降低，此使得可攜式資訊終端機適於攜帶。

外部連接端子 1808 可連接 AC 轉接器及諸如 USB 纜線之各類纜線，並可與個人電腦充電及資料通訊。再者，儲存媒體可嵌入外部記憶體槽 1811，使得可儲存及移動大量資料。

此外，除了上述功能外，可提供紅外線通訊功能、電視接收功能等。

圖 19A 描繪電視機之範例。在電視機 9600 中，顯示部 9603 併入外殼 9601。顯示部 9603 上可顯示影像。此處，外殼 9601 係藉由支架 9605 支撐。

電視機 9600 可以外殼 9601 之操作開關或個別遙控器 9610 操作。頻道及音量可由遙控器 9610 之操作鍵 9609 控制，使得以控制顯示於顯示部 9603 上之影像。此外，遙控器

9610可具顯示部9607，用於顯示遙控器9610輸出之資料。

請注意，電視機9600較佳地具接收器、數據機等。基於接收器，可接收一般電視廣播。此外，當電視機9600經由數據機有線或無線連接至通訊網路時，可執行單向（從發送端至接收端）或雙向（發送端與接收端之間，接收端之間等）資訊通訊。

任一上述實施例中所說明之半導體裝置可應用於顯示部9603。例如，上述實施例中所說明之複數薄膜電晶體可排列為像素中開關元件。

圖19B描繪數位相框之範例。例如，在數位相框9700中，顯示部9703併入外殼9701。各式影像可顯示於顯示部9703上。例如，顯示部9703可顯示藉由數位相機等所拍攝影像之資料，而做為一般相框。

任一上述實施例中所說明之半導體裝置可應用於顯示部9703。例如，上述實施例中所說明之複數薄膜電晶體可排列為像素中開關元件。

請注意，數位相框9700經提供而具操作部、外部連接端子（USB端子、可連接諸如USB纜線之各類纜線的端子）、記錄媒體嵌入部等。儘管該些組件可提供於相同表面上做為顯示部，較佳的是為數位相框9700之設計而將其提供於側面或背面。例如，儲存藉由數位相機拍攝之影像資料的記憶體被插入數位相框之記錄媒體嵌入部，藉此影像資料可顯示於顯示部9703。

數位相框9700可具有組態，可無線傳輸及接收資料。

經由無線通訊，所需影像資料可經轉移而予顯示。

圖 20 描繪可攜式遊戲機之範例。圖 20 中所描繪之可攜式遊戲機係由兩外殼構成：外殼 9881 及外殼 9891。外殼 9881 及外殼 9891 經連接而具接合部 9893，使得以開啓及關閉。顯示部 9882 及顯示部 9883 分別併入外殼 9881 及外殼 9891。

任一上述實施例中所說明之半導體裝置可應用於顯示部 9883。例如，上述實施例中所說明之複數薄膜電晶體可排列為像素中開關元件。

此外，圖 20 中描繪之可攜式遊戲機包括揚聲器部 9884、記錄媒體嵌入部 9886、發光二極體（LED）燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感應器 9888（感應器具有下列項目測量功能：力量、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流率、濕度、傾斜度、震動、氣味或紅外線）或麥克風 9889）等。不用說，可攜式遊戲機之結構，不侷限於上述，可使用經提供而具至少本說明書中所揭露之薄膜電晶體的其他結構。可攜式遊戲機可酌情包括其他配件。圖 20 中描繪之可攜式遊戲機具有讀取儲存於記錄媒體之程式或資料以顯示於顯示部之功能，與藉由無線通訊而與另一可攜式遊戲機分享資訊之功能。圖 20 中描繪之可攜式遊戲機可具有各類功能，不限於上述。

(實施例 14)

本說明書中所揭露之半導體裝置可應用於電子紙。電子紙可用於只要可顯示資料之各類領域之電子裝置。例如，電子紙可應用於電子書閱讀器（電子書）、海報、諸如火車之車廂廣告，或諸如信用卡之各類卡的顯示。圖 21 中描繪電子裝置之範例。

圖 21 描繪電子書閱讀器之範例。例如，電子書閱讀器 2700 包括外殼 2701 及外殼 2703 之兩外殼。外殼 2701 及外殼 2703 係以絞鏈 2711 結合，使得電子書閱讀器 2700 可以絞鏈 2711 做為軸而開啓或關閉。基於該等結構，電子書閱讀器 2700 可如同紙本書籍般操作。

顯示部 2705 及顯示部 2707 分別併入外殼 2701 及外殼 2703。顯示部 2705 及顯示部 2707 可顯示一影像或不同影像。若顯示部 2705 及顯示部 2707 顯示不同影像，例如，在右側之顯示部（圖 21 中顯示部 2705）可顯示正文，及左側之顯示部（圖 21 中顯示部 2707）可顯示影像。

圖 21 描繪一範例，其中外殼 2701 經提供而具操作部等。例如，外殼 2701 經提供而具電力開關 2721、操作鍵 2723、揚聲器 2725 等。基於操作鍵 2723，頁面可以翻轉。請注意，鍵盤、指向裝置等可提供於相同表面上，做為外殼之顯示部。此外，外部連接端子（耳機端子、USB 端子、可連接諸如 AC 轉接器及 USB 纜線之各類纜線的端子）、記錄媒體嵌入部等可提供於外殼之背面或側面。再者，電子書閱讀器 2700 可具有電子字典之功能。

此外，電子書閱讀器2700可無線發送及接收資料。經由無線通訊，可從電子書伺服器採購及下載所需書籍資料等。

本實施例可酌情與其他實施例中所說明之任一結構相組合而予實施。

本申請案係依據2009年10月21日向日本專利處提出申請之序號2009-242853日本專利申請案，其整個內容係以提及方式併入本文。

【圖式簡單說明】

在圖式中：

圖1顯示半導體裝置之電路結構；

圖2顯示半導體裝置之截面結構；

圖3A及3B分別顯示半導體裝置之頂面結構及截面結構

；

圖4A至4E顯示半導體裝置之製造程序；

圖5A及5B分別顯示半導體裝置之頂面結構及截面結構

；

圖6A至6E顯示半導體裝置之製造程序；

圖7A及7B各顯示半導體裝置之截面結構；

圖8A至8E顯示半導體裝置之製造程序；

圖9A至9D顯示半導體裝置之製造程序；

圖10A至10D顯示半導體裝置之製造程序；

圖11顯示半導體裝置之截面結構；

圖 12A 至 12C 各顯示半導體裝置；

圖 13 顯示半導體裝置中像素之等效電路；

圖 14 顯示半導體裝置中像素之等效電路；

圖 15A 至 15C 各顯示半導體裝置之截面結構；

圖 16A 及 16B 顯示半導體裝置；

圖 17 顯示半導體裝置；

圖 18A 及 18B 各顯示半導體裝置；

圖 19A 及 19B 各顯示半導體裝置；

圖 20 顯示半導體裝置；

圖 21 顯示半導體裝置；

圖 22 為其中使用氧化物半導體之反向交錯薄膜電晶體的縱剖視圖；

圖 23A 及 23B 為沿圖 22 之剖面 A-A' 的能帶圖（示意圖）

；

圖 24A 顯示正電位（ $+VG$ ）應用於閘極（G1）之狀態，及圖 24B 顯示負電位（ $-VG$ ）應用於閘極（G1）之狀態；及

圖 25 顯示真空位準與金屬之功函數（ ϕ_M ）之間的關係，及真空位準與氧化物半導體之電子親和性（ χ ）之間的關係。

【主要元件符號說明】

300、320、340、370、400、450、580、601、613、
4001、4006、4501、4506：基板

302、322、342、372a、372b、402、452：閘極絕緣層

303、323、343、373、584、632、4042、7035、7045、7052：保護絕緣層

310、350、360、380、410、425、426、460、581、4010、4011、4509、4510：薄膜電晶體

311、351、361、381、411、461、461a、461b、645：閘極電極層

316、356、366、386：氧化物絕緣層

330、345：氧化物半導體膜

331、332、346、382、412、462：氧化物半導體層

407、422、457、585、631、4020、4021、4032、4033、4041、4544、7031、7032、7041、7042、7055：絕緣層

420：矽基板

423：開口

424、427、643、4040、4540：導電層

414a、414b、464、468、4550：佈線層

583、4542、7051：氧化矽層

587、588、641、642、644：電極層

589：球形粒子

594：腔室

595、4507：填充劑

596：相對基板

608：黏接層

622：光

633、634：層際絕緣層

1300、4100、4580：光檢測器

1301：檢測器

1302：放大器電路

1305、1306：電晶體

1311、1312：電源端子

1320：保護電路

1321：二極體

1600：行動電話

1601、1800、1801、2701、2703、9601、9701、9881

、9891：外殼

1602、2705、2707、9603、9607、9703、9882、9883

：顯示部

1604：外部連接埠

1605、1803、2725：揚聲器

1606、1804、9889：麥克風

1802：顯示面板

1805、2723、9609、9885：操作鍵

1806：指向裝置

1807：相機鏡頭

1808：外部連接端子

1810：鍵盤

1811：外部記憶體槽

2700：電子書閱讀器

2711：絞鏈

2721：電源

4002、4502：像素部

4003、4503a、4503b：信號線驅動電路

4004、4504a、4504b：掃描線驅動電路

4005、4505：密封劑

4008：液晶層

4013：液晶元件

4015、4515：連接終端電極

4016、4516：終端電極

4018、4518a、4518b：軟性印刷電路（FPC）

4019、4519：各向異性導電膜

4030：像素電極層

4031：相對電極層

4035：隔板

4511、6404、6504、7002、7012、7022：發光元件

4512：電致發光層

4513、4517、7003、7005、7013、7015、7023、7025

：電極

4520、7009、7019、7029：分割區

4543、7034、7044：覆膜層

4545、7033、7043：濾色層

6400、6510：像素

6401、6511、6512：開關電晶體

6402、6502、7001、7011、7021：驅動發光元件之電
晶體

6403、6503：電容器

6405、6505：信號線

6406、6506：掃描線

6407、6507：電源線

6408、6508：共同電極

6513：參考電晶體

7004、7014、7024：電致發光（EL）層

7016：阻光膜

7017、7027：導電膜

7036、7046、7053、7056：平面化絕緣層

9600：電視機

9605：支架

9610：遙控器

9700：數位相框

9884：揚聲器部

9886：記錄媒體嵌入部

9887：連接端子

9888：感應器

9890：發光二極體（LED）燈

9893：連接部

1603a、1603b：操作按鈕

315a、355a、365a、385a：源極電極層

315b、355b、365b、385b：汲極電極層

415a、415b、465a1、465a2、465b：源極或汲極電極層

421a、421b：開口

590a：黑區

590b：白區

606a、606b、606c：半導體層

照刊本修正

空白頁

七、申請專利範圍：

1. 一種類比電路，包含：

參考電晶體；

鏡像電晶體；及

檢測器，

其中該參考電晶體電性連接該檢測器，

其中該參考電晶體之汲極及閘極彼此電性連接，

其中該參考電晶體之該閘極電性連接該鏡像電晶體之閘極，

其中該參考電晶體及該鏡像電晶體包括具有 5×10^{19} 原子/cm³ 或更低氫濃度之氧化物半導體，及

其中該參考電晶體及該鏡像電晶體各者的關閉狀態電流為 10^{-13} A 或更低。

2. 如申請專利範圍第 1 項之類比電路，其中該鏡像電晶體具有較該參考電晶體長之通道寬度。

3. 一種類比電路，包含：

第一薄膜電晶體，具有電性連接高電位側電源之第一端子；

第二薄膜電晶體，具有電性連接該高電位側電源之第一端子；及

該高電位側電源與該第一薄膜電晶體之該第一端子之間之檢測器，

其中該第一薄膜電晶體之閘極電性連接該檢測器與該第一薄膜電晶體之該第一端子之間之一點，

其中該第二薄膜電晶體之閘極電性連接該第一薄膜電晶體之該閘極，

其中該第一薄膜電晶體之第二端子及該第二薄膜電晶體之第二端子電性連接低電位側電源，

其中該第一薄膜電晶體及該第二薄膜電晶體包括具有 5×10^{19} 原子/cm³ 或更低氫濃度之氧化物半導體，及

其中該第一薄膜電晶體及該第二薄膜電晶體各者的關閉狀態電流為 10^{-13} A 或更低。

4. 如申請專利範圍第 3 項之類比電路，其中該第二薄膜電晶體具有較該第一薄膜電晶體長之通道寬度。

5. 一種類比電路，包含：

第一薄膜電晶體，具有電性連接高電位側電源之第一端子；

第二薄膜電晶體，具有電性連接該高電位側電源之第一端子；

複數個薄膜電晶體，其與該第二薄膜電晶體並聯；及
該高電位側電源與該第一薄膜電晶體之該第一端子之間之檢測器，

其中該第一薄膜電晶體之閘極電性連接該檢測器與該第一薄膜電晶體之該第一端子之間之一點，

其中該第二薄膜電晶體之閘極電性連接該第一薄膜電晶體之該閘極，

其中該第一薄膜電晶體之第二端子及該第二薄膜電晶體之第二端子電性連接低電位側電源，

其中該第一薄膜電晶體、該第二薄膜電晶體及該複數個薄膜電晶體包括具有 5×10^{19} 原子/cm³ 或更低氫濃度之氧化物半導體，及

其中該第一薄膜電晶體、該第二薄膜電晶體及該複數個薄膜電晶體各者的關閉狀態電流為 10^{-13} A 或更低。

6. 如申請專利範圍第 5 項之類比電路，其中該第二薄膜電晶體具有較該第一薄膜電晶體長之通道寬度。

7. 如申請專利範圍第 1、3 和 5 項中任一項之類比電路，其中該氧化物半導體之通道區具有 5×10^{12} /cm³ 或更低之載子濃度。

8. 如申請專利範圍第 1、3 和 5 項中任一項之類比電路，其中該檢測器係選自包括光感測器、聲音感測器及溫度感測器之群組。

9. 一種半導體裝置，包含申請專利範圍第 1、3 和 5 項中任一項之類比電路。

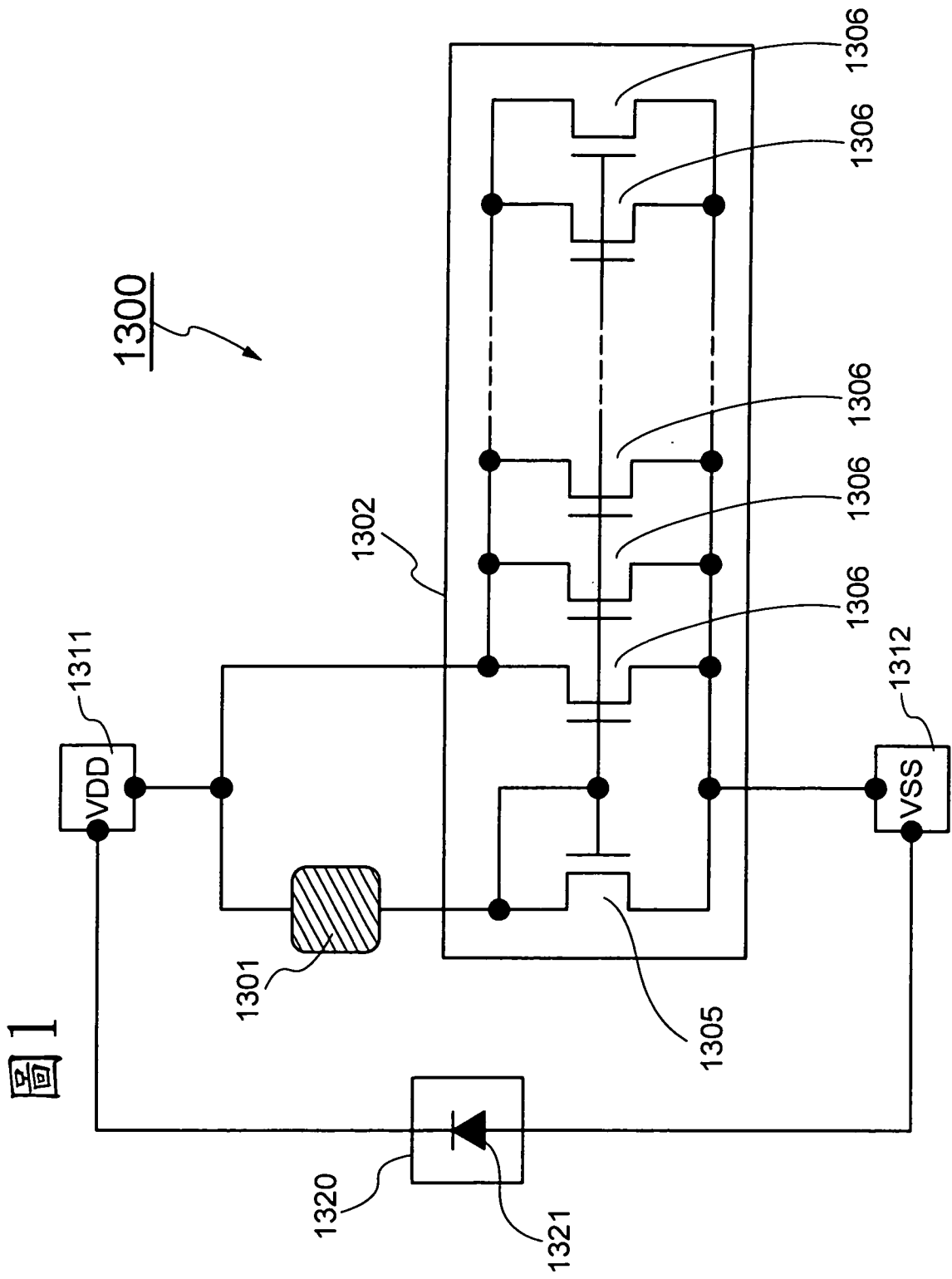


圖2

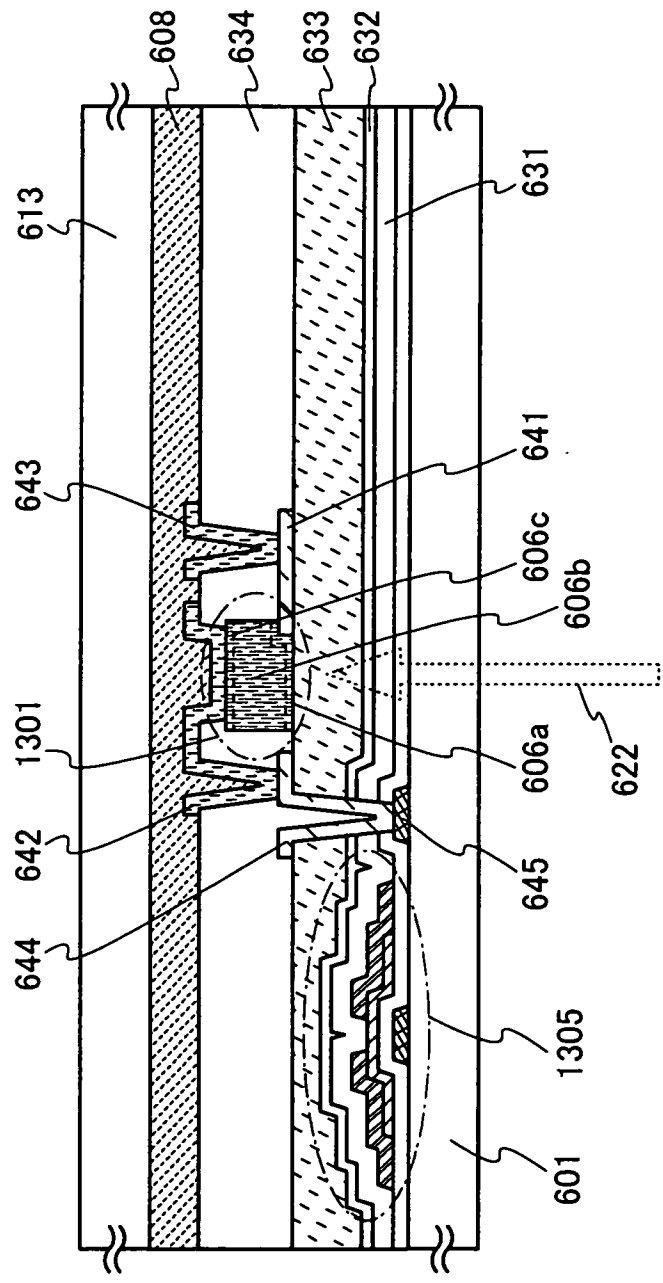


圖 3A

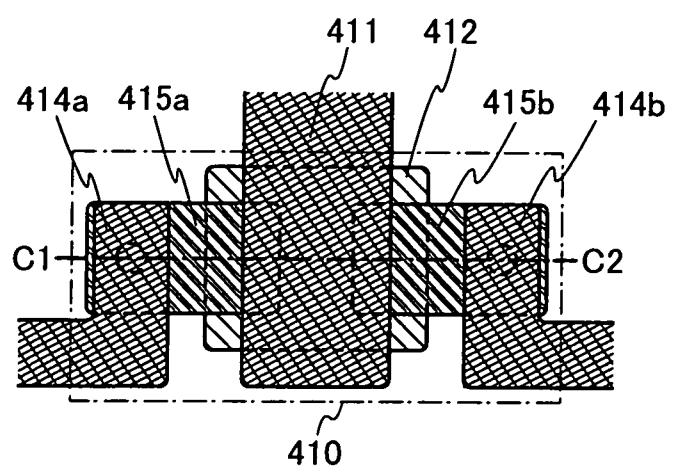


圖 3B

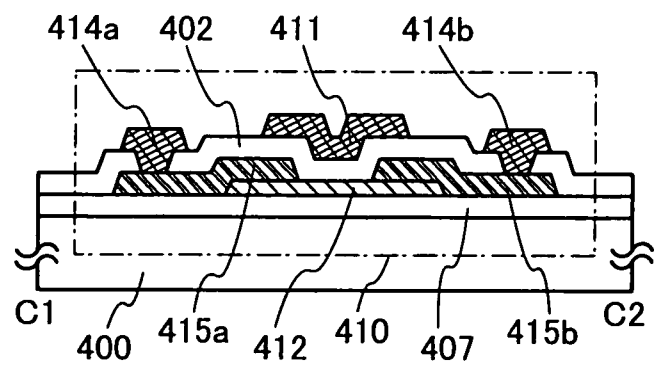


圖 4A

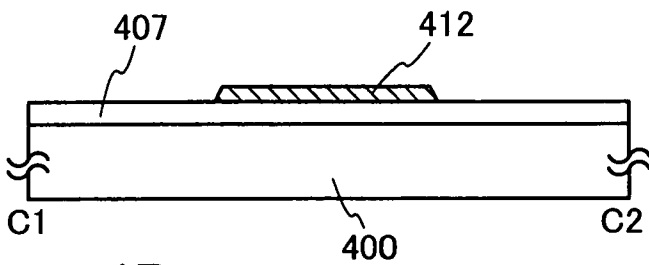


圖 4B

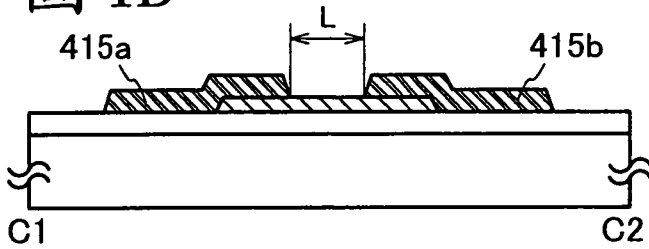


圖 4C

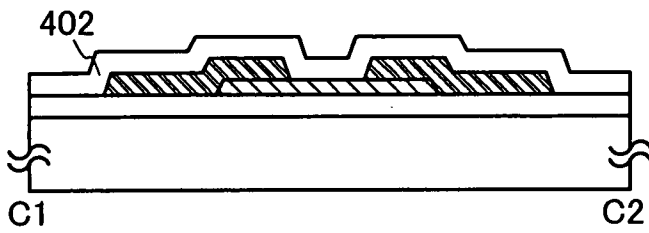


圖 4D

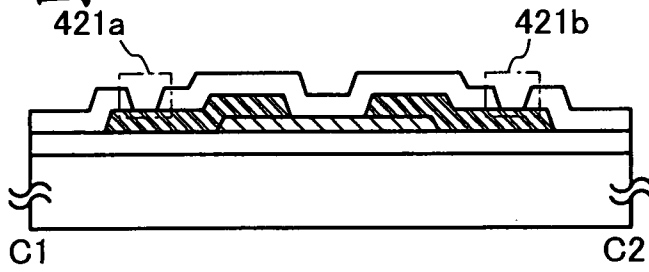


圖 4E

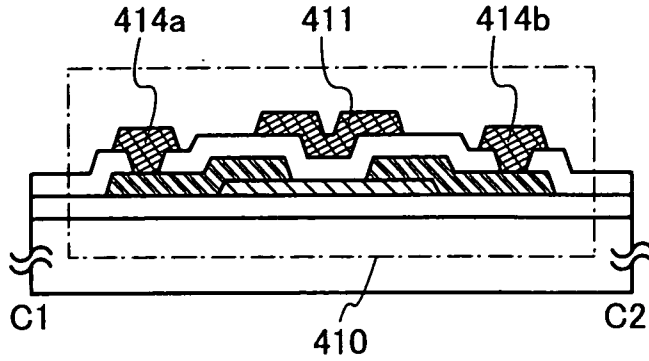


圖 5A

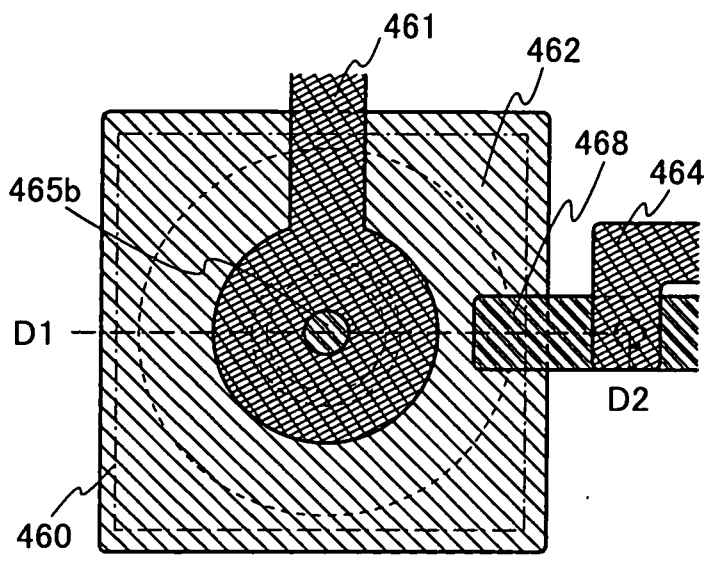


圖 5B

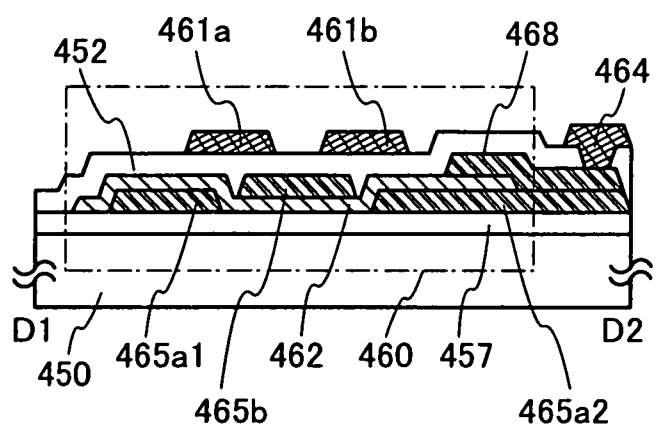


圖 6A

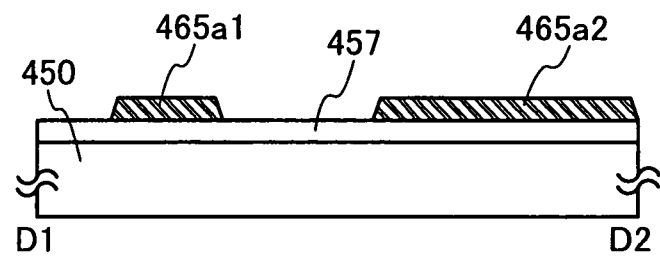


圖 6B

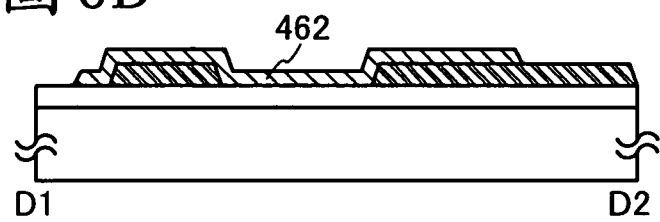


圖 6C

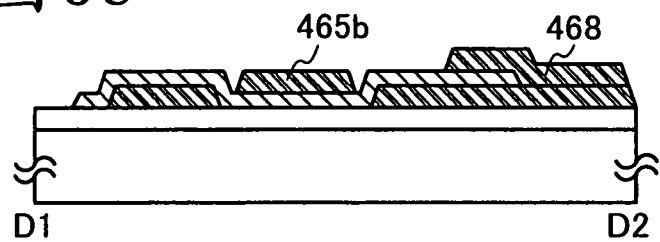


圖 6D

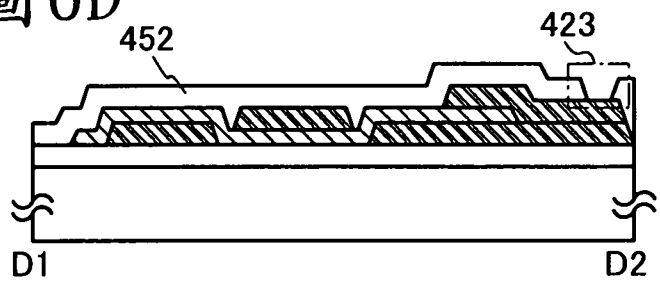


圖 6E

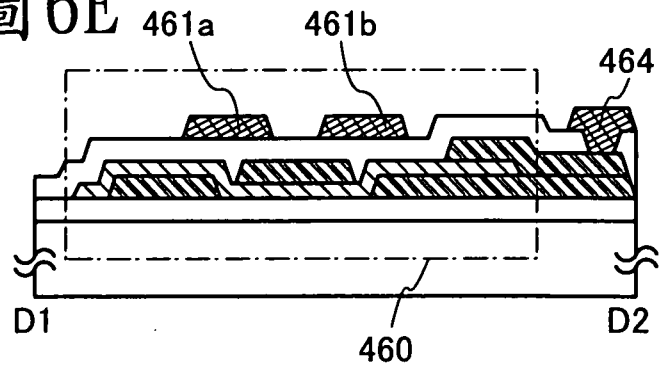


圖 7A

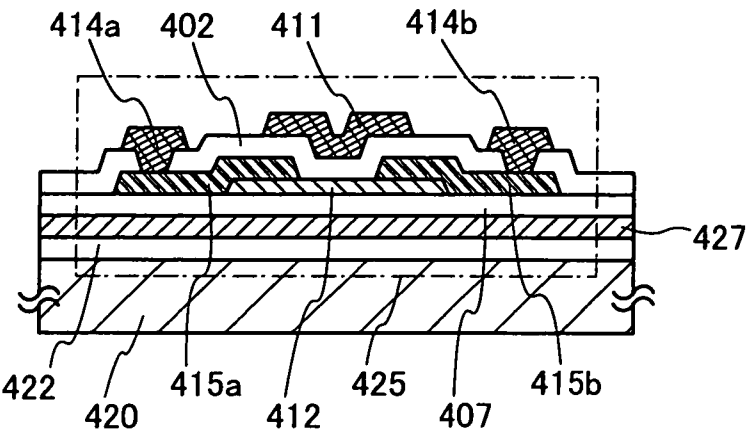


圖 7B

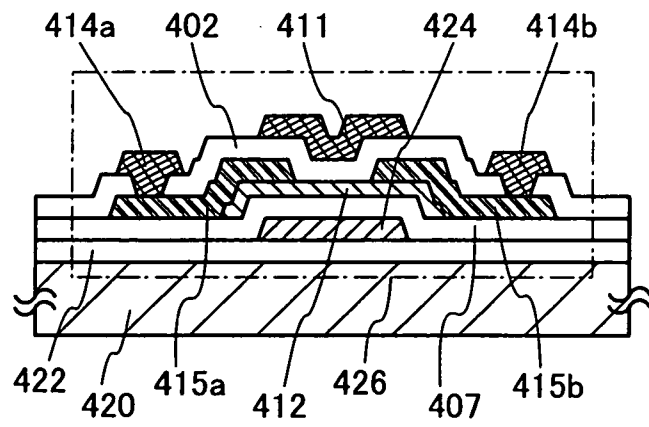


圖 8A

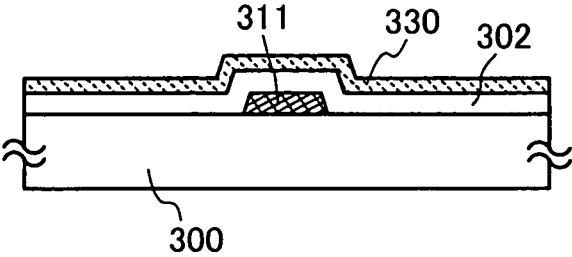


圖 8B

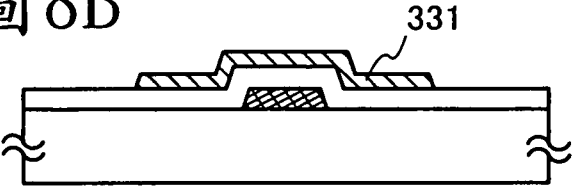


圖 8C

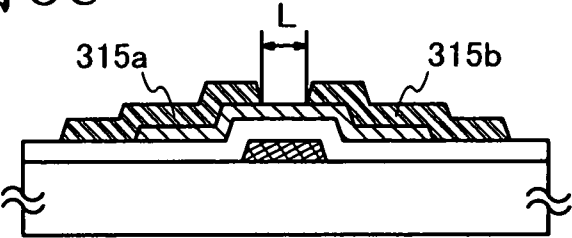


圖 8D

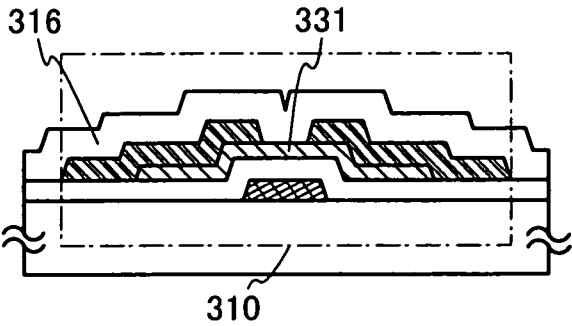


圖 8E

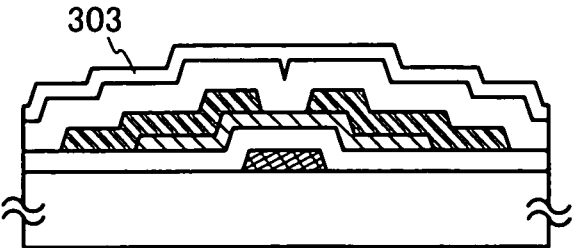


圖 9A

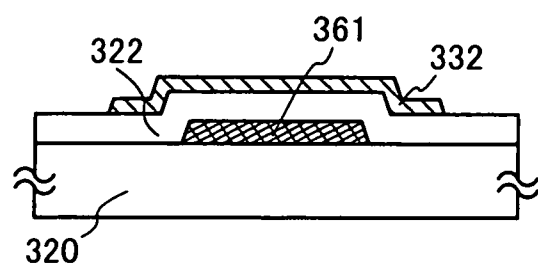


圖 9B

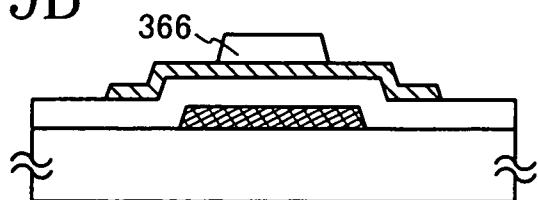


圖 9C

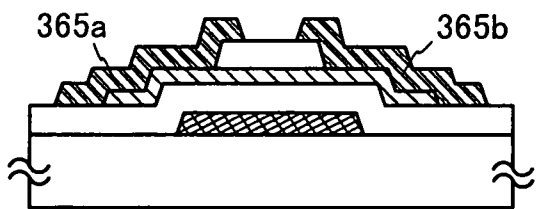


圖 9D

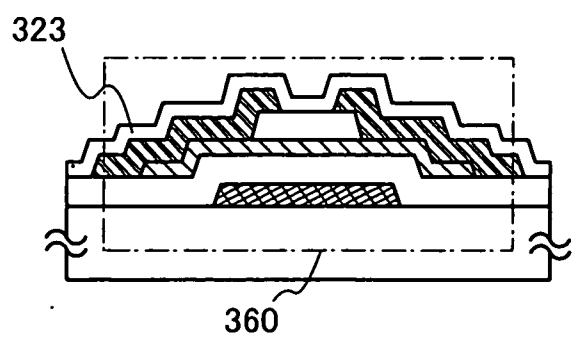


圖 10A

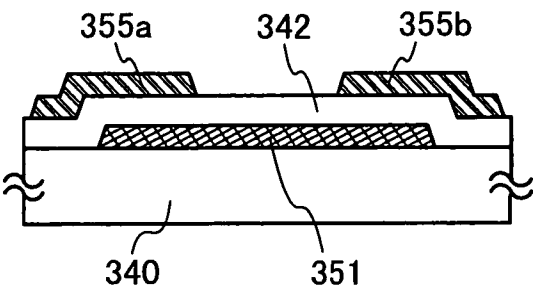


圖 10B

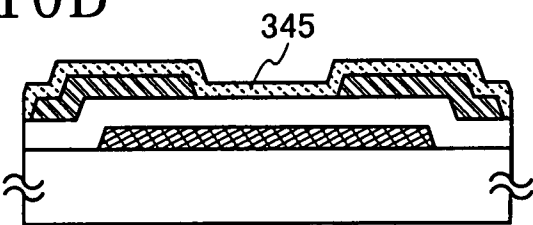


圖 10C

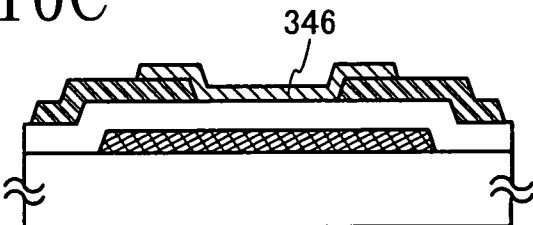


圖 10D

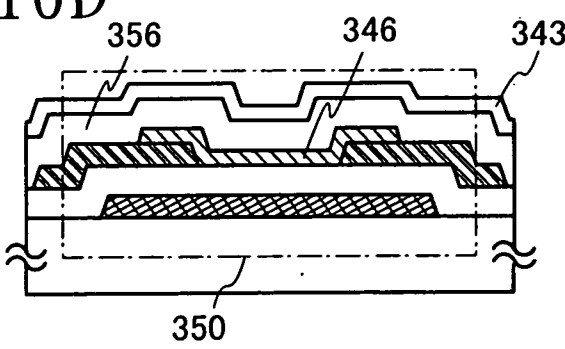
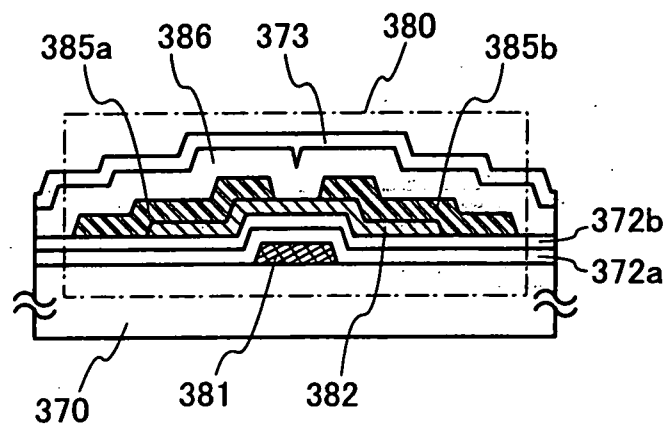


圖 11



修正
劃線
頁(本)
00年4月19日

圖12A

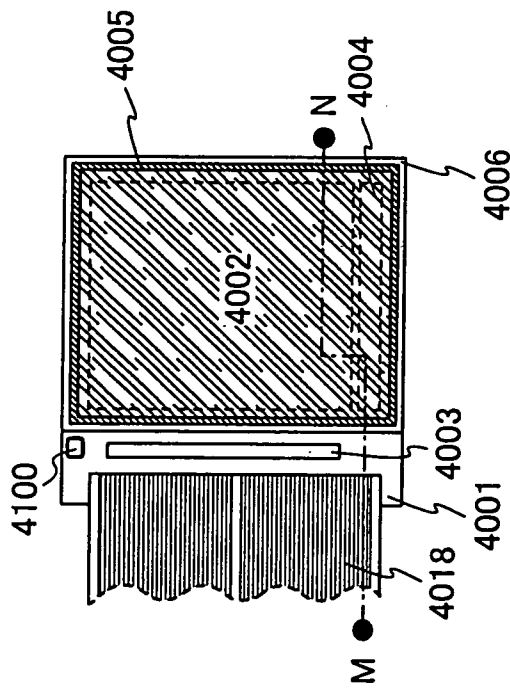


圖12C

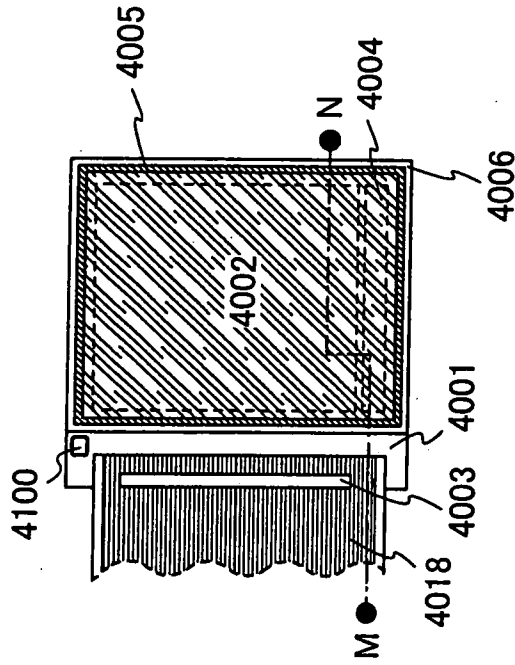


圖12B

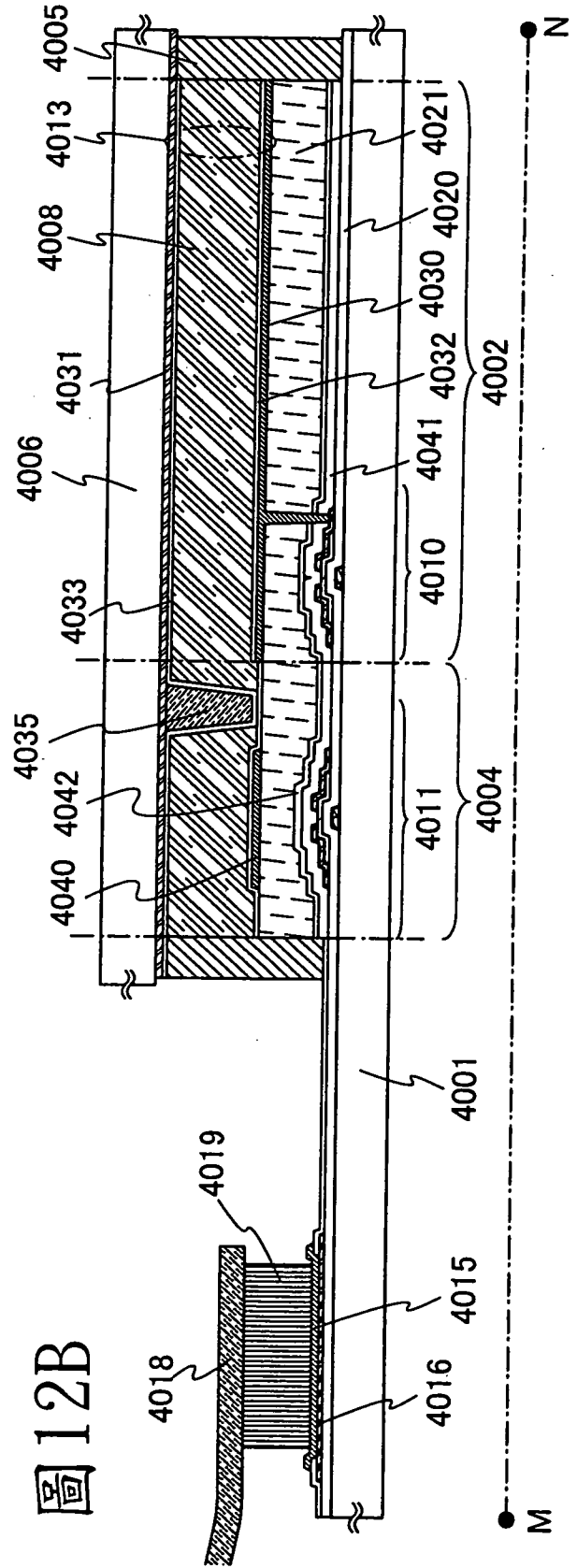


圖13

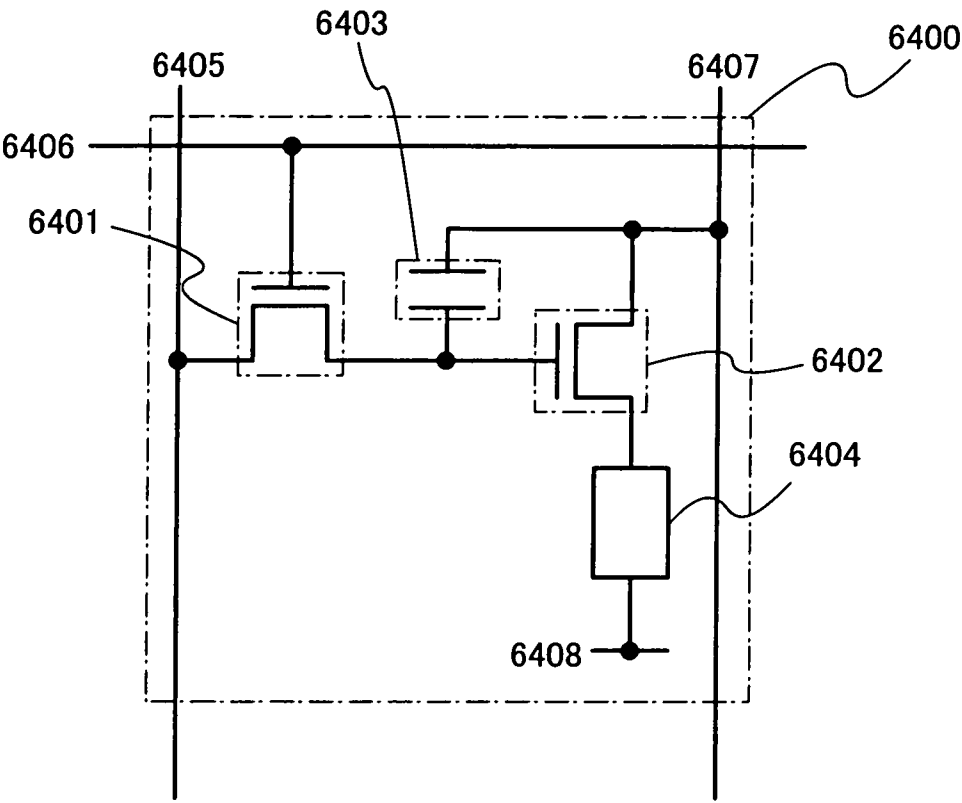


圖 14

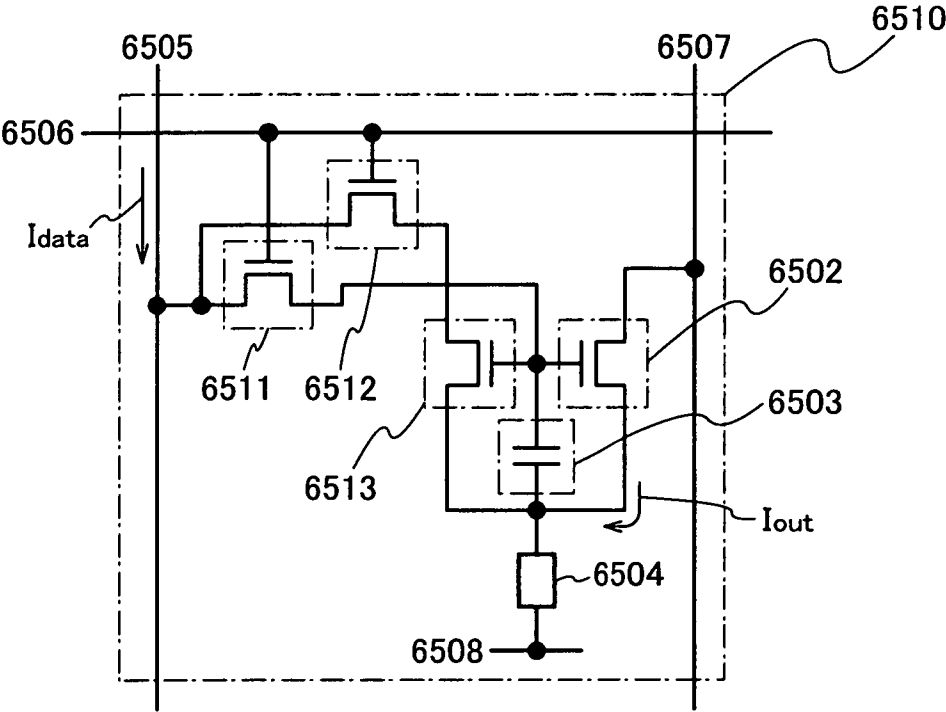


圖 15A

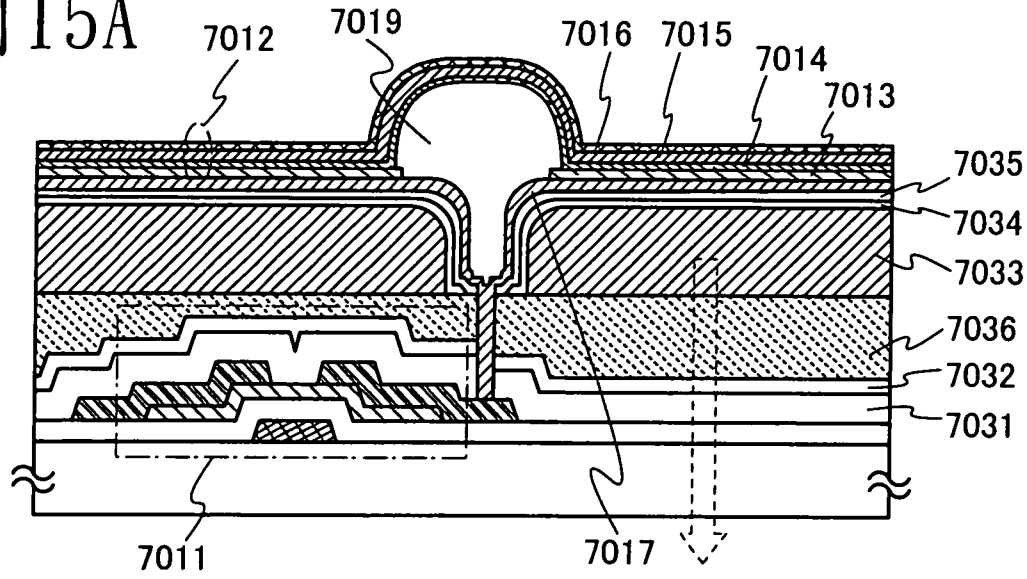


圖 15B

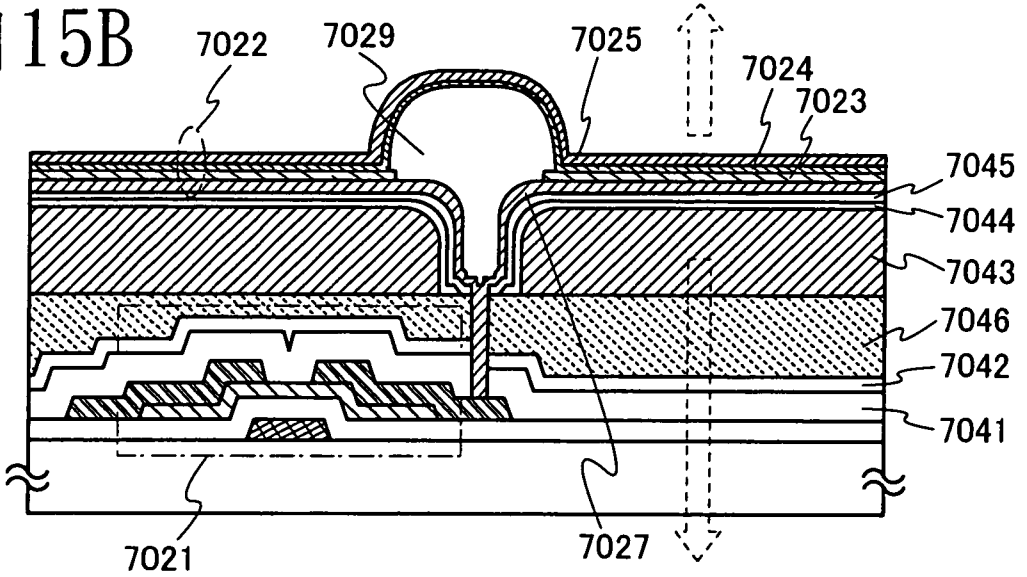


圖 15C

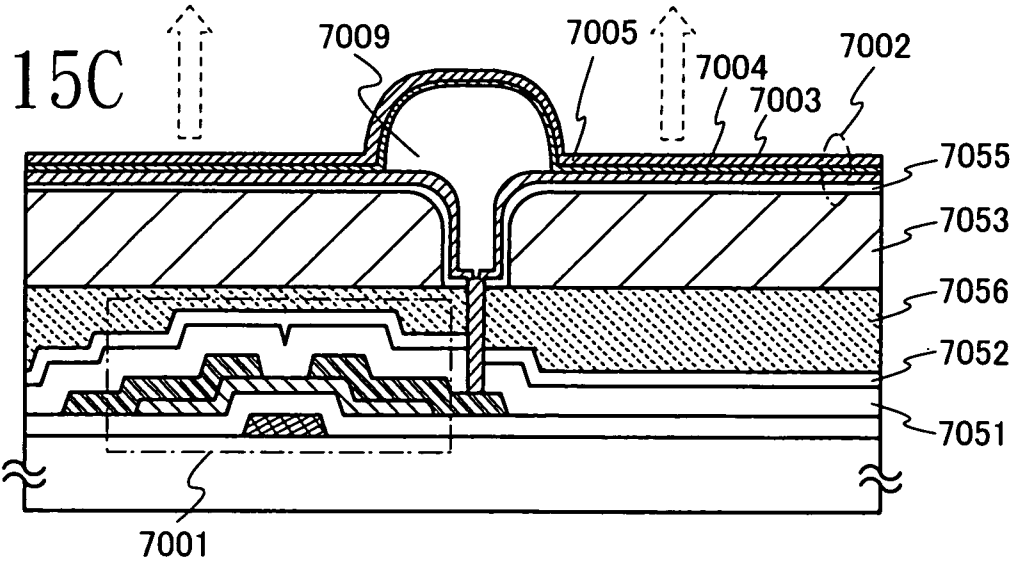


圖16A

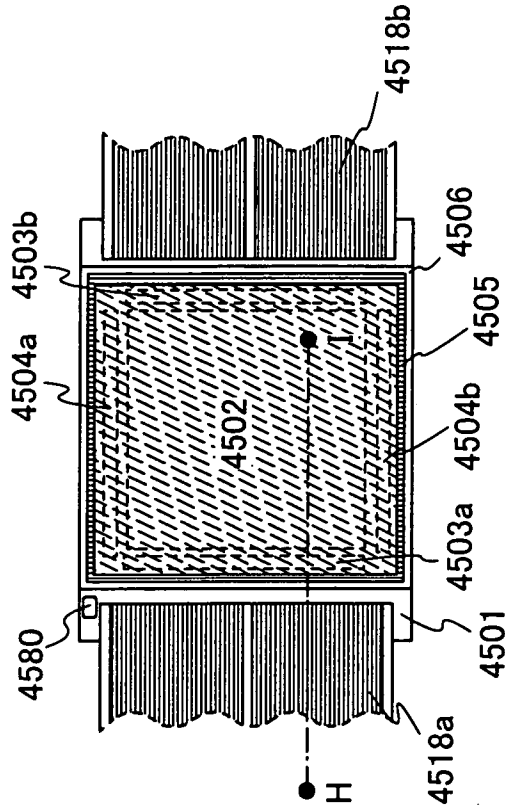


圖16B

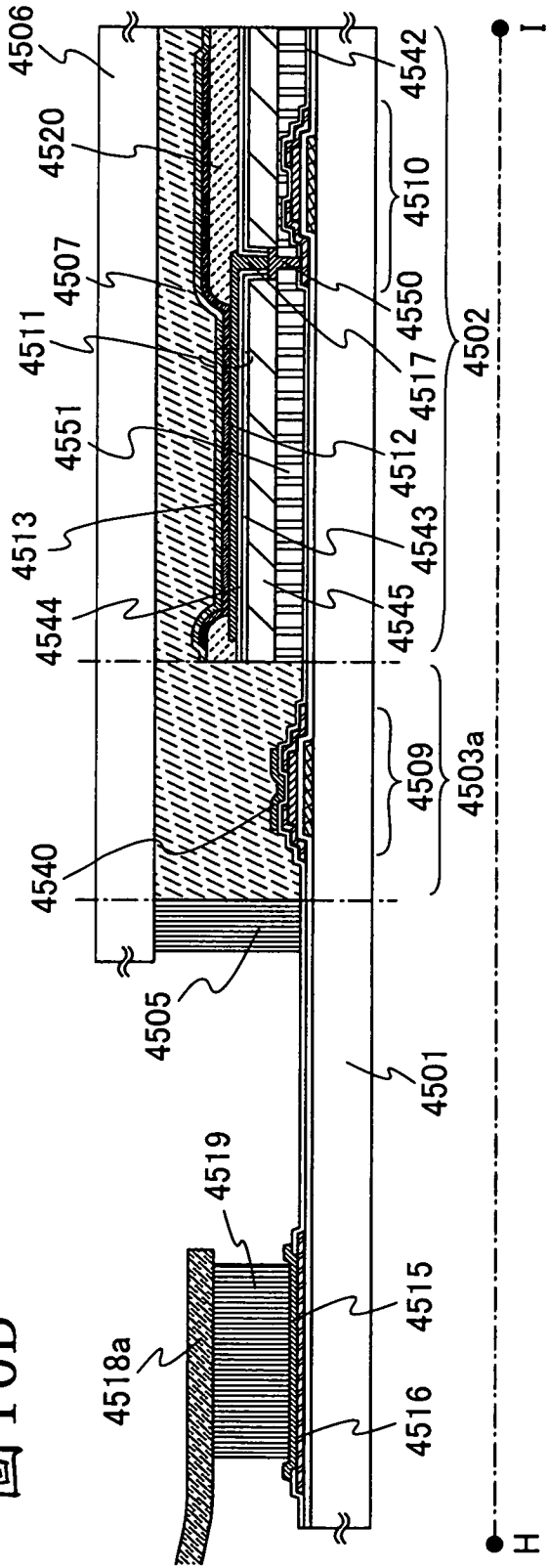


圖17

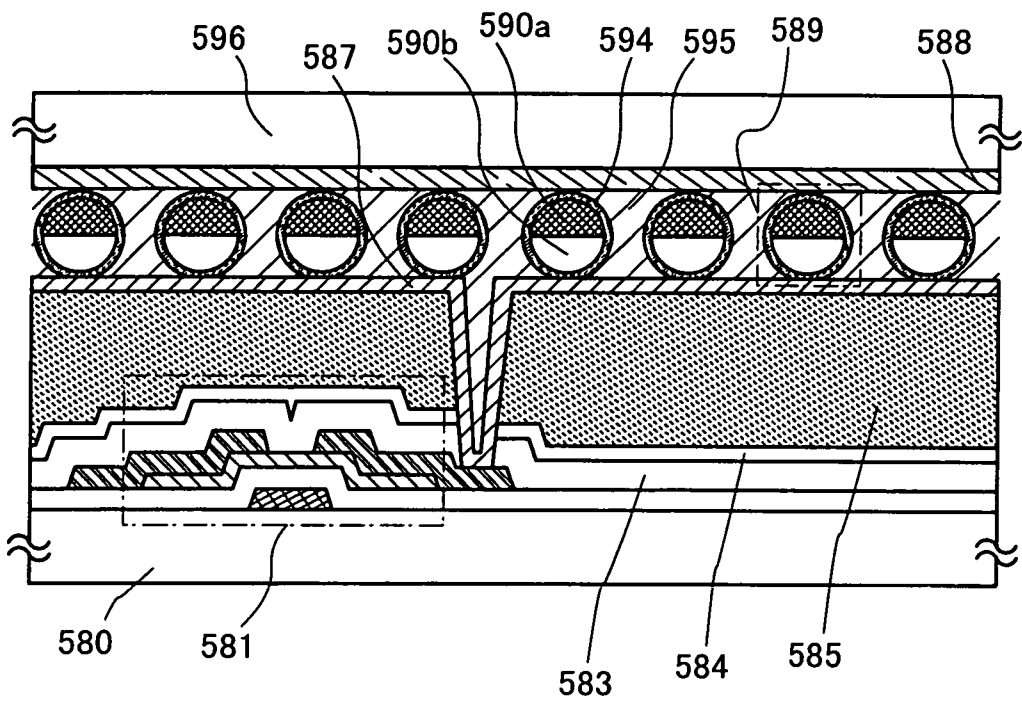


圖 18A

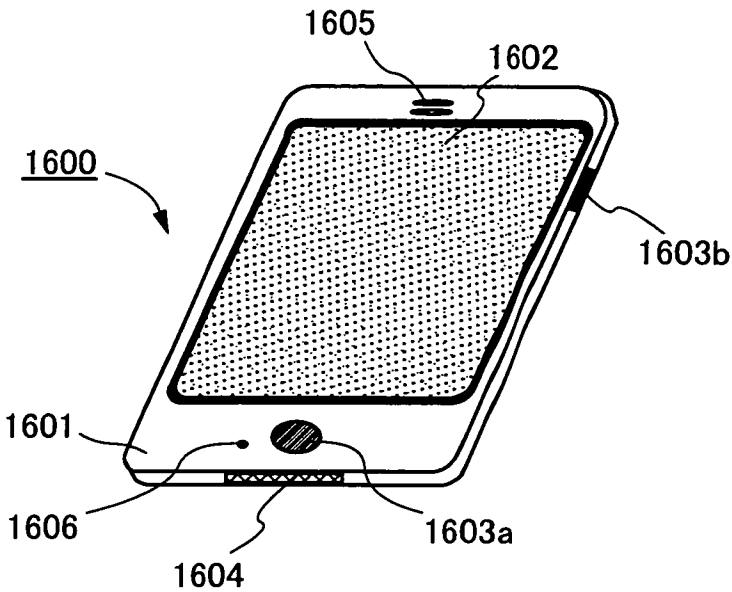


圖 18B

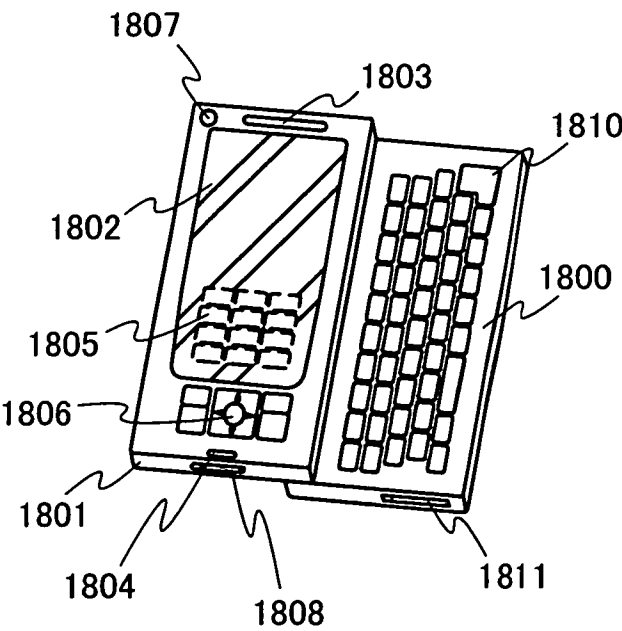


圖 19A

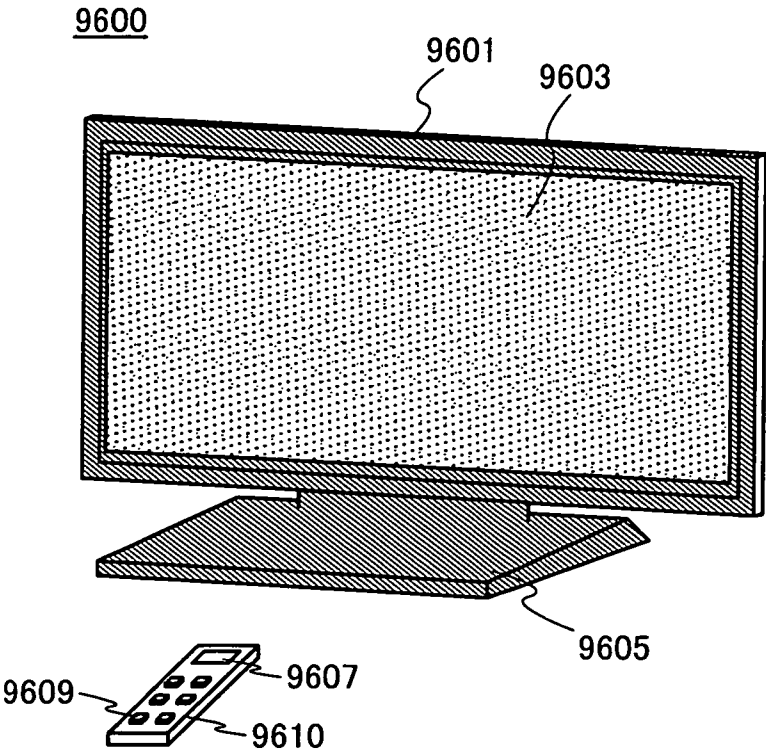


圖 19B

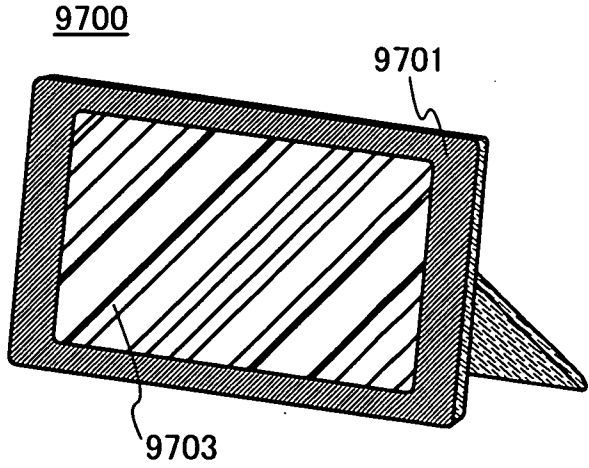


圖 20

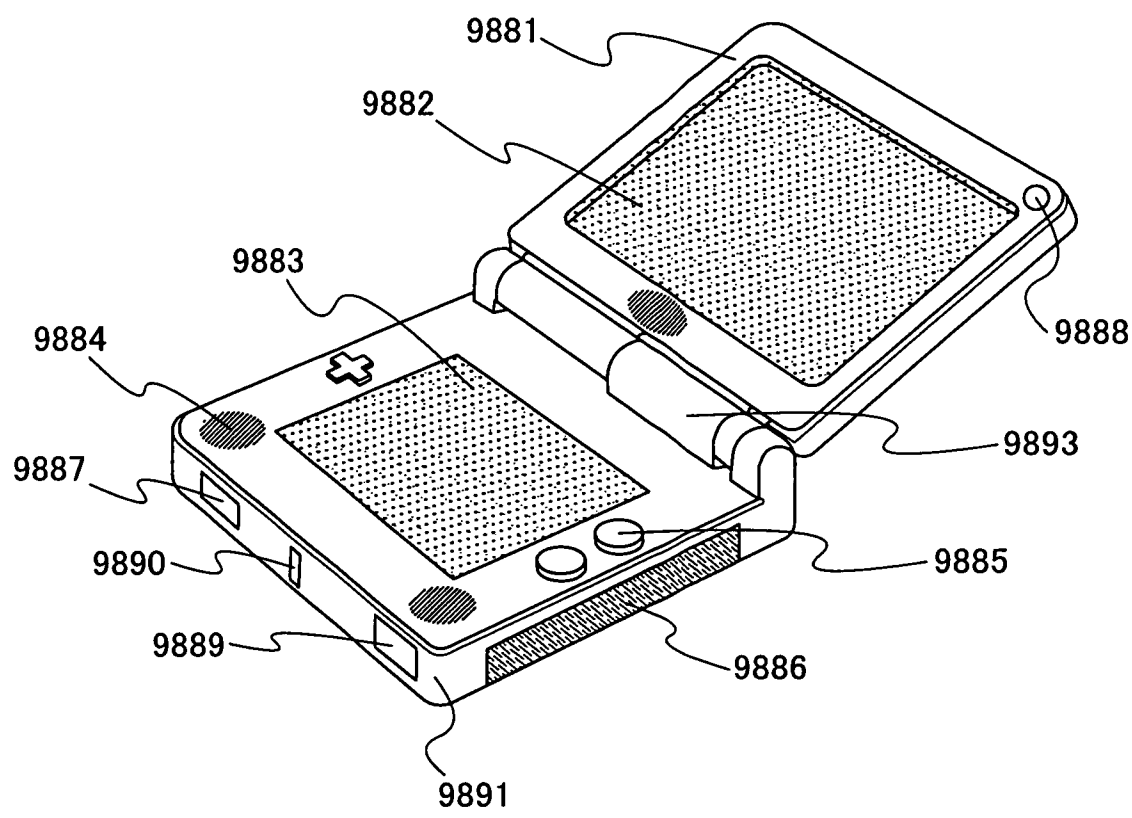


圖21

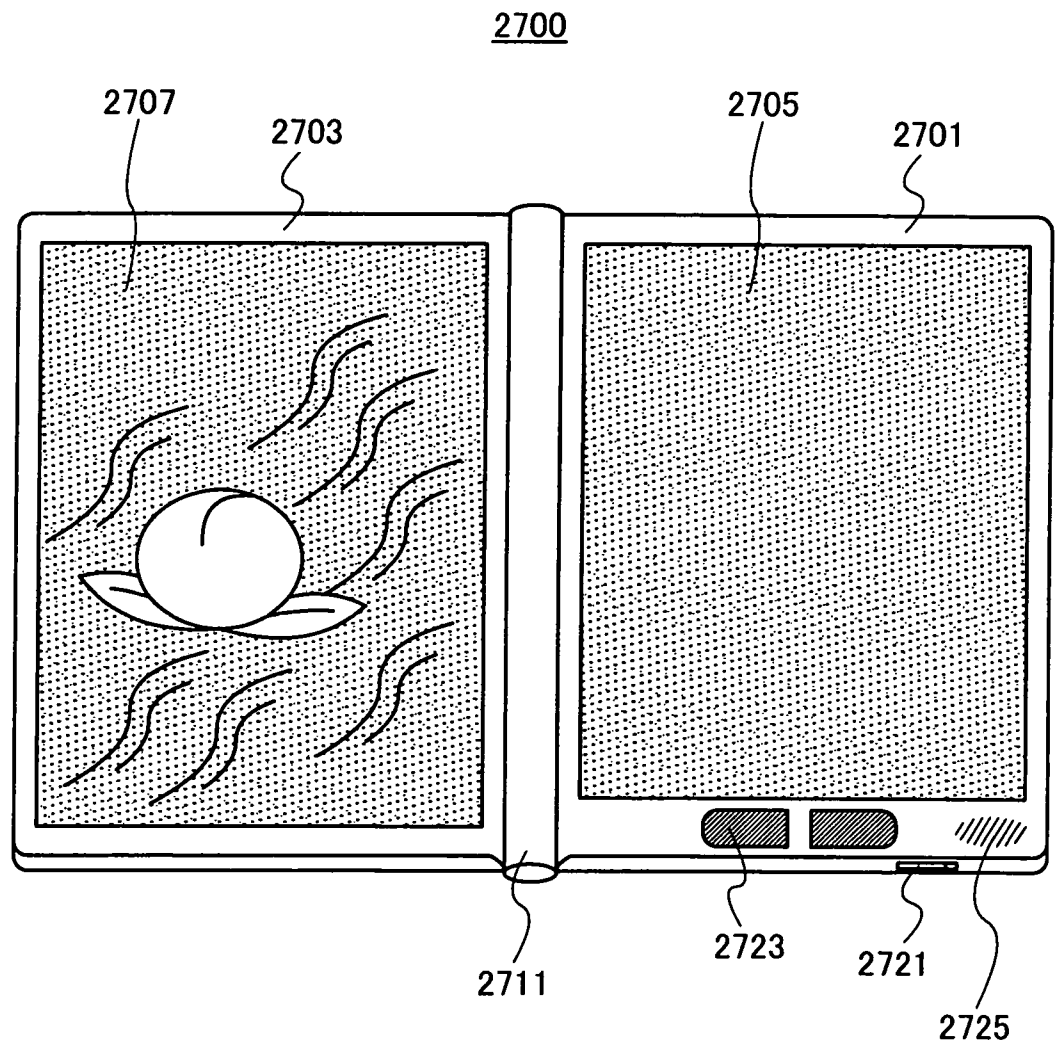


圖 22

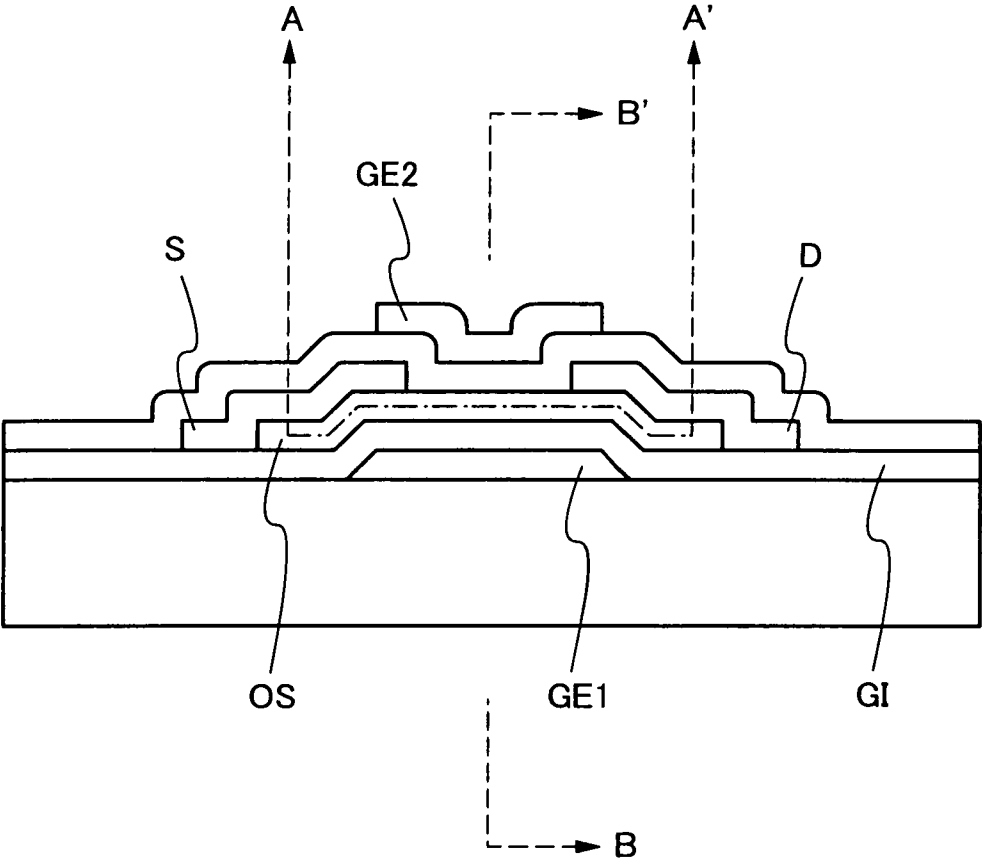


圖 23A

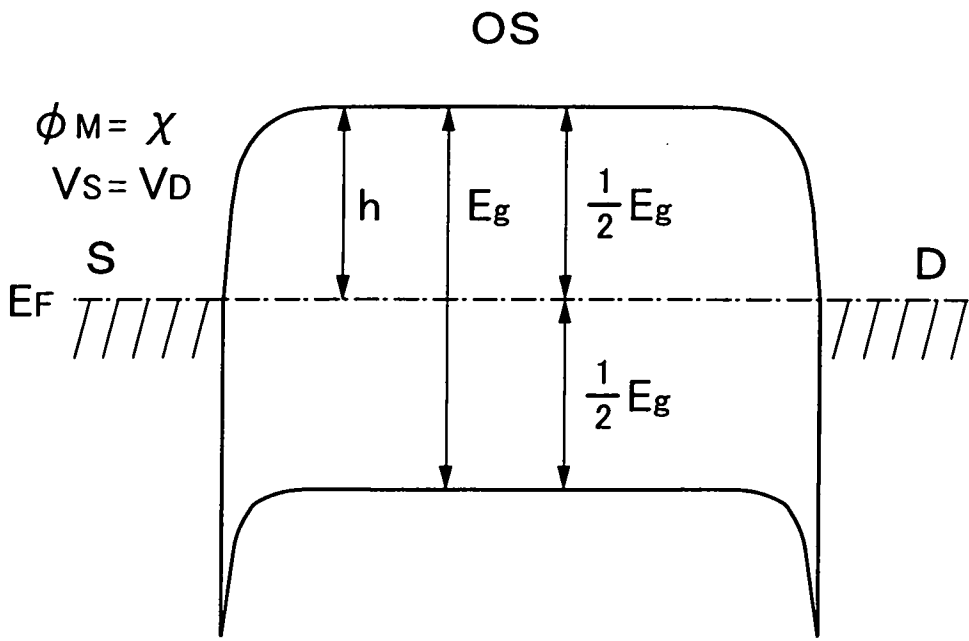


圖 23B

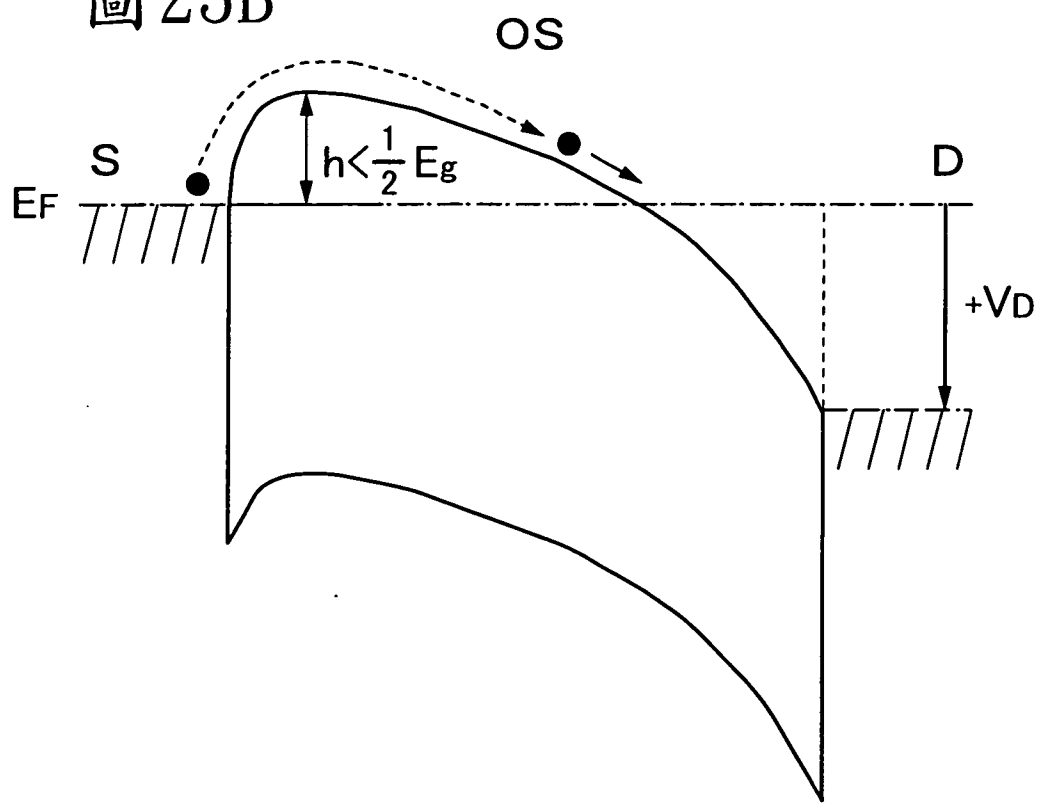


圖 24A

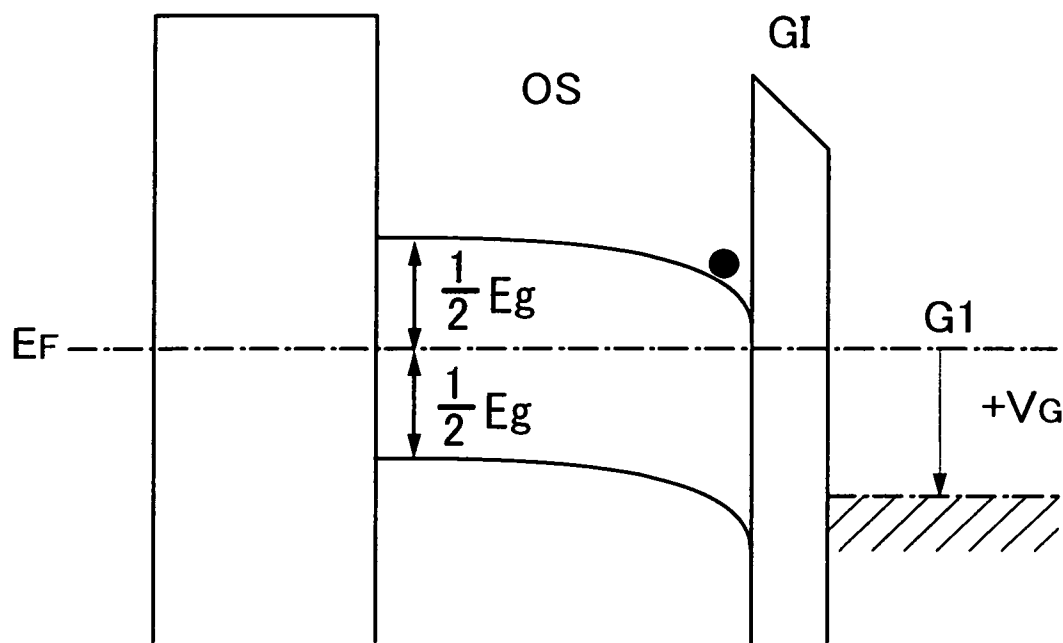


圖 24B

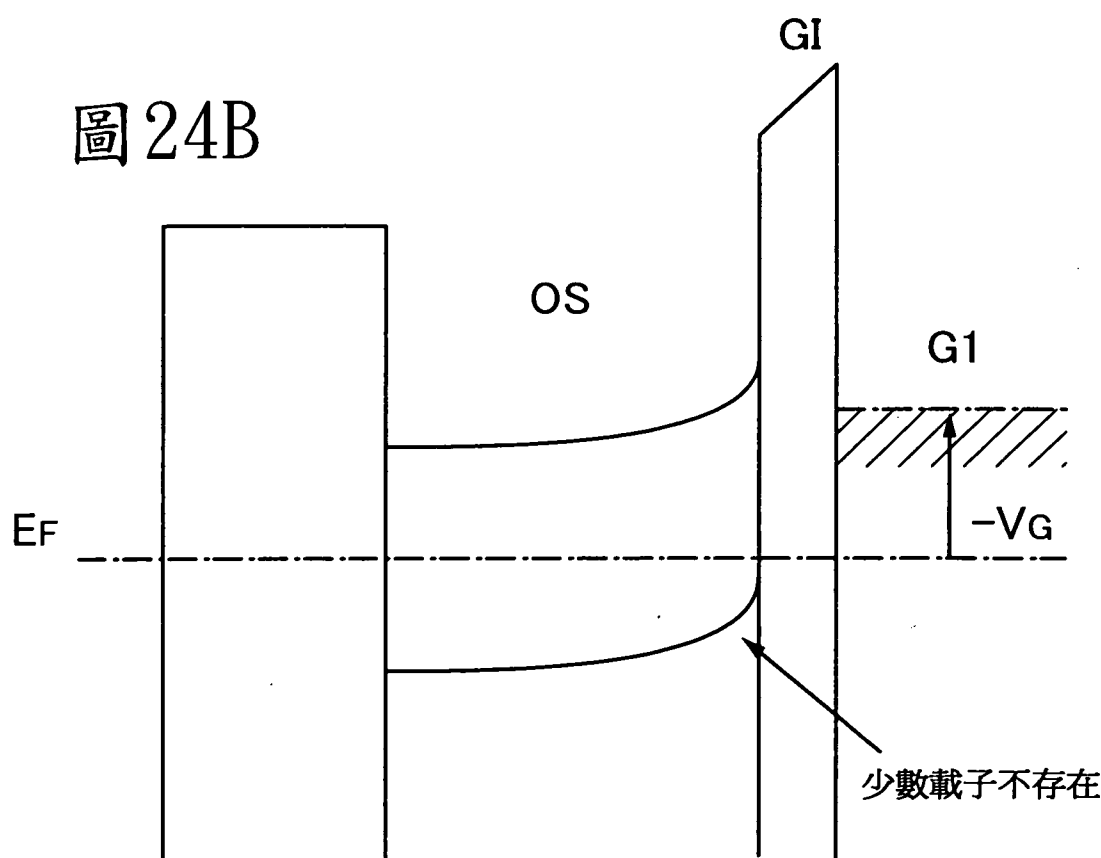


圖 25

