



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년07월18일
(11) 등록번호 10-1879708
(24) 등록일자 2018년07월12일

- (51) 국제특허분류(Int. Cl.)
G06F 13/42 (2006.01)
- (21) 출원번호 10-2014-7016762
- (22) 출원일자(국제) 2012년12월13일
심사청구일자 2017년12월12일
- (85) 번역문제출일자 2014년06월18일
- (65) 공개번호 10-2014-0102703
- (43) 공개일자 2014년08월22일
- (86) 국제출원번호 PCT/US2012/069541
- (87) 국제공개번호 WO 2013/090599
국제공개일자 2013년06월20일
- (30) 우선권주장
13/325,648 2011년12월14일 미국(US)
- (56) 선행기술조사문헌
WO2011008394 A1
US20100185897 A1
US6898648 B2
US7139852 B2

(73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 95054 산타 클라라 어거스틴 드
라이브 2485

(72) 발명자
오코너 제임스
미국 텍사스 78717 오스틴 메디나 그린스 드라이
브 10520

니그렌 아론
미국 캘리포니아 96161 투르키 캠스톡 플레이스
11078
(뒷면에 계속)

(74) 대리인
박장원

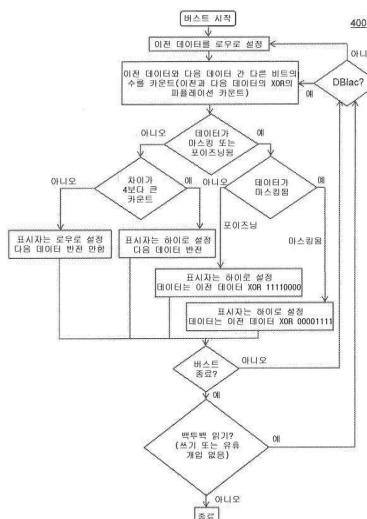
전체 청구항 수 : 총 16 항

심사관 : 김병균

(54) 발명의 명칭 통합된 데이터 마스킹, 데이터 포이즈닝, 및 데이터 버스 반전 시그널링

(57) 요약

본 발명에서는 단일 표시자 신호의 상태를 설정 및 분석하는 단계, 복수의 데이터 비트로 데이터 패턴을 발생 또는 분석하는 단계, 및 복수의 데이터 비트의 패턴 및 단일 표시자 신호의 상태에 기반하여, 데이터 버스 반전이 복수의 데이터 비트에 적용되었음 또는 복수의 데이터 비트가 포이즈닝됨을 시그널링 또는 결정하는 단계를 포함하는 통합된 데이터 시그널링 제공 및 분석 방법 및 시스템이 제공된다.

대 표 도 - 도4

(72) 발명자

카슘 앤워

미국 메사추세츠 02141 캠브리지 버크셔 스트리트
#2 100

크루거 워렌

미국 캘리포니아 94087 서니베일 던녹 웨이 1309

블랙 브라이언

미국 텍사스 78669 스파이스우드 클리프 뷰 드라이
브 1114

명세서

청구범위

청구항 1

통합된 데이터 시그널링을 제공하는 방법으로서,

단일 표시자, 및 복수의 데이터 비트들이 포이즈닝되는지, 마스킹되는지 또는 둘 다 아닌지를 나타내는 상기 복수의 데이터 비트들을 전송하는 단계와;

상기 복수의 데이터 비트들이 포이즈닝될 때, 제1 데이터 비트 패턴을 발생시키고 그리고 단일 표시자 신호의 상태를 하이(HIGH) 상태로 설정하는 단계와;

상기 복수의 데이터 비트들이 마스킹될 때, 제2 데이터 비트 패턴을 발생시키고 그리고 상기 단일 표시자 신호의 상태를 하이 상태로 설정하는 단계와; 그리고

상기 복수의 데이터 비트들이 포이즈닝되지도 그리고 마스킹되지도 않을 때, 데이터 버스 반전을 상기 복수의 데이터 비트들에 적용할지 결정하는 단계를 포함하는 것을 특징으로 하는

통합된 데이터 시그널링을 제공하는 방법.

청구항 2

제1항에 있어서,

상기 제2 데이터 비트 패턴은, 하이 상태로 설정된 또는 이전의 복수의 데이터 비트들과 상이한 값으로 변화된 상기 복수의 데이터 비트들 중 적어도 절반을 포함하는 것을 특징으로 하는

통합된 데이터 시그널링을 제공하는 방법.

청구항 3

제2항에 있어서,

상기 제1 데이터 비트 패턴은, 하이 상태로 설정된 또는 상기 이전의 복수의 데이터 비트들과 상이한 값으로 변화된 상기 복수의 데이터 비트들 중 적어도 절반을 포함하고, 상기 제1 데이터 비트 패턴은 상기 제2 데이터 비트 패턴과 동일하지 않은 것을 특징으로 하는

통합된 데이터 시그널링을 제공하는 방법.

청구항 4

제1항에 있어서,

상기 데이터 버스 반전이 상기 복수의 데이터 비트들에 적용되고,

상기 방법은,

상기 단일 표시자 신호의 상태를 하이 상태로 설정하는 단계와;

상기 데이터 버스 반전을 상기 복수의 데이터 비트들에 적용하는 단계를 더 포함하고,

그 결과 발생한 데이터 비트 패턴은 상기 제1 데이터 비트 패턴 및 상기 제2 데이터 비트 패턴과 상이한 것을 특징으로 하는

통합된 데이터 시그널링을 제공하는 방법.

청구항 5

제1항에 있어서,

상기 데이터 버스 반전이 불능(disable)으로 되었음 및 상기 복수의 데이터 비트들이 마스킹 또는 포이즈닝되지

않음을 나타낼 때, 상기 단일 표시자 신호의 상태를 로우(LOW)로 설정하는 단계를 더 포함하는 것을 특징으로 하는

통합된 데이터 시그널링을 제공하는 방법.

청구항 6

제1항에 있어서,

상기 복수의 데이터 비트들이 포이즈닝됨을 나타내는 상기 제1 데이터 비트 패턴은 마스킹되지 않은 데이터 패턴들에서는 일어나지 않는 것을 특징으로 하는

통합된 데이터 시그널링을 제공하는 방법.

청구항 7

통합된 데이터 시그널링을 수신하는 방법으로서,

단일 표시자 및 복수의 데이터 비트들을 수신하는 단계와;

상기 단일 표시자의 신호의 상태를 분석하는 단계와;

상기 복수의 데이터 비트들의 데이터 비트 패턴을 분석하는 단계와; 그리고

상기 단일 표시자의 신호의 상태 및 상기 데이터 비트 패턴에 기반하여, 상기 복수의 데이터 비트들이 포이즈닝 되는지, 마스킹되는지 또는 둘 다 아닌지를 결정하는 단계를 더 포함하는 것을 특징으로 하는

통합된 데이터 시그널링을 수신하는 방법.

청구항 8

제7항에 있어서,

상기 단일 표시자의 신호의 상태가 하이 상태에 있을 때, 그리고 상기 데이터 비트 패턴의 복수의 데이터 비트 들 중 적어도 절반이 하이 상태에 있거나 또는 이전의 데이터 비트 패턴과 상이한 값으로 변화될 때, 상기 복수 의 데이터 비트들이 마스킹됨을 결정하는 단계를 더 포함하는 것을 특징으로 하는

통합된 데이터 시그널링을 수신하는 방법.

청구항 9

제8항에 있어서,

상기 단일 표시자의 신호의 상태가 하이 상태에 있을 때, 상기 복수의 데이터 비트들 중 적어도 절반이 하이 상태에 있거나 또는 상기 이전의 데이터 비트 패턴과 상이한 값으로 변화될 때, 그리고 상기 복수의 데이터 비트 들이 마스킹되지 않을 때, 상기 복수의 데이터 비트들이 포이즈닝됨을 결정하는 단계를 더 포함하는 것을 특징 으로 하는

통합된 데이터 시그널링을 수신하는 방법.

청구항 10

제7항에 있어서,

상기 단일 표시자의 신호의 상태가 하이 상태로 설정될 때, 그리고 상기 복수의 데이터 비트들이 마스킹 또는 포이즈닝되지 않을 때, 데이터 버스 반전이 상기 복수의 데이터 비트들에 적용되었음을 결정하는 단계를 더 포함하는 것을 특징으로 하는,

통합된 데이터 시그널링을 수신하는 방법.

청구항 11

제10항에 있어서,

상기 단일 표시자의 신호의 상태가 로우 상태로 설정될 때, 상기 데이터 버스 반전이 불능으로 되었음 및 상기

복수의 데이터 비트들이 마스킹 또는 포이즈닝되지 않음을 결정하는 단계를 더 포함하는 것을 특징으로 하는 통합된 데이터 시그널링을 수신하는 방법.

청구항 12

통합된 데이터 시그널링을 제공하는 시스템으로서,

메모리 디바이스와; 그리고

프로세싱 유닛을 포함하고,

상기 프로세싱 유닛은, 상기 메모리 디바이스에 결합되고, 그리고

단일 표시자, 및 복수의 데이터 비트들이 포이즈닝되는지, 마스킹되는지 또는 둘 다 아닌지를 나타내는 상기 복수의 데이터 비트들을 전송하고;

상기 복수의 데이터 비트들이 포이즈닝될 때, 제1 데이터 비트 패턴들을 발생시키고 그리고 단일 표시자 신호의 상태를 하이 상태로 설정하고;

상기 복수의 데이터 비트들이 마스킹될 때, 제2 데이터 비트 패턴들 발생시키고 그리고 상기 단일 표시자 신호의 상태를 하이 상태로 설정하는 단계와; 그리고

상기 복수의 데이터 비트들이 포이즈닝 및 마스킹되지 않을 때, 데이터 버스 반전을 상기 복수의 데이터 비트들에 적용할지 결정하도록 구성되는 것을 특징으로 하는

통합된 데이터 시그널링을 제공하는 시스템.

청구항 13

제12항에 있어서,

상기 프로세싱 유닛은, 상기 데이터 버스 반전이 불능으로 되었고, 그리고 상기 복수의 데이터 비트들이 마스킹 또는 포이즈닝되지 않을 때, 상기 단일 표시자의 신호의 상태를 로우 상태로 설정하는 것을 특징으로 하는,

통합된 데이터 시그널링을 제공하는 시스템.

청구항 14

통합된 데이터 시그널링을 수신하는 시스템으로서,

메모리 디바이스와; 그리고

프로세싱 유닛을 포함하고

상기 프로세싱 유닛은, 상기 메모리 디바이스에 결합되고, 그리고

단일 표시자 및 복수의 데이터 비트들을 수신하고;

상기 단일 표시자의 신호의 상태를 분석하고;

상기 복수의 데이터 비트들의 데이터 비트 패턴을 분석하며; 그리고

상기 단일 표시자의 신호의 상태 및 상기 데이터 비트 패턴에 기반하여, 상기 복수의 데이터 비트들이 포이즈닝되는지, 마스킹되는지 또는 둘 다 아닌지를 결정하도록 구성된 것을 특징으로 하는

통합된 데이터 시그널링을 수신하는 시스템.

청구항 15

제14항에 있어서,

상기 프로세싱 유닛은,

상기 단일 표시자의 신호의 상태가 로우 상태로 설정될 때, 데이터 버스 반전이 불능으로 되었음 및 상기 복수의 데이터 비트들이 마스킹 또는 포이즈닝되지 않음을 결정하도록 구성되는 것을 특징으로 하는

통합된 데이터 시그널링을 수신하는 시스템.

청구항 16

컴퓨팅 디바이스에 의한 실행에 응답하여 상기 컴퓨팅 디바이스로 하여금 동작들을 수행하도록 하는 명령어들을 저장하는 비-일시적인 컴퓨터 판독가능한 저장 매체로서,

상기 동작들은:

단일 표시자, 및 복수의 데이터 비트들이 포이즈닝되는지, 마스킹되는지 또는 둘 다 아닌지를 나타내는 상기 복수의 데이터 비트들을 전송하는 단계와;

상기 복수의 데이터 비트들이 포이즈닝될 때, 제1 데이터 비트 패턴들을 발생시키고 그리고 단일 표시자 신호의 상태를 하이 상태로 설정하는 단계와;

상기 복수의 데이터 비트들이 마스킹될 때, 제2 데이터 비트 패턴들 발생시키고 그리고 상기 단일 표시자 신호의 상태를 하이 상태로 설정하는 단계와; 그리고

상기 복수의 데이터 비트들이 포이즈닝 및 마스킹되지 않을 때, 데이터 버스 반전을 상기 복수의 데이터 비트들에 적용할지 결정하는 단계를 포함하는 것을 특징으로 하는 비-일시적인 컴퓨터 판독가능한 저장 매체.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

발명의 설명

기술 분야

[0001]

본 발명은 일반적으로 고속 메모리 시스템에 관한 것이다. 더 구체적으로, 본 발명은 컴퓨팅 시스템 내 데이터 상태의 개선된 시그널링에 관한 것이다.

배경 기술

[0002]

데이터 버스는 크로스 토크, 동시 스위칭 잡음, 인터-시볼 간섭, 및 데이터의 상태 및/또는 데이터 트랜지션의 빈도에 기반하는 드로즈 파워(draws power)에 민감하다. 이들 악영향을 감소시키고 불필요한 전력 소비를 방지하는 하나의 방법은 데이터를 인코딩하는 것이다. 사용될 수 있는 데이터 인코딩의 하나의 특정 형태는 데이터 버스 반전(DBI)이다.

[0003]

DBI의 구현은 데이터 버스를 가로질러 송신될 데이터 비트 간 관계를 평가하고 그 후 송신 이전에 데이터 비트 중 일부 또는 전부를 반전하는 것이 이로운지 (특정 DBI 알고리즘에 기반하여) 결정하는 송신기에서의 인코딩 회로를 포함한다. 데이터 비트가 반전되면, DBI 비트라고 지칭되는 부가적 신호는 데이터 비트가 반전되어 있음을 나타내도록 인코딩 회로에서 설정된다. 전형적으로, DBI 비트가 데이터 비트의 어느 그룹이 반전되었는지 수신 회로에 알리기 위해 데이터 비트와 별별로 송신될 수 있도록 가외 채널이 필요하다. 그 후 수신기는 데이터 비트의 입중계 그룹을 그들 원래 상태로 반환하기 위해 디코딩 회로와 함께 DBI 비트를 사용한다.

[0004]

또 다른 형태의 상태 시그널링은 동적 램(DRAM)과 함께 사용된다. DRAM은 컴퓨터 시스템의 주 메모리에 사용될 수 있고, 또한 그래픽 애플리케이션에서 사용될 수 있다. DRAM은 외부 소스로부터 데이터 입력 및 출력 핀(전형적으로 소위 "DQ 핀")을 통해 입력되는 데이터를 마스킹하는 데이터 마스킹 기능을 포함할 수 있다. 일반적으로 데이터 마스킹은 단일 바이트의 단위로 수행되고 데이터 마스킹 비트 또는 라인의 사용을 통해 시그널링된다. 예를 들어, 16 비트의 데이터 경로 폭을 갖는 동기식 DRAM의 경우에 있어서, 일반적으로 2개의 데이터 마스킹 핀(전형적으로 소위 "DQM 핀")이 존재하고 그로부터 데이터 마스킹 신호가 입력된다. 이를 DQM 핀은 하위 DQM(LDQM) 핀 및 상위 DQM(UDQM) 핀을 포함한다. LDQM 핀은 데이터 입력 및 출력 핀 DQ0 내지 DQ7을 통한 데이터 입력, 예를 들어, 16개의 데이터 입력 및 출력 핀 DQ1 내지 DQ15를 통해 입력되는 16개의 비트 중 하위 8개의 비트를 마스킹한다. UDQM 핀은 상위 8개의 비트, 예를 들어, 데이터 입력 및 출력 핀 DQ8 내지 DQ15를 통한 데이터 입력을 마스킹하는데 이 핀은 집적 회로(IC) 디바이스용 어느 입/출력 구조를 포함하고 패드, 광학 입/출력 구조 및 다른 종래 입/출력 구조를 포함할 수 있다.

발명의 내용

해결하려는 과제

[0005]

그래서, IC 메모리 디바이스는 데이터 버스 상의 데이터의 상태, 예를 들어, DBI 및/또는 마스킹을 나타내는 다수 핀 또는 라인을 포함할 수 있다. 그러한 디바이스는 또한 데이터 버스의 상태를 나타내도록 단일 제어 라인을 사용하지만, 데이터와 연관되는 다중 상태 상태를 전하도록 다중 클록 사이클을 이용할 수 있다.

과제의 해결 수단

[0006]

그래서 필요로 되는 것은 최소 수의 시그널링 라인을 사용하여 최소 시간에 다중 버스 상태를 시그널링하는 개선된 방법 및 시스템이다.

[0007]

개시된 발명의 실시예는, 특정 상황에 있어서, 단일 표시자 신호의 상태를 설정하는 단계 및 복수의 데이터 비트로 데이터 패턴을 발생시키는 단계를 포함하는 통합된 데이터 시그널링 발생 방법을 제공한다. 그 후, 복수의 데이터 비트의 패턴 및 단일 표시자 신호의 상태에 기반하여, 그 방법은 데이터 버스 반전이 복수의 데이터 비트에 적용되었음, 마스킹이 적용되었는지, 또는 데이터 바이트가 포이즈닝되는지를 시그널링한다.

[0008]

개시된 발명의 실시예는 단일 표시자 신호의 상태를 분석하는 단계 및 복수의 데이터 비트의 데이터 패턴을 분석하는 단계를 포함하는 통합된 데이터 신호 수신 방법을 제공한다. 그 후, 복수의 데이터 비트의 패턴 및 단일 표시자 신호의 상태에 기반하여, 그 방법은 데이터 버스 반전이 복수의 데이터 비트에 적용되었음, 마스킹이 적용되었는지, 또는 데이터 바이트가 포이즈닝되는지 결정한다.

[0009]

개시된 발명의 또 다른 실시예는 메모리 디바이스 및 메모리 디바이스에 결합되어 단일 표시자 신호의 상태를 설정하고 복수의 데이터 비트로 데이터 패턴을 발생시키는 프로세싱 유닛을 포함하는 시스템을 제공한다. 그

후, 복수의 데이터 비트의 패턴 및 단일 표시자 신호의 상태에 기반하여, 그 시스템은 데이터 버스 반전이 복수의 데이터 비트에 적용되었음, 마스킹이 적용되었는지, 또는 데이터 바이트가 포이즈닝되는지 시그널링한다.

[0010] 개시된 발명의 또 다른 실시예는 메모리 디바이스 및 메모리 디바이스에 결합되어 단일 표시자 신호의 상태를 분석하고 복수의 데이터 비트의 데이터 패턴을 분석하는 시스템을 제공한다. 그 후, 복수의 데이터 비트의 패턴 및 단일 표시자 신호의 상태에 기반하여, 그 시스템은 데이터 버스 반전이 복수의 데이터 비트에 적용되었음, 마스킹이 적용되었는지, 또는 데이터 바이트가 포이즈닝되는지 결정한다.

[0011] 개시된 발명의 부가적 실시예는 컴퓨팅 디바이스에 의한 실행에 응답하여 컴퓨팅 디바이스가 단일 표시자 신호의 상태를 설정하는 단계 및 복수의 데이터 비트로 데이터 패턴을 발생시키는 단계를 포함하는 동작을 수행하게 야기하는 컴퓨터 프로그램 제품을 제공한다. 그 후, 복수의 데이터 비트의 패턴 및 단일 표시자 신호의 상태에 기반하여, 데이터 버스 반전이 복수의 데이터 비트에 적용되었음, 마스킹이 적용되었는지, 또는 데이터 바이트가 포이즈닝되는지 시그널링한다.

[0012] 본 발명의 부가적 특징 및 이점과 더불어, 본 발명의 다양한 실시예의 구조 및 동작이 수반 도면을 참조하여 아래에서 상세하게 설명된다. 본 발명은 여기서 설명되는 특정 실시예로 한정되는 것은 아님이 의도된다. 그러한 실시예는 단지 예시의 목적으로 여기서 제시된다. 부가적 실시예는 여기에 포함된 가르침에 기반하여 관련 업계(들)의 당업자에게 명백할 것이다.

도면의 간단한 설명

[0013] 여기에 편입되어 명세서의 일부를 형성하는 수반 도면은 본 발명을 예시하며, 그 설명과 함께, 더욱 본 발명의 원리를 설명하고 관련 업계의 당업자가 본 발명을 하고 사용 가능하게 하는 역할을 한다. 본 발명의 다양한 실시예는 도면을 참조하여 아래에 설명되며, 유사한 참조 숫자는 곳곳에서 유사한 구성요소를 지칭하는데 사용된다.

도 1은 본 발명의 일 실시예에 따라, 메모리 액세스 시스템의 예시적 블록 선도,

도 2는 본 발명의 일 실시예에 따라, 데이터 베이스 반전이 가능으로 되어 데이터를 송신하기 위한 흐름도,

도 3은 본 발명의 일 실시예에 따라, 데이터 베이스 반전이 가능으로 되어 데이터를 수신하기 위한 흐름도,

도 4는 본 발명의 일 실시예에 따라, 데이터 베이스 반전 및 데이터 포이즈닝 지원이 가능으로 되어 데이터를 송신하기 위한 흐름도,

도 5는 본 발명의 일 실시예에 따라, 데이터 베이스 반전 및 포이즈닝 지원이 가능으로 되어 데이터를 수신하기 위한 흐름도,

도 6은 본 발명의 일 실시예에 따라, 통합된 신호를 송신하기 위한 방법 흐름도, 및

도 7은 본 발명의 일 실시예에 따라, 통합된 신호를 수신 및 분석하기 위한 방법 흐름도.

발명을 실시하기 위한 구체적인 내용

[0014] 이하의 상세한 설명에 있어서, "하나의 실시예", "일 실시예", "예시적 실시예" 등의 언급은 설명되는 실시예가 특정 특징, 구조 또는 특성을 포함하지만, 모든 실시예가 그 특정 특징, 구조 또는 특성을 반드시 포함하지는 않을 수 있음을 나타낸다. 더욱, 그러한 문구는 반드시 동일 실시예를 지칭하는 것은 아니다. 더욱, 일 실시예와 연관하여 특정 특징, 구조 또는 특성이 설명될 때, 명시적으로 설명되든 아니든 다른 실시예와 연관하여 그려한 특징, 구조 또는 특성에 영향을 미치는 것이 당업자의 지식 내에 있는 것으로 된다.

[0015] "본 발명의 실시예"라는 용어는 본 발명의 모든 실시예가 논의되는 특징, 이점 또는 동작 모드를 포함하는 것을 요구하지는 않는다. 대체 실시예가 본 발명의 범위로부터 벗어남이 없이 고안될 수 있고, 본 발명의 주지의 엘리먼트는 상세히 설명되지 않을 수 있거나 본 발명의 관련 상세를 모호하게 하지 않도록 생략될 수 있다. 부가적으로, 여기서 사용되는 용어는 특정 실시예를 설명하는 목적을 위한 것일 뿐이고 본 발명을 한정하려는 의도는 아니다. 예를 들어, 여기서 사용되는 바와 같이, 단수 형태 "a", "an" 및 "the"는, 백락이 명확하게 다르게 나타내지 않는 한, 복수 형태 역시 포함하려는 의도이다. 용어 "구성된다", "구성되는", "포함한다" 및/또는 "포함하는"은, 여기서 사용될 때, 서술된 특징, 정수, 단계, 동작, 엘리먼트 및/또는 컴포넌트의 존재를 특정하지만, 하나 이상의 다른 특징, 정수, 단계, 동작, 엘리먼트, 컴포넌트 및/또는 그 그룹의 존재 또는 부가를 못

하게 하지는 않음을 더욱 이해할 것이다.

[0016] 시스템 개관

도 1은, 본 발명의 일 실시예에 따라, 호스트 시스템(110), 저장 시스템(120), 데이터 버스 라인(132-0 내지 132-N) 및 표시자 라인(134)을 포함하는 데이터/커맨드 버스(130), 메모리 시스템(140), 제어 라인(145) 및 인터페이스(150)를 포함하는 통합된 시그널링 시스템(100)의 예시이다.

[0018] 메모리 시스템(140)은 적층 DRAM 또는 그래픽 더블 데이터 레이트 메모리(GDDR)과 같은 고속 메모리를 포함하지만, 어떠한 유형의 메모리 기술이라도 포함할 수 있다. 일 실시예에 있어서, 메모리 시스템(140)은, 본 명세서에서 추후 더 상세히 논의될 바와 같이, 데이터 버스 반전(DBI)을 위한 로직을 포함한다.

[0019] 호스트 시스템(110)은 저장 시스템(120)으로부터의 데이터에 액세스하고 메모리 시스템(140) 내 데이터의 읽기 및 쓰기를 수행할 수 있다. 일 실시예에 있어서, 호스트 시스템(110)은 다수 데이터 라인(132-0 내지 132-N)을 통해 메모리 시스템(140)에 액세스한다. 데이터 라인(132-0 내지 132-N) 상에서 반송되는 데이터는 또한, DQ 신호, DQ 바이트 또는 DQ 비트 0 내지 N이라고 지칭될 수 있다. 호스트 시스템(110)은 또한 표시자 라인(134)을 모니터링하여, 데이터 버스 라인(132) 상에 존재하는 데이터의 속성을, 표시자 라인(134) 상에 존재하는 표시자 신호의 상태에 기반하여, 나타낸다. 더 상세히 논의될 바와 같이, 그러한 속성은 데이터가 반전, 마스킹 또는 포이즈닝되었음을 나타낸다.

[0020] 인터페이스(150)는, 제어 라인(145)을 통해, 데이터 버스 라인(132) 상의 데이터가 어떻게 프로세싱되어야 하는지, 예를 들어, 데이터 버스 반전 또는 데이터 포이즈닝 지원이 가능으로 되는지 아닌지 제어한다. 인터페이스(150)로부터의 입력에 기반하여, 메모리 시스템(140)은, 인터페이스(150)로부터의 입력이 데이터 버스 반전이 가능으로 됨을 나타낼 때 데이터가 반전되어야 하는지 확인하기 위해 데이터 버스 라인(132) 상의 데이터를 조사하는 것과 같이, 다양한 기능을 수행할 것이다.

[0021] 더 논의될 바와 같이, 데이터 버스 라인(132) 상에 존재하는 각각의 DQ 바이트에 대하여 표시자 라인(134) 상에 존재하는 하나의 표시자 신호가 있다. 표시자 신호는 메모리 시스템(140)에 또는 그로부터의 각각의 읽기 및 쓰기에 대해 DQ 신호와 함께 샘플링된다. 주어진 DQ 바이트에 대하여, 연관된 DQ 바이트에서의 특수 데이터 패턴과 함께 표시자 신호의 상태는 데이터가 반전, 마스킹 또는 포이즈닝됨을 포함하는 데이터의 3개의 특수 특정 클래스를 지정할 수 있다.

[0022] 마스킹된 데이터

[0023] 데이터 마스킹은 메모리로의 쓰기 액세스 동안 바이트 입도 데이터 마스킹을 제공한다. 마스크는 메모리로의 업 데이터를 억제한다. 데이터 마스킹의 사용은 인터페이스(150)에 의해 제어되고 데이터 버스 반전 및 포이즈닝과 관련하여 더 설명될 것이다.

[0024] 데이터 버스 반전

[0025] DBI는 메모리 시스템(150)으로 그리고 그로부터 등 데이터의 어느 주어진 전송 상 상태(예를 들어, 로우 내지 하이)를 스위칭하는 데이터 신호의 수를 감소시킨다. 상태를 스위칭하는 데이터 신호의 수가 최소화되면, 그 때 필요한 회로 전력량이 감소된다. 또한 이것은 신호 무결성을 개선하고 일반적으로 순시 전류 드로 예를 들어 di/dt 와 관련된 문제를 감소시키고, 또한 상태 변화에 기인하는 잡음을 감소시킨다. DBI 알고리즘은 데이터 버스 상의 데이터의 50%로 상태 변화의 수를 제한할 수 있다. 예를 들어, 8 비트/라인의 데이터로 구성된 DQ 바이트에 대해, DBI의 사용은 2개의 연속하는 8 비트 DQ 바이트 간 변화 상태의 수를 최대 4개의 변화 비트로 제한할 수 있다.

[0026] 예를 들어, 데이터 버스 반전이 가능으로 되어 있고 제1 DQ 바이트가 다음 패턴을 갖는다고 가정하자:

[0027] 01010101

[0028] 그리고 제2 DQ 바이트가 다음 패턴을 갖는다고 가정하자:

[0029] 10101010.

[0030] 이러한 예에 있어서, 데이터 버스 반전이 가능으로 됨이 없이, 모든 DQ 비트에 대한 상태는 변화하여 8개의 상태 변화의 결과를 초래할 것이다. 데이터 버스 버전이 가능으로 되면, 시스템 예를 들어 시스템(100)은 2개의 연속하는 DQ 바이트 간 4개보다 많은 상태 변화가 있다고 결정할 것이고 제2 DQ 바이트의 패턴을 다음과 같이

반전할 것이다:

[0031] 01010101.

[0032] 이러한 반전은 후속하여 제1과 제2 DQ 바이트 간 상태 변화 없음을 만들어낸다. 그렇지만, 데이터가 제2 DQ 바이트에서 반전되었음을 시그널링하기 위해, 제2 DQ 바이트와 연관된 표시자 신호가 또한 "참" 상태로 가능 또는 구동되어야 한다(전형적으로 참 상태는 본 명세서에서 "가능", "하이" 또는 "1"로 지정되지만, 또한 액티브로 우 신호로 정의될 수 있다). 결과적으로, 각각의 DQ 바이트는 또한 그 자신의 표시자 신호와 연관된다. 그래서, DQ 데이터의 어느 읽기 또는 쓰기 동안, 표시자 신호 또한 샘플링되어야 한다. 또한, 여기서 사용되는 바와 같이 DQ 바이트는 어느 특정 수의 비트로 제한되지 않는다. 위 예에서의 8 비트의 사용은 단지 예이며 어떤 유형의 제한으로 해석되어서는 안 된다.

[0033] DBI가 인터페이스(150)에 의해 불능으로 되면, 그때 제어 라인(145)을 통한 어떠한 DBI 신호도 표명되지 않을 것이다. 더욱, 인터페이스(150)는 DBI-dc 또는 DBI-ac 모드 중 어느 것을 지원하도록 구성될 수 있다.

[0034] 마스킹되지 않은 데이터에 대한 DBI-DC

[0035] DBI가 불능으로 되면, 그때 데이터는 데이터 버스 라인(132) 상에서 송신되고 표시자 신호는 불능으로 되거나, 등가적으로 0으로 설정된다. DBI-dc가 인터페이스(150) 상에서 가능으로 되면, 그때 표시자 라인(134) 상의 표시자 신호 및 데이터 버스 라인(132) 상의, DQ 바이트, 데이터 신호의 각각의 그룹은 각각의 사이클에서 조사된다. 표시자 라인(134) 상의 주어진 표시자 신호를 갖는 데이터 버스 라인(132) 상의 데이터 신호 중 50% 이상이 하이로 구동되면, 그때 표시자 신호는 하이로 구동 또는 가능으로 되고, 데이터 버스 라인(132) 상의 연관된 데이터 신호는 반전된다. 그렇지 않으면, 표시자 라인(134) 상의 표시자 신호는 로우로 구동되어 불능으로 되고, 데이터 버스 라인(132) 상의 연관된 데이터 신호는 반전되지 않는다. 예로서, DQ 바이트가 8 비트로 구성된다고 하면, DQ 비트 중 5개가 하이일 때, 표시자 신호는 하이로 구동되고 DQ 비트는 반전되어 3개의 하이 DQ 비트 및 하나의 하이 표시자 신호의 결과를 총 4개의 하이 신호에 대해 초래한다.

[0036] 마스킹되지 않은 데이터에 대한 DBI-AC

[0037] DBI가 불능으로 되면, 그때 데이터는 데이터 버스 라인(132) 상에서 송신되고 표시자 신호는 불능으로 되거나, 등가적으로 0으로 설정된다. DBI-ac가 인터페이스(150) 상에서 가능으로 되면, 그때 표시자 라인(134) 상의 표시자 신호 및 데이터 버스 라인(132) 상의, DQ 바이트, 데이터 신호의 각각의 그룹은 각각의 사이클에서 조사된다. 표시자 라인(134) 상의 주어진 표시자 신호를 갖는 데이터 버스 라인(132) 상의 데이터 신호 중 50% 이상이 스위칭하려 하면, 예를 들어, DQ 비트의 상태가 이전 사이클에서 유지된 신호와는 다른 값으로 구동되려 하면, 그때 표시자 신호는 하이로 구동 또는 가능으로 되고, 데이터 버스 라인(132) 상의 연관된 데이터 신호는 반전된다. 그렇지 않으면, 표시자 라인(134) 상의 표시자 신호는 로우로 구동되어 불능으로 되고, 데이터 버스 라인(132) 상의 연관된 데이터 신호는 반전되지 않는다. 예로서, DQ 바이트가 8 비트로 구성된다고 하면, DQ 비트 중 5개가 스위칭 되려고 할 때, 표시자 신호는 하이로 구동되고 DQ 비트는 반전되어 3개의 스위칭된 DQ 비트 및 많아야 하나의 스위칭된 표시자 신호(이전 표시자 신호가 가능으로 되어 있지 않았을 경우)의 결과를 총 4개의 신호 스위칭에 대해 초래한다.

[0038] 마스킹된 데이터에 대한 DBI-DC

[0039] DBI가 불능으로 되면, 마스킹된 데이터는 표시자 라인(134) 상의 표시자 신호를 가능으로 함으로써, 예를 들어, 표시자 신호를 하이로 설정함으로써 지정되고, DQ 신호는 무신경 상태에 있고, 바람직하게는 전력 절약 목적으로 이전 사이클로부터 변화하지 않은 채로 남아있다. DBI-dc가 인터페이스(150) 상에서 가능으로 되면, 호스트 시스템(110)이 마스킹된 복수의 데이터 비트를 쓸 때, 예를 들어, 당해 바이트가 메모리에 쓰이지 않을 것일 때, 특수 인코딩이 사용되어 이 경우 표시자 라인(134) 상의 표시자 신호가 가능으로 되고, 하이로 설정되고, 데이터 버스 라인(132) 상의 DQ 비트가 비트 중 제1 반쪽은 로우로 설정되고 비트 중 제2 반쪽은 하이로 설정되게 설정된다. 예를 들어, DQ 바이트에 8개의 비트가 있으면, 그때 패턴은 00001111로 나타낼 수 있다. 이러한 인코딩은 어느 표준 또는 마스킹되지 않은 데이터 패턴에 대해서는 일어나지 않는다.

[0040] 마스킹된 데이터에 대한 DBI-AC

[0041] DBI가 불능으로 되면, 마스킹된 데이터는 표시자 라인(134) 상의 표시자 신호를 가능으로 함으로써, 예를 들어, 표시자 신호를 하이로 설정함으로써 지정되고, DQ 신호는 무신경 상태에 있고, 바람직하게는 전력 절약 목적으로 이전 사이클로부터 변화하지 않은 채로 남아있다. DBI-ac가 인터페이스(150) 상에서 가능으로 되면, 호스트

시스템(110)이 마스킹된 데이터 바이트를 쓸 때, 예를 들어, 당해 바이트 또는 복수의 데이터 비트가 메모리에 쓰이지 않을 것일 때, 특수 인코딩이 사용되어 이 경우 표시자 라인(134) 상의 표시자 신호가 가능으로 되고, 하이로 설정되고, 데이터 버스 라인(132) 상의 DQ 비트가 비트 중 제1 반쪽이 그들 이전 값으로부터 스위칭되도록 설정된다. 예를 들어, DQ 바이트에 8개의 비트가 있으면, 그때 패턴은 00001111로 나타낼 수 있는데, 데이터 버스 라인(132) 상의 이전 DQ 데이터를 데이터 버스 라인(132) 상의 현재 DQ 데이터와 배타적 OR함으로써 발생된다. 이러한 인코딩은 어느 표준 또는 마스킹되지 않은 데이터 패턴에 대해서는 일어나지 않는다.

[0042] 데이터 포이즈닝

데이터 포이즈닝은 정정불가능한 에러를 갖는 데이터를 저장하기 위한 시스템-레벨 데이터 무결성 메커니즘이다. 데이터가 되읽혀질 때, 포이즈닝된 상태가 호스트 시스템(110)에 반환되고 호스트가 이전에 신뢰 불가능한 데이터를 저장하였음을 나타낸다.

많은 애플리케이션에 있어서, 호스트 시스템(110)은 에러-정정 코드(ECC) - 보호된 후-기입 캐시를 유지할 것 같다. 캐시 라인이 정정불가능한 에러를 겪는 경우에, 이러한 에러는 캐시 라인이 퇴거될 때까지 검출되지 않을 수 있다. 이러한 포인트에서, 데이터는 변질되지만, 발생된 또는 이러한 데이터를 요구하는 프로세스는 더 이상 호스트 시스템(110) 상에서 실행되고 있지 않을 수 있다. 소망 거동은 변질된 데이터를 메모리에 퇴거시키고 이러한 데이터의 "포이즈닝된 상태"를 저장하는 것이다. 메모리로부터 이러한 포이즈닝된 데이터의 후속 읽기는 이러한 데이터를 요청하는 프로세스에 에러를 시그널링할 것이다.

예로서, 데이터 어레이 내 패리티를 지원하는 DRAM 구현에 있어서, 포이즈닝된 것으로 마크 표시된 데이터의 쓰기는 저장된 패리티가 반전되게 야기한다. 이러한 거동은 이러한 데이터의 어느 후속 읽기 상 정정불가능한 에러를 야기할 것이다.

또 다른 예에 있어서, 데이터 어레이 내 ECC를 지원하는 DRAM 구현에 있어서, 포이즈닝된 것으로 마크 표시된 데이터의 쓰기는 발생된 ECC 비트가 정정불가능한 에러를 인코딩하게 야기한다. 이러한 거동은 이러한 데이터의 어느 후속 읽기 상 정정불가능한 에러를 야기할 것이다.

보호된 워드 전체에 마스킹되지 않은 쓰기는, 변질된 데이터가 효과적으로 덮어쓰여졌을 때, 포이즈닝된 상태를 리셋할 수 있다.

[0048] 데이터 포이즈닝 지원이 가능으로 된 마스킹되지 않은 데이터에 대한 DBI

마스킹되지 않은 데이터에 대한 DBI 신호의 거동은 데이터 포이즈닝 지원이 가능으로 될 때 불변이다. 그래서, DBI가 불능으로 되면, 그때 데이터는 데이터 버스 라인(132) 상에서 송신되고 표시자 신호는 불능으로 되거나, 등가적으로 0으로 설정된다. DBI-dc가 인터페이스(150) 상에서 가능으로 되면, 그때 표시자 라인(134) 상의 표시자 신호 및 데이터 버스 라인(132) 상의 데이터 신호의 각각의 그룹은 각각의 사이클에서 조사된다. 표시자 라인(134) 상의 주어진 표시자 신호를 갖는 데이터 버스 라인(132) 상의 데이터 신호 중 50% 이상이 하이로 구동되면, 그때 표시자 신호는 하이로 구동 또는 가능으로 되고, 데이터 버스 라인(132) 상의 연관된 데이터 신호는 반전된다. 그렇지 않으면, 표시자 라인(134) 상의 표시자 신호는 로우로 구동되어 불능으로 되고, 데이터 버스 라인(132) 상의 연관된 데이터 신호는 반전되지 않는다. 예로서, DQ 바이트가 8 비트로 구성된다고 하면, DQ 비트 중 5개가 하이일 때, 표시자 신호는 하이로 구동되고 DQ 비트는 반전되어 3개의 하이 DQ 비트 및 하나의 하이 표시자 신호의 결과를 총 4개의 하이 신호에 대해 초래한다.

DBI가 불능으로 되면, 그때 데이터는 데이터 버스 라인(132) 상에서 송신되고 표시자 신호는 불능으로 되거나, 등가적으로 0으로 설정된다. DBI-ac가 인터페이스(150) 상에서 가능으로 되면, 그때 표시자 라인(134) 상의 표시자 신호 및 데이터 버스 라인(132) 상의 데이터 신호의 각각의 그룹은 각각의 사이클에서 조사된다. 표시자 라인(134) 상의 주어진 표시자 신호를 갖는 데이터 버스 라인(132) 상의 데이터 신호 중 50% 이상이 스위칭하려 하면, 예를 들어, DQ 비트의 상태가 이전 사이클에서 유지된 신호와는 다른 값으로 구동되려 하면, 그때 표시자 신호는 하이로 구동 또는 가능으로 되고, 데이터 버스 라인(132) 상의 연관된 데이터 신호는 반전된다. 그렇지 않으면, 표시자 라인(134) 상의 표시자 신호는 로우로 구동되어 불능으로 되고, 데이터 버스 라인(132) 상의 연관된 데이터 신호는 반전되지 않는다. 예로서, DQ 바이트가 8 비트로 구성된다고 하면, DQ 비트 중 5개가 스위칭 되려고 할 때, 표시자 신호는 하이로 구동되고 DQ 비트는 반전되어 3개의 스위칭된 DQ 비트 및 많아야 하나의 스위칭된 표시자 신호(이전 표시자 신호가 가능으로 되어 있지 않았을 경우)의 결과를 총 4개의 신호 스위칭에 대해 초래한다.

- [0051] 데이터 포이즈닝 지원이 가능으로 된 마스킹된 데이터에 대한 데이터 버스 반전
- [0052] 데이터 포이즈닝 지원이 가능으로 될 때, 데이터 버스(132) 상의 DQ 비트의 인코딩은 마스킹된 데이터와 포이즈닝된 데이터 사이를 구별하는데 사용된다.
- [0053] DBI가 불능으로 되면, 마스킹된 데이터는 표시자 라인(134) 상의 표시자 신호가, 1로 설정되어, 가능으로 될 때 지정되고, DQ 비트 중 제1 반쪽이 로우로 설정되고 비트 중 제2 반쪽이 하이로 설정되는 데이터 패턴이 존재한다. DBI-dc가 인터페이스(150) 상에서 가능으로 되면, 호스트 시스템(110)이 마스킹된 데이터 바이트를 쓸 때, 예를 들어, 당해 바이트 또는 복수의 데이터 비트가 메모리에 쓰이지 않을 것일 때, 특수 인코딩이 사용되어 이 경우 표시자 라인(134) 상의 표시자 신호가 가능으로 되고, 하이로 설정되고, 데이터 버스 라인(132) 상의 DQ 비트가 비트 중 제1 반쪽은 로우로 설정되고 비트 중 제2 반쪽은 하이로 설정되게 설정된다. 예를 들어, DQ 바이트에 8개의 비트가 있으면, 그때 패턴은 00001111로 나타낼 수 있다. 이러한 인코딩은 어느 표준 또는 마스킹되지 않은 데이터 패턴에 대해서는 일어나지 않는다.
- [0054] DBI-ac가 인터페이스(150) 상에서 가능으로 되면, 호스트 시스템(110)이 마스킹된 데이터 바이트를 쓸 때, 예를 들어, 당해 바이트 또는 복수의 데이터 비트가 메모리에 쓰이지 않을 것일 때, 특수 인코딩이 사용되어 이 경우 표시자 라인(134) 상의 표시자 신호가 가능으로 되고, 하이로 설정되고, 데이터 버스 라인(132) 상의 DQ 비트가 비트 중 제1 반쪽이 그들 이전 값으로부터 스위칭되도록 설정된다. 예를 들어, DQ 바이트에 8개의 비트가 있으면, 그때 패턴은 00001111로 나타낼 수 있는데, 데이터 버스 라인(132) 상의 이전 DQ 데이터를 데이터 버스(132) 상의 현재 DQ 데이터와 배타적 OR함으로써 발생된다. 이러한 인코딩은 어느 표준 또는 마스킹되지 않은 데이터 패턴에 대해서는 일어나지 않는다.
- [0055] 데이터 포이즈닝 지원이 가능으로 된 마스킹되지 않은 데이터에 대한 데이터 버스 반전
- [0056] DBI가 불능으로 될 때, 포이즈닝된 데이터는 표시자 라인(134) 상의 표시자 신호가, 하이로 설정되어, 가능으로 될 때 나타내어지고, DQ 비트 중 제1 반쪽이 하이로 설정되고 비트 중 제2 반쪽이 로우로 설정되는 데이터 패턴이 DQ 바이트에 존재한다.
- [0057] DBI-dc가 인터페이스(150) 상에서 가능으로 되면, 호스트 시스템(110)이 포이즈닝된 데이터 바이트 또는 복수의 데이터를 쓸 때, 특수 인코딩이 사용되어 이 경우 표시자 라인(134) 상의 표시자 신호가 가능으로 되고, 하이로 설정되고, 데이터 버스 라인(132) 상의 DQ 비트가 비트 중 제1 반쪽은 하이로 설정되고 비트 중 제2 반쪽은 로우로 설정되도록 설정된다. DQ 바이트에 8개의 비트가 있으면, 그때 패턴은 11110000으로 나타낼 수 있다. 이러한 인코딩은 어느 표준 또는 마스킹되지 않은 데이터 패턴에 대해서는 일어나지 않는다.
- [0058] DBI-ac가 인터페이스(150) 상에서 가능으로 되면, 호스트 시스템(110)이 마스킹된 데이터 바이트를 쓸 때, 예를 들어, 당해 바이트 또는 복수의 데이터 비트가 메모리에 쓰이지 않을 것일 때, 특수 인코딩이 사용되어 이 경우 표시자 라인(134) 상의 표시자 신호가 가능으로 되고, 하이로 설정되고, 데이터 버스 라인(132) 상의 DQ 비트가 비트 중 제2 반쪽이 그들 이전 값으로부터 스위칭되도록 설정된다. 예를 들어, DQ 바이트에 8개의 비트가 있으면, 그때 패턴은 11110000으로 나타낼 수 있는데, 데이터 버스 라인(132) 상의 이전 DQ 데이터를 데이터 버스 라인(132) 상의 현재 DQ 데이터와 배타적 OR함으로써 발생된다. 이러한 인코딩은 어느 표준 또는 마스킹된 데이터 패턴에 대해서는 일어나지 않는다.
- [0059] 이러한 인코딩은 각각의 바이트가 개별적으로 포이즈닝될 수 있음을 허용하지만, 또 다른 실시예에서는, 읽기 또는 쓰기에서의 어느 바이트가 포이즈닝되면, 그때 읽기 또는 쓰기 트랜잭션 전체에서의 데이터는 포이즈닝된 것으로 생각된다.
- [0060] 흐름도
- [0061] 도 2는, 본 발명의 일 실시예에 따라, 예를 들어, 읽기 커맨드에 응답하여 메모리 시스템(140)에 의해, 데이터 베이스 반전이 가능으로 되어 데이터를 송신하기 위한 흐름도(200)이다. 일 실시예에 있어서, 읽기 커맨드 사이에, 메모리 시스템(140)은 DQ 및 표시자 신호를 3-상태로 하여, 효과적으로 이전 상태를 유지할 수 있다. 하나 이상의 읽기 커맨드를 발행한 후, 메모리 시스템(140)이 쓰기 커맨드를 보내거나 유휴 상태에 들어가기 이전에, 메모리 시스템(140)은 데이터 버스 라인(132) 상의 DQ 데이터 및 표시자 라인(134) 상의 표시자 신호를 로우로 구동한다. 일 실시예에 있어서, 데이터 버스 라인(132) 상의 DQ 데이터 및 표시자 라인(134) 상의 표시자 신호를 이렇게 로우로 구동하는 것은, 8개의 데이터 신호의 그룹 내 5개 이내 데이터 신호가 어느 트랜지션으로 스위칭하여 그리하여 전력을 아끼고 잡음을 최소화함을 보장하기 위해 2개의 반-클록 주기에 걸쳐 일어날 수

있다.

[0062] 메모리 시스템(140)이 쓰기 커맨드에 기인하여 신호를 구동하고 있을 때, DBI 거동은 유사하다. 쓰기 커맨드 사이에, 메모리 시스템(140)은 DQ 및 표시자 신호를 유지할 것이다. 하나 이상의 쓰기 커맨드를 발행한 후, 메모리 시스템(140)이 읽기 커맨드를 보내거나 유휴 상태에 들어가기 전, 메모리 시스템(140)은 2개의 클록 원도에 걸쳐 DQ 및 표시자 신호를 로우로 구동할 것이다.

[0063] 흐름도(200)는 데이터의 버스트로 시작하여, 이전 DQ 바이트를 로우로 설정한다. 다음의 데이터 DQ 바이트는 다른 비트의 수를 카운트하도록 이전 DQ 바이트에 비교된다. 다음으로, 데이터가 마스킹된 것으로 여겨졌는지 아닌지 결정된다. 데이터가 마스킹되면, 그때 표시자 신호는, 하이로 설정되어, 가능으로 된다. 더욱, DQ 신호는 "무신경" 상태에 있고 데이터는 복수의 데이터 비트 중 제1 반쪽이 로우로 설정되고 제2 반쪽이 하이로 설정되도록 설정된다. 데이터가 마스킹되지 않으면, 그때 다른 비트의 카운트가 분석된다. 카운트가 DQ 바이트(흐름도는 DQ 바이트가 8개의 비트로 구성되는 예를 사용) 내 비트 수의 50%보다 더 크면, 그때 표시자 신호는 하이로 설정되고 다음 데이터는 반전된다. 카운트가 DQ 바이트 내 비트 수의 50%보다 더 작으면, 그때 표시자 신호는 로우로 설정되고 다음 데이터는 반전되지 않는다.

[0064] 흐름도는 버스트가 종료하였는지 체크함으로써 계속되고, 않았으면, 그때 프로세스는 시스템이 DBI-ac를 이용하고 있는지 DBI-dc를 이용하고 있는지의 선택으로 반복된다. DBI-ac가 사용되고 있으면 그때 흐름도는 이전 데이터와 다음 데이터 사이의 다른 비트의 수를 카운트함으로써 계속된다. DBI-dc가 사용되고 있으면, 우선 이전 데이터는 로우로 설정되고, 그 후 이전 데이터와 다음 데이터 사이 다른 비트의 수가 카운트된다.

[0065] 흐름도는 백 투 백 읽기가 마주쳤는지 체크함으로써 계속된다. 그렇다면, 그때 흐름도는 DBI-ac 또는 DBI-dc가 사용되는지 체크함으로써 계속되고 프로세스를 반복한다. 백 투 백 읽기가 없으면 흐름도는 종료한다.

[0066] 도 3은, 본 발명의 일 실시예에 따라, 예를 들어, 메모리 시스템(140)이 쓰기 커맨드에 대해 데이터를 수신함으로써, 수신기에 의해 올바른 데이터를 결정하기 위한 흐름도(300)이다.

[0067] 흐름도(300)는 데이터의 버스트로 시작하여, 이전 DQ 바이트를 로우로 설정한다. 데이터 DQ 바이트 및 연관된 표시자 신호가 수신 및 조사된다. 흐름도는 우선 표시자 신호가 하이인지 결정한다. 표시자 신호가 로우이면 그 때 수신된 데이터는 반전되지 않는다.

[0068] 일 실시예에 있어서, 표시자 신호가 하이이면, 그때 이전에 수신된 데이터는 DQ 바이트의 제1 반쪽이 로우이고 DQ 바이트의 제2 반쪽이 하이로 설정되는지 결정하도록 현재 데이터와 배타적 OR된다. 그것이 아니면, 그때 이것은 데이터가 마스킹되지 않지만 그것이 반전되어야 함을 나타낸다. 데이터 패턴이 "마스킹된" 패턴과 매칭하면, 예를 들어, DQ 바이트의 제1 반쪽이 로우이고 DQ 바이트의 제2 반쪽이 하이인 경우, 그때 데이터는 마스킹된다.

[0069] 일 실시예에 있어서, 복수의 데이터 비트가 마스킹됨을 나타내는 데이터 패턴은, 비트 중 제1 반쪽이 로우이고 제2 반쪽이 하이인 위에서 주어진 예뿐만이 아니라, 어떠한 미리 정의된 패턴이라도 될 수 있다. 예를 들어, 비트가 마스킹됨을 나타내는 복수의 데이터 비트의 패턴은 서브세트의 적어도 하나의-반쪽이 액티브 상태로 설정되는 복수의 데이터 비트의 서브세트로 구성될 수 있다. 예를 들어, 복수의 데이터 비트가 마스킹됨을 나타내도록, 설정되는 특정 수의 비트가 있는 경우, 예를 들어, 정확히 4개의 비트가 설정되는 경우, 데이터 마스킹이 시그널링될 수 있다. 또 다른 실시예에 있어서, 0000111100001111과 같은 패턴이 복수의 데이터 비트가 마스킹됨을 나타낼 것이다.

[0070] 어느 경우에서라도, 흐름도에서의 다음 단계는 버스트가 종료하였는지 결정하는 것이고, 그것이 종료하였으면, 그때 흐름도 또한 종결된다. 버스트가 종료하지 않았으면, 그때 프로세스는 다음 DQ 바이트로 계속된다.

[0071] 도 4 및 도 5는 DQ 데이터가 포이즈닝되는지 결정하도록 DQ 바이트와 함께 표시자 신호를 발생 및 분석할 수 있는 능력을 또한 포함하는 흐름도이다.

[0072] 도 4는, 본 발명의 일 실시예에 따라, 예를 들어, 읽기 커맨드에 응답하여 메모리 시스템(140)에 의해, 송신되고 있는 데이터에 대해 데이터 포이즈닝 지원이 가능으로 되는 경우 DBI를 수행하기 위한 흐름도(400)이다. 일 실시예에 있어서, 읽기 커맨드 사이에, 메모리 시스템(140)은 DQ 및 표시자 신호를 3-상태로 하여, 효과적으로 이전 상태를 유지할 수 있다. 하나 이상의 읽기 커맨드를 발행한 후, 메모리 시스템(140)이 쓰기 커맨드를 보내거나 유휴 상태에 들어가기 이전에, 메모리 시스템(140)은 데이터 버스 라인(132) 상의 DQ 데이터 및 표시자 라인(134) 상의 표시자 신호를 로우로 구동한다. 일 실시예에 있어서, 데이터 버스 라인(132) 상의 DQ 데이터 및

표시자 라인(134) 상의 표시자 신호를 이렇게 로우로 구동하는 것은, 8개의 데이터 신호의 그룹 내 5개 이내 데이터 신호가 어느 트랜지션으로 스위칭하여 그리하여 전력을 아끼고 잡음을 최소화함을 보장하기 위해 2개의 반-클록 주기에 걸쳐 일어날 수 있다.

[0073] 메모리 시스템(140)이 쓰기 커맨드에 기인하여 신호를 구동하고 있을 때, DBI 거동은 유사하다. 쓰기 커맨드 사이에, 메모리 시스템(140)은 DQ 및 표시자 신호를 유지할 것이다. 하나 이상의 쓰기 커맨드를 발행한 후, 메모리 시스템(140)이 읽기 커맨드를 보내거나 유휴 상태에 들어가기 전, 메모리 시스템(140)은 2개의 클록 윈도에 걸쳐 DQ 및 표시자 신호를 로우로 구동할 것이다.

[0074] 흐름도(400)는 데이터의 버스트로 시작하여, 이전 DQ 바이트를 로우로 설정한다. 다음의 데이터 DQ 바이트는 다른 비트의 수를 카운트하도록 이전 DQ 바이트에 비교된다. 다음으로, 데이터가 마스킹되거나 포이즈닝된 것으로 여겨졌는지 아닌지 결정된다. 데이터가 마스킹 또는 포이즈닝되지 않으면, 그때 다른 비트의 카운트가 분석된다. 카운트가 DQ 바이트(흐름도는 DQ 바이트가 8개의 비트로 구성되는 예를 사용) 내 비트 수의 50%보다 더 크면, 그때 표시자 신호는 하이로 설정되고 다음 데이터는 반전된다. 카운트가 DQ 바이트 내 비트 수의 50%보다 더 작으면, 그때 표시자 신호는 로우로 설정되고 다음 데이터는 반전되지 않는다.

[0075] 데이터가 마스킹 또는 포이즈닝되면, 그때 표시자 신호는, 하이로 설정되어, 가능으로 된다. 더욱, DQ 신호는 "무신경" 상태에 있지만 DQ 바이트가 마스킹 또는 포이즈닝된 것으로 결정되는지에 따라 패터닝된다. 일 실시 예에 있어서, 데이터가 마스킹되면, 그때 DQ 바이트의 제1 반쪽이 로우로 설정되고 제2 반쪽이 하이로 설정된다(흐름도는 DQ 바이트 패턴이 00001111인 8개 비트 예를 예시하고 있다). 데이터가 포이즈닝되면, 그때 DQ 바이트의 제1 반쪽이 하이로 설정되고 제2 반쪽이 로우로 설정된다(흐름도는 DQ 바이트 패턴이 11110000인 8개 비트 예를 예시하고 있다).

[0076] 데이터 비트가 마스킹됨을 나타내는 패턴에서와 같이, 데이터 포이즈닝은, 비트 중 제1 반쪽이 하이이고 제2 반쪽이 로우인 위에서 주어진 예뿐만이 아니라, 어떠한 미리 정의된 패턴에 의해서라도 시그널링될 수 있다. 예를 들어, 비트가 포이즈닝됨을 나타내는 복수의 데이터 비트의 패턴은 복수의 데이터 비트의 적어도 하나의-반쪽이 복수의 데이터 비트가 마스킹됨을 나타내는 복수의 데이터 비트의 서브세트 내에 있지 않도록 설정되는 경우로 구성될 수 있다. 또 다른 예에 있어서, 복수의 데이터 비트가 포이즈닝됨을 나타내도록, 설정되는 특정 수의 비트가 있는 경우, 예를 들어, 정확히 5개의 비트가 설정되는 경우, 데이터 포이즈닝이 시그널링될 수 있다. 또 다른 실시예에 있어서, 1111000011110000과 같은 패턴이 복수의 데이터 비트가 포이즈닝됨을 나타낼 것이다.

[0077] 흐름도는 버스트가 종료하였는지 체크함으로써 계속되고, 않았으면, 그때 프로세스는 시스템이 DBI-ac를 이용하고 있는지 DBI-dc를 이용하고 있는지의 선택으로 반복된다. DBI-ac가 사용되고 있으면 그때 흐름도는 이전 데이터와 다음 데이터 사이의 다른 비트의 수를 카운트함으로써 계속된다. DBI-dc가 사용되고 있으면, 우선 이전 데이터는 로우로 설정되고, 그 후 이전 데이터와 다음 데이터 사이 다른 비트의 수가 카운트된다.

[0078] 흐름도는 백 투 백 읽기가 마주쳤는지 체크함으로써 계속된다. 그렇다면, 그때 흐름도는 DBI-ac 또는 DBI-dc가 사용되는지 체크함으로써 계속되고 프로세스를 반복한다. 백 투 백 읽기가 없으면 흐름도는 종료한다.

[0079] 도 5는, 본 발명의 일 실시예에 따라, 예를 들어, 데이터 포이즈닝 지원이 가능으로 되는 경우 메모리 시스템(140)이 쓰기 커맨드에 대해 데이터를 수신함으로써, 수신기에 의해 올바른 데이터를 결정하기 위한 흐름도(500)이다.

[0080] 흐름도(500)는 데이터의 버스트로 시작하여, 이전 DQ 바이트를 로우로 설정한다. 데이터 DQ 바이트 및 연관된 표시자 신호가 수신 및 조사된다. 흐름도는 우선 표시자 신호가 하이인지 결정한다. 표시자 신호가 로우이면 그 때 수신된 데이터는 반전되지 않는다.

[0081] 표시자 신호가 하이이면, 그때 이전에 수신된 데이터는 결과적 데이터 패턴을 결정하도록 현재 데이터와 배타적 OR된다. DQ 바이트의 제1 반쪽이 로우이고 DQ 바이트의 제2 반쪽이 하이로 설정(도 5의 흐름도에서는 8 비트 DQ 바이트가 패턴이 00001111인 경우로 예시됨)되면. 패턴이 매칭하면, 그때 그것은 DQ 바이트가 마스킹됨을 나타낸다.

[0082] DQ 바이트의 제1 반쪽이 하이이고 DQ 바이트의 제2 반쪽이 로우(도 5의 흐름도에서는 8 비트 DQ 바이트가 패턴이 11110000인 경우로 예시됨)이면, 그때 표시는 DQ 바이트가 포이즈닝된다는 것이다.

[0083] 패턴이 마스킹 또는 포이즈닝되는 것과 매칭하지 않으면, 그때 현재 데이터는 반전되어야 한다.

[0084] 어느 경우에라도, 흐름도에서의 다음 단계는 버스트가 종료하였는지 결정하는 것이고, 그것이 종료하였으면,

흐름도 또한 종결된다. 버스트가 종료하지 않았으면, 그때 프로세스는 다음 DQ 바이트로 계속된다.

[0085] 방법

실시예에 따른 방법이, 제한 없이, 도 1-5에 설명된 통합된 데이터 마스킹, 데이터 포이즈닝, 및 데이터 버스 반전 시그널링에 관하여 설명될 것이다.

도 6은 통합된 시그널링의 발생을 위한 전형적 방법(600)의 흐름도이다. 설명의 용이함을 위해, 방법(600)은 도 2-5에 설명된 방법론을 사용하여 도 1의 통합된 시그널링 시스템에 관하여 설명되지만, 그 방법의 실시예가 그렇게 한정되는 것은 아니다.

방법(600)은 단계(602)에서 단일 표시자 신호의 상태를 설정하는 것으로 시작한다. 도 4에 관하여 논의된 바와 같이, 표시자 신호는 다음 데이터가 반전되지 않을 것임을 나타내도록 로우로 설정된다. 표시자 신호는 다음 데이터가 반전됨 또는 복수의 데이터 비트가 마스킹 또는 포이즈닝됨을 나타내도록 하이로 설정된다.

그 방법은 단계(604)에서 복수의 데이터 비트로 데이터 패턴의 발생으로 계속된다. 표시자 신호가 하이로 설정될 때 그 방법은 또한 복수의 데이터 비트가 마스킹되는지 또는 포이즈닝되는지 알아차리도록 복수의 데이터 비트의 패턴에 의존한다. 데이터 패턴이 복수의 데이터 비트 중 제1 반쪽이 하이로 설정되고 제2 반쪽이 로우로 설정되는 그러한 것이면, 그때 복수의 데이터 비트는 포이즈닝된다고 생각된다. 복수의 데이터 비트 중 제1 반쪽이 로우로 설정되고 제2 반쪽이 하이로 설정되면, 그때 복수의 데이터 비트는 마스킹된다고 생각된다.

그 방법은 단계(606)에서, 복수의 데이터 비트의 패턴 및 단일 표시자 신호의 상태에 기반하여, 데이터 버스 반전이 복수의 데이터 비트에 적용되었음 또는 복수의 데이터 비트가 포이즈닝됨을 시그널링함으로써 계속된다. 이러한 단계는 복수의 데이터 비트의 상태를 나타내도록 표시자 신호의 상태와 함께 복수의 데이터 비트의 패턴을 디코딩한다.

도 7은 통합된 시그널링의 수신 및 분석을 위한 전형적 방법(700)의 흐름도이다. 설명의 용이함을 위해, 방법(700)은 도 2-5에 설명된 방법론을 사용하여 도 1의 통합된 시그널링 시스템에 관하여 설명되지만, 그 방법의 실시예가 그렇게 한정되는 것은 아니다.

방법(700)은 단계(702)에서 단일 표시자 신호의 상태를 분석하는 것으로 시작한다. 도 4에 관하여 논의된 바와 같이, 표시자 신호가 로우일 때 다음 데이터는 반전되지 않는다. 표시자 신호가 하이로 설정될 때 다음 데이터는 반전, 마스킹 또는 포이즈닝된다.

그 방법은 단계(704)에서 복수의 데이터 비트로 데이터 패턴의 분석으로 계속된다. 표시자 신호가 하이로 설정될 때 그 방법은 또한 복수의 데이터 비트가 마스킹되는지 또는 포이즈닝되는지 알아차리도록 복수의 데이터 비트의 패턴에 의존한다. 데이터 패턴이 복수의 데이터 비트 중 제1 반쪽이 하이로 설정되고 제2 반쪽이 로우로 설정되는 그러한 것이면, 그때 복수의 데이터 비트는 포이즈닝된다고 생각된다. 복수의 데이터 비트 중 제1 반쪽이 로우로 설정되고 제2 반쪽이 하이로 설정되면, 그때 복수의 데이터 비트는 마스킹된다고 생각된다.

그 방법은 단계(706)에서, 복수의 데이터 비트의 패턴 및 단일 표시자 신호의 상태에 기반하여, 데이터 버스 반전이 복수의 데이터 비트에 적용되었음 또는 복수의 데이터 비트가 포이즈닝됨을 결정으로써 계속된다. 이러한 단계는 복수의 데이터 비트의 상태를 나타내도록 표시자 신호의 상태와 함께 복수의 데이터 비트의 패턴을 디코딩한다.

[0095] 맺는말

개요 및 요약 절은 발명자(들)에 의해 고려되는 바와 같이 본 발명의 하나 이상의 그러나 모두는 아닌 전형적 실시예를 제시하며, 그리하여, 본 발명 및 첨부 청구범위를 어떠한 식으로도 한정하려는 의도는 아니다.

본 발명은 특정 기능 및 그 관계의 구현을 예시하는 기능적 구성 블록의 도움으로 위에서 설명되었다. 이를 기능적 구성 블록의 경계는 설명의 편의를 위해 여기서 임의로 정의되었다. 특정 기능 및 그 관계가 적절히 수행되는 한 대체 경계가 정의될 수 있다.

특정 실시예의 상기 설명은 타인이, 본 발명의 일반적 개념으로부터 벗어남이 없이, 과도한 실험 없이, 당업자인 지식을 적용함으로써 그러한 특정 실시예의 다양한 응용을 위해 쉽게 수정 및/또는 적응할 수 있도록 그렇게 본 발명의 일반적 본성을 충분히 드러낼 것이다. 그래서, 그러한 적용 및 수정은, 여기서 제시된 가르침 및 가이드에 기반하여, 개시된 실시예의 균등물의 의미 및 범위 내에 있는 것으로 의도된다. 본 명세서의 어법 또는 용어는 그 가르침 및 가이드에 비추어 당업자에 의해 해석되도록 여기에서의 어법 또는 용어는 제한이 아닌 설

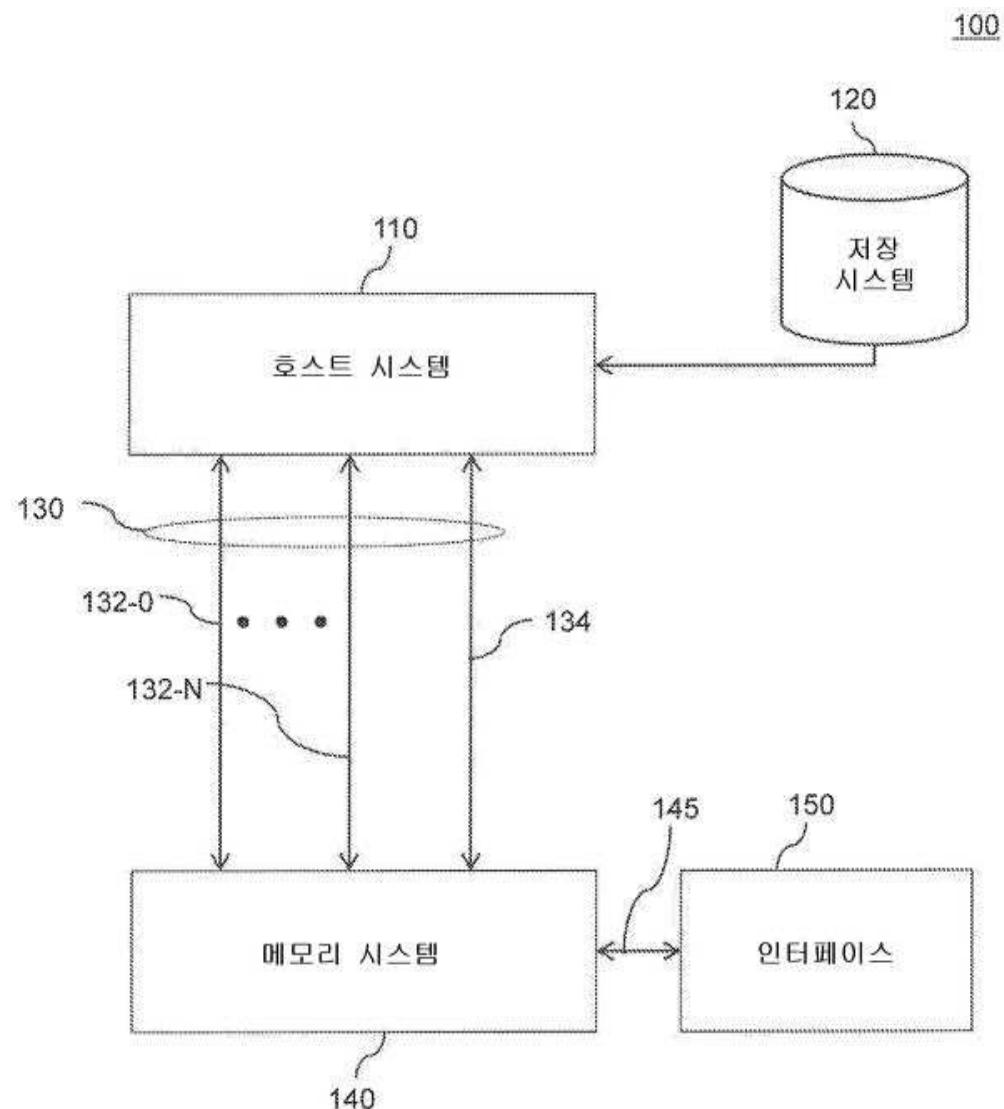
명의 목적을 위한 것임을 이해해야 한다.

[0099]

본 발명의 폭 및 범위는 위에서 설명된 전형적 실시예 중 어느 것에 의해서도 한정되어서는 안 되며, 이하의 청구범위 및 그들 균등물에 의해서만 정의되어야 한다.

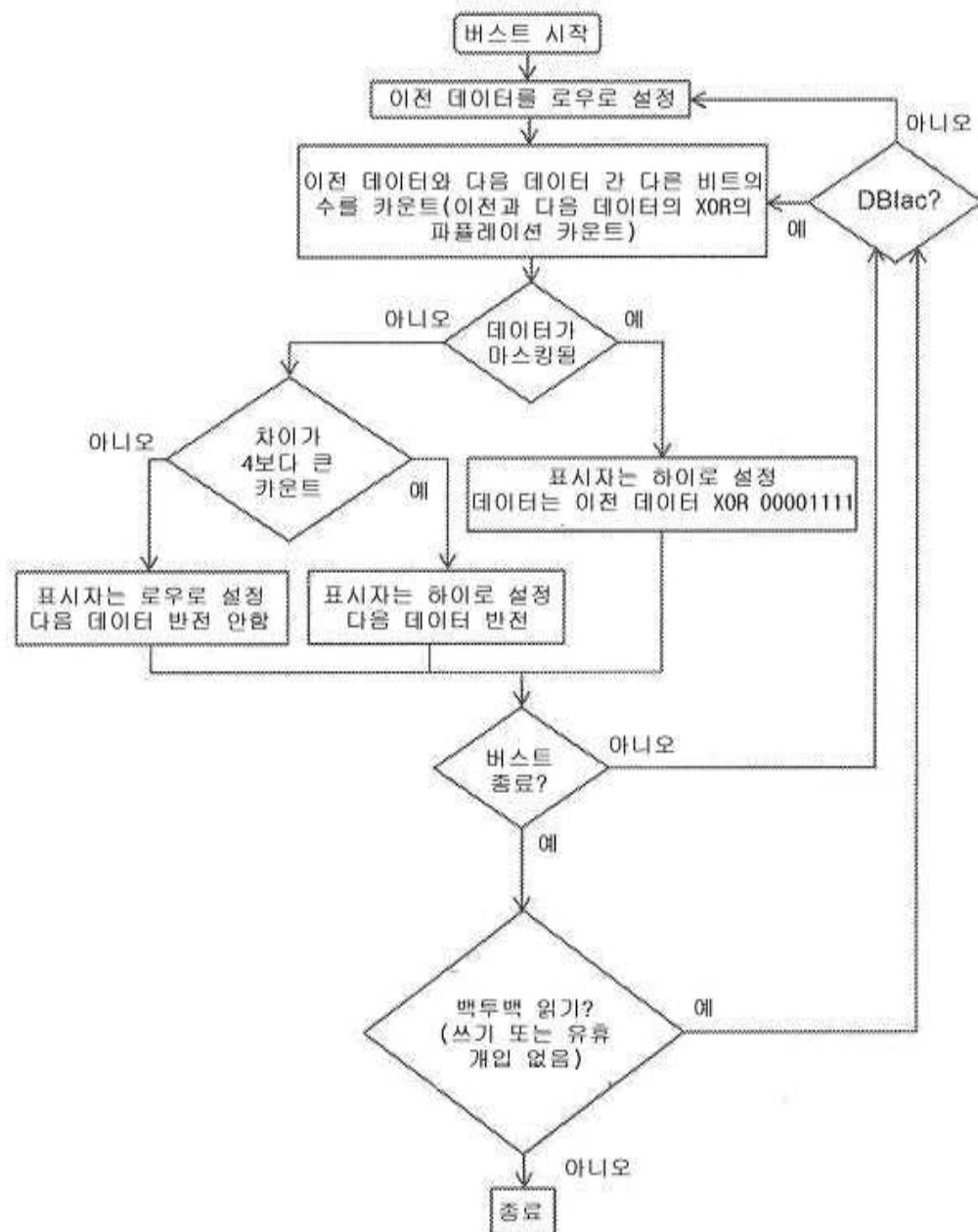
도면

도면1



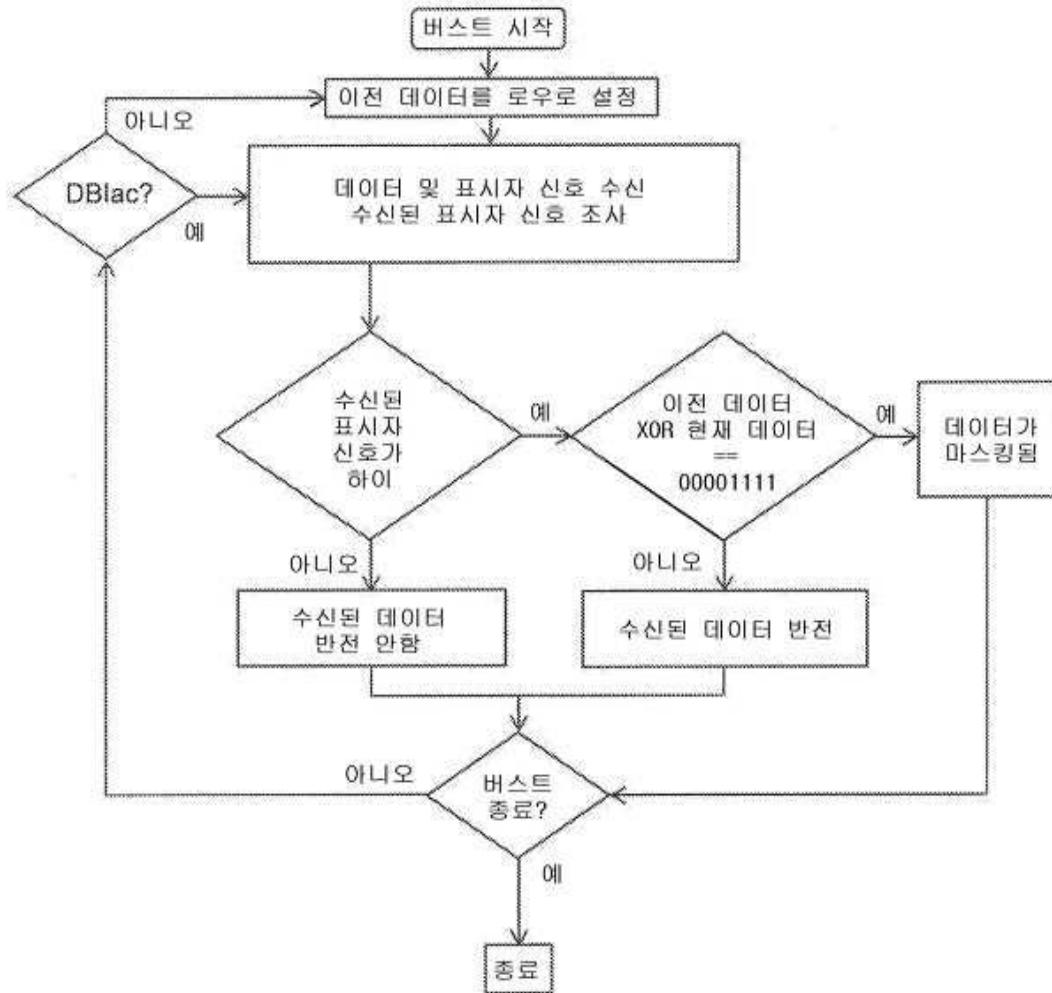
도면2

200

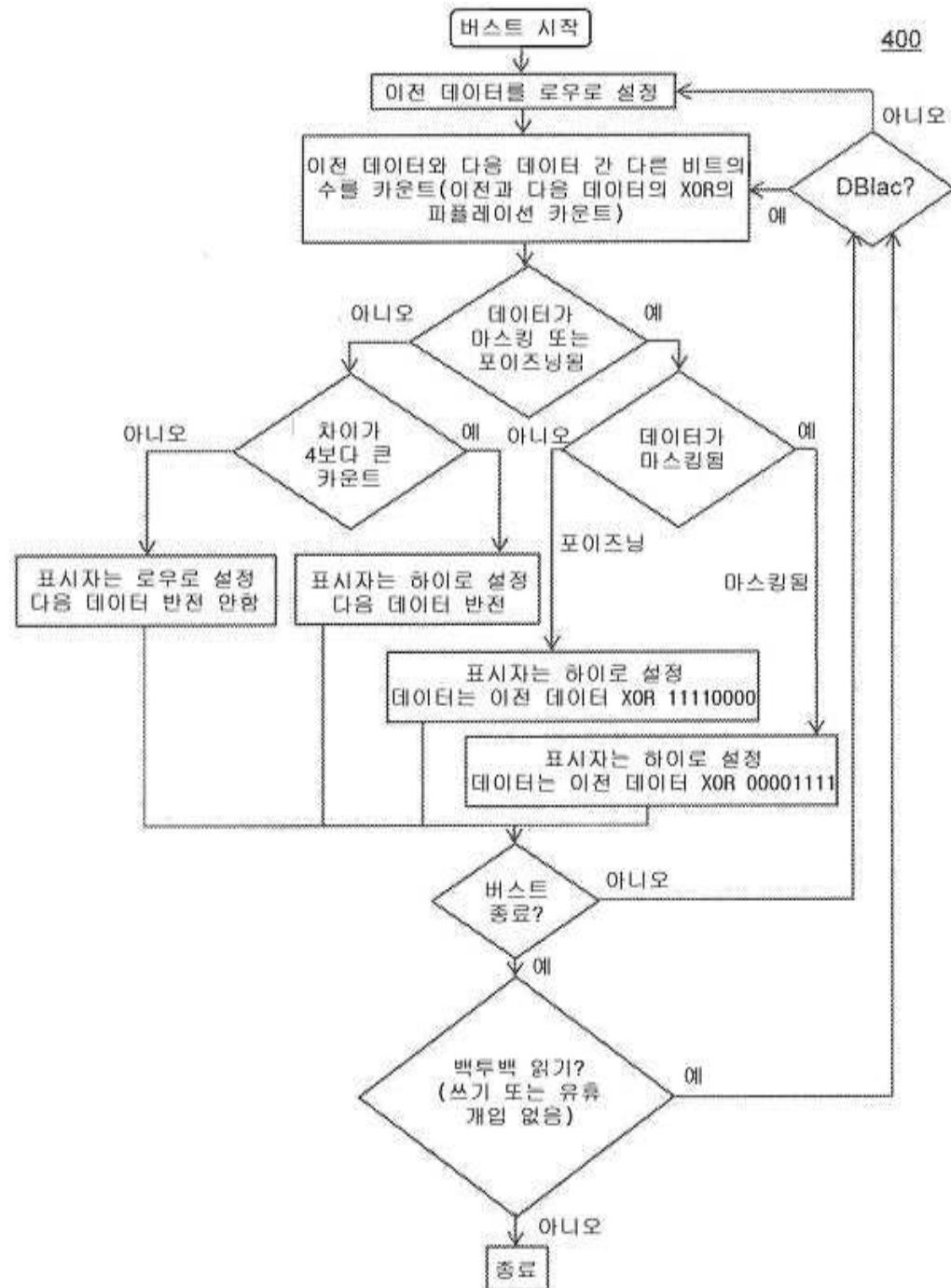


도면3

300

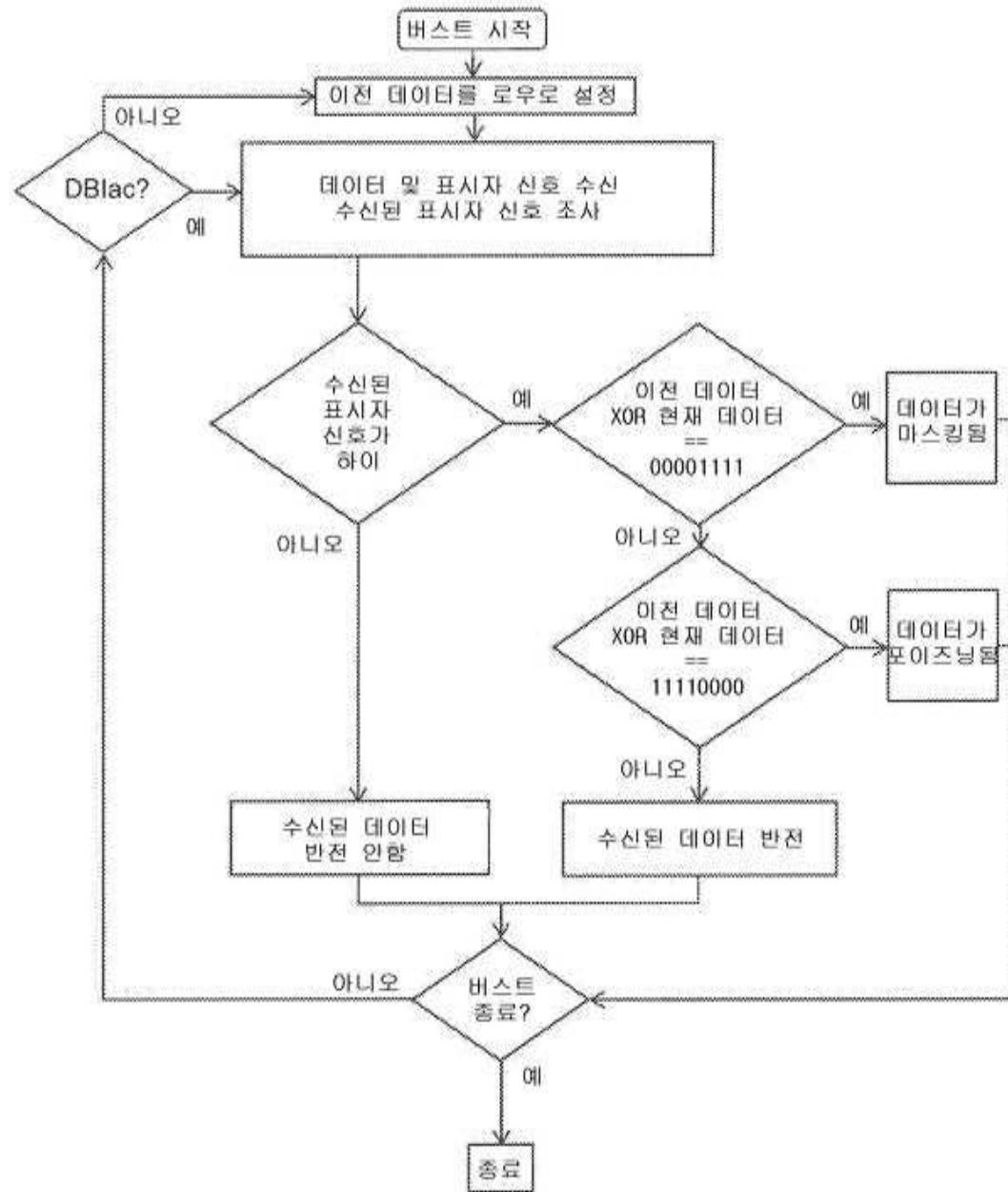


도면4

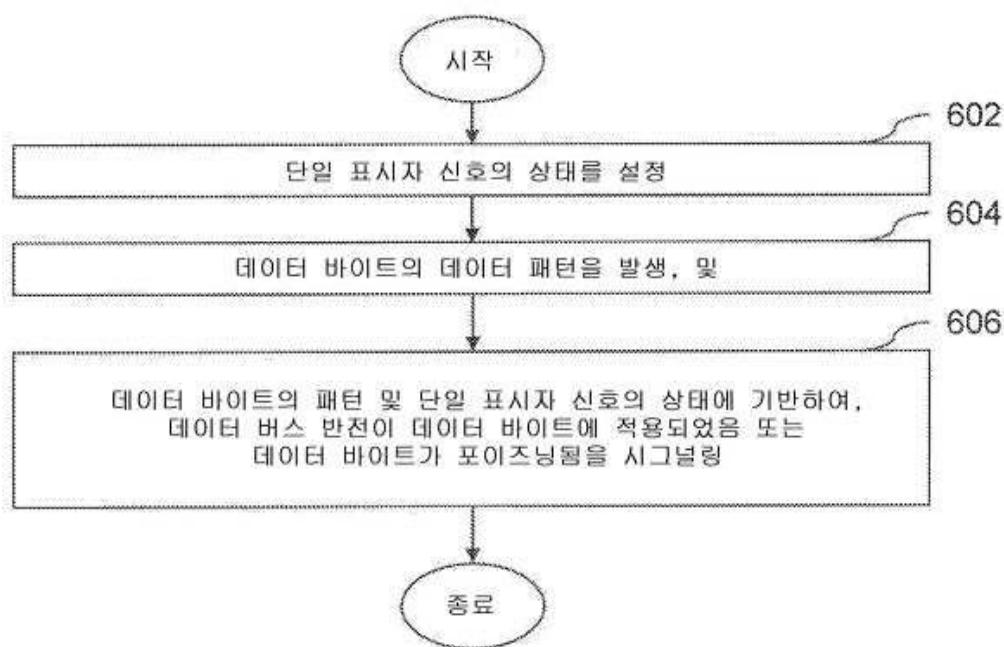


도면5

500



도면6

600

도면7

700

