





6人 110, 118, 1111, 尺界, 8人 8 (, 80, SE, 80, 81^, SL,  
81^, 81; SV, 8义 111, 17, TM, 1^, 711, 丁丁, 丁% 11八,  
110, 1JS, 11% 見, VN, Σん 元M, Σ界.

(84) 指定国 (表示のない限り、全ての種類の広域保

護が可能): AR<sub>1</sub>0 田界, 011, 01^, 反% 1^1, 1^,  
jM界, MZ, NA, 尺界, 80, SL, 81; SZ, 丁Σ, 110, ZM,  
Σ界), ユーラシア (ハM, 心, BY, 〇), KZ, 1111, 17,  
糧), ヨーロッパ (从, ハ丁, BE, BG, 〇I, CY, 0Σ  
DE, 0 K, £% £8^1, 尸良 03, 011, 1111, 1111, 1% IS, IF;  
1T, し11, 1^, MC, MK, M丁, 見, N0, 〇レ 〇丁, 110, 118,  
8% 81, 8K, 81^, 見), 0 处 1 田ろ 3 I, 〇尸, 00, 〇, 〇M,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条 (3))

-2n) and acquires the voltage for electricity leakage detection from the voltage detection unit (12) for electricity leakage detection. The time constant for the total voltage input to the processing unit (11) from the voltage detection unit (50) for cell voltage detection is fixed. The time constant for the voltage for electricity leakage detection input to the processing unit (11) from the voltage detection unit (12) for electricity leakage detection varies according to an electricity leakage resistance (5/6). The processing unit (11) applies a filter (11a) to the total voltage so as to match the time constant of the total voltage to the time constant of the voltage for electricity leakage detection.

(57) 要約: 漏電抵抗値を高精度に推定するために、漏電検出用の電圧検出部 (12) は、漏電検出用の抵抗 (15 / 16) を介して漏電検出用の電流が流れると、漏電検出用の抵抗 (15 / 16) の両端電圧を漏電検出用の電圧として検出する。処理部 (11) は、複数のセル (21 - 2n) の各セルの電圧を検出するためのセル電圧検出用の電圧検出部 (50) から複数のセル (21 - 2n) の総電圧を取得し、漏電検出用の電圧検出部 (12) から漏電検出用の電圧を取得する。セル電圧検出用の電圧検出部 (50) から処理部 (11) に入力される総電圧の時定数は固定であり、漏電検出用の電圧検出部 (12) から処理部 (11) に入力される漏電検出用の電圧の時定数は漏電抵抗 (5 / 6) に応じて可変である。処理部 (11) は、漏電検出用の電圧の時定数に総電圧の時定数を対応させるために総電圧にフィルタ (11a) を適用する。

## 明 細 書

発 明 の 名 称 ： 漏 電 検 出 回 路 、 車 両 用 電 源 シ ス テ ム

技 術 分 野

[0001] 本発明は、高電圧の蓄電部とシャーシアース間の漏電を検出する漏電検出回路、車両用電源システムに関する。

背景技術

[0002] 近年、H E V (Hybr id Elect ric Vehic le)、P H V (Plug- in Hybrid Vehic le)、E V (E lect ric Vehic le) の出荷台数が増えてきている。これらの車両には、補機電池（一般的に 1 2 V 出力の鉛電池）と別に駆動用電池が搭載される。駆動用電池は高電圧であるため、感電を防止するために、駆動用電池と車両のボディ（シャーシアース）間は直接接続されず、両者の間には Y コンデンサが挿入される。また駆動用電池とシャーシアース間の絶縁抵抗を監視して漏電を検出する漏電検出回路が搭載される。

[0003] 直流電流を用いた漏電検出方式では、漏電検出用の抵抗に漏電検出用の電流を流し、当該抵抗の両端電圧である漏電検出用の電圧と、駆動用電池の電圧との関係から漏電抵抗値を推定する（例えば、特許文献 1 参照）。

先行技術文献

特許文献

[0004] 特許文献 1：特開 2 0 1 4 \_ 8 1 2 6 7 号公報

発 明 の 概 要

発 明 が 解 決 し よ う と す る 課 題

[0005] 駆動用電池と走行用モータ間に流れる電流は、急発進や急ブレーキなどにより大きく変動する。駆動用電池の充放電電流が大きく変動すると駆動用電池の電圧もその影響により変動する。漏電抵抗の検出中に駆動用電池の電圧が急変すると、漏電検出用の電圧と駆動用電池の電圧との比が崩れ、漏電抵抗値の推定にノイズが混入しやすくなる。

[0006] 本発明はこうした状況に鑑みなされたものであり、その目的は、漏電抵抗

値を高精度に推定する技術を提供することにある。

#### 課題を解決するための手段

[ 0007 ] 上記課題を解決するために、本発明のある態様の漏電検出回路は、直列接続された複数のセルとシャーシアース間に漏電検出用の抵抗を介して漏電検出用の電流が流れると、前記漏電検出用の抵抗の両端電圧を漏電検出用の電圧として検出する漏電検出用の電圧検出部と、前記複数のセルの各セルの電圧を検出するためのセル電圧検出用の電圧検出部から前記複数のセルの総電圧を取得し、前記漏電検出用の電圧検出部から前記漏電検出用の電圧を取得し、取得した前記総電圧と前記漏電検出用の電圧をもとに、前記複数のセルと前記シャーシアース間の漏電抵抗値を推定する処理部と、を備える。前記複数のセルと前記シャーシアースはコンデンサを介して接続されており、前記セル電圧検出用の電圧検出部から前記処理部に入力される前記総電圧の時定数は固定であり、前記漏電検出用の電圧検出部から前記処理部に入力される前記漏電検出用の電圧の時定数は漏電抵抗に応じて可変であり、前記処理部は、前記漏電検出用の電圧の時定数に前記総電圧の時定数を対応させるために前記総電圧にフィルタを適用し、当該フィルタを適用した後の前記総電圧と、前記漏電検出用の電圧をもとに前記漏電抵抗値を推定する。

#### 発明の効果

[ 0008 ] 本発明によれば、漏電抵抗値を高精度に推定することができる。

#### 図面の簡単な説明

[ 0009 ] [図1]本発明の実施の形態に係る電源システムを説明するための図である。

[図2]漏電検出回路の基本動作を説明するための図である。

[図3]図3(3)、(8)は、漏電検出処理中の総電圧と漏電検出用電圧の波形推移の一例を示す図である。

[図4]総電圧と漏電検出用電圧の比の関係の一例を示す図である。

[図5]実施例1に係る電圧検出部及び処理部の構成例を示す図である。

[図6]漏電検出用電圧の入力波形の一例を示す図である。

[図7]図7(3)、(7)は、処理部の $1/R$ フィルタの具体例を説明するた

めの図である。

[図8]実施例2に係る電圧検出部及び処理部の構成例を示す図である。

[図9]実施例2に係る漏電検出回路の処理の流れを示すフローチャートである。

[図10]図10(8)-(○)は、漏電抵抗値の変化が漏電検出用電圧の入力波形の収束時間に与える影響を説明するための図である。

[図11]フィルタ係数が正しく算出できている場合の漏電検出用電圧の入力波形の一例を示す図である。

[図12]図12(3)、(8)は、漏電検出処理中の総電圧と漏電検出用電圧の波形推移の一例を示す図である。

# 発明を実施するための形態

[0010] 図1は、本発明の実施の形態に係る電源システム1を説明するための図である。電源システム1は、車両の駆動用電池として車両に搭載されて使用される。電源システム1は、直列接続された複数のセル21\_2nを含む。セルには、リチウムイオン電池セル、ニッケル水素電池セル、鉛電池セル、電気二重層キャパシタセル、リチウムイオンキャパシタセル等を用いることができる。以下、本明細書ではリチウムイオン電池セル（公称電圧：3.6－3.7V）を使用する例を想定する。

[0011] 電源システム1の正極端子71と負極端子72は、走行用モータを駆動するためのインバータに接続される。力行時、電源システム1はインバータを介して走行用モータに放電し、回生時、電源システム1は走行用モータにより発電された電力をインバータを介して充電する。また車両がPHV/BEVの場合、電源システム1の正極端子71と負極端子72は充電ケーブルを介して、車両の外部に設置された充電器と接続することができ、外部の充電器から充電することができる。

[0012] 電源システム1の正極端子71に接続された高圧ラインと車両のシャーシアース2間は第1コンデンサ3を介して接続され、電源システム1の負極端子72に接続された低圧ラインと車両のシャーシアース2間は第2コンデン

サ 4 を介して接続される。電源システム 1 と第 1 コンデンサ 3 間に遮断スイッチ 6 1 が接続され、電源システム 1 と第 2 コンデンサ 4 間に遮断スイッチ 6 2 が接続され、電源システム 1 とシャースアース 2 間を電氣的に切り離すことができる。

[001 3] 電源システム 1 は、複数のセル 2 1 - 2 n の各セルの電圧を検出するための電圧検出部 5 0 を備える。電圧検出部 5 0 は、直列接続された複数のセル 2 1 - 2 n の各ノードと複数の電圧検出線で接続され、隣接する電圧検出線間の電圧を検出して各セル 2 1 - 2 n の電圧を検出する。電圧検出部 5 0 は、検出した複数のセル 2 1 - 2 n の各電圧を加算して複数のセル 2 1 - 2 n の総電圧  $V_t$  を算出する。電圧検出部 5 0 は算出した複数のセル 2 1 - 2 n の総電圧  $V_t$  を処理部 1 1 に出力する。電圧検出部 5 0 は例えば、アナログフロントエンド IC または ASIC (Application Specific Integrated Circuit) で構成することができる。電圧検出部 5 0 は処理部 1 1 に対して高圧であるため、電圧検出部 5 0 と処理部 1 1 間は絶縁された状態で、通信線で接続される。

[0014] 複数のセル 2 1 - 2 n と電圧検出部 5 0 間を接続する複数の電圧検出線にそれぞれ抵抗 3 1 - 3 n が挿入され、隣接する 2 本の電圧検出線間にそれぞれコンデンサ 4 1 - 4 m が接続される。複数の抵抗 3 1 - 3 n 及びコンデンサ 4 1 - 4 m はローパスフィルタ (RC フィルタ) を構成する。当該ローパスフィルタはエイリアシングを抑制する作用を有する。

[001 5] 電源システム 1 は漏電検出回路 1 0 を備える。漏電検出回路 1 0 は処理部 1 1、差動アンプ 1 2、A/D 変換器 1 3、第 1 電流制限抵抗 1 4、第 1 スイッチ 1 8、第 1 漏電検出用抵抗 1 5、第 2 漏電検出用抵抗 1 6、第 2 スイッチ 1 9 及び第 2 電流制限抵抗 1 7 を備える。

[001 6] 電源システム 1 の高圧ラインと低圧ライン間に、第 1 電流制限抵抗 1 4、第 1 スイッチ 1 8、第 1 漏電検出用抵抗 1 5、第 2 漏電検出用抵抗 1 6、第 2 スイッチ 1 9 及び第 2 電流制限抵抗 1 7 が直列に接続される。第 1 漏電検出用抵抗 1 5 と第 2 漏電検出用抵抗 1 6 間の接続点がシャースアース 2 に接

続される。

[001 7] 第 1 漏電検出用抵抗 15 及び第 2 漏電検出用抵抗 16 の両端に、差動アンプ 12 の 2 入力端子がそれぞれ接続される。差動アンプ 12 は第 1 漏電検出用抵抗 15 及び第 2 漏電検出用抵抗 16 の両端電圧を増幅して六/ ○変換器 13 に出力する。八/ ○変換器 13 は、差動アンプ 12 から入力されるアナログ電圧をデジタル値に変換して処理部 11 に出力する。なお、六/ ○変換器 13 は処理部 11 に内蔵されていてもよい。

[001 8] 第 1 電流制限抵抗 14 及び第 2 電流制限抵抗 17 には、例えば 100 kΩ 以上の抵抗値を持つ高抵抗素子が用いられる。第 1 漏電検出用抵抗 15 及び第 2 漏電検出用抵抗 16 には、例えば 10 kΩ 未満の、第 1 電流制限抵抗 14 及び第 2 電流制限抵抗 17 より相対的に抵抗値が小さい抵抗素子が使用される。漏電検出用の電流は、微弱な電流に設定される。

[001 9] 第 1 スイッチ 18 は、第 1 電流制限抵抗 14 と第 1 漏電検出用抵抗 15 の間に挿入される。第 2 スイッチ 19 は、第 2 漏電検出用抵抗 16 と第 2 電流制限抵抗 17 の間に挿入される。第 1 スイッチ 18 及び第 2 スイッチ 19 は、リレー（例えば、フォト<sub>1V1</sub> ○3 リレー）や半導体スイッチ（例えば、M! ○3 ドロッド、IG ドロッド）で構成することができる。第 1 スイッチ 18 及び第 2 スイッチ 19 は、原則的に相補的にオン/ オフする。

[0020] 処理部 11 は、電圧検出部 50 から入力される複数のセル 21 - 2n の総電圧 V1 と、八/ ○変換器 13 を介して差動アンプ 12 から入力される漏電検出用電圧 V9 をもとに、複数のセル 21 - 2n とシャーシアース 2 間の漏電抵抗値を推定する。処理部 11 は例えば、マイクロコンピュータ及び不揮発メモリ（例えば、EEPROM<sub>1V1</sub>、フラッシュメモリ）により構成することができる。

[0021] 図 2 は、漏電検出回路 10 の基本動作を説明するための図である。処理部 11 は第 2 スイッチ 19 をターンオフする。この状態（1: 1）では、第 1 電流制限抵抗 14 →第 1 漏電検出用抵抗 15 →第 2 漏電抵抗 6 という経路で複数のセル 21 - 2n の正極からシャーシアース 2 を介し複数のセル 21 - 2

門の負極を介してシャーシアース2に漏電検出用の電流が流れる。流れる電流は、第2漏電抵抗6の抵抗値に応じて変動する。処理部11は第2スイッチ19をターンオフしてから所定時間後（図2に示す例では5.0秒後）のタイミングで、電圧検出部50から入力される総電圧 $V_I$ （ $I_1$ ）と、差動アンプ12から入力される漏電検出用電圧 $V_9$ （ $I_1$ ）を取得する（サンプリングする）。

[0022] その後、処理部11は第1スイッチ18をターンオフ及び第2スイッチ19をターンオンする。この状態（ $I_2$ ）では、第1漏電抵抗5→第2漏電検出用抵抗16→第2電流制限抵抗17という経路で複数のセル $2_1 \sim 2_n$ の正極からシャーシアース2を介し複数のセル $2_1 \sim 2_n$ の負極に漏電検出用の電流が流れる。流れる電流は、第1漏電抵抗5の抵抗値に応じて変動する。処理部11は第1スイッチ18をターンオフ及び第2スイッチ19をターンオンしてから所定時間後（図2に示す例では5.0秒後）のタイミングで、電圧検出部50から入力される総電圧 $V_I$ （ $I_2$ ）と、差動アンプ12から入力される漏電検出用電圧 $V_9$ （ $I_2$ ）を取得する。

[0023] 処理部11は、下記（式1）をもとに第1漏電抵抗5と第2漏電抵抗6の合成抵抗値 $R_L$ を算出することができる。

$$R_L = R_a / (x + y) - (R_a + R_b) \quad \dots (式1)$$

ここで、

$R_3$ は第1漏電検出用抵抗15/第2漏電検出用抵抗16の抵抗値

$R_b$ は第1電流制限抵抗14/第2電流制限抵抗17の抵抗値

$$x = V_9(I_1) / V_I(I_1)$$

$$y = V_9(I_2) / V_I(I_2)$$

[0024] 処理部11は、下記（式2）、（式3）をもとに第1漏電抵抗5の抵抗値 $R_1$ と第2漏電抵抗6の抵抗値 $R_2$ を算出する。

$$R_1 = (1 + x / y) \cdot R_L = R_a / y - (1 + x / y) \cdot (R_a + R_b) \quad \dots (式2)$$

$$R_2 = (1 + V_9 / V_I) \cdot R_3 = R_3 / V_9 - (1 + V_9 / V_I) \cdot (R_3 + R_b)$$



・ ・ ・ (式 3 )

[0025] 処理部 11 は、算出した第 1 漏電抵抗 5 の抵抗値  $R_1$  または第 2 漏電抵抗 6 の抵抗値  $R_2$  が漏電検出用の閾値を下回ると、複数のセル 21 - 2n からシャーシアース 2 に漏電していると判定する。

[0026] 漏電検出用電圧  $V_9$  の測定中に複数のセル 21 - 2n の総電圧  $V_1$  が変化すると、規定時間内に波形が安定せず、正しい漏電抵抗値  $R_1$ 、 $R_2$  を測定することが困難になる。即ち、漏電検出用電圧  $V_9$  の測定中に総電圧  $V_I$  が変動すると、漏電抵抗値  $R_1$ 、 $R_2$  の検出精度が低下する。

[0027] 図 3 (3)、(D) は、漏電検出処理中の総電圧  $V$  セと漏電検出用電圧  $V_9$  の波形推移の一例を示す図である。図 3 (3) は、漏電検出処理中に総電圧  $V$  セが変動しない例を示しており、図 3 (ヒ) は、漏電検出処理中に総電圧  $V_I$  が変動する例を示している。図 3 (a) に示す例では、処理部 11 が総電圧  $V_1$  と漏電検出用電圧  $V_9$  を取得する時点で、漏電検出用電圧  $V_9$  の波形が収束済みで安定している。従って高精度な漏電抵抗値  $R_1$ 、 $R_2$  を検出することができる。一方、図 3 (ヒ) に示す例では、処理部 11 が総電圧  $V_I$  と漏電検出用電圧  $V_9$  を取得する時点で、総電圧  $V_1$  の波形は収束しているが漏電検出用電圧  $V_9$  の波形は収束していない。漏電検出用電圧  $V_9$  の波形は、第 1 コンデンサ 3 及び第 2 コンデンサ 4 の影響により収束が遅れる。従って漏電抵抗値  $R_1$ 、 $R_2$  の検出精度が低くなる。

[0028] 図 3 (8) に示すように総電圧  $V$  セの時定数  $\tau_1$  と漏電検出用電圧  $V_9$  の時定数  $\tau_9$  が一致しないと、総電圧  $V$  セと漏電検出用電圧  $V_9$  の比の関係が崩れる。両者の比の関係が崩れると、上記 (式 1) — (式 3) の変数  $X$ 、 $Y$  の精度が低下し、漏電抵抗値  $R_1$ 、 $R_2$  の検出精度が低下する。総電圧  $V_I$  の時定数  $\tau_1$  と漏電検出用電圧  $V_9$  の時定数  $\tau_9$  が一致していれば、総電圧  $V_I$  と漏電検出用電圧  $V_9$  の比の関係は保たれる。

[0029] 図 4 は、総電圧  $V$  セと漏電検出用電圧  $V_9$  の比の関係の一例を示す図である。総電圧  $V_1$  の時定数  $\tau_1$  と漏電検出用電圧  $V_9$  の時定数  $\tau_9$  が一致していれば、どの時点においても両者の波形収束度が一致することになる。上記

(式 1) の変数  $x$  は下記 (式 4) に示すように常に同じ値になる。変数  $y$  についても同様である。

$$x = V_g(t_a) / V_t(t_a) = V_g(t_b) / V_t(t_b) = V_g(t_c) / V_t(t_c) = V_g(t_d) / V_t(t_d) \quad \dots \quad (\text{式 4})$$

[0030] そこで本実施の形態では、総電圧  $V_t$  の時定数  $r_t$  と漏電検出用電圧  $V_g$  の時定数  $r_g$  を一致させるための仕組みを導入する。具体的には総電圧  $V_t$  の時定数  $r_t$  が、漏電検出用電圧  $V_g$  の時定数  $r_g$  に一致するように、総電圧  $V_t$  にフィルタをかける。漏電検出用電圧  $V_g$  の時定数  $r_g$  は、漏電検出処理中の漏電検出用電圧  $V_g$  の収束波形から予測する方法と、過去に算出した漏電抵抗値から推定する方法が考えられる。前者の方法を実施例 1 で説明し、後者の方法を実施例 2 で説明する。

[0031] 図 5 は、実施例 1 に係る電圧検出部 50 及び処理部 11 の構成例を示す図である。電圧検出部 50 は、マルチプレクサ 50a、A/D 変換器 50b、セル電圧加算部 50c 及び IIR フィルタ 50d を含む。処理部 11 は、IIR フィルタ 11a、漏電抵抗推定部 11b 及び時定数予測部 11c を含む。

[0032] 電圧検出部 50 においてマルチプレクサ 50a は、隣接する 2 本の電圧検出線間の電圧を順番に A/D 変換器 50b に出力する。A/D 変換器 50b は、マルチプレクサ 50a から入力されるアナログ電圧をデジタル値に変換してセル電圧加算部 50c に出力する。セル電圧加算部 50c は全セル  $21 \sim 2n$  の電圧を加算して総電圧を算出する。IIR (Infinite Impulse Response) フィルタ 50d は、セル電圧加算部 50c から入力される総電圧にフィルタ演算を実行し、フィルタ演算後の総電圧  $V_t$  を処理部 11 に送信する。

[0033] 電圧検出部 50 の前段の RC フィルタ (図 1 参照) の抵抗とコンデンサの定数、及び IIR フィルタ 50d のフィルタ係数、カットオフ周波数は固定である。また設計者に既知の値である。従って、電圧検出部 50 から処理部 11 に入力される総電圧  $V_t$  の時定数  $r_t$  は既知の固定値となる。

[0034] 漏電検出用電圧  $V_9$  の時定数  $\tau_9$  は、第 1 漏電検出用抵抗  $R_{15}$  / 第 2 漏電検出用抵抗  $R_{16}$  の抵抗値  $R_3$ 、第 1 電流制限抵抗  $R_{14}$  / 第 2 電流制限抵抗  $R_{17}$  の抵抗値  $R_8$ 、第 1 漏電抵抗  $R_5$  の抵抗値  $R_1$ 、第 2 漏電抵抗  $R_6$  の抵抗値  $R_2$ 、第 1 コンデンサ  $C_3$  の容量値  $C_1$  及び第 2 コンデンサ  $C_4$  の容量値  $C_2$  に依存する。即ち、漏電検出用電圧  $V_9$  の時定数  $\tau_9$  は下記 (式 5) により算出できる。

$$\tau_9 = \left( \left( R_3 + R_8 \right) // R_{14} // R_{17} \right) \cdot \left( C_1 + C_2 \right) \quad \cdots \text{(式 5)}$$

[0035] この内、第 1 漏電検出用抵抗  $R_{15}$  / 第 2 漏電検出用抵抗  $R_{16}$  の抵抗値  $R_a$ 、第 1 電流制限抵抗  $R_{14}$  / 第 2 電流制限抵抗  $R_{17}$  の抵抗値  $R_b$ 、第 1 コンデンサ  $C_3$  の容量値  $C_1$  及び第 2 コンデンサ  $C_4$  の容量値  $C_2$  が既知の固定値であり、第 1 漏電抵抗  $R_5$  の抵抗値  $R_1$  及び第 2 漏電抵抗  $R_6$  の抵抗値  $R_2$  が未知の変動値である。

[0036] 実施例 1 では漏電検出用電圧  $V_9$  の時定数  $\tau_9$  を、漏電検出用電圧  $V_9$  の入力波形の 3 点を測定することにより予測する。即ち、漏電検出用電圧  $V_9$  の変化量からフィードフォワード方式で、時定数  $\tau_9$  を予測する。

[0037] 図 6 は、漏電検出用電圧  $V_9$  の入力波形の一例を示す図である。処理部 11 の時定数予測部 110 は、下記 (式 6) をもとに漏電検出用電圧  $V_9$  の時定数  $\tau_9$  [3] を算出する。なお時刻  $t_1$  —  $t_2$  間、時刻  $t_2$  —  $t_3$  間は等間隔である。

$$\tau_9 = \frac{1}{0.368} \left( \left( V_{I3} - V_{I2} \right) / \left( V_{I2} - V_{I1} \right) \right) - \left( t_2 - t_1 \right) \quad \cdots \text{(式 6)}$$

0.368 は、 $1/e$  (6 は自然対数) を示す。

[0038] 時定数予測部 110 は、他の 3 点の計測電圧をもとに他の時定数  $\tau_9$  を算出し、複数の時定数  $\tau_9$  の平均値を算出してもよい。時定数予測部 110 は、予測した漏電検出用電圧  $V_9$  の時定数  $\tau_9$  を IIR フィルタ 113 に供給する。

[0039] IIR フィルタ 113 は、時定数予測部 110 から供給される時定数  $\tau_9$

をもとにカットオフ周波数  $\omega_c$  を算出し、算出したカットオフ周波数  $\omega_c$  をもとにフィルタ係数  $k$  を決定する。IIRフィルタ 113 は、決定したフィルタ係数  $k$  をもとに電圧検出部 50 から入力される総電圧  $V_{in}$  にフィルタ演算を実行して、フィルタ演算後の総電圧  $V_{out}$  を算出する。以下、具体例を挙げて説明する。

[0040] 図 7 (3)、(シ) は、処理部 11 の IIR フィルタ 113 の具体例を説明するための図である。図 7 (3) は、カットオフ周波数  $\omega_c$  からフィルタ係数  $k$  を導出するための関数の一例を示し、図 7 (ヒ) は、第 1 漏電抵抗 5 と第 2 漏電抵抗 6 の合成抵抗値  $R_L (= R_1 // R_2)$ 、漏電検出用電圧  $V_9$  の時定数  $\tau$ 、カットオフ周波数  $\omega_c$ 、及び収束時間の関係の一例を示す。なお収束時間は、漏電検出用電圧  $V_9$  の入力波形が 99.9% に収束するまでの時間を示している。なお本具体例では、電圧検出部 50 から処理部 11 に入力される総電圧  $V_{in}$  の時定数  $\tau$  は約 30ms (5.3112) とする。

[0041] 第 1 漏電抵抗 5 と第 2 漏電抵抗 6 の合成抵抗値  $R_L (= R_1 // R_2)$  は、時定数  $\tau$  が決まると上記 (式 5) をもとに算出することができる。またカットオフ周波数  $\omega_c$  は、時定数  $\tau$  が決まると下記 (式 7) をもとに算出することができる。

$$\omega_c = 1 / (2 \tau \ln 2) \quad \text{--- (式 7)}$$

[0042] フィルタ係数  $k$  は、既知の総電圧  $V_{in}$  のカットオフ周波数 5.3112 を、上記 (式 6) で算出される漏電検出用電圧  $V_9$  のカットオフ周波数  $\omega_c$  に変換する際に使用する IIR フィルタ 113 のフィルタ係数である。フィルタ係数  $k$  は、合成抵抗値  $R_L // R_2$ 、すなわち漏電検出用電圧  $V_9$  のカットオフ周波数  $\omega_c$  が決まると一意的に決まる値であり、合成抵抗値  $R_L // R_2$  毎に予め算出することができる。算出したフィルタ係数  $k$  を図 7 (b) に示す。また、カットオフ周波数  $\omega_c$  とフィルタ係数  $k$  の複数の組から近似関数が導出される。例えば、本具体例では下記 (式 8) に示す近似関数が導出される。

$$k = 0.0001 \cdot \omega_c^4 + 0.0002 \cdot \omega_c^3 + 0.0001 \cdot \omega_c^2 + 0.0001 \cdot \omega_c + 0.0001 \quad \text{--- (式 8)}$$

(式 8 )

[0043] 本具体例で使用する  $||R$  フィルタ 11a は、下記 (式 9) に定義される

○

$$Y(n) = k/16 * X(n) + (1 - k/16) * Y(n-1) \quad \text{—}$$

- (式 9)

[0044]  $||R$  フィルタ 11a は、フィルタ演算後の総電圧  $V_{t'}$  を漏電抵抗推定部 11b に出力する。漏電抵抗推定部 11b は、時刻で 1 の総電圧  $V_{t'}$  ( $t_1$ ) 及び漏電検出用電圧  $v_g(t_1)$  と、時刻で 2 の総電圧  $V_{t'}$  ( $t_2$ ) 及び漏電検出用電圧  $V_g(t_2)$  を上記 (式 1) - (式 3) に代入して、第 1 漏電抵抗 5 の抵抗値  $R_1$  及び第 2 漏電抵抗 6 の抵抗値  $R_2$  を算出する。漏電抵抗推定部 11b は、算出した第 1 漏電抵抗 5 の抵抗値  $R_1$  または第 2 漏電抵抗 6 の抵抗値  $R_2$  が漏電検出用の閾値を下回ると、漏電発生を上位の ECU (Electronic Control Unit) に通知する。

[0045] 図 8 は、実施例 2 に係る電圧検出部 50 及び処理部 11 の構成例を示す図である。電圧検出部 50 の構成は、図 5 に示した実施例 1 に係る電圧検出部 50 の構成と同じである。処理部 11 は、 $||R$  フィルタ 11a、漏電抵抗推定部 11b 及び信頼性判定部 11d を含む。実施例 2 では時定数予測部 11c は設けられない。

[0046] 実施例 2 では、過去に算出した第 1 漏電抵抗 5 と第 2 漏電抵抗 6 の合成抵抗値  $R_L (= R_1 // R_2)$  をもとに漏電検出用電圧  $V_g$  の時定数  $r_g$  を算出する。即ち、フィードバック方式で時定数  $r_g$  を決定する。

[0047] 図 9 は、実施例 2 に係る漏電検出回路 10 の処理の流れを示すフローチャートである。漏電抵抗推定部 11b は、 $||R$  フィルタ 11a にフィルタ係数  $k$  を設定する (S10)。フィルタ係数  $k$  の初期値は例えば、1 である。漏電抵抗推定部 11b は、図示しないスイッチ駆動部に制御信号を供給して、第 1 スイッチ 18 をオン及び第 2 スイッチ 19 をオフに制御する (S11)。

[0048] 処理部 11 は、電圧検出部 50 から総電圧  $V_1$  (I1) を取得して  $||R$

フィルタ 113 に供給し、差動アンプ 12 から漏電検出用電圧  $V_9$  (11) を取得して漏電抵抗推定部 11b に供給する (312)。II R フィルタ 113 は、総電圧  $V_1$  (11) にフィルタ演算を実行し、漏電検出用電圧  $V_9$  と時定数  $\tau_1$  が実質的に一致した総電圧  $V_{t'}$  (11) を算出する (313)。II R フィルタ 113 は、フィルタ演算後の総電圧  $V_{se'}$  (11) を漏電抵抗推定部 11c に供給する。

[0049] 漏電抵抗推定部 11c は、図示しないスイッチ駆動部に制御信号を供給して、第 1 スイッチ 18 をオフ及び第 2 スイッチ 19 をオンに制御する (314)。処理部 11 は、電圧検出部 50 から総電圧  $V_1$  (12) を取得して II R フィルタ 113 に供給し、差動アンプ 12 から漏電検出用電圧  $V_9$  (セ 2) を取得して漏電抵抗推定部 11c に供給する (315)。II R フィルタ 113 は、総電圧  $V_1$  (12) にフィルタ演算を実行し、漏電検出用電圧  $V_9$  と時定数  $\tau_2$  が実質的に一致した総電圧  $V_{t'}$  (12) を算出する (316)。II R フィルタ 113 は、フィルタ演算後の総電圧  $V_{t'}$  (12) を漏電抵抗推定部 11c に供給する。

[0050] 漏電抵抗推定部 11c は、時刻 11 の総電圧  $V_{t'}$  (11) 及び漏電検出用電圧  $V_9$  (11) と、時刻 12 の総電圧  $V_{t'}$  (12) 及び漏電検出用電圧  $V_9$  (12) を上記 (式 1) — (式 3) に代入して、漏電抵抗値  $R_1$ 、 $R_2$  を算出する (317)。漏電抵抗推定部 11c は、漏電抵抗値  $R_1$ 、 $R_2$  を上記 (式 5) に代入して漏電検出用電圧  $V_9$  の時定数  $\tau_9$  を算出する (318)。漏電抵抗推定部 11c は、時定数  $\tau_9$  を上記 (式 7) に代入してカットオフ周波数  $f_c$  を算出し、算出したカットオフ周波数  $f_c$  を上記 (式 8) に代入して II R フィルタ 113 のフィルタ係数  $k$  を算出する (319)。漏電検出処理が継続している間 (320 の 11) はステップ 310 に遷移し、漏電抵抗推定部 11c は、算出したフィルタ係数  $k$  を新たなフィルタ係数  $k$  として、II R フィルタ 113 に設定する (310)。

[0051] 実施例 2 に係るフィードバック方式では、漏電抵抗値  $R_1$ 、 $R_2$  が急変した場合、その急変に II R フィルタ 113 が追従しきれない場合が発生する

。そこで実施例 2 では信頼性判定部 11d を追加している。

[0052] 図 10 (3) - (○) は、漏電抵抗値  $R_1$ 、 $R_2$  の変化が漏電検出用電圧  $V_9$  の入力波形の収束時間に与える影響を説明するための図である。この例は、図 7 (ヒ) に示した関係を前提としている。図 10 (3) は第 1 漏電抵抗 5 と第 2 漏電抵抗 6 の合成抵抗値  $R_L (= R_1 // R_2)$  が  $1000 \text{ k}\Omega$  の場合の漏電検出用電圧  $V_9$  の入力波形を示している。図 10 (ヒ) は合成抵抗値  $R_L (= R_1 // R_2)$  が  $500 \text{ k}\Omega$  の場合の漏電検出用電圧  $V_9$  の入力波形を示している。図 10 (○) は合成抵抗値  $R_L (= R_1 // R_2)$  が  $100 \text{ k}\Omega$  の場合の漏電検出用電圧  $V_9$  の入力波形を示している。

[0053] 図 10 (3) に示す  $1000 \text{ k}\Omega$  の場合のフィルタ係数  $\kappa$  は 4 であり、収束時間は 2.73 である。図 10 (ヒ) に示す  $500 \text{ k}\Omega$  の場合のフィルタ係数  $\kappa$  は 5 であり、収束時間は 1.73 である。図 10 (○) に示す  $100 \text{ k}\Omega$  の場合のフィルタ係数  $\kappa$  は 11 であり、収束時間は 0.43 である。このように第 1 漏電抵抗 5 と第 2 漏電抵抗 6 の合成抵抗値  $R_L (= R_1 // R_2)$  が小さくなるほど、収束時間が短くなる。

[0054] 図 11 は、フィルタ係数  $\kappa$  が正しく算出できている場合の漏電検出用電圧  $V_9$  の入力波形の一例を示す図である。フィルタ係数  $\kappa$  が正しく算出できている場合、時定数で 9 から算出できる波形収束点 ( $n - 7$ ) 以降において、総電圧  $V_t'$  と漏電検出用電圧  $V_9$  の比が一定となる。即ち、上記 (式 1) の変数  $\alpha$  は下記 (式 10) に示すように常に同じ値になる。変数  $V$  についても同様である。

$$x = V_g (n - 7) / V_t' \quad (n - 7) = V_9 (n - 6) / V_t' \quad (\text{門} - 6) = \dots = V_g (n) / V_t' (n) \quad \dots \quad (\text{式 } 10)$$

[0055] 信頼性判定部 11 づは、収束期間中の総電圧  $V_t'$  と漏電検出用電圧  $V_9$  の比が実質的に一定でない場合、誤ったフィルタ係数  $\kappa$  が 11R フィルタ 113 に設定されたと判定し、そのフィルタ係数  $\kappa$  が設定された 11R フィルタ 113 により算出された総電圧  $V_t'$  に基づく漏電抵抗値  $R_1$ 、 $R_2$  を無効と判定する。収束期間中の総電圧  $V_t'$  と漏電検出用電圧  $V_9$  の比が実質

的に一定であるか否かは、例えば、前値との差分が所定値以下であるか否かにより判定することができる。また移動平均値からの乖離が所定値以下であるか否かにより判定してもよい。

[ 0056 ] 信頼性判定部 11 づは、総電圧  $V_1$  を監視して総電圧  $V_1$  が実質的に一定であれば、上記フィルタ係数  $k$  の信頼性判定を実行せずに、漏電抵抗推定部 11 ヒにより算出された漏電抵抗値  $R_1$ 、 $R_2$  を有効と判定する。即ち、総電圧  $V_{セ}$  が実質的に一定であれば、総電圧  $V_{セ'}$  と漏電検出用電圧  $V_9$  の比が一定であるか否かに関わらず、漏電抵抗推定部 11 ヒにより算出された漏電抵抗値  $R_1$ 、 $R_2$  を有効と判定する。総電圧  $V_1$  が一定な期間は、漏電抵抗が大きく変動していないと推定できるため、過去に算出した漏電抵抗値  $R_1$ 、 $R_2$  の信頼性が高いと推定できる。上記フィルタ係数  $k$  の信頼性判定を停止すれば、処理部 11 の演算量を削減することができ、処理部 11 の負荷を軽減することができる。

[ 0057 ] 以上説明したように本実施の形態によれば、処理部 11 に  $|R|$  フィルタ 113 を追加することにより、漏電検出用電圧  $V_9$  の時定数  $\tau_9$  と総電圧  $V_{セ}$  の時定数  $\tau_{セ}$  を実質的に一致させることができる。これにより総電圧  $V_{セ}$  が急変しても、漏電検出用電圧  $V_9$  と総電圧  $V_{セ}$  の比が崩れにくくなるため、ノイズの影響を受けにくくなり、ロバスト性が向上する。よって漏電抵抗値を高精度に推定することができる。

[ 0058 ] 図 12 (3)、(8) は、漏電検出処理中の総電圧  $V_I$  と漏電検出用電圧  $V_9$  の波形推移の一例を示す図である。図 12 (3) は、本実施の形態に係る対策処理前の波形推移を示し、図 12 (ヒ) は、本実施の形態に係る対策処理後の波形推移を示す。図 12 (3) に示す例では、処理部 11 が総電圧  $V_I$  と漏電検出用電圧  $V_9$  を取得する時点で、両波形の収束度が一致していない。一方、図 12 (ヒ) に示す例では、処理部 11 が総電圧  $V_I$  と漏電検出用電圧  $V_9$  を取得する時点で、両波形の収束度が実質的に一致している。従って図 12 (ヒ) に示す例の方が漏電抵抗値  $R_1$ 、 $R_2$  の検出精度が高くなる。



- [0059] 以上、本発明を実施の形態をもとに説明した。実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。
- [0060] 図8に示した実施例2に係る処理部11内の信頼性判定部11づは、図5に示した実施例1に係る処理部11内にも設けられてもよい。フィードバック方式であっても、電圧の測定誤差が大きい場合、フィルタ係数 $k$ の信頼性が低下する。信頼性判定部11づを設けることにより、漏電抵抗値 $R_1$ 、 $R_2$ の信頼性をより向上させることができる。
- [0061]  $1/R$ フィルタ113の代わりにアナログフィルタを用いてもよい。その場合、漏電検出用電圧 $V_9$ の時定数 $\tau_9$ に応じて、抵抗や容量の定数を調整する。
- [0062] 上述の実施の形態では、電源システム1の高圧ラインとシャーシアース2間の第1漏電抵抗5、及び電源システム1の低圧ラインとシャーシアース2間の第2漏電抵抗6を検出する例を説明した。この点、本実施の形態に係る漏電検出回路10は、複数のセル21-2nの任意のノードとシャーシアース2間の漏電も検出することができる。第1漏電検出用抵抗15/第2漏電検出用抵抗16を介してシャーシアース2に電流が流れる電流経路以外に、漏電電流経路が形成された場合、第1漏電検出用抵抗15/第2漏電検出用抵抗16に流れる電流量が変化する。従って、その変化が漏電検出用電圧 $V_9$ に現れてくる。
- [0063] 上述の実施の形態では、複数のセル21-2nの正極とシャーシアース2間に第1漏電検出用抵抗15を挿入し、複数のセル21-2nの負極とシャーシアース2間に第2漏電検出用抵抗16を挿入する例を説明した。この点、複数のセル21-2nの任意のノードとシャーシアース2間に漏電検出用抵抗を挿入してもよい。この場合も、当該漏電検出用抵抗の両端電圧を総電圧 $V_I$ で正規化する場合、両者の時定数を一致させることにより、検出精度が向上する。

[0064] なお、実施の形態は、以下の項目によって特定されてもよい。

[0065] [項目1]

直列接続された複数のセル (2 1 - 2 n ) とシャースアース (2 ) 間に漏電検出用の抵抗 (1 5 / 1 6 ) を介して漏電検出用の電流が流れると、前記漏電検出用の抵抗 (1 5 / 1 6 ) の両端電圧を漏電検出用の電圧として検出する漏電検出用の電圧検出部 (1 2 ) と、

前記複数のセル (2 1 - 2 n ) の各セルの電圧を検出するためのセル電圧検出用の電圧検出部 (5 0 ) から前記複数のセル (2 1 - 2 n ) の総電圧を取得し、前記漏電検出用の電圧検出部 (1 2 ) から前記漏電検出用の電圧を取得し、取得した前記総電圧と前記漏電検出用の電圧をもとに、前記複数のセル (2 1 - 2 n ) と前記シャースアース (2 ) 間の漏電抵抗値を推定する処理部 (1 1 ) と、を備え、

前記複数のセル (2 1 - 2 n ) と前記シャースアース (2 ) はコンデンサ (3 / 4 ) を介して接続されており、

前記セル電圧検出用の電圧検出部 (5 0 ) から前記処理部 (1 1 ) に入力される前記総電圧の時定数は固定であり、前記漏電検出用の電圧検出部 (1 2 ) から前記処理部 (1 1 ) に入力される前記漏電検出用の電圧の時定数は漏電抵抗 (5 / 6 ) に応じて可変であり、

前記処理部 (1 1 ) は、前記漏電検出用の電圧の時定数に前記総電圧の時定数を対応させるために前記総電圧にフィルタ (1 1 3 ) を適用し、当該フィルタ (1 1 3 ) を適用した後の前記総電圧と、前記漏電検出用の電圧をもとに前記漏電抵抗値を推定することを特徴とする漏電検出回路 (1 0 ) 。

これによれば、漏電抵抗値を高精度に推定することができる。

[項目2]

前記処理部 (1 1 ) は、前記漏電検出用の電圧検出部 (1 2 ) から入力される前記漏電検出用の電圧の入力波形の少なくとも3点の電圧を検出して、前記漏電検出用の電圧の時定数を推定し、推定した時定数をもとに前記フィルタ (1 1 3 ) を調整することを特徴とする項目1に記載の漏電検出回路 (

10)。

これによれば、フィードフォワード方式で、フィルタ (113) を適応的に調整することができる。

[項目3]

前記処理部 (11) は、過去に推定した漏電抵抗値をもとに前記フィルタ (113) を調整することを特徴とする項目1に記載の漏電検出回路 (10)。

これによれば、フィードバック方式で、フィルタ (113) を適応的に調整することができる。

[項目4]

前記処理部 (11) は、前記漏電検出用の電圧の時定数をもとに推定される前記漏電検出用の電圧の波形収束点以降において、前記漏電検出用の電圧と前記総電圧との比が実質的に一定でない場合、前記漏電抵抗値を無効とすることを特徴とする項目2または3に記載の漏電検出回路 (10)。

これによれば、漏電抵抗値の推定精度をさらに高めることができる。

[項目5]

前記処理部 (11) は、前記総電圧が実質的に一定である場合、前記比が一定であるか否かに関わらず、前記漏電抵抗値を有効とすることを特徴とする項目4に記載の漏電検出回路 (10)。

これによれば、処理部 (11) の負荷を軽減することができる。

[項目6]

前記漏電検出用の電圧検出部 (12) は、前記複数のセル (21 - 2<sub>n</sub>) の正極と前記シャーシアース (2) 間に第1の漏電検出用の抵抗 (15) を介して漏電検出用の電流が流れると、前記第1の漏電検出用の抵抗 (15) の両端電圧を漏電検出用の電圧として検出し、前記複数のセル (21 - 2<sub>n</sub>) の負極と前記シャーシアース (2) 間に第2の漏電検出用の抵抗 (16) を介して漏電検出用の電流が流れると、前記第2の漏電検出用の抵抗 (16) の両端電圧を漏電検出用の電圧として検出し、

前記複数のセル (2 1 - 2 n ) の正極と前記シャースアース (2 ) は第 1 のコンデンサ (3 ) を介して接続されており、前記複数のセル (2 1 \_ 2 n ) の負極と前記シャースアース (2 ) は第 2 のコンデンサ (4 ) を介して接続されており、

前記処理部 (1 1 ) は、前記総電圧と前記漏電検出用の電圧をもとに、前記複数のセル (2 1 - 2 n ) の正極と前記シャースアース (2 ) 間の第 1 の漏電抵抗値、及び前記複数のセル (2 1 \_ 2 n ) の負極と前記シャースアース (2 ) 間の第 2 の漏電抵抗値を推定することを特徴とする項目 1 から 5 のいずれか 1 項に記載の漏電検出回路 (1 0 ) 。

これによれば、複数のセル (2 1 - 2 n ) の正極とシャースアース (2 ) 間の第 1 の漏電抵抗値と、複数のセル (2 1 - 2 i〇) の負極とシャースアース (2 ) 間の第 2 の漏電抵抗値を高精度に推定することができる。

#### [項目 7]

直列接続された複数のセル (2 1 \_ 2 i〇) と、  
前記複数のセル (2 1 - 2 n ) とシャースアース (2 ) 間の漏電を検出する項目 1 から 6 のいずれか 1 項に記載の漏電検出回路 (1 0 ) と、  
を備えることを特徴とする車両用電源システム (1 ) 。

これによれば、漏電抵抗値を高精度に推定することができる車両用電源システム (1 ) を構築することができる。

#### 符号の説明

[0066] 1 電源システム、 2 シャースアース、 3 第 1 コンデンサ、 4 第 2 コンデンサ、 5 第 1 漏電抵抗、 6 第 2 漏電抵抗、 2 1 - 2 門セル、 3 1 - 3 n 抵抗、 4 1 - 4 m コンデンサ、 5 0 電圧検出部、 5 0 3 マルチプレクサ、 5 0 ヒ 八/ 〇変換器、 5 0 〇セル電圧加算部、 5 0 」 | | R フィルタ、 1 0 漏電検出回路、 1 1 処理部、 1 1 3 | | R フィルタ、 1 1 ヒ 漏電抵抗推定部、 1 1 〇 時定数予測部、 1 1 づ 信頼性判定部、 1 2 差動アンプ、 1 3 八/ 〇変換器、 1 4 第 1 電流制限抵抗、 1 5 第 1 漏電検出用抵

抗、 1 6 第 2 漏電検出用抵抗、 1 7 第 2 電流制限抵抗、 1 8 第  
1 スイッチ、 1 9 第 2 スイッチ、 6 1, 6 2 遮断スイッチ、 7 1  
正極端子、 7 2 負極端子。

## 請求の範囲

## [請求項 1]

直列接続された複数のセルとシャーシアース間に漏電検出用の抵抗を介して漏電検出用の電流が流れると、前記漏電検出用の抵抗の両端電圧を漏電検出用の電圧として検出する漏電検出用の電圧検出部と、

前記複数のセルの各セルの電圧を検出するためのセル電圧検出用の電圧検出部から前記複数のセルの総電圧を取得し、前記漏電検出用の電圧検出部から前記漏電検出用の電圧を取得し、取得した前記総電圧と前記漏電検出用の電圧をもとに、前記複数のセルと前記シャーシアース間の漏電抵抗値を推定する処理部と、を備え、

前記複数のセルと前記シャーシアースはコンデンサを介して接続されており、

前記セル電圧検出用の電圧検出部から前記処理部に入力される前記総電圧の時定数は固定であり、前記漏電検出用の電圧検出部から前記処理部に入力される前記漏電検出用の電圧の時定数は漏電抵抗に応じて可変であり、

前記処理部は、前記漏電検出用の電圧の時定数に前記総電圧の時定数を対応させるために前記総電圧にフィルタを適用し、当該フィルタを適用した後の前記総電圧と、前記漏電検出用の電圧をもとに前記漏電抵抗値を推定することを特徴とする漏電検出回路。

## [請求項 2]

前記処理部は、前記漏電検出用の電圧検出部から入力される前記漏電検出用の電圧の入力波形の少なくとも3点の電圧を検出して、前記漏電検出用の電圧の時定数を推定し、推定した時定数をもとに前記フィルタを調整することを特徴とする請求項1に記載の漏電検出回路。

## [請求項 3]

前記処理部は、過去に推定した漏電抵抗値をもとに前記フィルタを調整することを特徴とする請求項1に記載の漏電検出回路。

## [請求項 4]

前記処理部は、前記漏電検出用の電圧の時定数をもとに推定される前記漏電検出用の電圧の波形収束点以降において、前記漏電検出用の電圧と前記総電圧との比が実質的に一定でない場合、前記漏電抵抗値

を無効とすることを特徴とする請求項2または3に記載の漏電検出回路。

[請求項5] 前記処理部は、前記総電圧が実質的に一定である場合、前記比が一定であるか否かに関わらず、前記漏電抵抗値を有効とすることを特徴とする請求項4に記載の漏電検出回路。

[請求項6] 前記漏電検出用の電圧検出部は、前記複数のセルの正極と前記シャーシアース間に第1の漏電検出用の抵抗を介して漏電検出用の電流が流れると、前記第1の漏電検出用の抵抗の両端電圧を漏電検出用の電圧として検出し、前記複数のセルの負極と前記シャーシアース間に第2の漏電検出用の抵抗を介して漏電検出用の電流が流れると、前記第2の漏電検出用の抵抗の両端電圧を漏電検出用の電圧として検出し、

前記複数のセルの正極と前記シャーシアースは第1のコンデンサを介して接続されており、前記複数のセルの負極と前記シャーシアースは第2のコンデンサを介して接続されており、

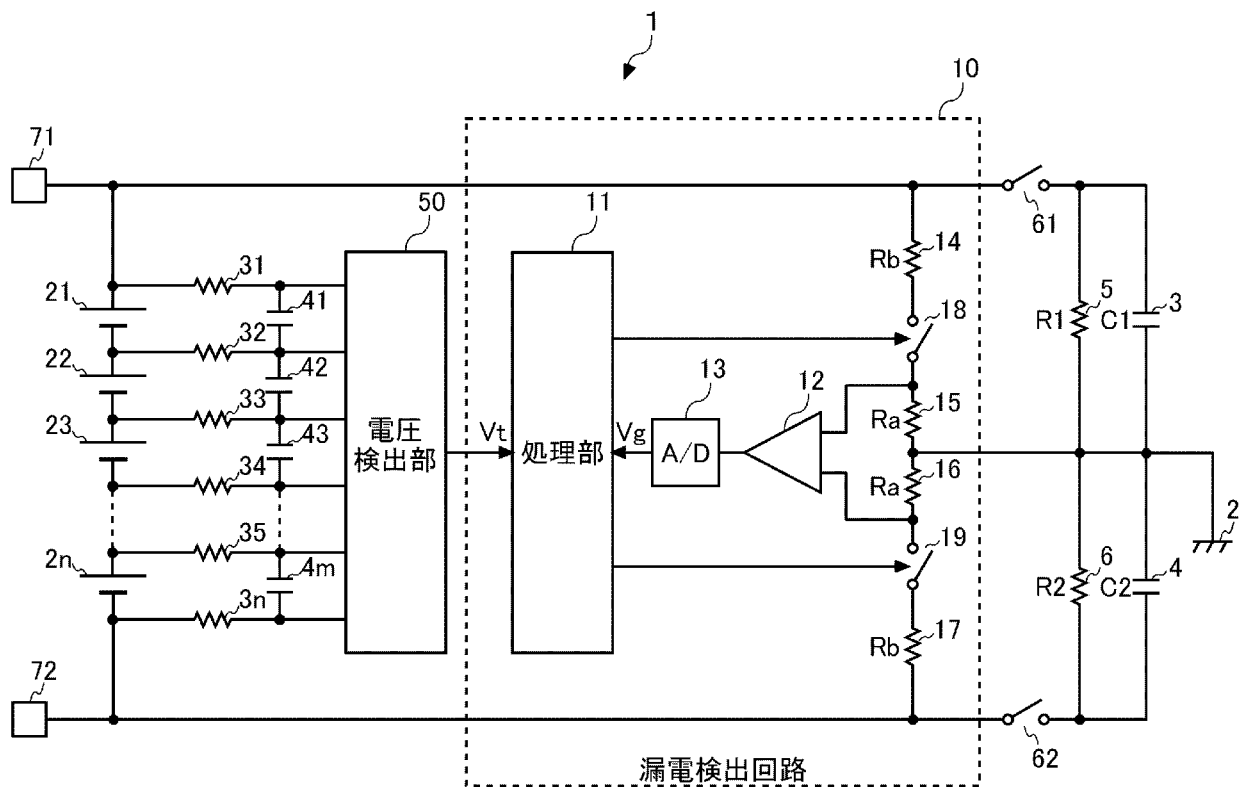
前記処理部は、前記総電圧と前記漏電検出用の電圧をもとに、前記複数のセルの正極と前記シャーシアース間の第1の漏電抵抗値、及び前記複数のセルの負極と前記シャーシアース間の第2の漏電抵抗値を推定することを特徴とする請求項1から5のいずれか1項に記載の漏電検出回路。

[請求項7] 直列接続された複数のセルと、

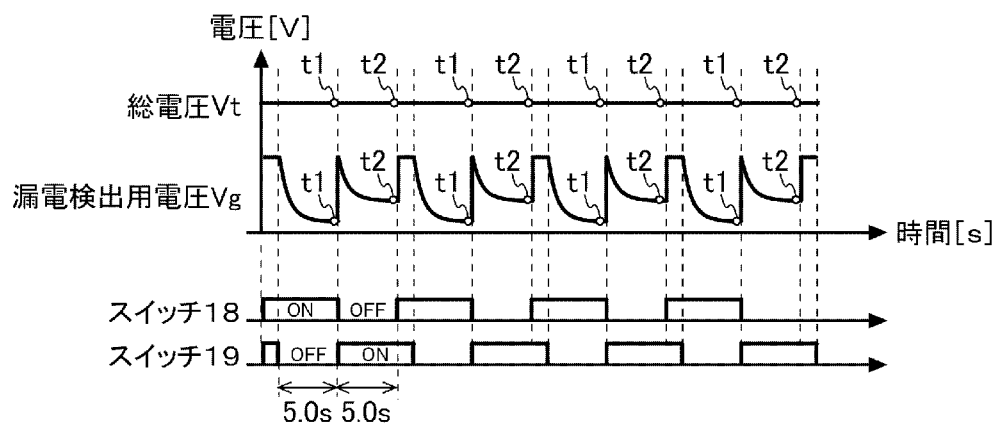
前記複数のセルとシャーシアース間の漏電を検出する請求項1から6のいずれか1項に記載の漏電検出回路と、

を備えることを特徴とする車両用電源システム。

[図1]

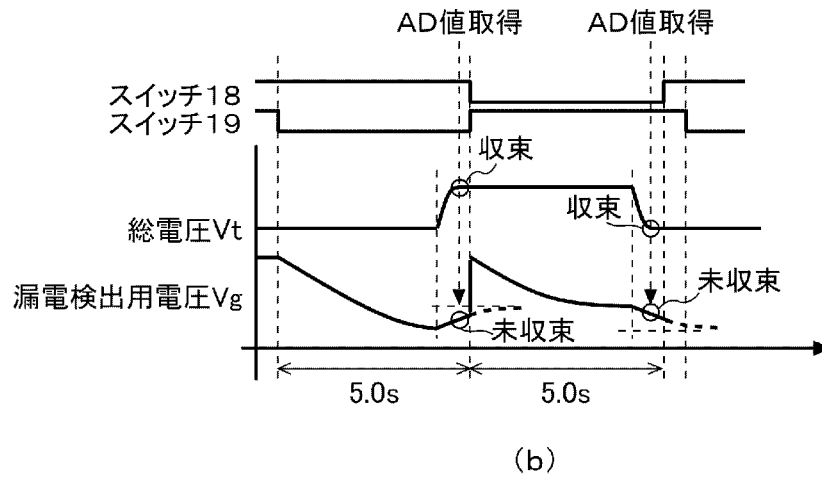
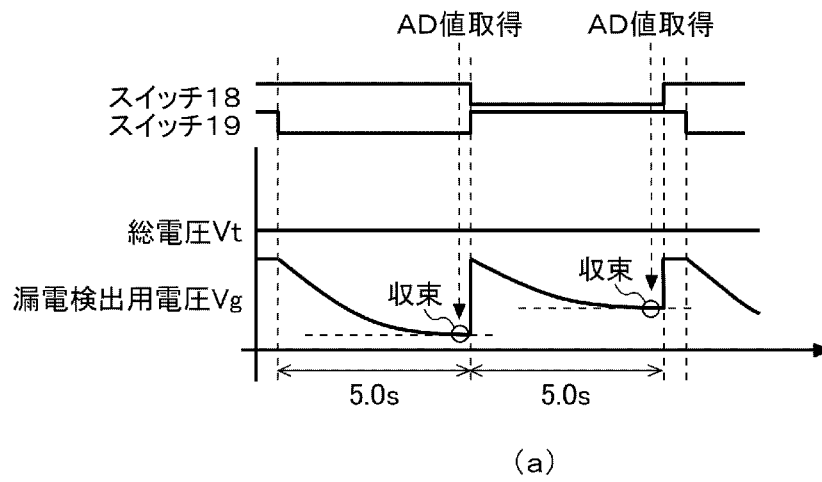


[図2]

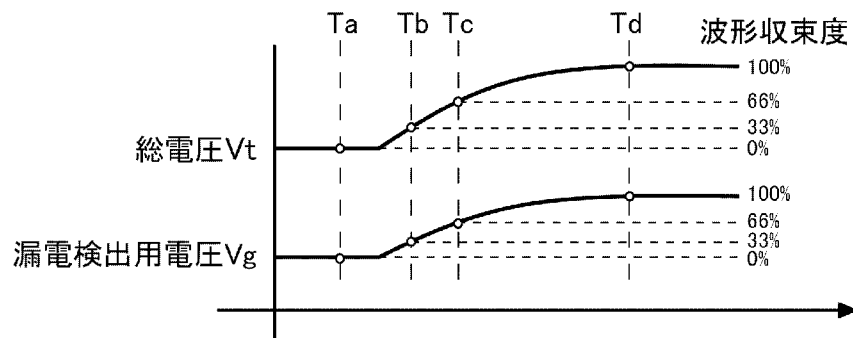




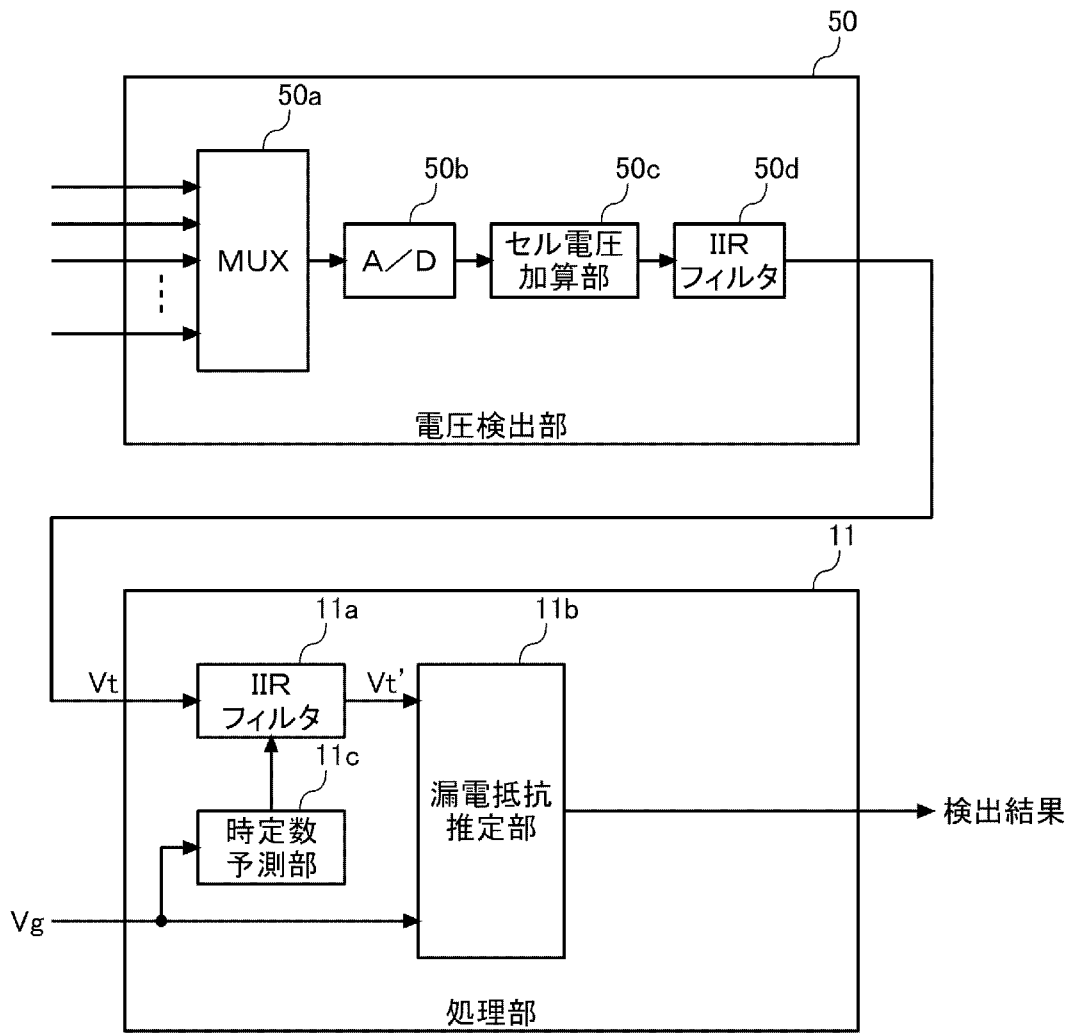
[図3]



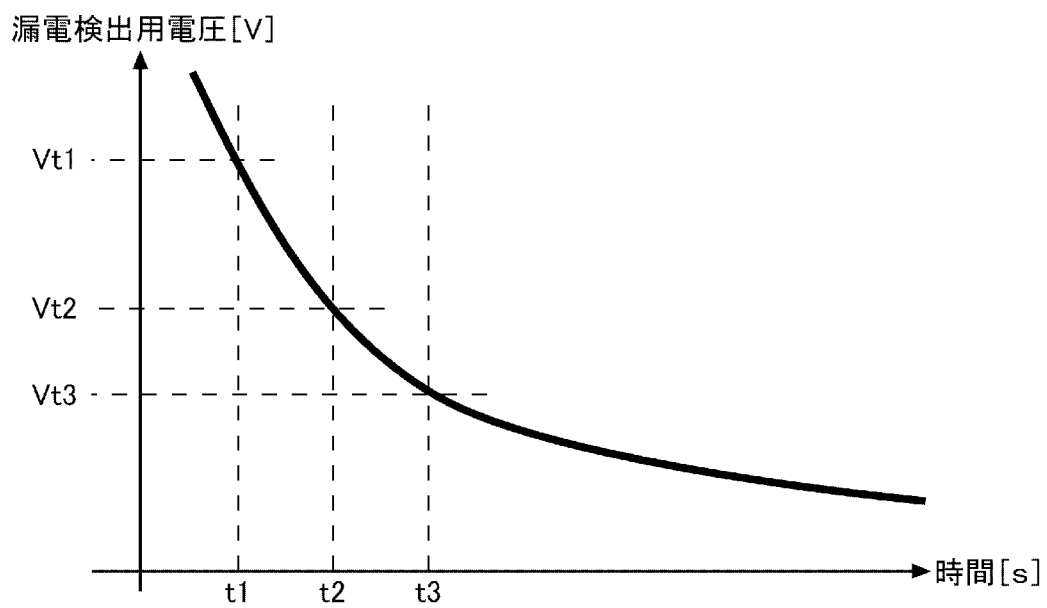
[図4]



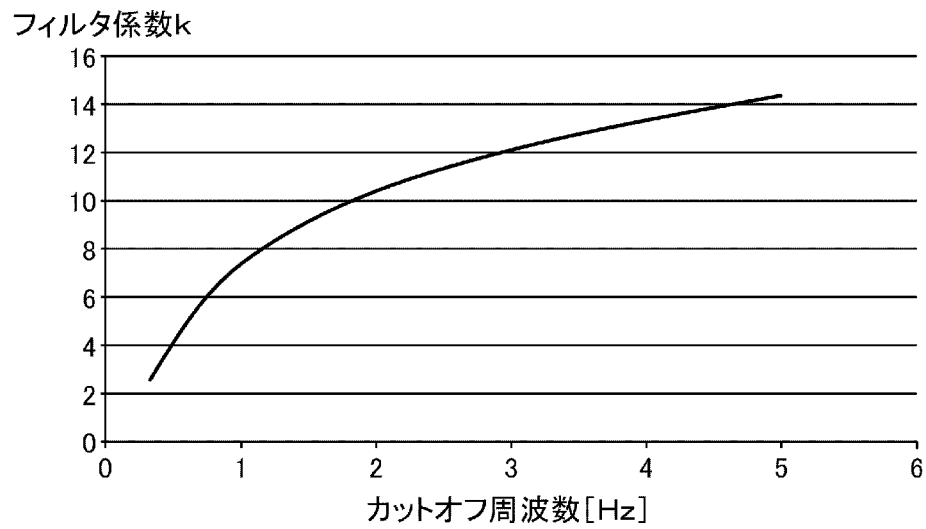
[図5]



[図6]



[図7]

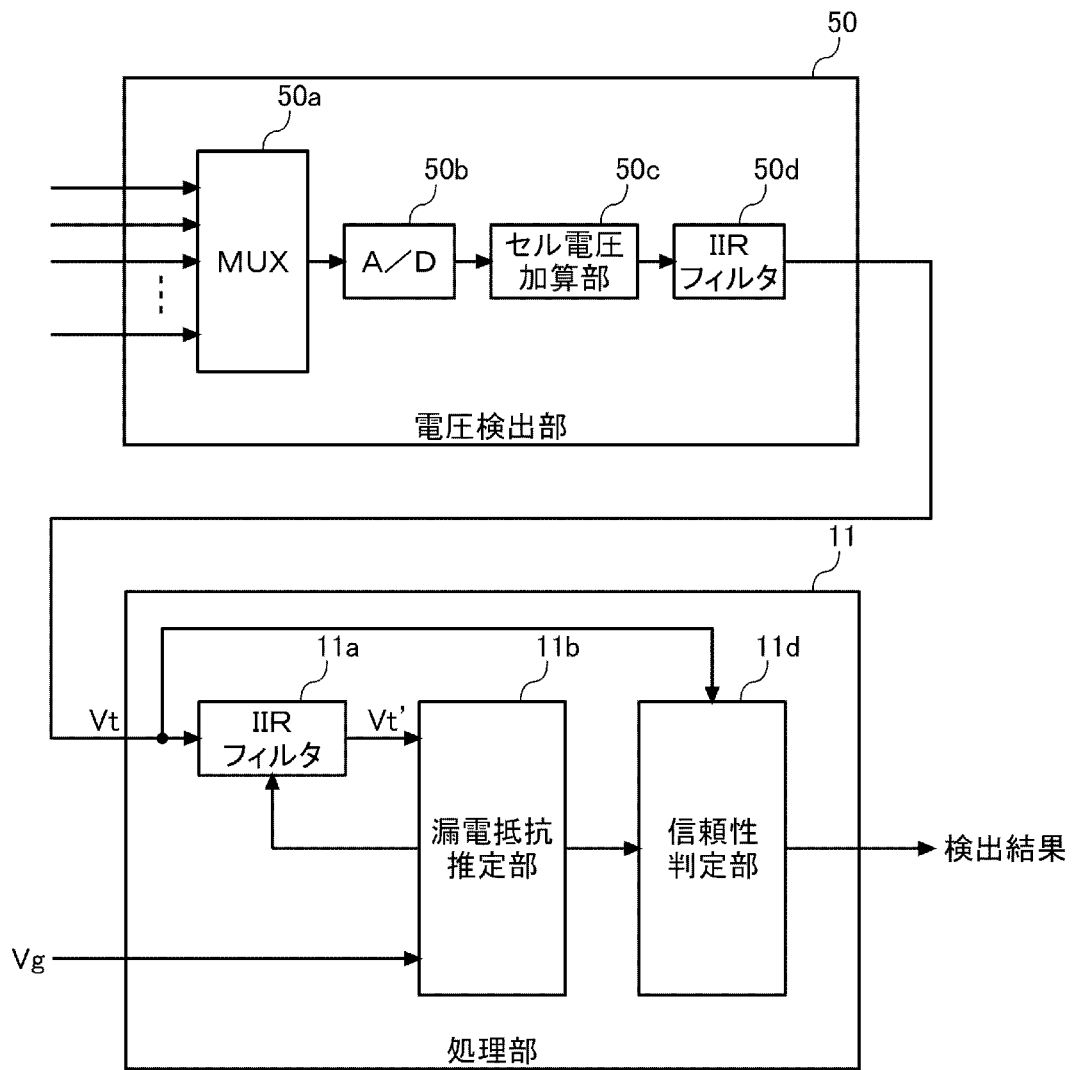


(a)

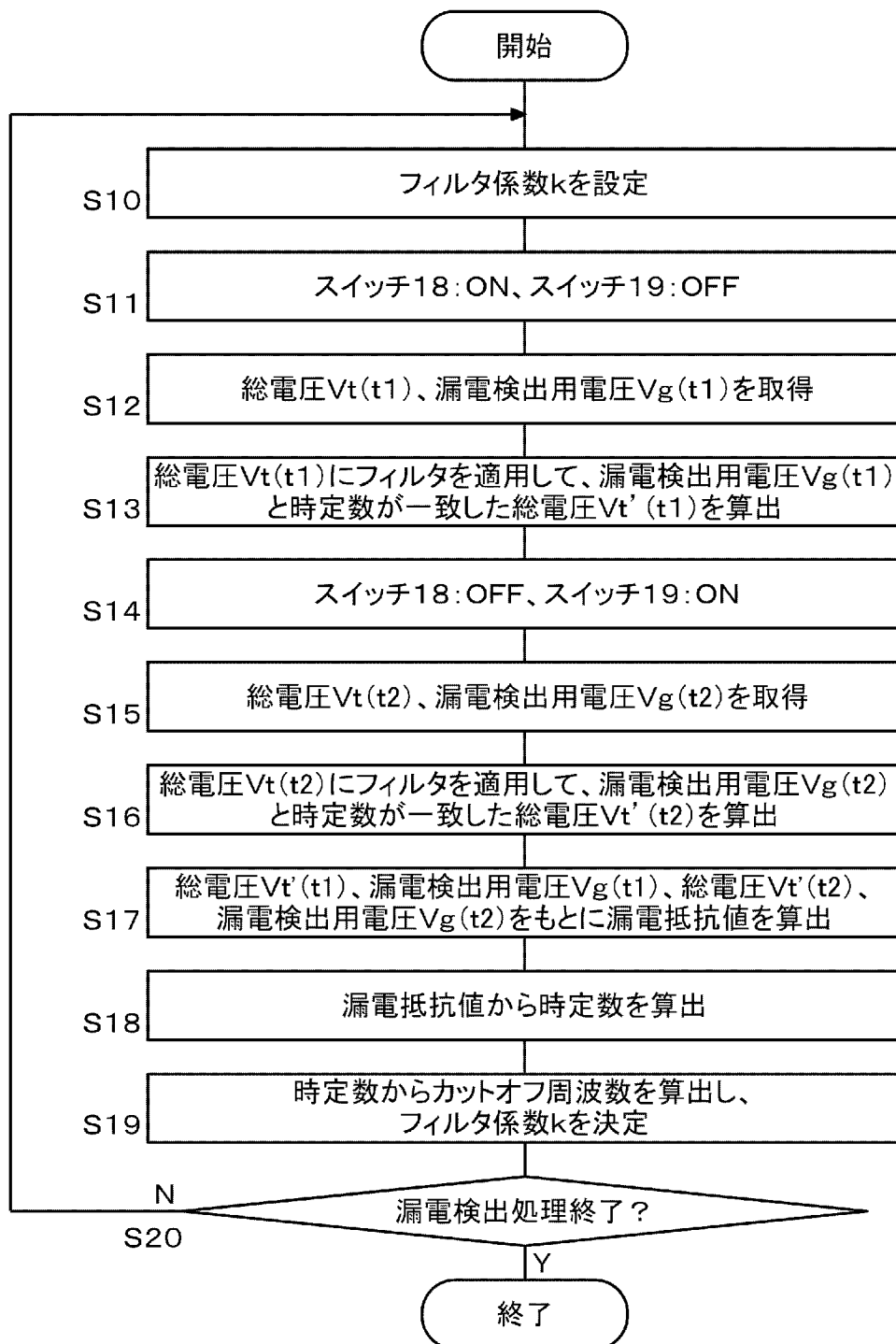
$R1//R2$ [k $\Omega$ ]	50	100	500	1000
時定数 [ms]	35	68	250	388
カットオフ周波数 [Hz]	4.5	2.3	0.6	0.4
フィルタ係数 $k$	14	11	5	4
収束時間 [s]	0.2	0.4	1.7	2.7

(b)

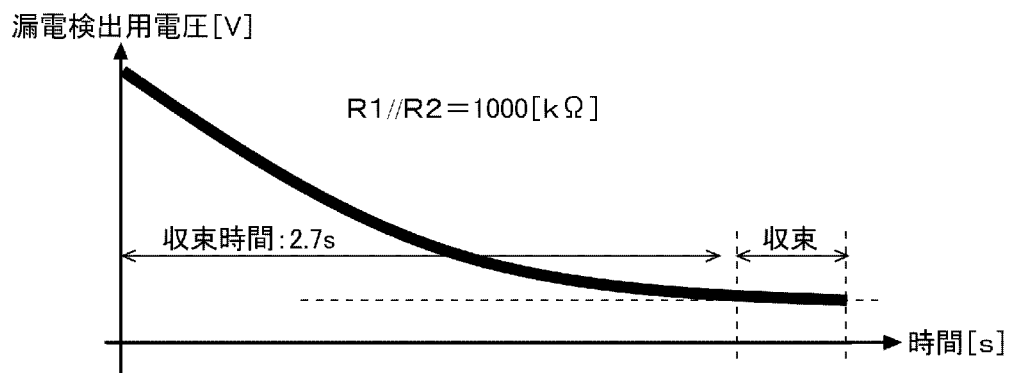
[図8]



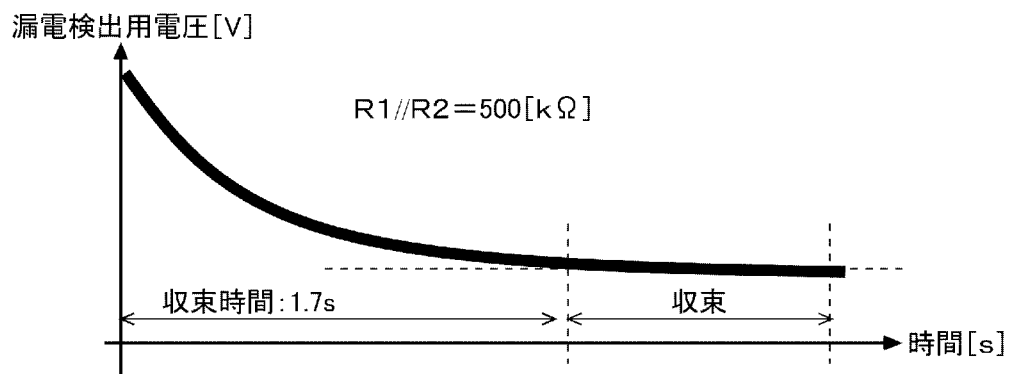
[図9]



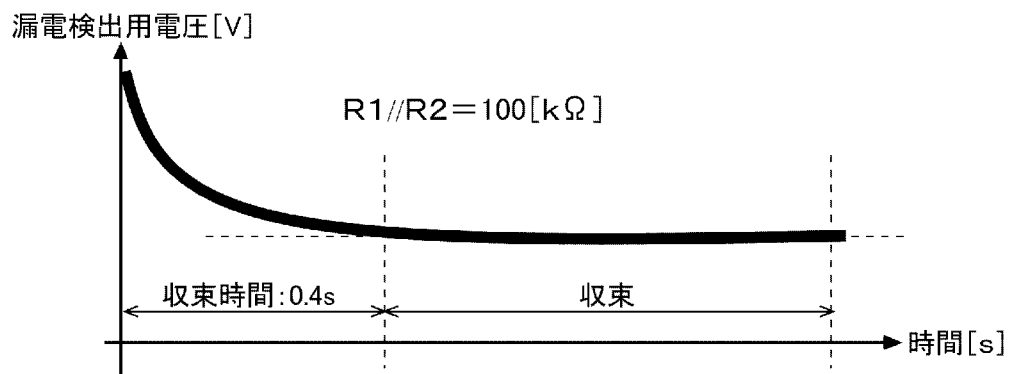
[図10]



(a)

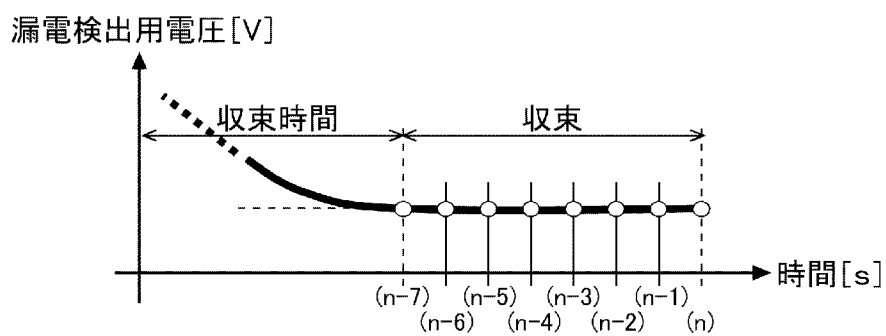


(b)

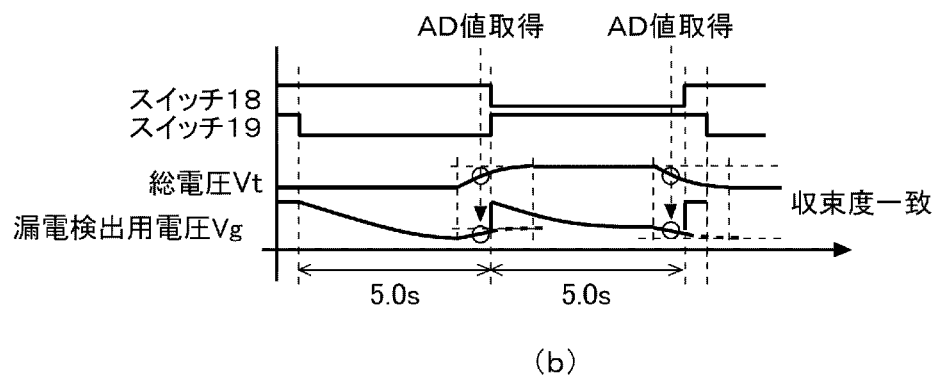
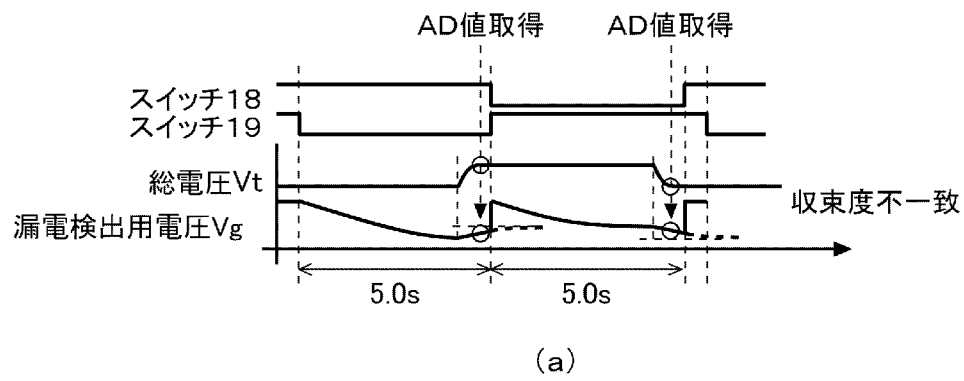


(c)

[図11]



[図12]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/042376

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G01R31/02 (2006.01) i, H01M10/48 (2006.01) i, H02H3/16 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G01R31/02, H01M10/48, H02H3/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-81267 A (SANYO ELECTRIC CO., LTD.) 08 May 2014 (Family: none)	1-7
A	JP 2018-13389 A (TOSHIBA CORPORATION) 25 January 2018 (Family: none)	1-7
A	JP 2010-54468 A (SANYO ELECTRIC CO., LTD.) 11 March 2010 & US 2010/0052419 A1 & CN 101659217 A	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
29.01.2019

Date of mailing of the international search report  
05.02.2019

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2018/042376

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-139249 A (SANYO ELECTRIC CO., LTD.) 19 June 2008 (Family: none)	1-7
A	JP 2002-296316 A (SANYO ELECTRIC CO., LTD.) 09 October 2002 & US 2003/0137319 A1 & CN 1460183 A	1-7
A	JP 2017-142269 A (SANYO ELECTRIC CO., LTD.) 17 August 2017 & US 2016/0377670 A1 & CN 105358997 A & KR 10- 2016-0015332 A	1-7
A	US 2016/0200209 A1 (FORD GLOBAL TECHNOLOGIES, LLC) 14 July 2016 & DE 102016100198 A1 & CN 105785272 A	1-7

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G01R31/02(2006.01)i, H01M10/48(2006.01)i, H02H3/16(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G01R31/02, H01M10/48, H02H3/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-81267 A（三洋電機株式会社）2014.05.08,（ファミリーなし）	1-7
A	JP 2018-13389 A（株式会社東芝）2018.01.25,（ファミリーなし）	1-7
A	JP 2010-54468 A（三洋電機株式会社）2010.03.11, & US 2010/0052419 A1 & CN 101659217 A	1-7

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

29.01.2019

国際調査報告の発送日

05.02.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

青木 洋平

2S

3104

電話番号 03-3581-1101 内線 3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-139249 A (三洋電機株式会社) 2008.06.19, (ファミリーなし)	1-7
A	JP 2002-296316 A (三洋電機株式会社) 2002.10.09, & US 2003/0137319 A1 & CN 1460183 A	1-7
A	JP 2017-142269 A (三菱電機株式会社) 2017.08.17, & US 2016/0377670 A1 & CN 105358997 A & KR 10-2016-0015332 A	1-7
A	US 2016/0200209 A1 (FORD GLOBAL TECHNOLOGIES, LLC) 2016.07.14, & DE 102016100198 A1 & CN 105785272 A	1-7