



(21) 申請案號：098146114

(22) 申請日：中華民國 98 (2009) 年 12 月 31 日

(51) Int. Cl. : H01L23/48 (2006.01)

H01L23/52 (2006.01)

(71) 申請人：日月光半導體製造股份有限公司 (中華民國) ADVANCED SEMICONDUCTOR ENGINEERING, INC. (TW)

高雄市楠梓加工區經三路 26 號

(72) 發明人：陳建樺 CHEN, CHIEN HUA (TW)；李 德章 LEE, TECK-CHONG (MY)

(74) 代理人：蔡東賢；林志育

(56) 參考文獻：

TW 200414839A

US 2008/0023846A1

審查人員：林士淵

申請專利範圍項數：32 項 圖式數：35 共 0 頁

(54) 名稱

半導體封裝結構及其製造方法

SEMICONDUCTOR PACKAGE AND METHOD FOR MAKING THE SAME

(57) 摘要

本發明係關於一種半導體封裝結構及其製造方法。該半導體封裝結構包括一基材、一第一金屬層、一第一介電層、一第一上電極、一第一保護層、一第二金屬層及一第二保護層。該基材具有至少一穿導孔結構。該第一金屬層係位於該基材之一第一表面，且包括一第一下電極。該第一介電層係位於該第一下電極上。該第一上電極係位於該第一介電層上，該第一上電極、該第一介電層及該第一下電極形成一第一電容。該第一保護層包覆該第一電容。該第二金屬層係位於該第一保護層上，且包括一第一電感。該第二保護層包覆該第一電感。藉此，可將該第一電感、該第一電容及該穿導孔結構一併整合至該半導體封裝結構內，以縮減產品尺寸。

The present invention relates to a semiconductor package and a method for making the same. The semiconductor package includes a substrate, a first metal layer, a first dielectric layer, a first upper electrode, a first protective layer, a second metal layer and a second protective layer. The substrate has at least one via structure. The first metal layer is disposed on a first surface of the substrate, and includes a first lower electrode. The first dielectric layer is disposed on the first lower electrode. The first upper electrode is disposed on the first dielectric layer, and the first upper electrode, the first dielectric layer and the first lower electrode form a first capacitor. The first protective layer encapsulates the first capacitor. The second metal layer is disposed on the first protective layer, and includes a first inductance. The second protective layer encapsulates the first inductance. Whereby, the first inductance, the first capacitor and the via structure are integrated into the semiconductor package, so that the size of the product is reduced.

I436463

TW I436463 B

2145 . . . 第一中心
槽

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98 146114

※申請日：98 12 31

※IPC 分類：H01L 23/48 (2006.01)

一、發明名稱：(中文/英文)

H01L 27/52 (2006.01)

半導體封裝結構及其製造方法

SEMICONDUCTOR PACKAGE AND METHOD FOR MAKING THE
SAME

二、中文發明摘要：

本發明係關於一種半導體封裝結構及其製造方法。該半導體封裝結構包括一基材、一第一金屬層、一第一介電層、一第一上電極、一第一保護層、一第二金屬層及一第二保護層。該基材具有至少一穿導孔結構。該第一金屬層係位於該基材之一第一表面，且包括一第一下電極。該第一介電層係位於該第一下電極上。該第一上電極係位於該第一介電層上，該第一上電極、該第一介電層及該第一下電極形成一第一電容。該第一保護層包覆該第一電容。該第二金屬層係位於該第一保護層上，且包括一第一電感。該第二保護層包覆該第一電感。藉此，可將該第一電感、該第一電容及該穿導孔結構一併整合至該半導體封裝結構內，以縮減產品尺寸。

三、英文發明摘要：

The present invention relates to a semiconductor package and a method for making the same. The semiconductor package includes a substrate, a first metal layer, a first dielectric layer, a first upper electrode, a first protective layer, a second metal layer and a second protective layer. The substrate has at least one via structure. The first metal layer is disposed on a first surface of the substrate, and includes a first lower electrode. The first dielectric layer is disposed on the first lower electrode. The first upper electrode is disposed on the first dielectric layer, and the first upper electrode, the first dielectric layer and the first lower electrode form a first capacitor. The first protective layer encapsulates the first capacitor. The second metal layer is disposed on the first protective layer, and includes a first inductance. The second protective layer encapsulates the first inductance. Whereby, the first inductance, the first capacitor and the via structure are integrated into the semiconductor package, so that the size of the product is reduced.

四、指定代表圖：

(一)本案指定代表圖為：第 (22) 圖。

(二)本代表圖之元件符號簡單說明：

2	本發明半導體封裝結構之第一實施例
21	基材
22	第一絕緣底層
23	第一金屬層
24	第一介電層
25	第一上電極
26	第一電容
27	第一保護層
28	第一凸塊
31	第二凸塊
34	第二絕緣底層
35	第二金屬層
36	第二保護層
211	第一表面
213	溝槽
214	穿導孔結構
215	第二表面
221	第一穿孔
232	第一下電極
233	第一晶種層
235	第一電鍍層

271	第一開口
281	第三晶種層
283	第三電鍍層
341	第二穿孔
351	第一電感
352	第二晶種層
354	第二電鍍層
361	第二開口
2141	外絕緣層
2142	導體
2143	內絕緣層
2144	第二中心槽
2145	第一中心槽

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體封裝結構及其製造方法，詳言之，係關於一種整合被動元件之半導體封裝結構及其製造方法。

【先前技術】

參考圖1，顯示習知半導體封裝結構之剖面示意圖。該習知半導體封裝結構1包括一基板11、一封裝單元12及一封膠體13。該封裝單元12包括複數個被動元件(圖中未示)。該封裝單元12係位於該基板11上，且電性連接至該基板11。該封膠體13包覆該封裝單元12。

該習知半導體封裝結構1之缺點如下。該等被動元件係先經由一半導體製程整合於該封裝單元12內，接著，該封裝單元12再以打線方式，或覆晶方式(圖中未示)，電性連接至該基板11，導致將該等被動元件整合至該半導體封裝結構1內之製程繁複，並提高成本。

因此，有必要提供一種半導體封裝結構及其製造方法，以解決上述問題。

【發明內容】

本發明提供一種半導體封裝結構之製造方法，其包括以下步驟：(a)提供一基材，該基材包括至少一溝槽及至少一導電孔結構，該導電孔結構係位於該溝槽內；(b)形成一第一金屬層於該基材上，該第一金屬層包括一第一下電極，該第一金屬層直接接觸該導電孔結構；(c)形成一第一介電

層及一第一上電極於該第一下電極上，其中該第一介電層係位於該第一上電極及該第一下電極之間，且該第一上電極、該第一介電層及該第一下電極形成一第一電容；(d)形成一第一保護層，以包覆該第一電容，該第一保護層包括至少一第一開口，該第一開口顯露部分該第一上電極；(e)形成一第二金屬層於該第一保護層上，該第二金屬層包括一第一電感，該第二金屬層直接接觸該第一上電極；及(f)形成一第二保護層，以包覆該第一電感。

藉此，可簡化該第一電感及該第一電容之製程，且可將該第一電感、該第一電容及該穿導孔結構一併整合至該半導體封裝結構內，以縮減產品尺寸。

本發明另提供一種半導體封裝結構，其包括一基材、一第一金屬層、一第一介電層、一第一上電極、一第一保護層、一第二金屬層及一第二保護層。該基材具有一第一表面、一第二表面、至少一溝槽及至少一穿導孔結構，該溝槽貫穿該第一表面及該第二表面，該穿導孔結構係位於該溝槽內，且顯露於該基材之第一表面及第二表面。該第一金屬層係位於該基材之第一表面，且包括一第一下電極，該第一金屬層直接接觸該穿導孔結構。該第一介電層係位於該第一下電極上。該第一上電極係位於該第一介電層上，該第一上電極、該第一介電層及該第一下電極形成一第一電容。該第一保護層包覆該第一電容，該第一保護層包括至少一第一開口，該第一開口顯露部分該第一上電極。該第二金屬層係位於該第一保護層上，且包括一第一

電感，該第二金屬層直接接觸該第一上電極。該第二保護層包覆該第一電感。

藉此，可將該第一電感、該第一電容及該穿導孔結構一併整合至該半導體封裝結構內，以縮減產品尺寸。

【實施方式】

參考圖2至圖22，顯示本發明半導體封裝結構之製造方法之第一實施例之示意圖。參考圖2，提供一基材21。在本實施例中，該基材21包括一第一表面211、一下表面212、至少一溝槽213及至少一導電孔結構217。該溝槽213係開口於該基材21之第一表面211。該導電孔結構217係位於該溝槽213內，且顯露於該基材21之第一表面211。

在本實施例中，該基材21之材質係為非絕緣材料，例如矽或氧化矽。該導電孔結構217包括一外絕緣層2141、一導體2142及一內絕緣層2143。該外絕緣層2141位於該溝槽213之側壁，定義出一第二中心槽2144，該導體2142位於該第二中心槽2144之側壁，定義出一第一中心槽2145，該內絕緣層2143填滿該第一中心槽2145。由於該基材21之材質係為非絕緣材料，故該外絕緣層2141係用以隔絕該基材21及該導體2142，避免通過該導電孔結構217之電流分流至該基材21，而降低該導電孔結構217之電性效果。

然而，在其他應用中，如圖3所示，該導電孔結構217可僅包括一外絕緣層2141及一導體2142，而不包括該內絕緣層2143(圖2)，該外絕緣層2141位於該溝槽213之側壁，定義出一第二中心槽2144，該導體2142填滿該第二中心槽

2144。再者，該基材21之材質係可為絕緣材料，例如玻璃，則該導電孔結構217可以不包括該外絕緣層2141(圖2)。因此，如圖4所示，該導電孔結構217可僅包括一導體2142及一內絕緣層2143，該導體2142位於該溝槽213之側壁及底部，定義出一第一中心槽2145，該內絕緣層2143填滿該第一中心槽2145。或者，如圖5所示，該導電孔結構217僅包括一導體2142，該導體2142填滿該溝槽213。參考圖6，形成一第一絕緣底層22於該基材21上。在本實施例中，該第一絕緣底層22係位於該基材21之第一表面211，且具有一第一穿孔221，該第一穿孔221顯露該導電孔結構217。

接著，形成一第一金屬層23(圖9)於該基材21上，該第一金屬層23包括一第一下電極232。在本實施例中，該第一金屬層23係位於該第一絕緣底層22上，且直接接觸該導電孔結構217。在本實施例中，形成該第一金屬層23之步驟如下所述。參考圖7，形成一第一晶種層233於該基材21上。參考圖8，形成一第一光阻234於該第一晶種層233上，以覆蓋部分該第一晶種層233，且顯露部分該第一晶種層233，並形成一第一電鍍層235於被顯露之部分該第一晶種層233上。參考圖9，移除該第一光阻234(圖8)及被覆蓋之部分該第一晶種層233，該第一電鍍層235及部分該第一晶種層233形成該第一金屬層23。

接著，形成一第一介電層24(圖11)及一第一上電極25(圖11)於該第一下電極232上。該第一介電層24係位於該第一

上電極25及該第一下電極232之間，且該第一上電極25、該第一介電層24及該第一下電極232形成一第一電容26(圖11)。在本實施例中，形成該第一介電層24之步驟如下所述。參考圖10，首先，形成(例如濺鍍)一第三金屬層於該第一下電極232上，並對該第三金屬層進行陽極氧化，以形成一第一氧化層241。該第三金屬層之材質係為鈮(Tantalum, Ta)，該第一氧化層241之材質係為五氧化鈮(Tantalum Pentoxide, Ta_2O_5)。接著，形成(例如濺鍍)一第四金屬層251於該第一氧化層241上。該第四金屬層251之材質係為鋁銅(AlCu)。最後，形成一第二光阻261於該第四金屬層251上。參考圖11，移除部分該第一氧化層241(圖10)及部分該第四金屬層251(圖10)，以分別形成該第一介電層24及該第一上電極25，同時形成該第一電容26，並移除該第二光阻261(圖10)。參考圖12，形成一第一保護層27，以包覆該第一電容26。該第一保護層27包括至少一第一開口271，該第一開口271顯露部分該第一上電極25。

接著，形成一第二金屬層35(圖15)於該第一保護層27上。該第二金屬層35包括一第一電感351，且直接接觸該第一上電極25。在本實施例中，形成該第二金屬層35之步驟如下所述。參考圖13，形成一第二晶種層352於該第一保護層27上。參考圖14，形成一第三光阻353於該第二晶種層352上，以覆蓋部分該第二晶種層352，且顯露部分該第二晶種層352，並形成一第二電鍍層354於被顯露之部分

該第二晶種層352上。參考圖15，移除該第三光阻353(圖14)及被覆蓋之部分該第二晶種層352，該第二電鍍層354及部分該第二晶種層352形成該第二金屬層35。參考圖16，形成一第二保護層36，以包覆該第一電感351。該第二保護層36包括至少一第二開口361，該第二開口361顯露部分該第二金屬層35。

接著，形成至少一第一凸塊28(圖19)於該第二保護層36之第二開口361內，該第一凸塊28與該第二金屬層35電性連接。在本實施例中，形成該第一凸塊28之步驟如下所述。參考圖17，形成一第三晶種層281於該第二保護層36上。參考圖18，先形成一第四光阻282於該第三晶種層281上，以覆蓋部分該第三晶種層281，且顯露部分該第三晶種層281，再形成一第三電鍍層283於被顯露之部分該第三晶種層281上。參考圖19，移除該第四光阻282及被覆蓋之部分該第三晶種層281，以形成該第一凸塊28。

參考圖20，設置該基材21於一載體29上，其中該基材21之第一表面211係面對該載體29，並從該基材21之下表面212(圖19)移除部分該基材21，以形成一第二表面215，且顯露該導電孔結構217(圖19)之導體2142於該第二表面215，以形成一穿導孔結構214。然而，在其他應用中，可再移除更多部分該基材21，使得該導電孔結構217(圖19)之內絕緣層2143亦顯露於該第二表面215，以確保該導體2142顯露於該第二表面215。

參考圖21，形成至少一電性元件於該基材21之第二表面

215。在本實施例中，該電性元件係為一第二凸塊31，該第二凸塊31之製造方法，同該第一凸塊28之製造方法，故不再贅述。參考圖22，移除該載體29，形成本發明之半導體封裝結構2之第一實施例。然而，該電性元件係可為一第二電感32及一第二電容33，如圖23所示。該第二電感32及該第二電容33之製造方法，同該第一電感351及該第一電容26之製造方法，亦即，於該基材21之第二表面215所進行之製程可與於該基材21之第一表面211所進行之製程相同，故不再贅述。

藉此，可簡化該第一電感351及該第一電容26之製程，且可將該第一電感351、該第一電容26及該穿導孔結構214一併整合至該半導體封裝結構2內，以縮減產品尺寸。

再參考圖22，顯示本發明半導體封裝結構之第一實施例之剖面示意圖。該半導體封裝結構2包括一基材21、一第一絕緣底層22、一第二絕緣底層34、一第一金屬層23、一第一介電層24、一第一上電極25、一第一保護層27、一第二金屬層35、一第二保護層36、至少一第一凸塊28及至少一電性元件。

該基材21具有一第一表面211、一第二表面215、至少一溝槽213及至少一穿導孔結構214。該溝槽213貫穿該第一表面211及該第二表面215，該穿導孔結構214係位於該溝槽213內，且顯露於該第一表面211及該第二表面215。

在本實施例中，該基材21之材質係為非絕緣材料，例如矽或氧化矽。該穿導孔結構214包括一外絕緣層2141、一

導體 2142 及一內絕緣層 2143，該外絕緣層 2141 位於該溝槽 213 之側壁，定義出一第二中心槽 2144，該導體 2142 位於該第二中心槽 2144 之側壁，定義出一第一中心槽 2145，該內絕緣層 2143 填滿該第一中心槽 2145。由於該基材 21 之材質係為非絕緣材料，故該外絕緣層 2141 係用以隔絕該基材 21 及該導體 2142，避免通過該穿導孔結構 214 之電流分流至該基材 21，而降低該穿導孔結構 214 之電性效果。

然而，在其他應用中，該穿導孔結構 214 可僅包括一外絕緣層 2141 及一導體 2142，而不包括該內絕緣層 2143，該外絕緣層 2141 位於該溝槽 213 之側壁，定義出一第二中心槽 2144，該導體 2142 填滿該第二中心槽 2144。再者，該基材 21 之材質係可為絕緣材料，例如玻璃，則該穿導孔結構 214 可以不包括該外絕緣層 2141，因此，該穿導孔結構 214 可僅包括一導體 2142 及一內絕緣層 2143，該導體 2142 位於該溝槽 213 之側壁，定義出一第一中心槽 2145，該內絕緣層 2143 填滿該第一中心槽 2145，或者，該穿導孔結構 214 僅包括一導體 2142，該導體 2142 填滿該溝槽 213。

該第一絕緣底層 22 係位於該基材 21 之第一表面 211，且具有一第一穿孔 221，該第一穿孔 221 顯露該穿導孔結構 214。該第二絕緣底層 34 位於該基材 21 之第二表面 215，且具有一第二穿孔 341，該第二穿孔 341 顯露該穿導孔結構 214。該第一金屬層 23 係位於該基材 21 之第一表面 211，較佳地，位於該第一絕緣底層 22 上，且包括一第一下電極 232，該第一金屬層 23 直接接觸該穿導孔結構 214。該第一

介電層 24 係位於該第一下電極 232 上。在本實施例中，該第一介電層 24 之材質係為五氧化鉭 (Tantalum Pentoxide, Ta_2O_5)。該第一上電極 25 係位於該第一介電層 24 上，該第一上電極 25、該第一介電層 24 及該第一下電極 232 形成一第一電容 26。在本實施例中，該第一上電極 25 之材質係為鋁銅 (AlCu)。

該第一保護層 27 包覆該第一電容 26。在本實施例中，該第一保護層 27 包括至少一第一開口 271，該第一開口 271 顯露部分該第一上電極 25。該第二金屬層 35 係位於第一保護層 27 上，且包括一第一電感 351。該第二金屬層 35 直接接觸該第一上電極 25。該第二保護層 36 包覆該第一電感 351。在本實施例中，該第二保護層 36 包括至少一第二開口 361，該第二開口 361 顯露部分該第二金屬層 35。該第一凸塊 28 係位於該第二保護層 36 之第二開口 361 內，且與該第二金屬層 35 電性連接。該電性元件係位於該基材 21 之第二表面 215。該電性元件係為一第二凸塊 31。

藉此，可將該第一電感 351、該第一電容 26 及該穿導孔結構 214 一併整合至該半導體封裝結構 2 內，以縮減產品尺寸。

參考圖 23，顯示本發明半導體封裝結構之第二實施例之剖面示意圖。本實施例之半導體封裝結構 3 與第一實施例之半導體封裝結構 2 (圖 22) 大致相同，其中相同之元件賦予相同之編號。本實施例與第一實施例之不同處在於，在本實施例中，該半導體封裝結構 3 之第二表面 215 包括複數個

電性元件(例如一第二電感32、一第二電容33及一第二凸塊31)。

參考圖24至圖32，顯示本發明半導體封裝結構之製造方法之第二實施例之示意圖。參考圖24，提供一基材21。在本實施例中，該基材21具有一上表面216及一第二表面215，該溝槽213係開口於該基材21之第二表面215，且該導電孔結構217顯露於該基材21之第二表面215。參考圖25，形成一第二絕緣底層34於該基材21上。在本實施例中，該第二絕緣底層34係位於該基材21之第二表面215，且具有一第二穿孔341，該第二穿孔341顯露該導電孔結構217。接著，形成至少一電性元件於該基材21之第二表面215，較佳地，位於該第二絕緣底層34上，在本實施例中，該電性元件係為一第二凸塊31。參考圖26，設置該基材21於一載體29上，其中該基材21之第二表面215係面對該載體29，並從該基材21之上表面216(圖25)移除部分該基材21，以形成一第一表面211，且顯露該導電孔結構217於該第一表面211，以形成一穿導孔結構217。

參考圖27，形成一第一金屬層23於該基材21上，較佳地，位於該基材21之第一表面211。一第一電鍍層235及一第一晶種層233形成該第一金屬層23。該第一金屬層23包括一第一下電極232。參考圖28，形成一第一介電層24及一第一上電極25於該第一下電極232上，其中該第一介電層24係位於該第一上電極25及該第一下電極232之間，且該第一上電極25、該第一介電層24及該第一下電極232形

成一第一電容26。參考圖29，形成一第一保護層27，以包覆該第一電容26。該第一保護層27包括至少一第一開口271，該第一開口271顯露部分該第一上電極25。參考圖30，形成一第二金屬層35於該第一保護層27上。一第二電鍍層354及一第二晶種層352形成該第二金屬層35。該第二金屬層35包括一第一電感351，且直接接觸該第一上電極25。參考圖31，形成一第二保護層36，以包覆該第一電感351。該第二保護層36包括至少一第二開口361，該第二開口361顯露部分該第二金屬層35。參考圖32，形成至少一第一凸塊28於該第一保護層27之第一開口271內，使該第一凸塊28與該第二金屬層35電性連接，並移除該載體29，形成本發明之半導體封裝結構2之第一實施例。

參考圖33至圖35，顯示本發明半導體封裝結構之製造方法之第三實施例之示意圖。本實施例之半導體封裝結構之製造方法與第一實施例之半導體封裝結構之製造方法(圖2至圖22)大致相同，其中相同之元件賦予相同之編號。本實施例與第一實施例不同處在於，參考圖33，在提供一基材21時，該基材21具有一第一表面211、一第二表面215、至少一溝槽213及至少一導電孔結構，該溝槽213貫穿該第一表面211及該第二表面215，該導電孔結構係位於該溝槽213內，且顯露於該第一表面211及該第二表面215，以形成一穿導孔結構214。接著，參考圖34，先於該基材21之第一表面211形成一第一電感351及一第一電容26。參考圖35，再於該基材21之第二表面215形成至少一電性元件，

且同時形成本發明之半導體封裝結構之第一實施例。然而，在其他應用中，亦可先於該基材21之第二表面215形成該電性元件，再於該基材21之第一表面211形成該第一電感351及該第一電容26。

惟上述實施例僅為說明本發明之原理及其功效，而非用以限制本發明。因此，習於此技術之人士對上述實施例進行修改及變化仍不脫本發明之精神。本發明之權利範圍應如後述之申請專利範圍所列。

【圖式簡單說明】

圖1顯示顯示習知半導體封裝結構之剖面示意圖；

圖2至圖22顯示本發明半導體封裝結構之製造方法之第一實施例之示意圖；

圖23顯示本發明半導體封裝結構之第二實施例之剖面示意圖；

圖24至圖32顯示本發明半導體封裝結構之製造方法之第二實施例之示意圖；及

圖33至圖35顯示本發明半導體封裝結構之製造方法之第三實施例之示意圖。

【主要元件符號說明】

1	習知半導體封裝結構
2	本發明半導體封裝結構之第一實施例
11	基板
12	封裝單元
13	封膠體

21	基 材
22	第 一 絕 緣 底 層
23	第 一 金 屬 層
24	第 一 介 電 層
25	第 一 上 電 極
26	第 一 電 容
27	第 一 保 護 層
28	第 一 凸 塊
29	載 體
31	第 二 凸 塊
32	第 二 電 感
33	第 二 電 容
34	第 二 絕 緣 底 層
35	第 二 金 屬 層
36	第 二 保 護 層
211	第 一 表 面
212	下 表 面
213	溝 槽
214	穿 導 孔 結 構
215	第 二 表 面
216	上 表 面
217	導 電 孔 結 構
221	第 一 穿 孔
232	第 一 下 電 極

233	第一晶種層
234	第一光阻
235	第一電鍍層
241	第一氧化層
251	第四金屬層
261	第二光阻
271	第一開口
281	第三晶種層
282	第四光阻
283	第三電鍍層
341	第二穿孔
351	第一電感
352	第二晶種層
353	第三光阻
354	第二電鍍層
361	第二開口
2141	外絕緣層
2142	導體
2143	內絕緣層
2144	第二中心槽
2145	第一中心槽

七、申請專利範圍：

1. 一種半導體封裝結構之製造方法，包括：
 - (a) 提供一基材，該基材包括至少一溝槽及至少一導電孔結構，該導電孔結構係位於該溝槽內；
 - (b) 形成一第一金屬層於該基材上，該第一金屬層包括一第一下電極，該第一金屬層直接接觸該導電孔結構；
 - (c) 形成一第一介電層及一第一上電極於該第一下電極上，其中該第一介電層係位於該第一上電極及該第一下電極之間，且該第一上電極、該第一介電層及該第一下電極形成一第一電容；
 - (d) 形成一第一保護層，以包覆該第一電容，該第一保護層包括至少一第一開口，該第一開口顯露部分該第一上電極；
 - (e) 形成一第二金屬層於該第一保護層上，該第二金屬層包括一第一電感，該第二金屬層直接接觸該第一上電極；及
 - (f) 形成一第二保護層，以包覆該第一電感。
2. 如請求項1之方法，其中該步驟(a)中，該基材之材質係為玻璃。
3. 如請求項1之方法，其中該步驟(a)中，該基材之材質係為矽或氧化矽。
4. 如請求項3之方法，其中該步驟(a)之後，更包括一形成一第一絕緣底層於該基材上之步驟，該第一絕緣底層具

- 有一第一穿孔，該第一穿孔顯露該導電孔結構，該步驟(b)中，該第一金屬層係位於該第一絕緣底層上，且直接接觸該導電孔結構。
5. 如請求項1之方法，其中該步驟(a)中，該基材具有一第一表面及一第二表面，該溝槽貫穿該基材之第一表面及第二表面，且該導電孔結構顯露於該基材之第一表面及第二表面，以形成一穿導孔結構，該步驟(b)中，該第一金屬層係位於該基材之第一表面。
 6. 如請求項5之方法，其中該步驟(a)之後，更包括一形成至少一電性元件於該基材之第二表面之步驟。
 7. 如請求項1之方法，其中該步驟(a)中，該基材具有一第一表面及一下表面，該溝槽係開口於該基材之第一表面，且該導電孔結構顯露於該基材之第一表面，該步驟(b)中，該第一金屬層係位於該基材之第一表面。
 8. 如請求項7之方法，其中該步驟(f)之後，更包括：
 - (g) 設置該基材於一載體上，其中該基材之第一表面係面對該載體；
 - (h) 從該基材之下表面移除部分該基材，以形成一第二表面，且顯露該導電孔結構於該第二表面，以形成一穿導孔結構；
 - (i) 形成至少一電性元件於該基材之第二表面；及
 - (j) 移除該載體。
 9. 如請求項1之方法，其中該步驟(a)中，該基材具有一上表面及一第二表面，該溝槽係開口於該基材之第二表

- 面，且該導電孔結構顯露於該基材之第二表面。
10. 如請求項9之方法，其中該步驟(a)之後，更包括：
 - (a1) 形成至少一電性元件於該基材之第二表面；
 - (a2) 設置該基材於一載體上，其中該基材之第二表面係面對該載體；及
 - (a3) 從該基材之上表面移除部分該基材，以形成一第一表面，且顯露該導電孔結構於該第一表面，以形成一穿導孔結構。
 11. 如請求項10之方法，其中該步驟(b)中，該第一金屬層係位於該基材之第一表面。
 12. 如請求項10之方法，其中該步驟(f)之後，更包括一移除該載體之步驟。
 13. 如請求項1之方法，其中該步驟(b)包括：
 - (b1) 形成一第一晶種層於該基材上；
 - (b2) 形成一第一光阻於該第一晶種層上，以覆蓋部分該第一晶種層，且顯露部分該第一晶種層；
 - (b3) 形成一第一電鍍層於被顯露之部分該第一晶種層上；及
 - (b4) 移除該第一光阻及被覆蓋之部分該第一晶種層，該第一電鍍層及部分該第一晶種層形成該第一金屬層。
 14. 如請求項1之方法，其中該步驟(c)包括：
 - (c1) 形成一第三金屬層於該第一下電極上，並對該第三金屬層進行陽極氧化，以形成一第一氧化層；

- (c2) 形成一第四金屬層於該第一氧化層上；
 - (c3) 形成一第二光阻於該第四金屬層上；
 - (c4) 移除部分該第一氧化層及部分該第四金屬層，以分別形成該第一介電層及該第一上電極，同時形成該第一電容；及
 - (c5) 移除該第二光阻。
15. 如請求項14之方法，其中該步驟(c1)中，係利用濺鍍方法形成該第三金屬層及該第四金屬層。
16. 如請求項1之方法，其中該步驟(e)包括：
- (e1) 形成一第二晶種層於該第一保護層上；
 - (e2) 形成一第三光阻於該第二晶種層上，以覆蓋部分該第二晶種層，且顯露部分該第二晶種層；
 - (e3) 形成一第二電鍍層於被顯露之部分該第二晶種層上；及
 - (e4) 移除該第三光阻及被覆蓋之部分該第二晶種層，該第二電鍍層及部分該第二晶種層形成該第二金屬層。
17. 如請求項1之方法，其中該步驟(f)中，該第二保護層包括至少一第二開口，該第二開口顯露部分該第二金屬層。
18. 如請求項17之方法，其中該步驟(f)之後，更包括一形成至少一第一凸塊於該第二保護層之第二開口內之步驟，該第一凸塊與該第二金屬層電性連接。
19. 一種半導體封裝結構，包括：

一 基材，具有一第一表面、一第二表面、至少一溝槽及至少一穿導孔結構，該溝槽貫穿該第一表面及該第二表面，該穿導孔結構係位於該溝槽內，且顯露於該基材之第一表面及第二表面；

一 第一金屬層，位於該基材之第一表面，且包括一第一下電極，該第一金屬層直接接觸該穿導孔結構；

一 第一介電層，位於該第一下電極上；

一 第一上電極，位於該第一介電層上，該第一上電極、該第一介電層及該第一下電極形成一第一電容；

一 第一保護層，包覆該第一電容，該第一保護層包括至少一第一開口，該第一開口顯露部分該第一上電極；

一 第二金屬層，位於該第一保護層上，且包括一第一電感，該第二金屬層直接接觸該第一上電極；及

一 第二保護層，包覆該第一電感。

20. 如請求項19之封裝結構，其中該基材之材質係為玻璃。
21. 如請求項19之封裝結構，其中該基材之材質係為矽或氧化矽。
22. 如請求項21之封裝結構，更包括一第一絕緣底層及一第二絕緣底層，該第一絕緣底層位於該基材之第一表面，該第二絕緣底層位於該基材之第二表面，且該第一金屬層係位於該第一絕緣底層上。
23. 如請求項19之封裝結構，其中該穿導孔結構包括一導體，該導體填滿該溝槽。
24. 如請求項19之封裝結構，其中該穿導孔結構包括一導體

- 及一內絕緣層，該導體位於該溝槽之側壁，定義出一第一中心槽，該內絕緣層填滿該第一中心槽。
25. 如請求項19之封裝結構，其中該穿導孔結構包括一外絕緣層及一導體，該外絕緣層位於該溝槽之側壁，定義出一第二中心槽，該導體填滿該第二中心槽。
26. 如請求項19之封裝結構，其中該穿導孔結構包括一外絕緣層、一導體及一內絕緣層，該外絕緣層位於該溝槽之側壁，定義出一第二中心槽，該導體位於該第二中心槽之側壁，定義出一第一中心槽，該內絕緣層填滿該第一中心槽。
27. 如請求項19之封裝結構，其中該第一介電層之材質係為五氧化鉭(Tantalum Pentoxide, Ta_2O_5)。
28. 如請求項19之封裝結構，其中該第一上電極之材質係為鋁銅(AlCu)。
29. 如請求項19之封裝結構，其中該第二保護層包括至少一第二開口，該第二開口顯露部分該第二金屬層。
30. 如請求項29之封裝結構，更包括至少一第一凸塊，位於該第二保護層之第二開口內，且與該第二金屬層電性連接。
31. 如請求項19之封裝結構，更包括至少一電性元件，位於該基材之第二表面。
32. 如請求項31之封裝結構，其中該電性元件係為一第二電感、一第二電容或一第二凸塊。

八、圖式：

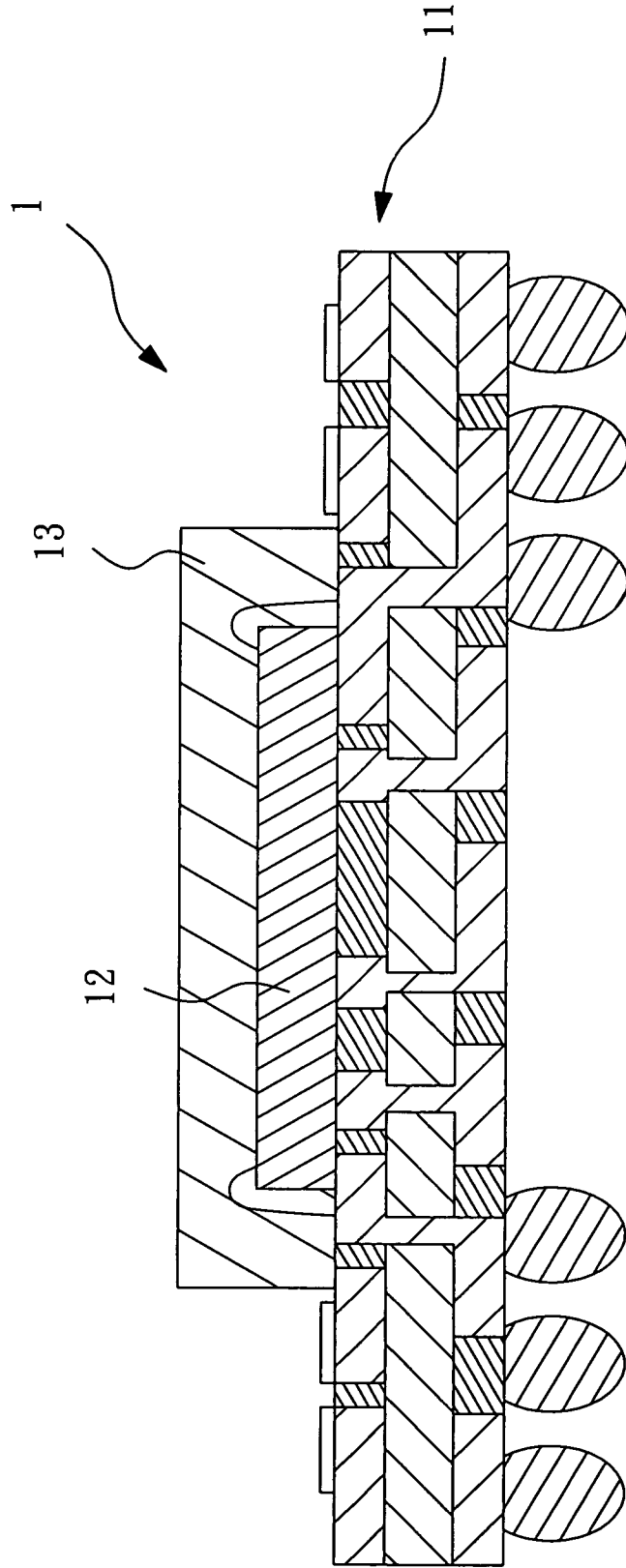


圖 1 (先前技術)

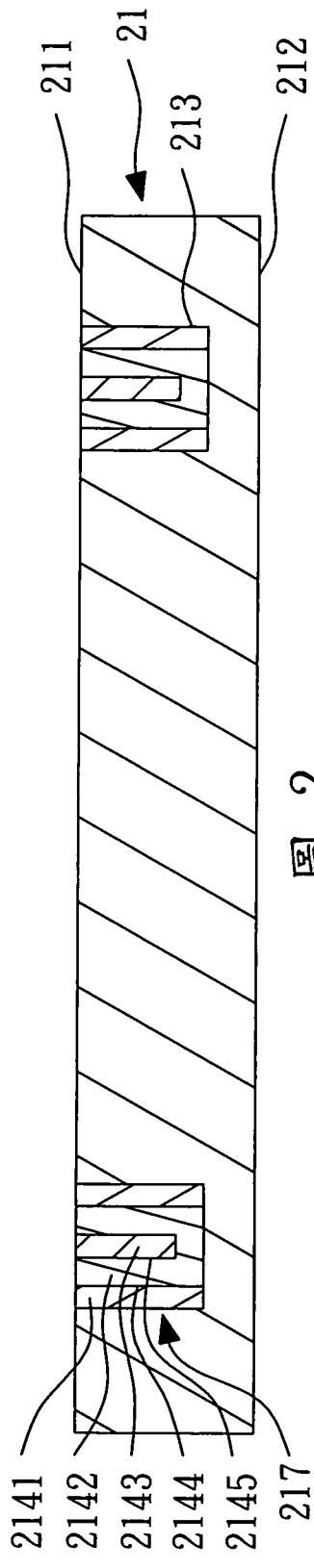


圖 2

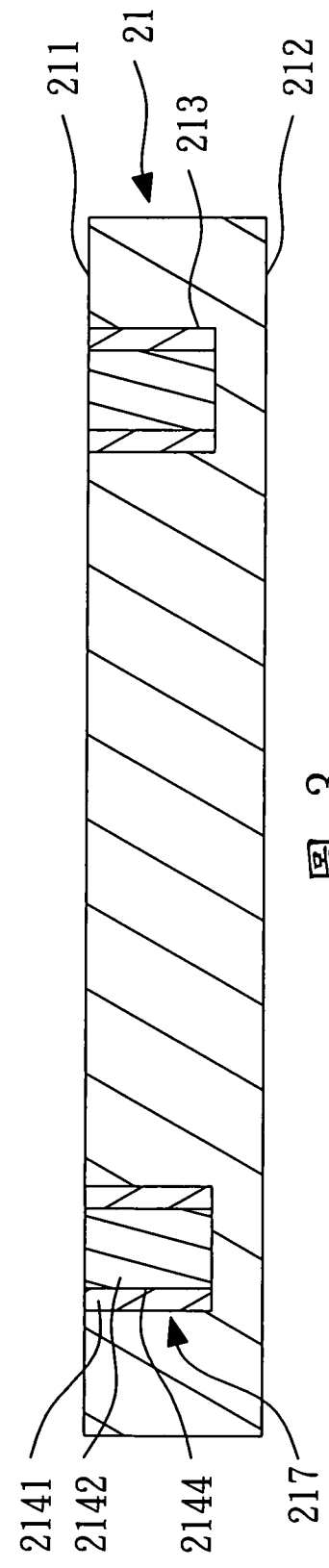


圖 3

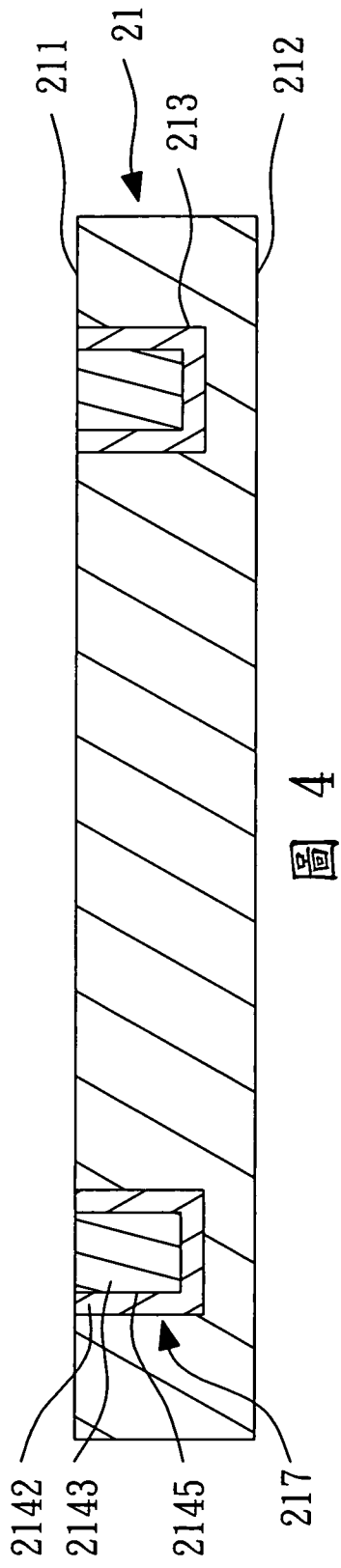


圖 4

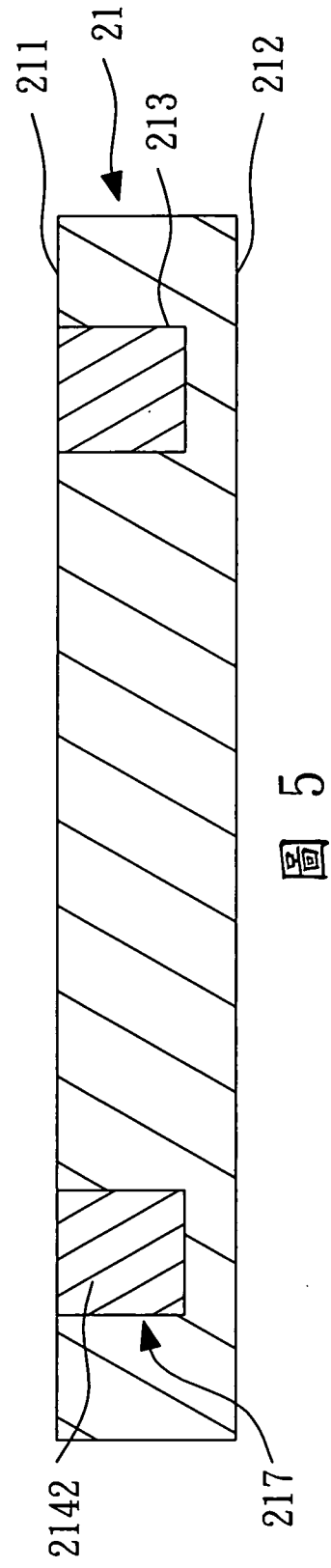


圖 5

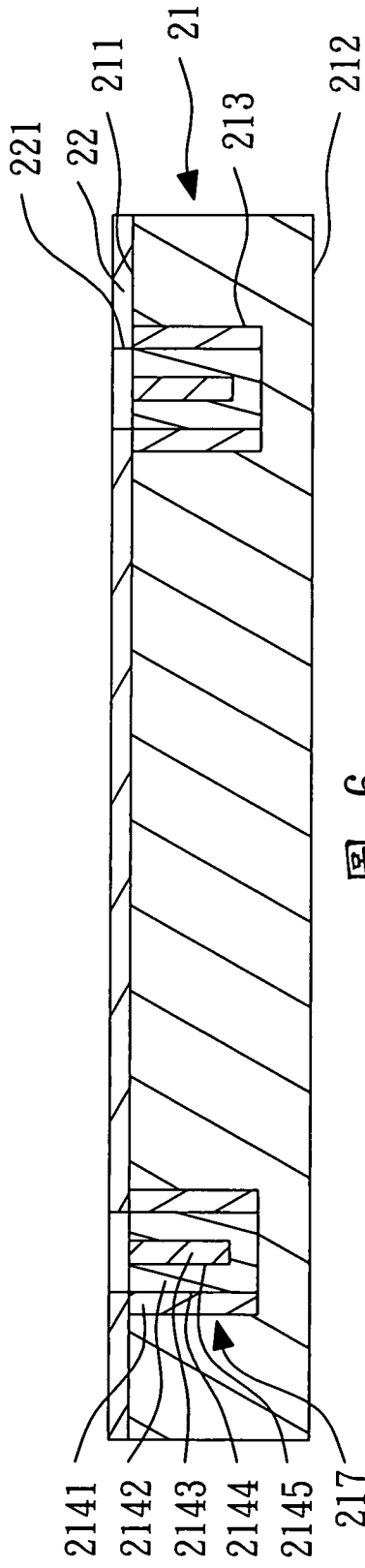


圖 6

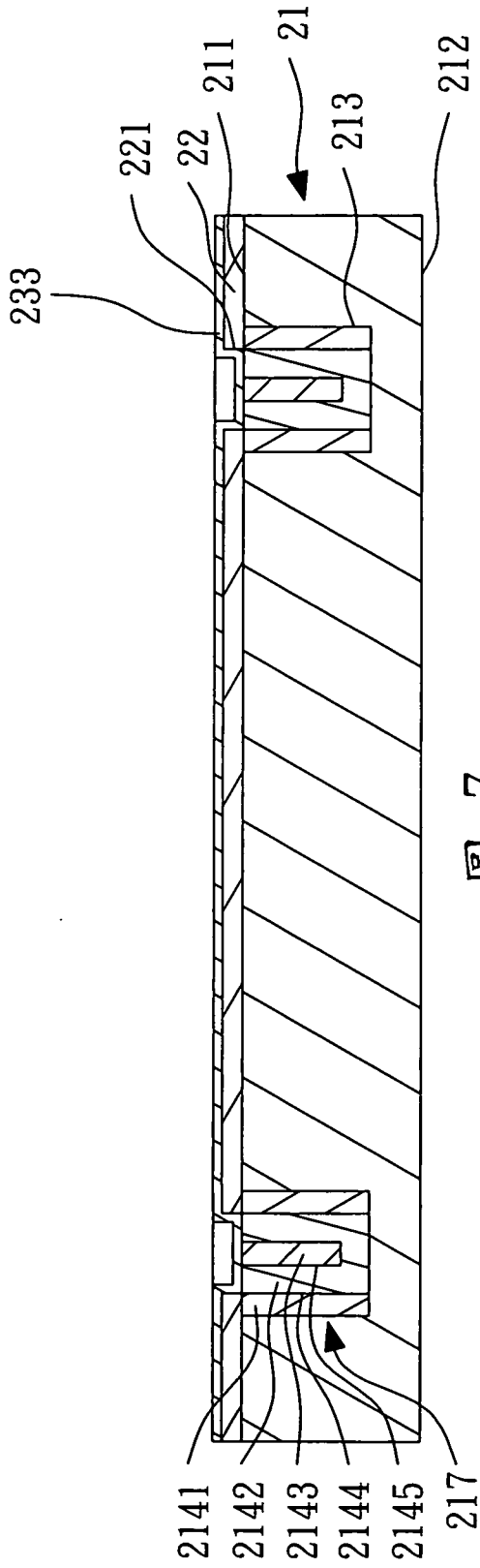


圖 7

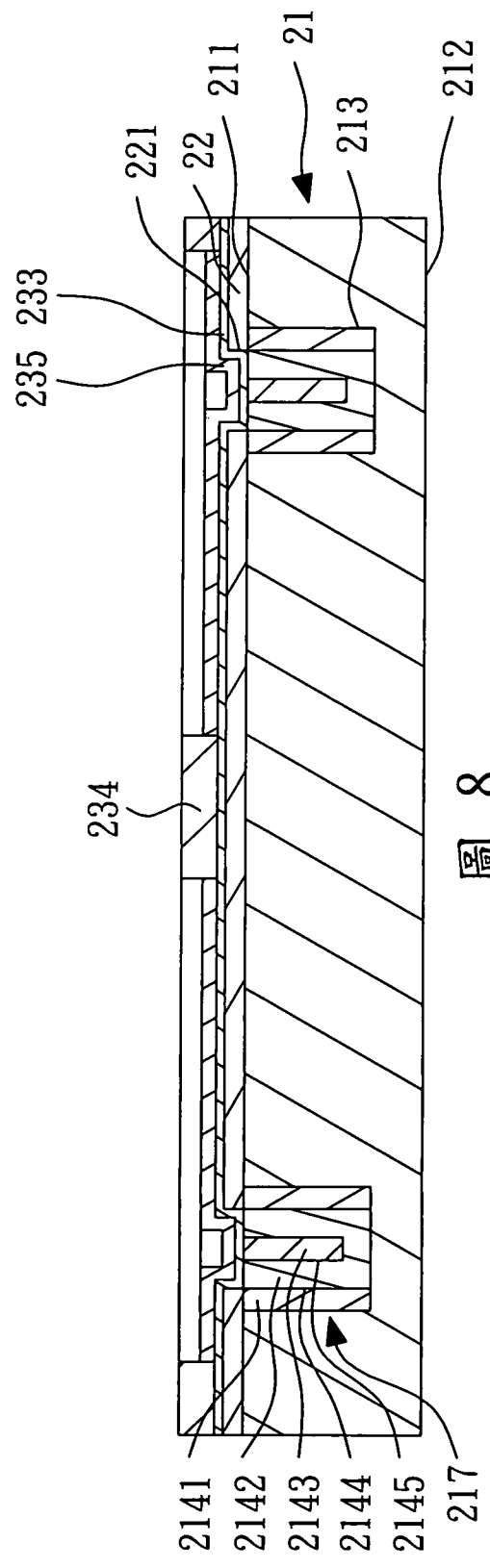


圖 8

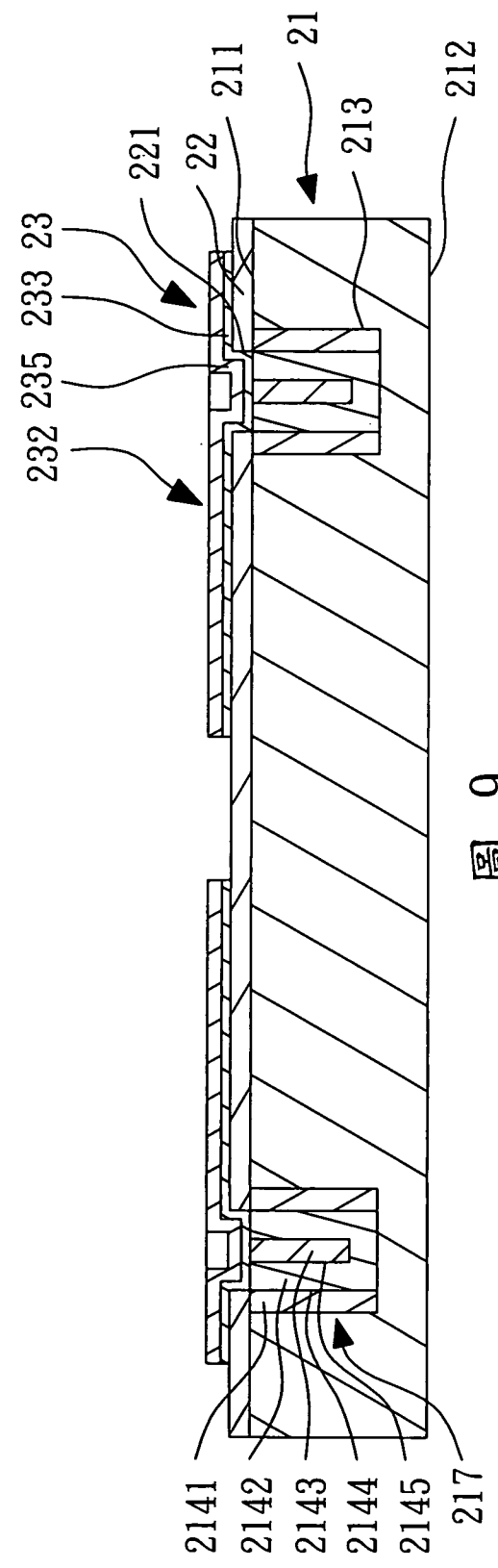


圖 9

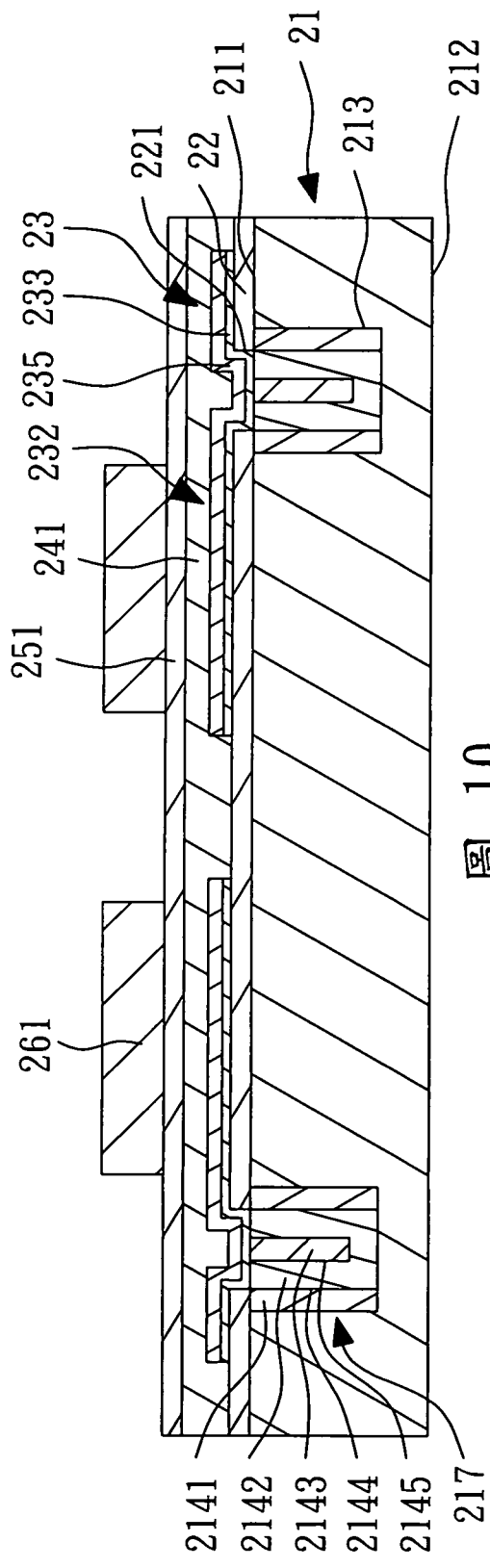


圖 10

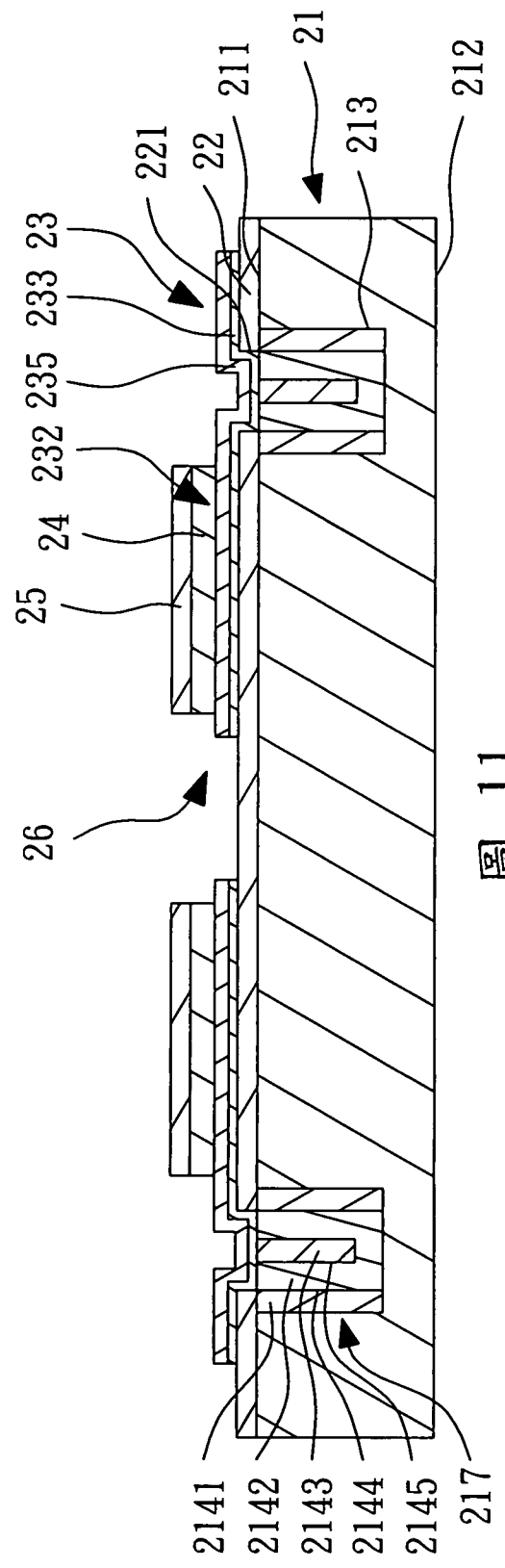


圖 11

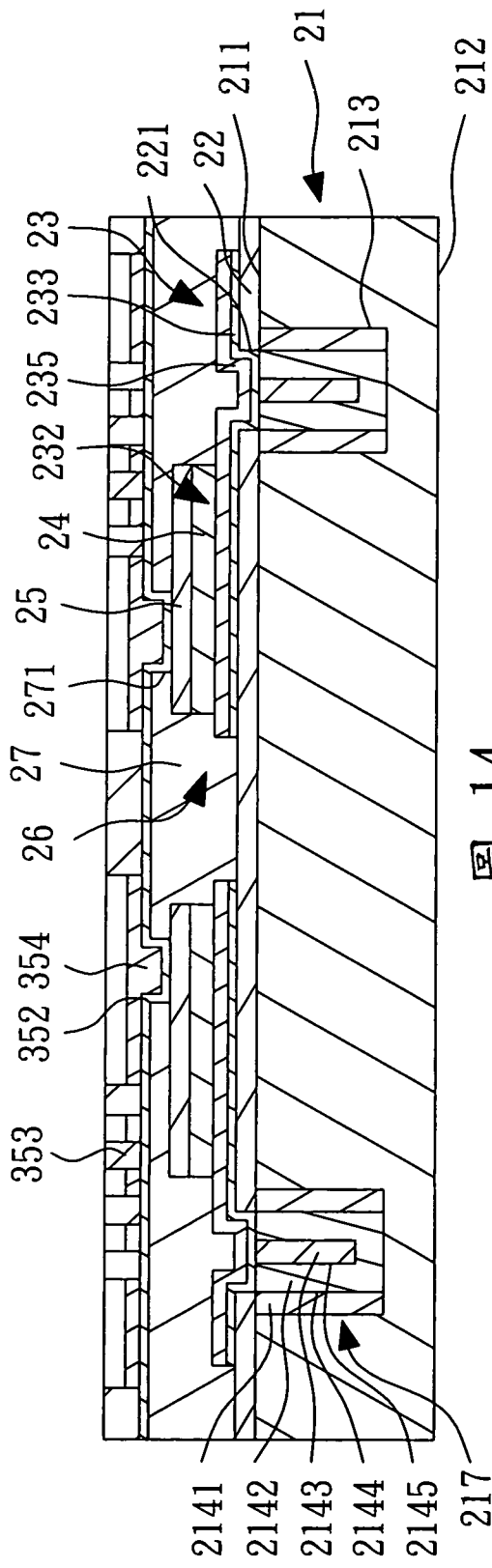


圖 14

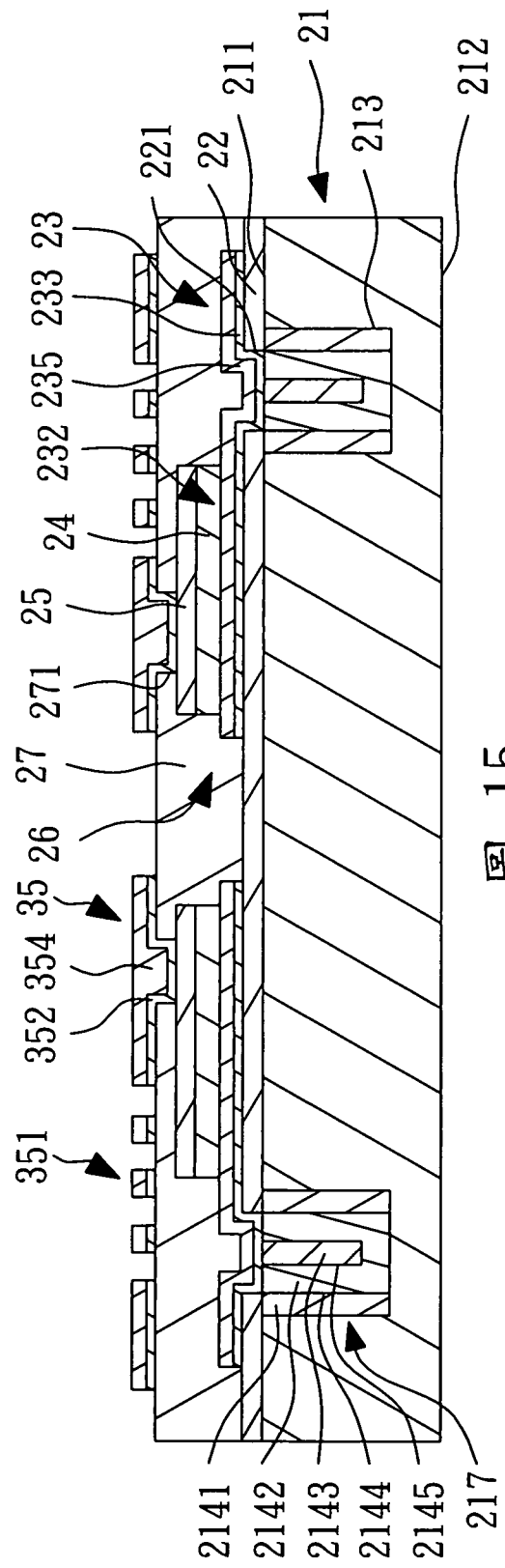


圖 15

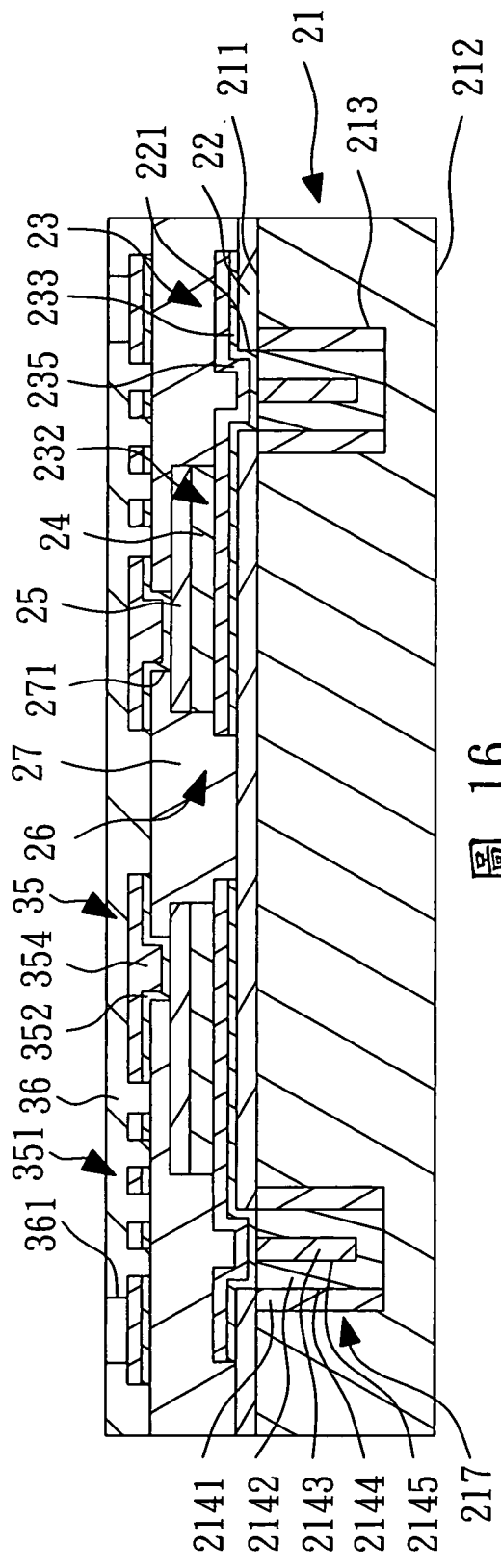


圖 16

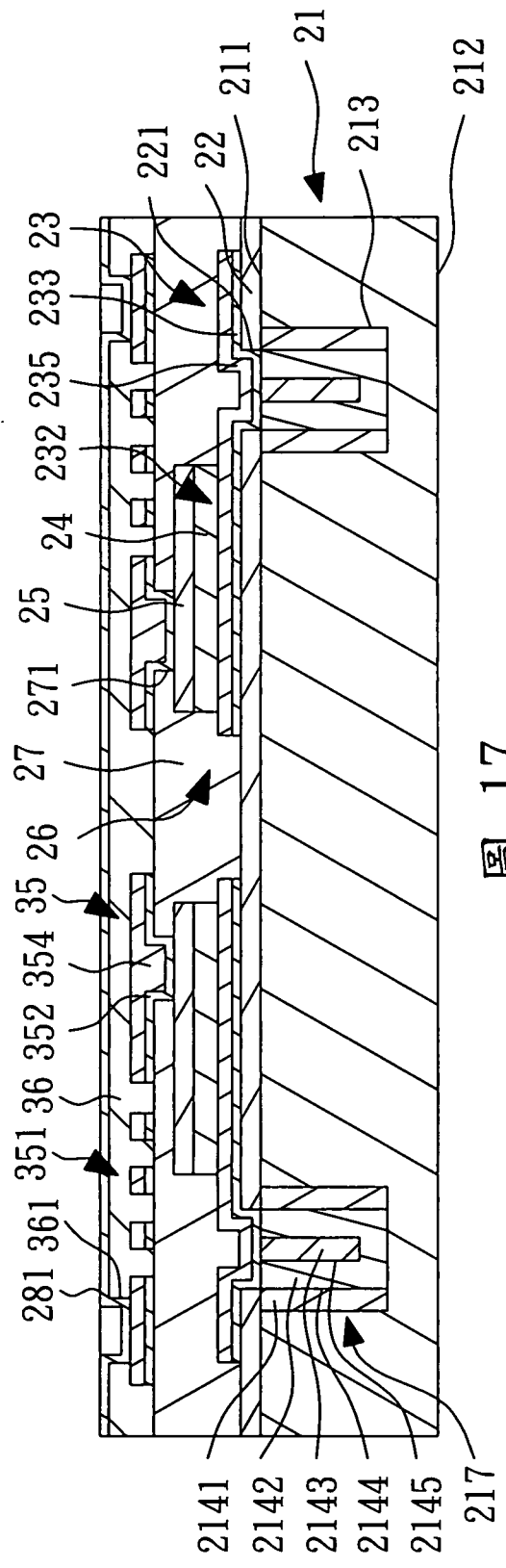


圖 17

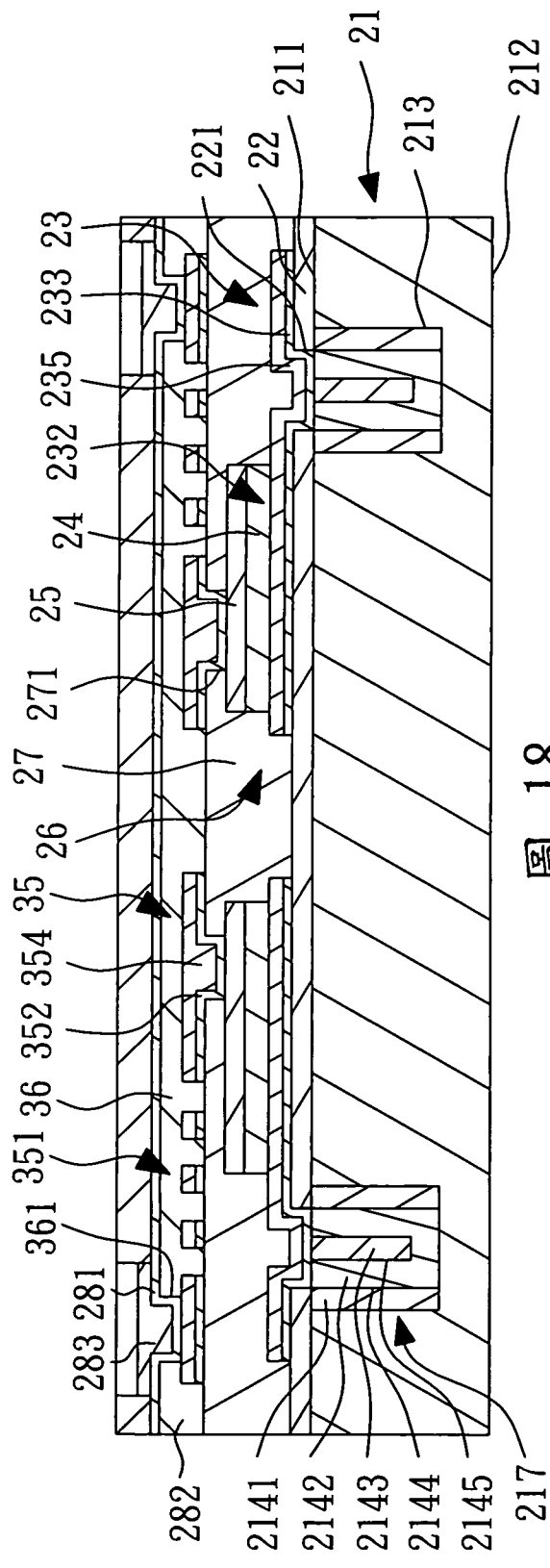


圖 18

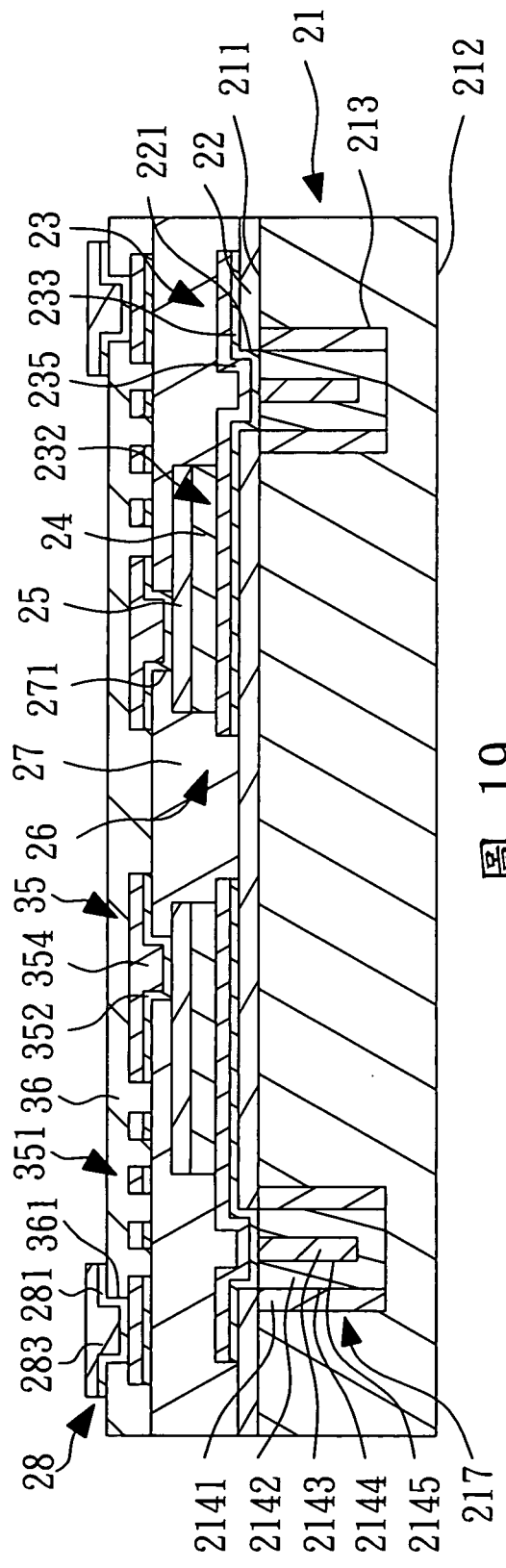


圖 19

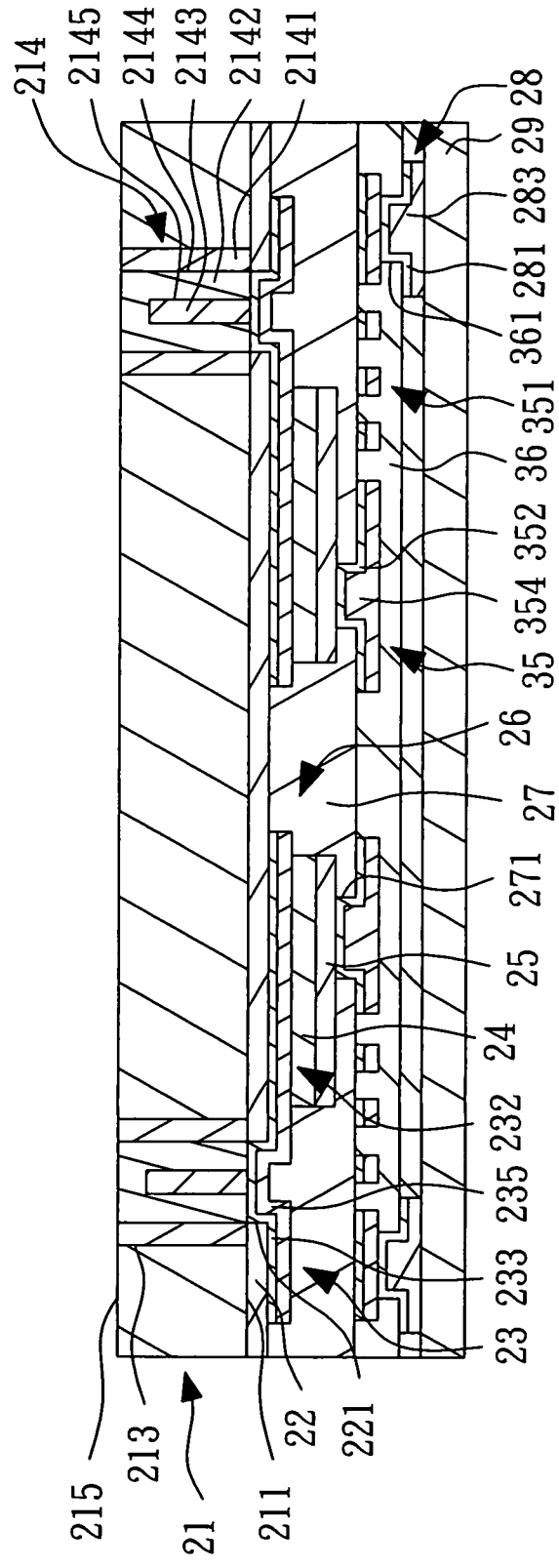


圖 20

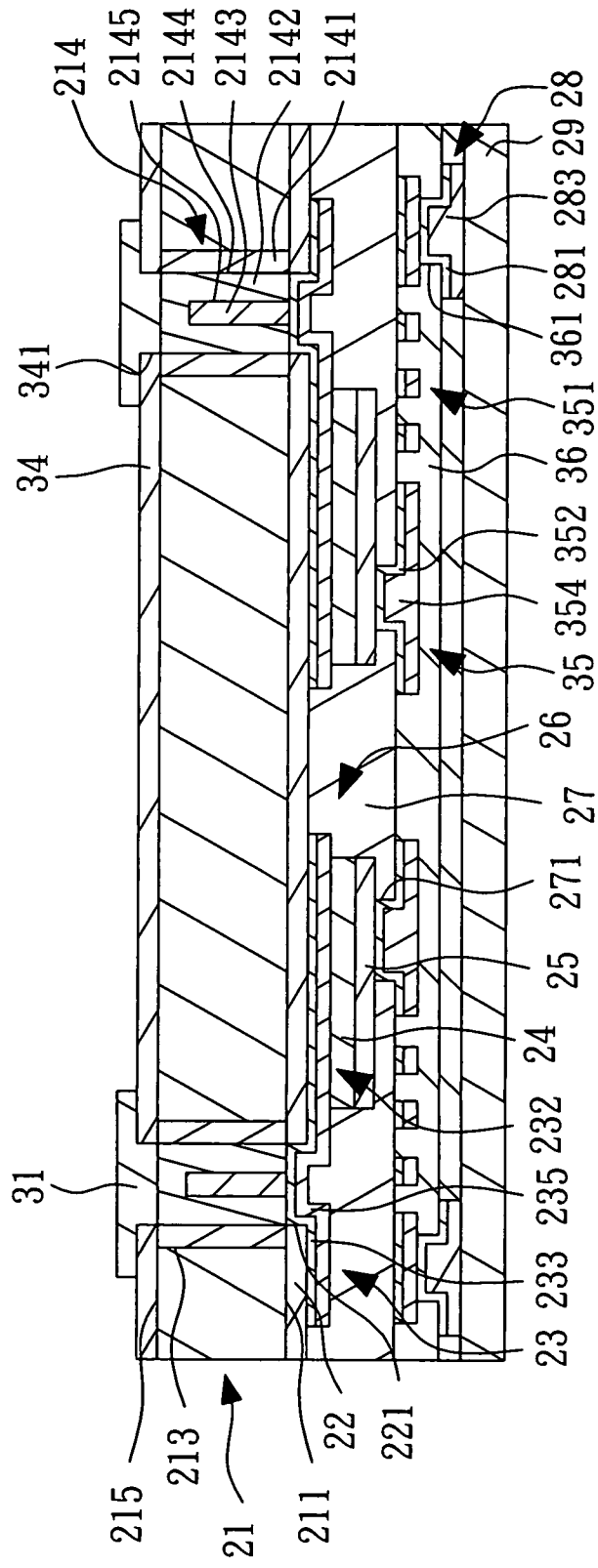


圖 21

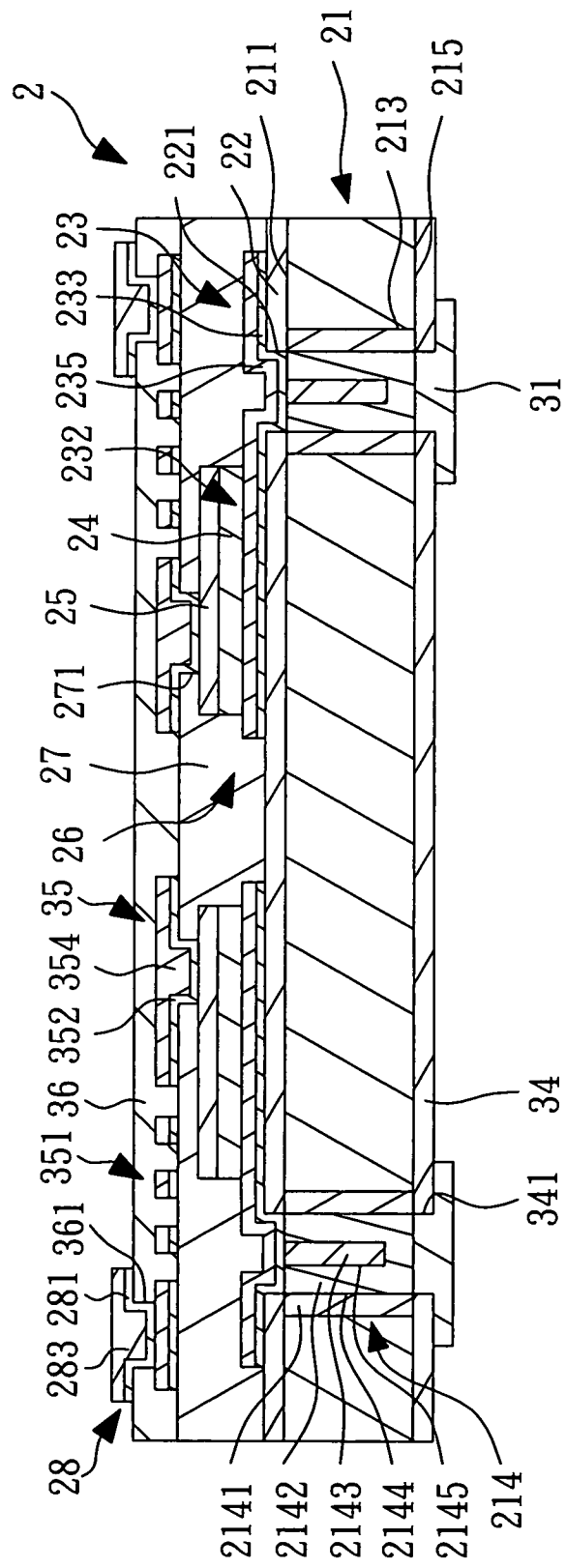


圖 22

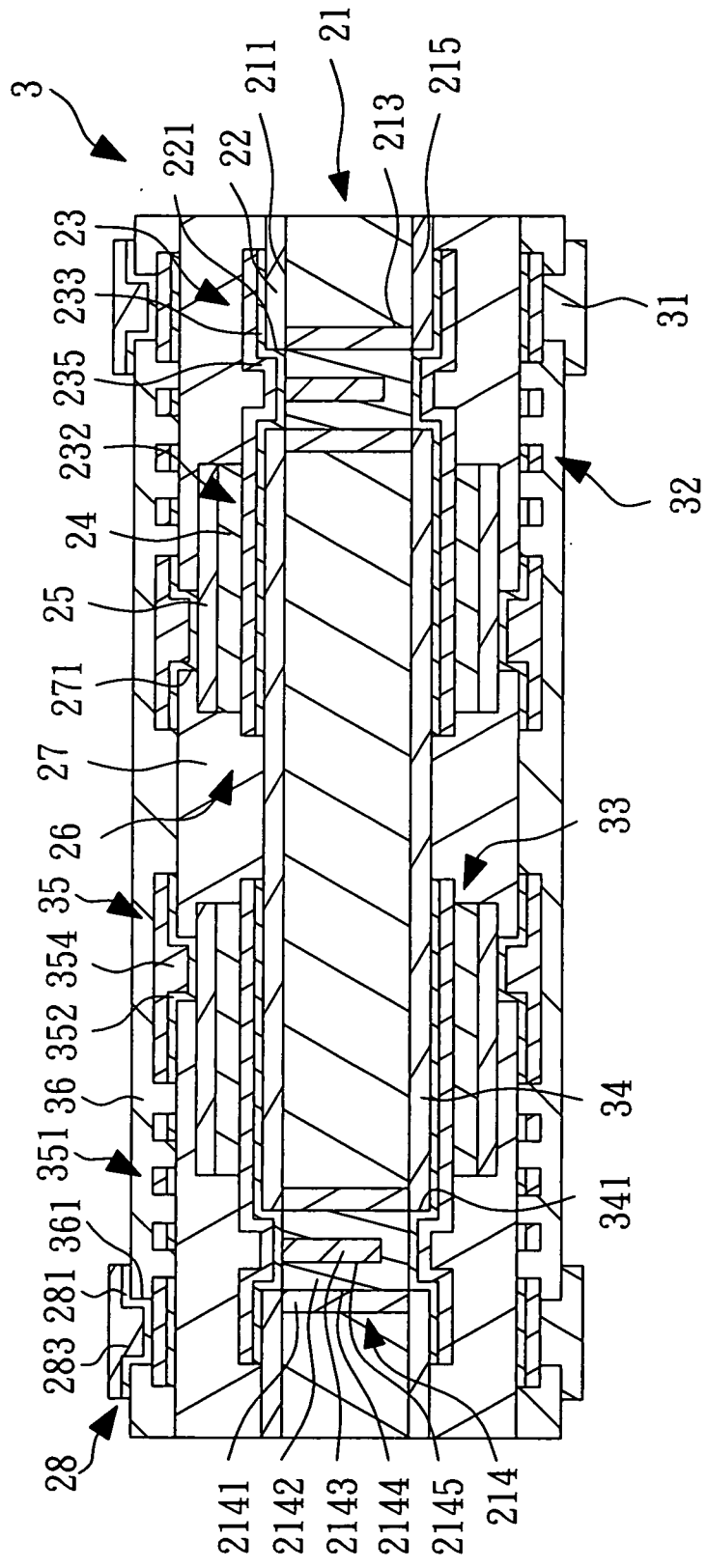


圖 23

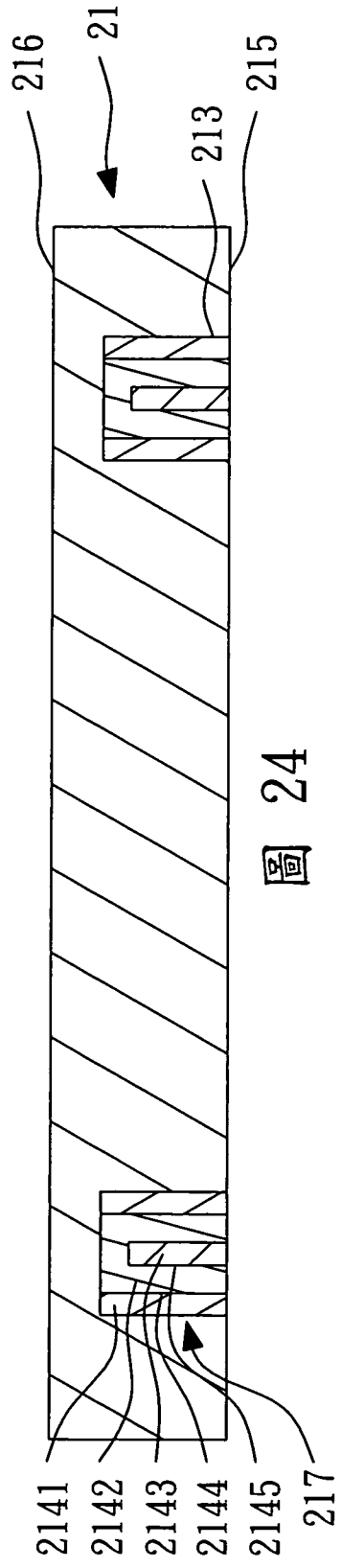


圖 24

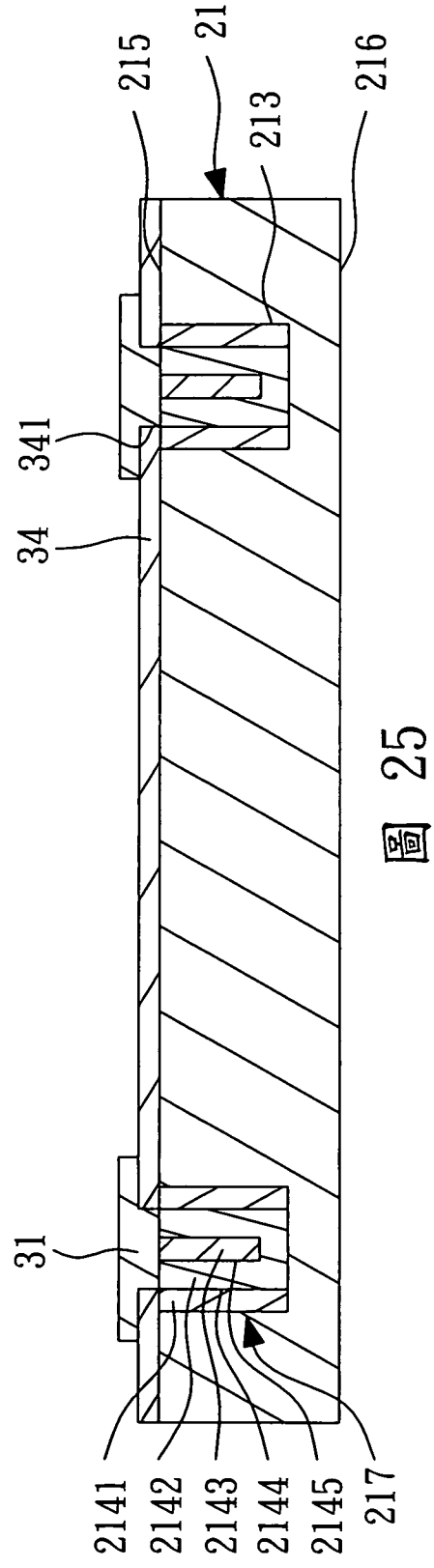


圖 25

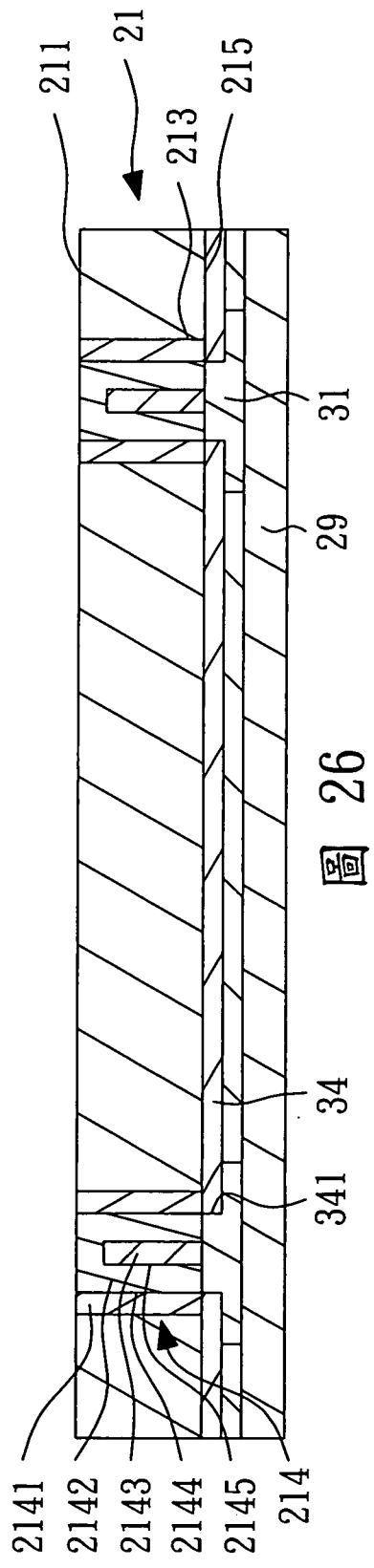


圖 26

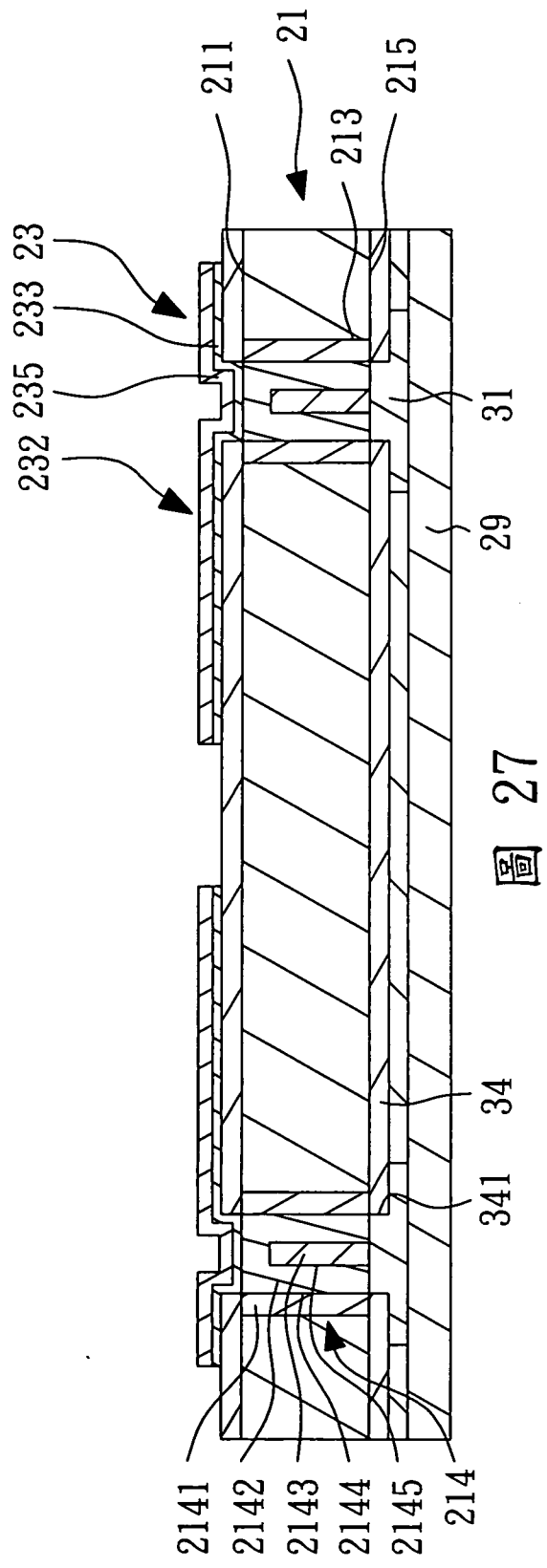


圖 27

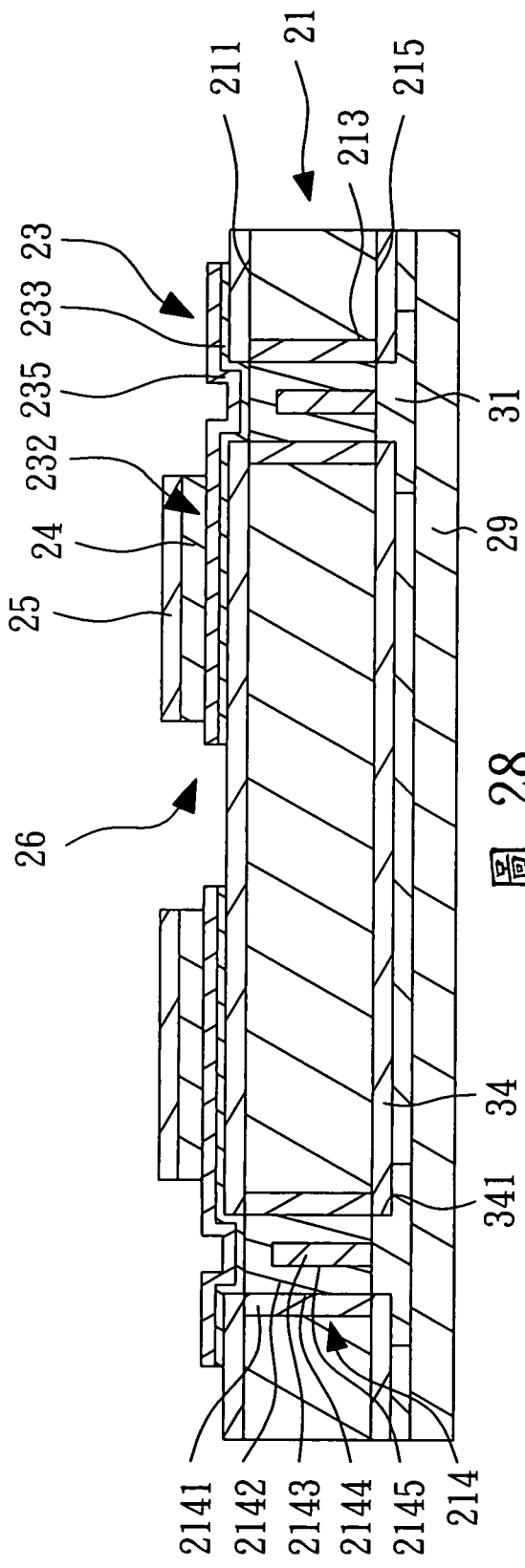


圖 28

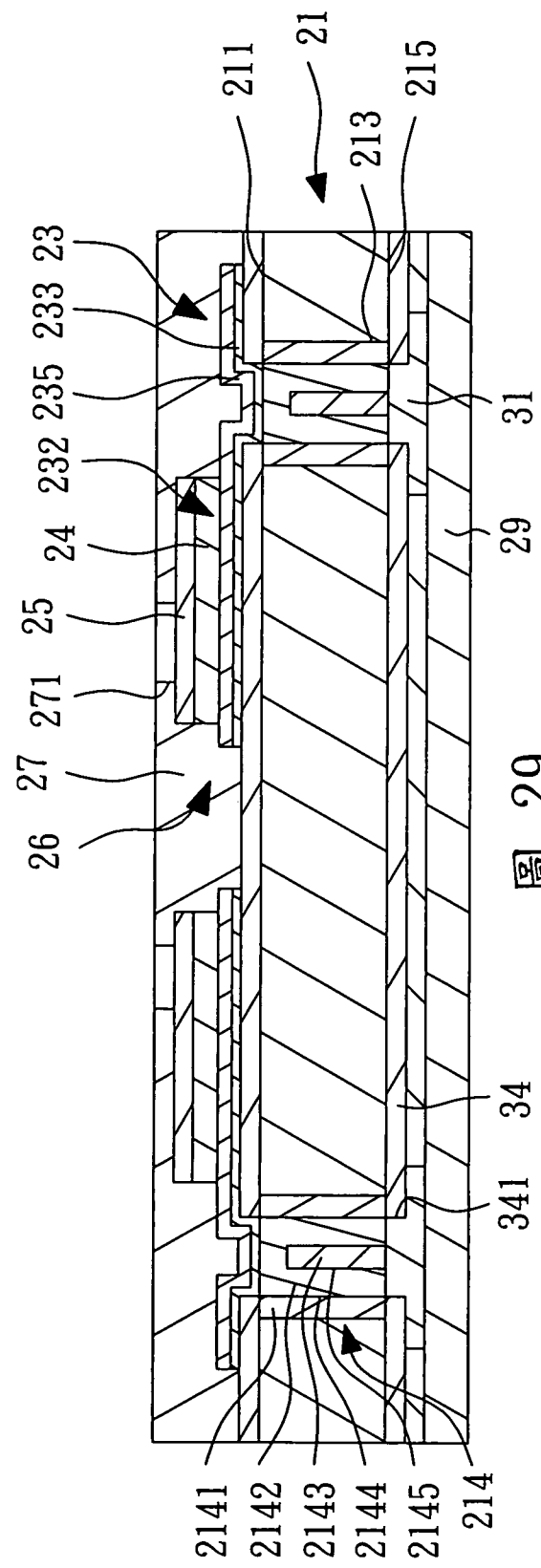


圖 29

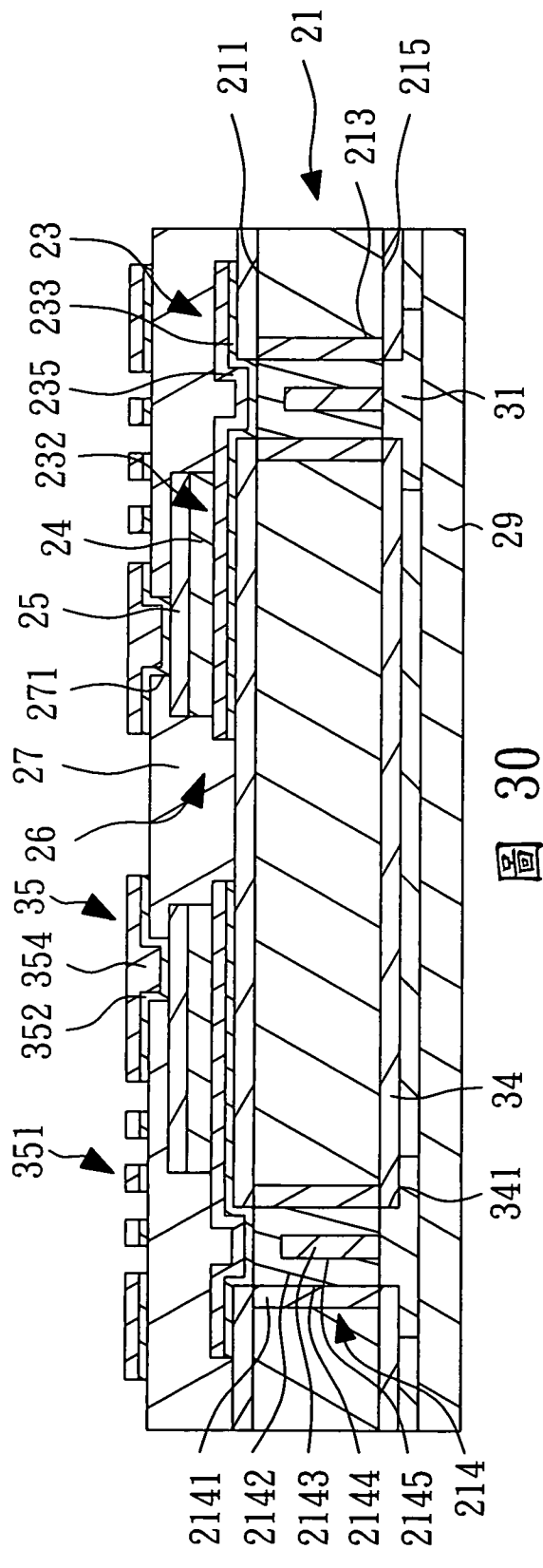


圖 30

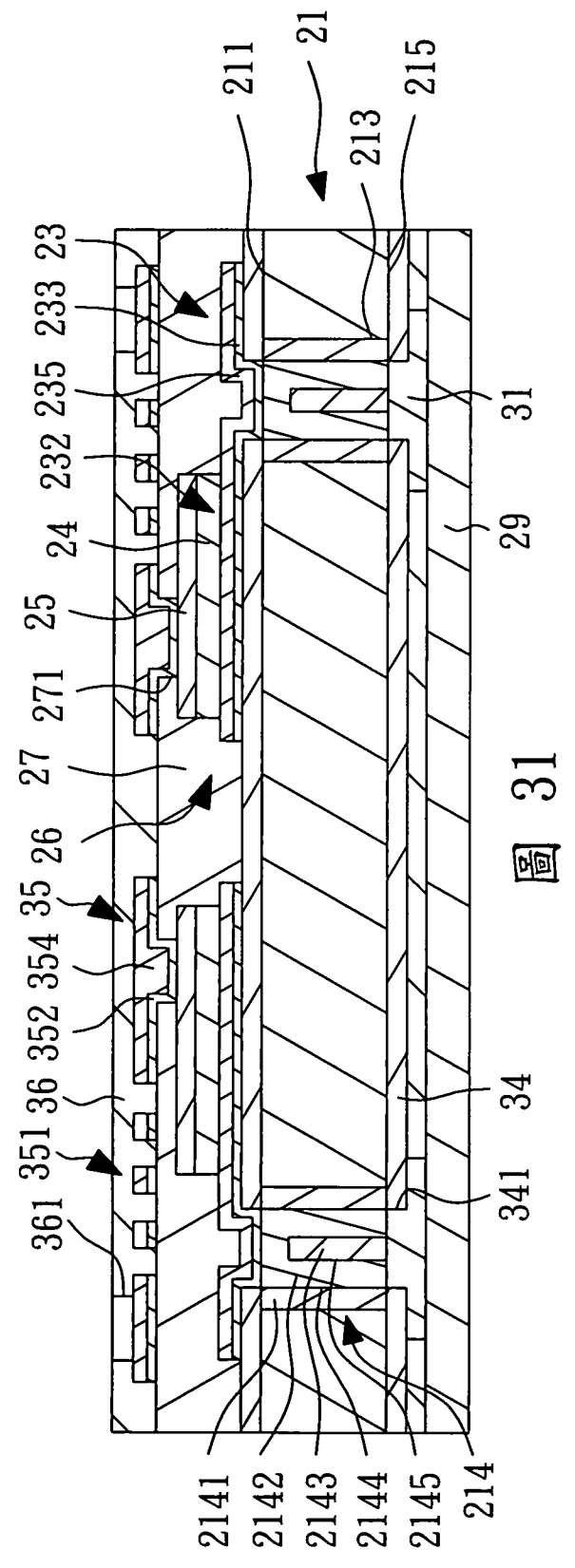


圖 31

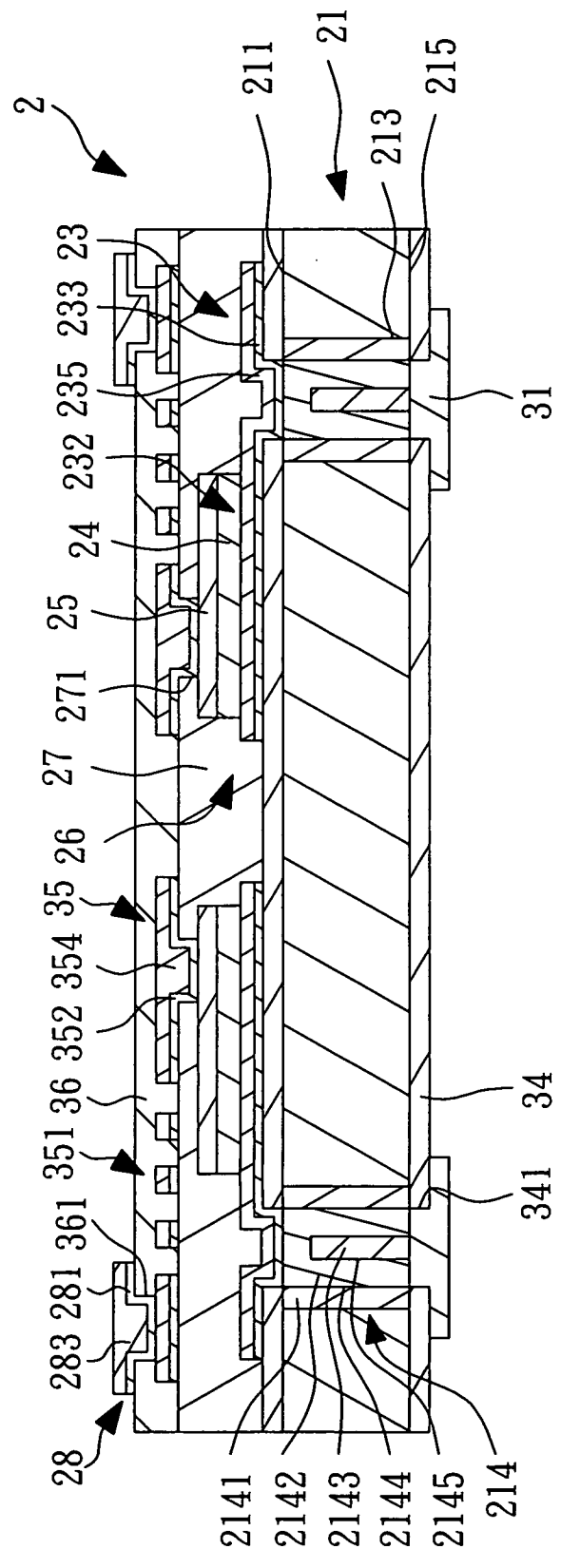


圖 32

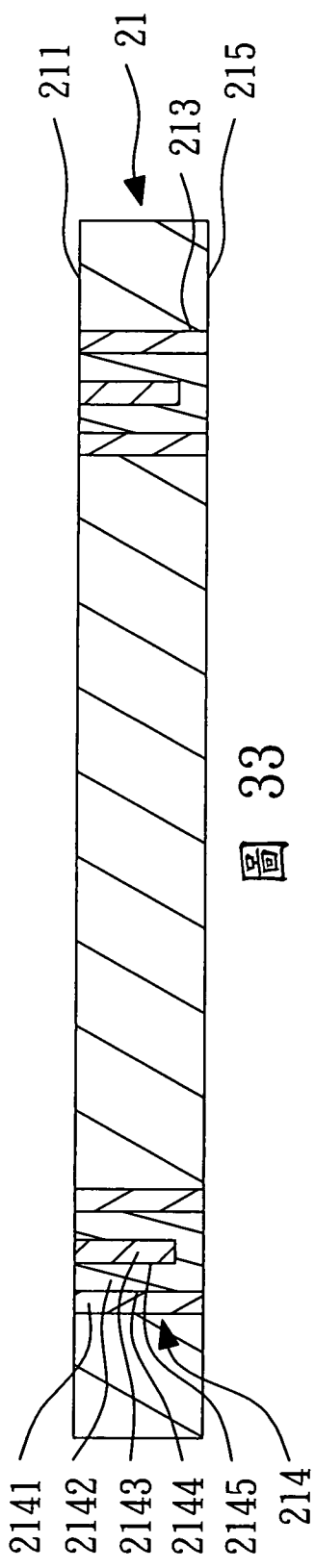


圖 33

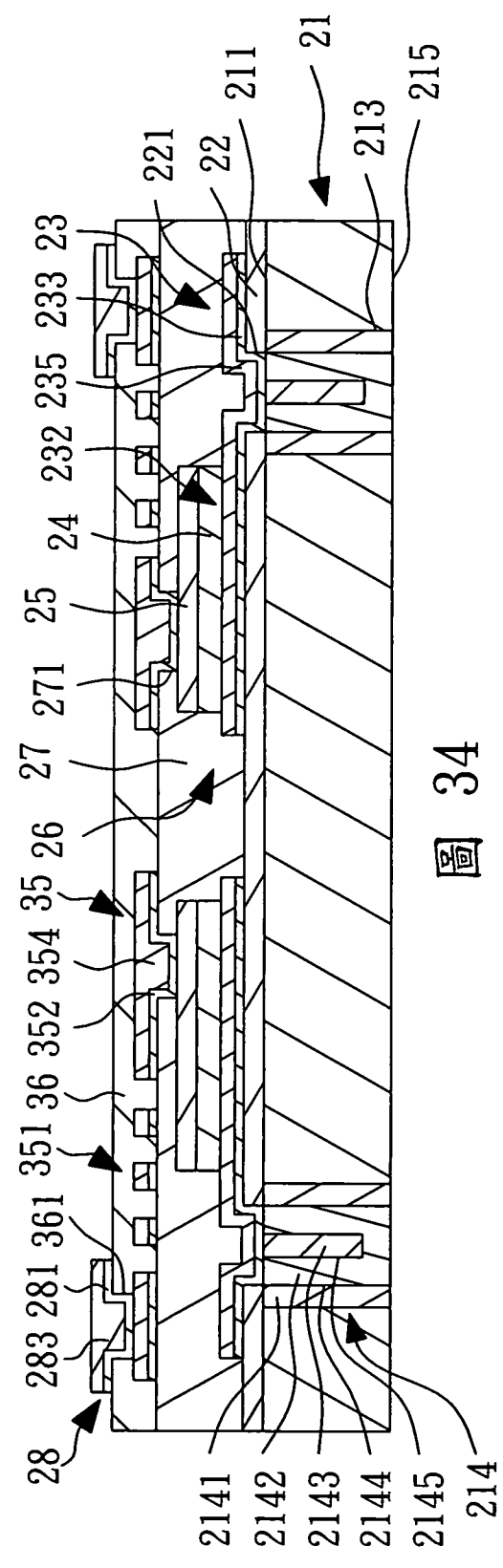


圖 34

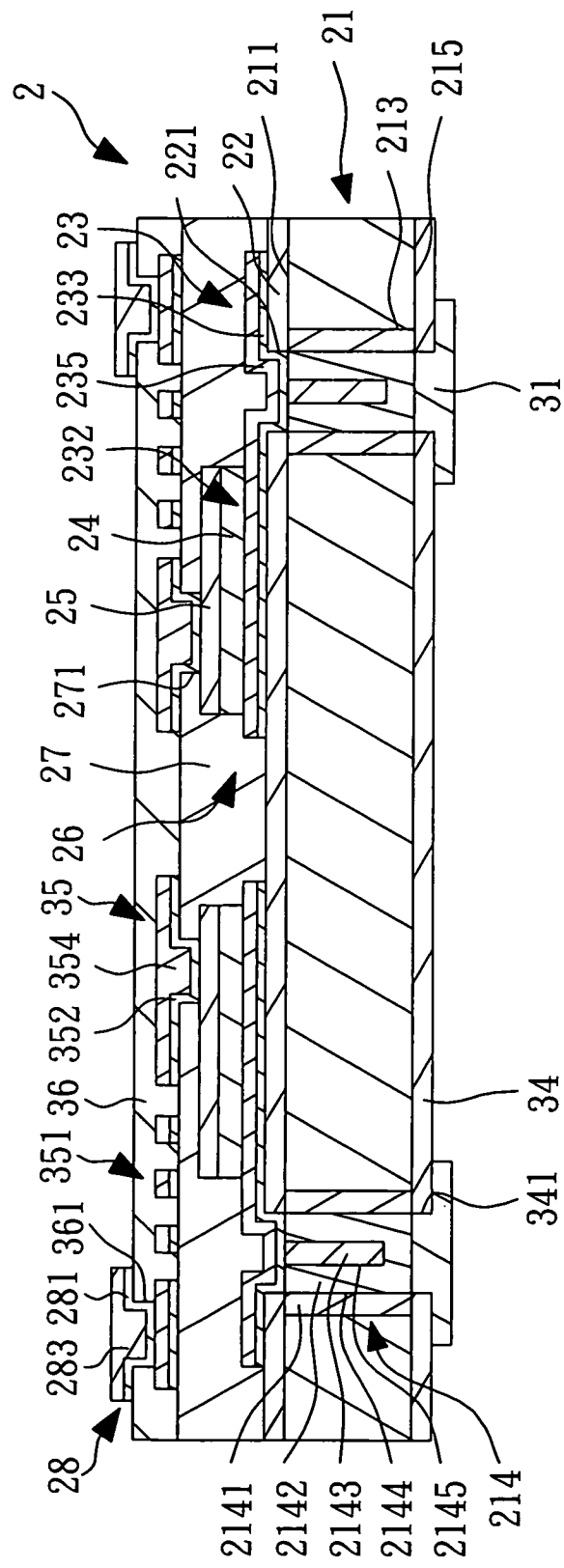


圖 35