



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년05월30일

(11) 등록번호 10-1402102

(24) 등록일자 2014년05월26일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

H01L 21/318 (2006.01)

(21) 출원번호 10-2009-7022054

(22) 출원일자(국제) 2008년03월18일

심사청구일자 2013년02월13일

(85) 번역문제출일자 2009년10월22일

(65) 공개번호 10-2009-0127172

(43) 공개일자 2009년12월09일

(86) 국제출원번호 PCT/JP2008/055619

(87) 국제공개번호 WO 2008/123264

국제공개일자 2008년10월16일

(30) 우선권주장

JP-P-2007-077930 2007년03월23일 일본(JP)

(56) 선행기술조사문현

JP2004247581 A\*

KR1019990014006 A\*

US20030222318 A1

JP2003347543 A

\*는 심사관에 의하여 인용된 문현

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

노다 코세이

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

사토 나나에

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

(74) 대리인

이화의, 김홍두

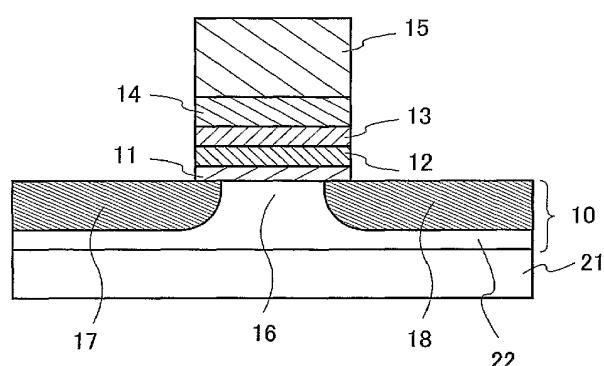
전체 청구항 수 : 총 14 항

심사관 : 손희수

(54) 발명의 명칭 반도체장치의 제작 방법

**(57) 요 약**

불휘발성 메모리 트랜지스터의 전하유지 특성을 향상시킨다. 반도체기판과 도전막의 사이에는, 터널 절연막으로서 기능하는 제1절연막, 전하축적층, 및 제2절연막이 삽입되어 있다. 전하축적층은, 2층의 질화 실리콘막으로 형성된다. 하층의 질화 실리콘막은, 질소 소스 가스로서  $NH_3$ 을 사용해서 CVD법으로 형성되고, N-H결합을 상층보다도 많이 포함한다. 상층의 제2질화 실리콘막은, 질소 소스 가스로서  $N_2$ 을 사용해서 CVD법으로 형성되고, Si-H결합을 하층보다도 많이 포함한다.

**대 표 도 - 도1**

## 특허청구의 범위

### 청구항 1

불휘발성 반도체 메모리 소자를 갖는 반도체장치의 제작 방법으로서, 소스 영역, 드레인 영역, 및 채널 형성 영역을 갖는 반도체영역을 형성하는 단계와, 상기 반도체영역 위에 제1절연막을 형성하는 단계와, 제1실리콘 소스 가스, 및 질화수소를 포함하는 제1질소 소스 가스를 원료로서 사용하여, 제1 화학기상 성장법에 의해, 상기 제1절연막 위에 제1질화 실리콘막을 형성하는 단계와, 제2실리콘 소스가스, 및 조성에 수소를 포함하지 않는 제2질소 소스 가스를 원료로서 사용하여, 제2 화학기상성장법에 의해, 상기 제1질화 실리콘막 위에 제2질화 실리콘막을 형성하는 단계와, 상기 제2질화 실리콘막 위에 도전막을 형성하는 단계를 포함하는, 반도체장치의 제작 방법.

### 청구항 2

제 1 항에 있어서,  
상기 제1질화 실리콘막을 형성할 때  $\text{NH}_2\text{H}_2\text{N}$ 가스를 사용하는, 반도체장치의 제작 방법.

### 청구항 3

불휘발성 반도체 메모리 소자를 갖는 반도체장치의 제작 방법으로서, 소스 영역, 드레인 영역, 및 채널 형성 영역을 갖는 반도체영역을 형성하는 단계와, 상기 반도체영역 위에 제1절연막을 형성하는 단계와, 제1실리콘 소스가스, 및  $\text{NH}_3$ 가스를 원료로서 사용하여, 제1화학기상성장법에 의해, 상기 제1절연막 위에 제1질화 실리콘막을 형성하는 단계와, 제2실리콘 소스가스, 및  $\text{N}_2$ 가스를 원료로서 사용하여, 제2화학기상성장법에 의해, 상기 제1질화 실리콘막 위에 제2질화 실리콘막을 형성하는 단계와, 상기 제2질화 실리콘막 위에 도전막을 형성하는 단계를 포함하는, 반도체장치의 제작 방법.

### 청구항 4

제 1 항 또는 제 3 항에 있어서,  
상기 도전막을 형성하기 전에 상기 제2질화 실리콘막 위에 제2절연막을 형성하는 단계를 더 포함하는, 반도체장치의 제작 방법.

### 청구항 5

제 1 항 또는 제 3 항에 있어서,  
같은 반응실에 있어서, 상기 제1질화 실리콘막과 상기 제2질화 실리콘막을 연속해서 형성하는, 반도체장치의 제작 방법.

### 청구항 6

제 1 항 또는 제 3 항에 있어서,  
상기 제1질화 실리콘막을 플라즈마CVD법에 의해 형성하는, 반도체장치의 제작 방법.

### 청구항 7

제 1 항 또는 제 3 항에 있어서,

상기 제2질화 실리콘막을 플라즈마CVD법에 의해 형성하는, 반도체장치의 제작 방법.

#### 청구항 8

제 1 항 또는 제 3 항에 있어서,

상기 제1질화 실리콘막을 플라즈마CVD법에 의해 형성할 때, 상기 제1질화 실리콘막이 형성되는 표면의 온도를 600°C이하로 하는, 반도체장치의 제작 방법.

#### 청구항 9

제 1 항 또는 제 3 항에 있어서,

상기 제2질화 실리콘막을 플라즈마CVD법에 의해 형성할 때, 상기 제2질화 실리콘막이 형성되는 표면의 온도를 600°C이하로 하는, 반도체장치의 제작 방법.

#### 청구항 10

제 1 항 또는 제 3 항에 있어서,

상기 제1 및 제2 실리콘 소스가스는, 각각  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{SiCl}_4$ ,  $\text{SiHCl}_3$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiH}_3\text{Cl}_3$  및  $\text{SiF}_4$ 로부터 선택되는 가스인, 반도체장치의 제작 방법.

#### 청구항 11

제 1 항 또는 제 3 항에 있어서,

상기 반도체영역은, 유리 기판 또는 석영기판 위에 절연막을 사이에 두고 형성되는, 반도체장치의 제작 방법.

#### 청구항 12

제 1 항 또는 제 3 항에 있어서,

상기 반도체영역은, 반도체기판에 형성되는, 반도체장치의 제작 방법.

#### 청구항 13

제 12 항에 있어서,

상기 반도체기판은, 단결정 실리콘 기판, 다결정 실리콘 기판, 단결정 실리콘 게르마늄 기판, 다결정 실리콘 게르마늄 기판, 단결정 게르마늄 기판 및 다결정 게르마늄 기판 중 어느 하나인, 반도체장치의 제작 방법.

#### 청구항 14

제 12 항에 있어서,

상기 반도체기판은, SOI(silicon on insulator)기판, SGOI(silicon-germanium on insulator)기판 및 GOI(germanium on insulator)기판 중 어느 하나인, 반도체장치의 제작 방법.

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

## 명세서

### 기술분야

[0001] 본 발명은, 기록, 판독 및 소거가 가능한 불휘발성 반도체 메모리 소자를 갖는 반도체장치에 관한 것이다.

[0002] 이때, 본 명세서에 있어서 "반도체장치"란, 반도체 특성을 이용하여 기능할 수 있는 장치 전반을 가리키고, 전기광학장치, 반도체회로 및 전자기기는 모두 반도체장치다.

### 배경기술

[0003] 불휘발성 반도체 메모리 소자는, 전기적으로 고쳐 쓰기가 가능하고, 전원을 꺼도 데이터를 기억해둘 수 있는 반도체소자다. 불휘발성 반도체 메모리 소자로서, 금속산화물 전계효과 트랜지스터(MOSFET)와 유사한 구조를 갖는 불휘발성 메모리 트랜지스터는 전하축적 수단의 관점에서 2종류로 대별된다. 한쪽은, 전하축적 수단이, 채

널 형성 영역과 게이트 전극의 사이의 도전층으로 형성된 플로우팅 게이트(FG) 형태고, 다른쪽은, 전하축적 수단으로서 전하 트랩층을 각각 사용하는, 금속-산화물-질화물-산화물-실리콘(MONOS) 형태 및 금속-질화물-산화물-실리콘(MNOS) 형태다.

[0004] MONOS 메모리 트랜지스터 및 MNOS 메모리 트랜지스터의 대부분은, 전하 트랩을 많이 포함하는 질화 실리콘막이 전하축적 수단으로서 이용되고 있다. MONOS 메모리 트랜지스터 및 MNOS 메모리 트랜지스터의 전하유지 특성을 향상시키기 위해서, 질화 실리콘막에 대해서 연구가 되고 있다.

[0005] 예를 들면, 문헌1~4에는, 질화 실리콘막을 조성 또는 조성비가 다른 2층구조로 함으로써 메모리 트랜지스터의 유지 특성을 향상시키는 것이 기재되어 있다. 또한, 문헌5에는, 조성비가 다른 3층구조의 질화 실리콘막을 형성함으로써 유지 특성을 향상시키는 것이 기재되어 있다.

[0006] 문헌1(일본 심사 특허출원공개번호 H2-59632)에서는, 하층에 Si-H결합을 포함하는 질화 실리콘막을 형성하고, 상층에 Si-H결합을 거의 포함하지 않는 질화 실리콘막을 형성하고 있다. 이러한 2층구조의 질화 실리콘막의 형성은,  $\text{SiH}_4$  및  $\text{NH}_3$ 을 원료로 한 CVD법을 사용하여, 질화 실리콘막의 형성 온도를 하층의 형성시에는 700°C~900°C로 하고, 상층의 형성시에는 900°C 이상으로 하여서 행하고 있다.

[0007] 문헌2(일본 심사 특허출원공개번호 S59-24547)에서는, 하층에 Si을 많이 포함하는 질화 실리콘막을 형성하고, 상층에 N을 많이 포함하는 질화 실리콘막을 형성하고 있다. 이러한 2층구조의 질화 실리콘막을 형성하기 위해서,  $\text{SiH}_4$  및  $\text{NH}_3$ 을 원료로 한 CVD법을 사용하고, 유량비  $\text{NH}_3/\text{SiH}_4$ 를 하층의 형성시에는 50~150으로 하고, 상층의 형성시에는 300을 넘도록 하고 있다.

[0008] 문헌3(일본 공개 특허출원번호 S63-205965)에서는, 하층에 비교적 전기전도도가 높은 질화 실리콘막을 형성하고, 상층에 비교적 전기전도도가 낮은 질화 실리콘막을 CVD법으로 형성하고 있다. 이러한 2층구조의 질화 실리콘막을 형성하기 위한 조건으로서, 가열온도가 700°C~800°C이며,  $\text{SiH}_2\text{Cl}_2$ 과  $\text{NH}_3$ 을 원료로 하고, 유량비  $\text{NH}_3/\text{SiH}_2\text{Cl}_2$ 를 하층의 형성시에는 0.1~150으로 하고 상층의 형성시에는 10~1000으로 하는 것이 기재되어 있다.

[0009] 문헌4(일본 공개 특허출원번호 2002-203917)에서는, 상층의 전하 트랩 밀도를 하층보다 높게 한 2층구조의 질화 실리콘막을 CVD법으로 형성하고 있다. 이러한 2층구조의 질화 실리콘막을 형성하기 위해서, 상층을 형성할 때에 사용한 실리콘 소스가스로서, 하층을 형성할 때에 사용한 실리콘 소스가스보다도 염소의 조성비가 낮은  $\text{SiH}_4$ 이나  $\text{SiH}_2\text{Cl}_2$ 등을 사용하는 것이 기재되어 있다. 문헌4에서는, 실리콘 소스가스의 염소 조성비를 바꿈으로써, 하층에 Si-H결합보다도 Si-Cl결합을 많이 포함하는 질화 실리콘막을 형성하고, 상층에 Si-H결합을 많이 포함하는 질화 실리콘막을 형성하고 있다.

[0010] 문헌5(일본 공개 특허출원번호 H3-9571)에는, 3층구조의 질화 실리콘막이 기재되어 있고, 제2층의 질화 실리콘막을, 다른 층과 비교하고, 전하 트랩 준위밀도를 높게 하고, 제2층의 질화 실리콘막의 Si의 농도를 증가시키고 있다. 이러한 3층구조의 질화 실리콘막을 형성하기 위해서, 제2층의 형성시에  $\text{SiH}_2\text{Cl}_2$ 의 유량을 상승시킨다.

[0011] (발명의 개시)

[0012] 본 발명의 목적은, 불휘발성 반도체 메모리 소자의 전하유지 특성을 향상시키는데 있다.

[0013] 본 발명의 일 국면은, 불휘발성 반도체 메모리 소자를 갖는 반도체장치다. 불휘발성 반도체 메모리 소자는, 반도체로 형성되고, 소스 영역, 드레인 영역, 및 채널 형성 영역을 갖는 반도체영역과, 상기 채널 형성 영역과 겹치는 도전막을 갖는다. 전하 트랩을 형성하기 위해서, 반도체영역과 상기 도전막의 사이에 적어도, 채널 형성 영역과 겹치는 제1절연막, 제1절연막 위에 형성된 제1질화 실리콘막, 제1질화 실리콘막 위에 형성된 제2질화 실리콘막을 갖는다. 또한, 상기 불휘발성 반도체 메모리 소자는, 반도체영역과 도전막의 사이에 제2질화 실리콘막 위에 형성된 제2절연막을 가질 수 있다.

[0014] 본 발명은, 질화 실리콘중의 H의 결합 상태에 착안해서 된 것이다. 본 발명의 일 국면은, N-H결합의 농도를 제1질화 실리콘막을 제2질화 실리콘막보다도 높게 함으로써, 불휘발성 반도체 메모리 소자의 유지 특성을 개선하는 것이다.

[0015] 본 발명에 있어서, 제2질화 실리콘막은, Si-H결합 및/또는 Si-X결합(X는 할로겐 원소)을 제1질화 실리

콘막보다도 많이 포함하는 막인 것이 바람직하다.

[0016] 제2질화 실리콘막의 N-H결합의 농도에 대한 Si-H결합의 농도의 비( $(\text{Si}-\text{H})/(\text{N}-\text{H})$ )가, 제1질화 실리콘막보다도 큰 것이 바람직하다. 또는, 제2질화 실리콘막의 N-H결합의 농도에 대한 Si-X결합(X는 할로겐 원소)의 농도의 비( $(\text{Si}-\text{X})/(\text{N}-\text{H})$ )가, 제1질화 실리콘막보다도 큰 것이 바람직하다. 또는, 제2질화 실리콘막의 N-H결합의 농도에 대한 Si-H결합 농도와 Si-X결합 (X는 할로겐 원소) 농도의 합의 비( $(\text{Si}-\text{H}+\text{Si}-\text{X})/(\text{N}-\text{H})$ )가, 제1질화 실리콘막보다도 큰 것이 바람직하다.

[0017] 제2질화 실리콘막이, 제1질화 실리콘막보다도 화학량론적으로  $\text{Si}_3\text{N}_4$ 에 가까운 막인 것이 바람직하다.

[0018] 본 발명에 있어서, 제1질화 실리콘막 및 제2질화 실리콘막은, 화학기상성장(CVD)법에 의해 형성된다. 이 CVD법으로서는, 감압 CVD법, 플라즈마CVD법, 열 CVD법, 및 촉매 화학기상성장(Cat-CVD)법 등을 사용할 수 있다.

[0019] N-H결합의 농도가 다른 제1질화 실리콘막 및 제2질화 실리콘막을 형성하기 위해서, 제1질화 실리콘막의 원료가 되는 질소 소스 가스에는, N-H결합을 포함하는 질화수소 가스를 사용한다. 한편, 제2질화 실리콘막의 질소 소스 가스에는, N-H결합을 실질적으로 포함하지 않는 가스, 즉 조성에 실질적으로 수소를 포함하지 않는 가스를 사용한다.

[0020] 제1질화 실리콘막의 질소 소스 가스에는, 암모니아( $\text{NH}_3$ )를 사용하는 것이 바람직하다. 암모니아( $\text{NH}_3$ ) 대신에, 히드라진( $\text{NH}_2\text{H}_2\text{N}$ )을 사용할 수도 있다. 제2질화 실리콘막의 질소 소스 가스에는, 질소( $\text{N}_2$ )가스를 사용하는 것이 바람직하다.

[0021] 제1질화 실리콘막 및 제2질화 실리콘막의 형성에 사용된 실리콘 소스가스는, 수소 또는 할로겐을 조성에 포함하는 가스를 사용할 수 있다. 실리콘 소스가스로서는,  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{SiCl}_4$ ,  $\text{SiHCl}_3$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiH}_3\text{Cl}_3$ ,  $\text{SiF}_4$  등이 있다. 제1질화 실리콘막과 제2질화 실리콘막은, 실리콘 소스가스가 같거나 다른 가스를 사용하여 형성되어도 된다.

[0022] 본 발명의 불휘발성 반도체 메모리 소자에 있어서, 데이터의 기록 방법 및 소거 방법은, 파우라놀드하임(Fowler-Nordheim:F-N)터널 전류를 사용하는 방법, 다이렉트 터널 전류를 사용하는 방법, 또는 핫 캐리어를 사용하는 방법 중 어느 한쪽의 방법을 사용할 수 있다.

[0023] 본 발명에 의해, 불휘발성 반도체 메모리 소자의 전하유지 특성을 향상시킬 수 있고, 고신뢰의 데이터 기억 성능을 갖춘 반도체장치를 제공할 수 있다.

## 도면의 간단한 설명

[0024] 도 1은 불휘발성 메모리 트랜지스터의 단면도다.

[0025] 도 2는 불휘발성 메모리 트랜지스터의 단면도다.

[0026] 도 3은 본 발명의 불휘발성 반도체 메모리 소자의 유지 특성을 평가하기 위해서 형성된 용량 소자(소자 1)의 단면도다.

[0027] 도 4a 내지 4c는 비교 예의 불휘발성 반도체 메모리 소자의 유지 특성을 평가하기 위해서 형성된 용량 소자의 단면도다.

[0028] 도 5는 소자 1의 유지(retention) 특성을 나타내는 그래프다.

[0029] 도 6은 비교 소자A의 유지 특성을 나타내는 그래프다.

[0030] 도 7은 비교 소자B의 유지 특성을 나타내는 그래프다.

[0031] 도 8은 비교 소자C의 유지 특성을 나타내는 그래프다.

[0032] 도 9는 질화 실리콘막의 FTIR의 흡수 스펙트럼이다.

[0033] 도 10은 불휘발성 메모리 트랜지스터의 단면도다.

- [0034] 도 11은 불휘발성 메모리 트랜지스터의 단면도다.
- [0035] 도 12는 불휘발성 메모리 트랜지스터의 단면도다.
- [0036] 도 13은 불휘발성 메모리 트랜지스터의 단면도다.
- [0037] 도 14는 불휘발성 메모리 트랜지스터의 단면도다.
- [0038] 도 15는 불휘발성 메모리 트랜지스터의 단면도다.
- [0039] 도 16은 불휘발성 메모리 트랜지스터의 단면도다.
- [0040] 도 17은 불휘발성 메모리 트랜지스터의 단면도다.
- [0041] 도 18은 반도체장치의 구성 예를 나타내는 블력도다.
- [0042] 도 19는 메모리 셀 어레이의 구성 예를 나타내는 회로도다.
- [0043] 도 20은 메모리 셀 어레이의 구성 예를 나타내는 회로도다.
- [0044] 도 21은 메모리 셀 어레이의 구성 예를 나타내는 회로도다.
- [0045] 도 22a 및 22b는 메모리 셀 어레이의 기록 동작을 설명하는 각 회로도다.
- [0046] 도 23은 메모리 셀 어레이의 소거 동작을 설명하는 회로도다.
- [0047] 도 24는 메모리 셀 어레이의 판독 동작을 설명하는 회로도다.
- [0048] 도 25a 내지 25c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0049] 도 26a 내지 26c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0050] 도 27a 내지 27c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0051] 도 28a 및 28b는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0052] 도 29는 반도체장치의 제작 방법을 나타내는 평면도다.
- [0053] 도 30은 반도체장치의 제작 방법을 나타내는 평면도다.
- [0054] 도 31은 반도체장치의 제작 방법을 나타내는 평면도다.
- [0055] 도 32a 내지 32c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0056] 도 33a 내지 33c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0057] 도 34a 내지 34c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0058] 도 35a 내지 35c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0059] 도 36a 내지 36c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0060] 도 37a 내지 37c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0061] 도 38a 내지 38c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0062] 도 39a 내지 39c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0063] 도 40a 내지 40c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0064] 도 41a 내지 41c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0065] 도 42a 내지 42c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0066] 도 43a 내지 43c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0067] 도 44a 및 44b는 반도체장치의 제작 방법을 나타내는 평면도다.
- [0068] 도 45a 및 45b는 반도체장치의 제작 방법을 나타내는 평면도다.
- [0069] 도 46a 및 46b는 반도체장치의 제작 방법을 나타내는 평면도다.

- [0070] 도 47은 반도체장치의 제작 방법을 나타내는 단면도다.
- [0071] 도 48a 내지 48c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0072] 도 49a 내지 49c는 반도체장치의 제작 방법을 나타내는 단면도다.
- [0073] 도 50은 비접촉으로 데이터의 전송이 가능한 반도체장치의 구성 예를 나타내는 블럭도다.
- [0074] 도 51a 및 51b는 비접촉으로 데이터의 전송이 가능한 반도체장치의 사용 형태를 각각 도시한 도면.
- [0075] 도 52a 내지 52e는 불휘발성 반도체 기억장치를 갖는 전자기의 외관도다.
- [0076] 도 53은 실시 예의 불휘발성 메모리 트랜지스터의 구성을 설명하는 단면도다.
- [0077] 도 54a 내지 54c는 불휘발성 메모리 트랜지스터의 제작 방법을 설명하기 위한 단면도다.
- [0078] 도 55a 내지 55c는 불휘발성 메모리 트랜지스터의 제작 방법을 설명하기 위한 단면도다.
- [0079] 도 56a 내지 56c는 불휘발성 메모리 트랜지스터의 제작 방법을 설명하기 위한 단면도다.
- [0080] 도 57a 내지 57d는 실시 예 및 비교 예의 메모리 트랜지스터의 유지 특성을 나타내는 그래프다.
- [0081] (발명을 실시하기 위한 최선의 형태)
- [0082] 이후, 본 발명을 설명한다. 그렇지만, 본 발명은 여러 가지 형태로 실시하는 것이 가능하다. 본 발명의 취지 및 그 범위에서 일탈하지 않고, 본 발명의 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 실시 형태 및 실시 형태의 아래의 설명에 한정해서 해석되는 것이 아니다.
- [0083] (실시 형태1)
- [0084] 본 실시 형태에서는, 본 발명에, 불휘발성 메모리 소자로서, 불휘발성 메모리 트랜지스터를 적용한 예를 설명한다. 우선, 도 1을 참조하여, 본 발명의 불휘발성 메모리 트랜지스터의 구성 및 제작 방법을 설명한다.
- [0085] 도 1은, M O N O S형의 불휘발성 메모리 트랜지스터의 주요한 구성을 설명하기 위한 단면도다. 도 1의 불휘발성 메모리 트랜지스터는, 반도체영역(10) 및 웰(22)이 형성된 반도체기판(21)을 갖는다. 반도체기판(21)에 웰(22)을 형성함으로써, 메모리 트랜지스터를 형성하는데 사용된 반도체영역(10)이 규정된다. 반도체영역(10)에는, 채널 형성 영역(16), 및 채널 형성 영역(16)을 끼워서 고농도 불순물영역(17)과 고농도 불순물영역(18)이 형성되어 있다. 고농도 불순물영역(17, 18)은, 각각 메모리 트랜지스터의 소스 영역 또는 드레인 영역이 되는 영역이다.
- [0086] 반도체기판(21)이 p형의 기판일 경우, 반도체기판(21)에, 이온주입법등에 의해 인(P) 또는 비소(As)등의 n형 도전성을 주는 불순물을 첨가하여, 웰(22)이 형성된다. 반도체기판(21)이 n형의 기판인 경우에는, 보론(B)등의 p형 도전성을 주는 불순물을 첨가하여, 웰(22)이 형성된다. 웰(22)의 n형 또는 p형 도전성을 주는 불순물의 농도는  $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$  정도다. 웰(22)은, 필요에 따라 적당하게 형성된다.
- [0087] 반도체영역(10) 위에는, 제1절연막(11), 제1질화 실리콘막(12), 제2질화 실리콘막(13), 제2절연막(14), 및 도전막(15)이 이 순서로 적층되어 있다. 이것들의 막(11~15)은, 반도체영역(10)의 채널 형성 영역(16)과 겹치고 있다.
- [0088] 도전막(15)이 메모리 트랜지스터의 게이트 전극으로서 기능한다. 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)이 전하축적층으로서 사용된다. 전하축적층에의 전하의 출입의 방법(불휘발성 메모리 트랜지스터의 기록 방법, 소거 방법)에는, F-N터널 전류를 사용하는 방법, 다이렉트 터널 전류를 사용하는 방법, 및 핫 캐리어를 사용하는 방법이 있다. 본 실시 형태의 불휘발성 메모리 트랜지스터는, 기록 방법 및 소거 방법으로서, 이것들의 방법으로부터 적당하게 선택된 방법을 사용할 수 있다.
- [0089] 제1절연막(11)은 제1절연막(11)을 전하가 통과하도록 얇게 형성되고, 제1절연막(11)의 두께는 1nm이상 10nm이하가 바람직하고, 그 두께는 1nm이상 5nm이하가 보다 바람직하다. 제1절연막(11)은, 산화 실리콘, 산화 질화 실리콘( $\text{SiO}_x\text{N}_y$ ), 산화알류미늄, 산화 탄타르, 산화지르코늄, 및 산화하프늄으로부터 선택된 절연재료로 된 단층 막으로 형성할 수 있다. 또한, 제1절연막(11)은, 산화 실리콘막 위에, 산화 질화 실리콘( $\text{SiO}_x\text{N}_y$ ), 산화알류

미늄, 산화탄탈, 산화지르코늄, 및 산화하프늄으로부터 선택된 절연막을 적층한 2층구조로 형성할 수도 있다.

[0090] 예를 들면, 산화 실리콘막을 형성하는 방법으로서, 반도체기판(21)의 열산화, 플라즈마처리에 의해 산소 라디칼의 발생에 의해 반도체기판(21)의 산화, 플라즈마CVD법등의 CVD법이 있다. 또한, 산화 질화 실리콘막의 형성 방법에는, 열산화처리나 플라즈마처리에 의해 반도체기판(21)을 산화해서 이렇게 얻어진 산화 실리콘막을 열질화처리 또는 플라즈마처리에 의해 질화하는 방법, 플라즈마CVD법등의 CVD법에 의해 산화 질화 실리콘막을 형성하는 방법 등이 있다. 산화알류미늄등의 금속의 산화물로 형성된 막은 스퍼터링법, 유기금속 화학기상증착(MOCVD)법 등으로 형성될 수 있다.

[0091] 제1질화 실리콘막(12)은, 감압CVD법, 플라즈마CVD법, 열CVD법, 및 Cat-CVD법 등의 CVD법으로 형성된다. 플라즈마CVD법을 사용함으로써, 가열온도를 600°C이하로 할 수 있다. 제1질화 실리콘막(12)의 원료가 되는 질소 소스 가스로서는, N-H결합을 포함하는 질화수소 가스를 사용한다. 구체적으로는, 이 질소 소스 가스에 암모니아(NH<sub>3</sub>)를 사용하는 것이 바람직하고, 암모니아(NH<sub>3</sub>) 대신에, 히드라진(NH<sub>2</sub>H<sub>2</sub>N)을 사용할 수도 있다.

[0092] 제1질화 실리콘막(12)의 원료가 되는 실리콘 소스가스는, 수소 또는 할로겐을 조성에 포함하는 가스를 사용한다. 이러한 가스로서, SiH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub>, SiCl<sub>4</sub>, SiHCl<sub>3</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiH<sub>3</sub>Cl<sub>3</sub>, SiF<sub>4</sub>등이 있다.

[0093] 실리콘 소스가스에 대한 질소 소스 가스의 유량비(N소스 가스/Si소스 가스)는, 0.1이상 1000이하로 할 수 있고, 이 유량비는 1이상 400이하가 보다 바람직하다.

[0094] 제1질화 실리콘막을 형성할 때의 CVD의 프로세스 가스에는, 원료가 되는 질소 소스 가스 및 실리콘 소스가스 이외의 가스를 첨가할 수 있다. 이러한 가스로서는, H e, A r, X e등의 희가스(noble gas)나, 수소(H<sub>2</sub>)가스 등이 있다.

[0095] 제2질화 실리콘막(13)은, 감압CVD법, 플라즈마CVD법, 열CVD법, 및 Cat-CVD법 등의 CVD법으로 형성된다. 플라즈마CVD법을 사용함으로써, 가열온도를 600°C이하로 할 수 있다. 제2질화 실리콘막의 원료가 되는 질소 소스 가스에는, 실질적으로 N-H결합을 포함하지 않는 가스를 사용한다. 구체적으로는, 이 질소 소스 가스에는 질소(N<sub>2</sub>)가스가 사용되는 것이 바람직하다.

[0096] 제2질화 실리콘막(13)의 원료가 되는 실리콘 소스가스는, 제1질화 실리콘막(12)의 경우와 마찬가지로, SiH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub>, SiCl<sub>4</sub>, SiHCl<sub>3</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiH<sub>3</sub>Cl<sub>3</sub>, SiF<sub>4</sub>로부터 선택된 가스를 사용할 수 있다.

[0097] 제2질화 실리콘막(13)을 형성할 때의 CVD의 프로세스 가스에는, 원료가 되는 질소 소스 가스 및 실리콘 소스가스 이외의 가스를 첨가할 수 있다. 이러한 가스로서는, H e, A r, X e등의 희가스나, 수소(H<sub>2</sub>)가스 등이 있다. 또한, N<sub>2</sub>가스의 전리를 촉진하기 위해서, H e, A r, X e등의 희가스를 원료 가스에 첨가하는 것이 바람직하다.

[0098] 실리콘 소스가스에 대한 질소 소스 가스의 유량비(N소스 가스/Si소스 가스)는, 0.1이상 1000이하로 할 수 있고, 이 유량비는 1이상 400이하가 보다 바람직하다.

[0099] 프로세스 가스의 유량 및 종류를 조절함으로써, CVD장치의 같은 반응실에서, 제1질화 실리콘막(12)과 제2질화 실리콘막(13)을 연속적으로 형성할 수 있다. 이렇게 함으로써, 제1질화 실리콘막(12)과 제2질화 실리콘막(13)의 계면을 대기에 노출시키지 않고 형성할 수 있으므로, 계면에 불안정한 전하 트랩 준위가 형성되는 것을 막을 수 있다. 또한, 복수의 반응실을 갖는 CVD장치를 사용하고, CVD 장치로부터 기판을 추출하지 않고, 다른 반응실에서 제1질화 실리콘막(12)과 제2질화 실리콘막(13)을 형성해도, 마찬가지로 계면의 오염을 막을 수 있다.

[0100] 제1질화 실리콘막(12)과 제2질화 실리콘막(13)은, 전하축적층으로서 기능한다. 질소 소스 가스가 다르므로, 제1질화 실리콘막은 제2질화 실리콘막보다도 N-H결합을 많이 포함한다. 제1질화 실리콘막(12)은, 실리콘 소스가스로부터 유래하는 Si-H결합의 농도 또는 Si-X결합(X는 할로겐 원소)의 농도가 제2질화 실리콘막(13)보다 낮다.

[0101] 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)의 두께는, 각각, 1nm이상 20nm이하로 할 수 있고, 그 두께는, 각각, 5nm이상 15nm이하가 보다 바람직하다. 제1질화 실리콘막(12)과 제2질화 실리콘막(13)의 두께의 합계가 15nm이하인 것이 바람직하다.

[0102]

제2절연막(14)은 1nm이상 20nm이하의 두께로 형성할 수 있다. 제2절연막(14)의 두께는, 5nm이상 10nm이하가 바람직하다. 제2절연막(14)은, 산화 실리콘, 산화 질화 실리콘( $SiO_{x,y}$ ), 질화 실리콘, 산화알류미늄, 산화탄탈, 산화지르코늄, 및 산화하프늄으로부터 선택된 절연재료로 이루어지는 단층 막, 또는 2층이상의 다층막으로 형성할 수 있다. 제2절연막(14)을 구성하는 절연막은, 열산화법, CVD법 또는 스퍼터링법으로 형성할 수 있다. 예를 들면, 제2절연막(14)을 다층구조로 할 경우, 제2질화 실리콘막(13)을 열산화하고, 그 후, CVD법 또는 스퍼터링법으로 상기의 절연재료로 형성된 막을 퇴적시키는 방법을 사용할 수 있다.

[0103]

도전막(15)은 불휘발성 메모리 트랜지스터의 게이트 전극을 구성하고, 단층 막, 2층이상의 다층막으로 형성될 수 있다. 그 도전막(15)을 구성하는 도전성 재료로서는, 탄타르(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 크롬(Cr), 니오븀(Nb)등으로부터 선택된 금속; 이것들의 금속을 주성분으로 하는 합금 혹은 화합물(예를 들면, 금속질화물 또는 실리사이드); 또는 인 등의 불순물원소를 첨가한 다결정 실리콘을 사용할 수 있다. 예를 들면, 도전막(15)은 단일층 또는 복수층의 금속질화물과, 그 위의 단체금속으로 된 층의 다층구조로 할 수 있다. 이 금속질화물로서는, 질화 텅스텐, 질화 몰리브덴 또는 질화 티타늄을 사용할 수 있다. 제2절연막(14)에 접하게 금속질화물층을 형성함에 의해, 그 위의 금속층의 박리를 방지할 수 있다. 질화 탄타르 등의 금속질화물은 일함수가 높으므로, 제2절연막(14)과의 상승 효과에 의해, 제1절연막(11)이 두꺼울 수 있다.

[0104]

상기 반도체영역(10)에 형성된 고농도 불순물영역(17, 18)은, 상기 막(11~15)으로 형성된 적층막을 마스크로서 사용할 때, 이온주입법에 의해, 반도체기판(21)에 불순물을 첨가함에 의해, 자기정합적으로 형성된다. 웰(22)이 p형인 경우에는, 고농도 불순물영역(17, 18)에는 n형 도전성을 나타내는 불순물이 첨가되고, n형인 경우에는, 고농도 불순물영역(17, 18)에는 p형 도전성을 나타내는 불순물이 첨가된다.

[0105]

도 1의 불휘발성 메모리 트랜지스터는, 반도체기판에 반도체영역이 형성되어 있는 메모리 소자다. 절연막상에 형성된 반도체막을 반도체영역으로서 사용할 수도 있다. 도 2에는, 이러한 반도체영역을 갖는 불휘발성 메모리 트랜지스터의 단면도를 나타낸다.

[0106]

기판(31)으로서, 유리 기판, 석영기판, 사파이어 기판, 세라믹 기판, 스테인레스 기판, 금속기판등을 사용할 수 있다. 기판(31)은, 불휘발성 메모리 트랜지스터의 제조시에 사용한 기판과는 다른 기판이어도 된다. 이 경우, 기판(31)으로서, 플라스틱필름을 사용할 수도 있다.

[0107]

기판(31) 위에 하지절연막(32)이 형성되고, 하지절연막(32) 위에, 반도체영역(10)이 되는 반도체막(33)이 형성되어 있다. 하지절연막(32)을 형성함으로써 기판(31)측의 반도체막(33)의 계면준위를 양호하게 할 수 있고, 기판(31)으로부터 알칼리 금속 등의 오염물질이 반도체막(33)에 침입하는 것을 막을 수 있다. 하지절연막(32)은 형성하지 않아도 좋다. 하지절연막(32)은, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘 등의 절연재료의 단층막 또는 적층막으로 형성할 수 있다.

[0108]

반도체막(33)은 결정성 반도체막으로 형성되고, 비단결정 반도체막이 사용되는 경우, 다결정 반도체를 사용하는 것이 바람직하다. 반도체재료로서는, 실리콘을 사용하는 것이 바람직하고, 실리콘 게르마늄 및 게르마늄 각각을 사용할 수도 있다. 반도체막의 결정화법으로서는, 레이저 결정화법, 순간 열 어닐(RTA) 또는 퍼니스 어닐 로를 사용한 열처리에 의한 결정화법, 결정화를 촉진하는 금속 원소를 사용하는 결정화법, 또는 이것들 방법을 조합해서 행하는 방법을 채용할 수 있다. 반도체막(33)의 형성 방법의 일례를 설명한다. 하지절연막(32) 위에, 플라즈마CVD법에 의해 비정질 실리콘막을 두께 10nm~100nm로 형성한다. 다음에, 레이저광을 조사하여, 비정질 실리콘막을 결정화하여, 다결정 실리콘막을 형성한다. 다결정 실리콘막을 에칭하고, 원하는 형상의 반도체막(33)을 형성한다. 도 2의 경우, 소자분리의 목적으로, 반도체영역(10)은 섬 형상의 반도체막(33)에 형성되어 있다.

[0109]

이때, 도 2의 불휘발성 메모리 트랜지스터에 있어서, 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)과 같은 형상으로 제1절연막(11)을 가공하는 것이 아니고, 도 13의 불휘발성 메모리 트랜지스터와 마찬가지로, 제1절연막(11)을 반도체막(33)을 덮도록 형성하여도 된다.

[0110]

도 2의 불휘발성 메모리 트랜지스터는 반도체영역(10)을 섬 형상으로 분리 함으로써 형성된다. 이렇게 함으로써, 동일한 기판 위에 메모리 셀 어레와 로직(logic) 회로를 형성했을 경우에도, 별크형의 반도체기판을 사용하는 것 보다도 효과적으로 소자 분리를 할 수 있다. 즉, 10V~20V정도의 전압으로 기록이나 소거를 행할 필요가 있는 메모리 셀 어레이와, 3V~7V정도의 전압으로 동작해서 데이터의 입출력이나 명령의 제어를 주로 사용해서 행하는 로직 회로를 동일기판 위에 형성한 경우에도, 각 소자에 인가하는 전압의 차이에 의한 상호 간섭을 막을 수 있다.

[0111] 불휘발성 메모리 트랜지스터의 고쳐 쓰기 횟수를 증가시키기 위해서, 제1절연막(11)에는 높은 절연 내 압성이 요구된다. 그렇지만, 기판(31)이, 유리 기판과 같이, 변형온도가 630°C ~ 750°C 정도와 반도체기판(21)과 비교해서 낮은 기판의 경우, 가열온도가 기판의 변형온도로 제약된다. 그 때문에, 제1절연막(11)을 열산화 또는 열질화에 의해 형성하는 경우도, 내압성이 우수한 막을 형성하는 것이 대단히 곤란하다. 또한, 제1절연막(11)을, 기판의 변형점 이하의 가열온도에서, CVD법이나 스퍼터링법에 의해 퇴적할 수 있다. 이러한 방법으로 형성한 절연막은, 막의 내부에 결함을 포함하고 있기 때문에 절연막의 내압성이 충분하지 않다. 또한, CVD법이나 스퍼터링법으로 1nm ~ 10nm 정도로 얇게 형성된 절연막은, 핀홀 등의 결함이 생기기 쉽다. 또한, CVD법이나 스퍼터링법에 의한 성막 방법은, 열산화등의 성막법과 비교해서 단차 피복성이 떨어진다.

[0112] 이에 따라서, 변형온도가 750°C 이하의 기판을 사용할 경우, 고내압의 제1절연막(11)의 형성에는, 플라즈마에 의한 고상산화 혹은 고상질화를 행하는 것이 대단히 바람직하다. 이것은, 반도체(대표적으로는, 실리콘)를 사용하여 플라즈마처리에 의해 산화 또는 질화 함에 의해 형성된 절연막은, 그 형성시의 가열온도가 500°C 이하라도, 치밀하고 내압이 높고 신뢰성이 우수한 막이기 때문이다.

[0113] 또한, CVD법이나 스퍼터링법에 의해 절연막을 퇴적하고, 플라즈마에 의해 이 절연막을 고상산화 처리 혹은 고상질화 처리함으로써 제1절연막(11)을 형성함으로써 그 내압성을 높일 수 있다.

[0114] 플라즈마처리에 의한 고상산화 처리 혹은 고상질화 처리로서, 마이크로파(대표적으로, 주파수가 2.45GHz인 마이크로파)에서 여기되고, 전자밀도가  $1 \times 10^{11} \text{ cm}^{-3}$  이상  $1 \times 10^{13} \text{ cm}^{-3}$  이하, 또한 전자온도가 0.5 eV 이상 1.5 eV 이하의 고밀도 플라즈마를 이용하는 것이 바람직하다. 이것은, 고밀도 플라즈마를 사용함으로써 500°C 이하의 가열온도에서, 실용적인 반응속도로 치밀한 절연막을 형성하기 위함이다. 즉, 마이크로파를 사용한 플라즈마처리에서는, 플라즈마로 여기한 활성 라디칼을 유효하게 사용하는 것에 의해, 낮은 기판 가열온도인 500°C 이하에서 고상반응에 의한 산화 또는 질화를 행할 수 있다.

[0115] 이 고밀도 플라즈마처리로 산화 처리를 행할 경우에는, 산소를 조성에 포함하는 가스(예를 들면, 산소( $\text{O}_2$ ) 또는 1산화 2질소( $\text{N}_2\text{O}$ ))와 함께, 희가스(H e, N e, A r, K r, X e의 적어도 하나를 포함한다)를 도입하여, 산소 라디칼을 생성한다. 희가스의 여기종에 의해 산소 라디칼을 효율적으로 생성할 수 있다. 또한, 산소를 조성에 포함하는 가스와 수소( $\text{H}_2$ ) 가스, 및 희가스를 반응실에 도입하고, 산소 라디칼( $\text{OH}$ 라디칼을 포함하는 경우도 있다)을 생성한다.

[0116] 고밀도 플라즈마처리에 의해 질화처리를 행할 경우에는, 질소( $\text{N}_2$ )와 함께, 희가스(H e, N e, A r, K r, X e의 적어도 하나를 포함한다)를 반응실에 도입하고, 질소 라디칼을 생성한다. 희가스의 여기종에 의해 질소 라디칼을 효율적으로 생성할 수 있다. 또한, 질소 가스뿐만 아니라 수소 가스도 반응실에 도입할 수도 있다. 또한, 암모니아( $\text{NH}_3$ )를 반응실에 도입하여, 질소 라디칼( $\text{NH}$ 라디칼을 포함한다)을 생성할 수도 있다. 이 경우, 희가스를 반응실에 도입할 수도 있다. 예를 들면, 질소와 아르곤을 사용할 경우, 반응실에, 질소를 유량 20 ~ 2000sccm에서, 아르곤을 유량 100 ~ 10000sccm에서 도입하는 것이 바람직하다. 예를 들면, 질소의 유량을 200sccm으로 하고 아르곤의 유량을 1000sccm으로 한다.

[0117] 고밀도 플라즈마처리에 의한 제1절연막(11)의 형성 방법의 일례를 설명한다. 우선, 산소 라디칼을 발생시키는 고밀도 플라즈마처리에 의해 반도체막(33)을 산화하고, 3nm ~ 6nm의 두께의 산화 실리콘막을 형성한다. 다음에, 질소 라디칼을 발생시키는 고밀도 플라즈마처리에 의해, 이 산화 실리콘막을 질화한다. 고밀도 플라즈마처리를 사용함으로써, 기판가열온도가 500°C 이하라도, 신뢰성이 높은 제1절연막(11)을 형성할 수 있다. 이것은, 고밀도 플라즈마처리에서는, 괴형성면이 플라즈마에 직접적으로 노출되지 않고, 전자온도가 낮아서, 형성되는 막에 플라즈마에 의한 손상이 적기 때문이다. 특히, 산화 처리하고, 그 후 질화처리를 행하여서, 불휘발성 메모리 트랜지스터에 적합한 제1절연막(11)을 형성할 수 있다.

[0118] 도 2의 불휘발성 트랜지스터에 있어서, 막 12 ~ 14를 형성하기 위해 CVD법을 사용할 경우, 실용적인 성막 속도이고, 기판가열온도를 600°C 이하로 할 수 있기 때문에 플라즈마 CVD법을 사용하는 것이 바람직하다. 또한, 플라즈마 CVD법을 사용하는 경우, 기판가열온도를 500°C 이하로 할 수 있다.

[0119] 이하, 실험 데이터를 참조하여, 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)의 적층구조에 의해, 불휘발성 메모리 트랜지스터의 전하유지 특성이 개선되는 것을 설명한다. 아울러, 가열온도가 500°C 이하인 조건하에서, 플라즈마 CVD법으로 형성된 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)에 의해, 전하유지 특성이 개선되는 것을 설명한다.

- [0120] 본 발명의 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)을 평가하기 위해서, 실리콘 기판을 사용하여, MOS형 용량소자를 제작했다. 도 3은, 제작한 용량소자의 단면도다. 이 용량소자를 "소자1"이라고 한다. 소자1은, 실리콘 기판(41) 위에, 제1절연막(42), 질화 실리콘층(43), 제2절연막(44), 전극(45)의 순으로 적층되어 있다. 실리콘 기판(41)은, p형 단결정 실리콘 기판이다. 질화 실리콘층(43)은, 제1질화 실리콘막(12)과 제2질화 실리콘막(13)의 2층구조다. 소자1은, 다음과 같이 제작했다.
- [0121] 제1절연막(42)을 형성하기 위해서, 우선, 실리콘 기판(41)의 표면을, 마이크로파에 의해 플라즈마를 생성하는 플라즈마처리에 의해 산화하고, 산화 실리콘막을 형성했다. 이 산화 플라즈마처리는, 기판온도 400°C, 압력 106Pa로 하고, Ar 가스를 유량 900sccm, O<sub>2</sub>가스를 유량 5sccm로 반응실에 공급하면서, 주파수 2.45GHz의 마이크로파를 반응실내에 도입하고, 플라즈마를 여기시켰다. 두께 3nm의 산화 실리콘막이 형성되도록, 플라즈마 처리의 시간을 조절했다.
- [0122] 다음에, 이 산화 실리콘막을 마이크로파에 의해 플라즈마를 생성하는 플라즈마처리에 의해 질화했다. 이 질화 플라즈마처리는 아래와 같이 행했다. 기판온도 400°C, 반응 압력 12Pa로 하고, Ar 가스를 유량 1000sccm로, N<sub>2</sub>가스를 유량 200sccm로 반응실에 공급하면서, 주파수 2.45GHz의 마이크로파를 반응실내에 도입하고, 플라즈마를 여기시켰다. 또한, 플라즈마처리시간은 90초로 했다. 이상의 방법으로 제1절연막(42)을 형성했다.
- [0123] 다음에, 제1절연막(42) 위에 질화 실리콘층(43)을 형성한다. 우선, 제1절연막(42) 위에 제1질화 실리콘막(12)을 플라즈마CVD법으로 형성했다. 질소 소스 가스로서 NH<sub>3</sub>을 사용하고, 실리콘 소스가스로서 SiH<sub>4</sub>을 사용했다. 기판온도 400°C, 반응 압력 40Pa로 해서 SiH<sub>4</sub>을 유량 2sccm, NH<sub>3</sub>을 유량 400sccm로 반응실에 공급했다. 또한, 전극간 거리를 30mm, RF파워를 100W로 했다.
- [0124] 다음에, 제1질화 실리콘막(12) 위에 제2질화 실리콘막(13)을 플라즈마CVD법으로 형성했다. 질소 소스 가스로서 N<sub>2</sub>을 사용했다. 실리콘 소스가스로서 SiH<sub>4</sub>을 사용했다. 프로세스 가스로서, N<sub>2</sub>의 전리를 촉진하기 위해서 Ar를 사용했다. SiH<sub>4</sub>을 유량 2sccm로, N<sub>2</sub>을 유량 400sccm로, Ar를 유량 50sccm로 반응실에 공급했다. 제1질화 실리콘막(12)의 형성시와 같이, 기판온도 400°C, 반응 압력 40Pa, 전극간 거리 30mm, RF파워 100W로 했다.
- [0125] 여기에서는, 제1질화 실리콘막(12)과 제2질화 실리콘막을 플라즈마CVD장치의 같은 반응실에서, 연속적으로 형성했다. 제1질화 실리콘막(12)과 제2질화 실리콘막(13)의 두께는, 각각 5 nm이다.
- [0126] 다음에, 제2질화 실리콘막(13) 위에, 제2절연막(44)을 형성했다. 여기에서는, 플라즈마CVD법으로, 소스 가스로서 SiH<sub>4</sub> 및 N<sub>2</sub>O을 사용하고, 두께 10nm의 산화 질화 실리콘막을 형성했다. 다음에, 제2절연막(44) 위에, 스퍼터링 장치에 의해, 두께 400nm의 Al-Ti 합금막을 형성하고, 에칭에 의해 Al-Ti 합금막을 소정의 형상으로 가공하여, 전극(45)을 형성했다. 이상 설명된 것처럼, 소자1이 완성되었다.
- [0127] 소자1과의 비교를 위해, 3종류의 MOS형 용량소자를 제작했다. 도 4a~도 4c는, 이것들의 단면도다. 도 4a~도 4c에 나타내는 용량소자를 각각 비교 소자A, 비교 소자B, 비교 소자C라고 한다.
- [0128] 비교 소자A~C는, 소자1과는, 질화 실리콘층(43)의 구조만이 다르고, 질화 실리콘층(43)의 두께는 소자1과 같이 10nm이다. 비교 소자A는, 질화 실리콘층(43)이 두께 10nm의 제1질화 실리콘막(12)의 단층막으로 형성된다. 비교 소자B는, 질화 실리콘층(43)이 두께 10nm의 제2질화 실리콘막(13)의 단층막으로 형성된다. 비교 소자C는, 질화 실리콘층(43)의 적층순서가 소자1과 반대이고, 하층으로서 두께 5nm의 제2질화 실리콘막(13)이 형성되고, 상층으로 두께 5nm의 제1질화 실리콘막(12)이 형성되어 있다.
- [0129] 상기 비교 소자A~C는, 소자1과 같은 방법으로 제작했다. 즉, 소자1의 제1질화 실리콘막(12)과, 비교 소자A 및 비교 소자C의 제1질화 실리콘막(12) 각각은 같은 조건에서 형성했다. 소자1의 제2질화 실리콘막(13)과, 비교 소자B 및 비교 소자C의 제2질화 실리콘막(13)은 같은 조건에서 형성했다.
- [0130] 각 소자의 질화 실리콘층(43)의 전하유지 특성을 평가하기 위해서, 각 소자의 용량-전압특성을 측정했다. 측정은 아래와 같이 행했다. 데이터의 기록 후의 전하유지 특성을 평가하기 위해서, 메탈 할라이드 램프 광을 조사하면서 전극(45)에 전압 17V를 10밀리초간 인가하고, 질화 실리콘층(43)에 전자를 주입했다. 이때, 실리콘 기판(41)이 p형이므로, 전자는 소수 캐리어다. 그래서, 메탈 할라이드 램프 광을 실리콘 기판(41)에 조사하고, 전자를 여기시켰다. 그 후, 헛플레이트에 의해, 실리콘 기판(41)을 150°C로 가열한 상태를 유지했다. 기록

동작 전, 기록 동작 직후, 기록 동작 후 소정의 시간경과 후에, 용량-전압특성을 측정했다.

[0131] 기록한 데이터를 소거한 후의 전하유지 특성을 평가하기 위해서, 우선, 상기와 같은 기록 동작을 행했다. 이어서, 소거 동작을 행하기 위해서, 전극(45)에 전압 -15V를 10밀리초간 인가하고, 질화 실리콘층(43)에 홀(hole)을 주입했다. 그 후, 핫플레이트에 의해, 실리콘 기판(41)을 150°C로 가열한 상태를 유지했다. 기록 동작 전, 기록 동작 직후, 소거 동작 직후, 소거 동작으로부터 소정의 기간경과 후에, 용량-전압특성을 측정했다.

[0132] 기록 동작후의 용량-전압특성, 및 기록 및 소거 동작후의 용량-전압특성으로부터, 소자1 및 비교 소자A ~C의 유지 특성을 구했다. 측정 결과를 도 5~도 8의 그래프에 나타낸다. 도 5는 소자1의 유지 특성이다. 또한 도 6, 도 7 및 도 8에는, 각각, 비교 소자A, B, 및 C의 유지 특성을 나타낸다. 도 5~도 8의 가로축은, 기록 동작 및 소거 동작으로부터의 경과 시간을 나타낸다. 이때, 가로축의 눈금이 대수이기 때문에, 기록 동작을 행한 시점, 소거 동작을 행한 시점을, 각각, 0.1시간이라고 하고 있다. 세로축의 전압Vm은, 용량-전압특성의 측정 결과로 산출한 전압값이며, 용량-전압특성의 그래프에 대한 접선 중, 그 기울기가 최대가 되는 접선에 있어서, 용량값이 최대값의 반값을 취할 때의 전압값이다.

[0133] 도 5~도 8의 유지 특성의 그래프로부터, 한계치전압 윈도우는, 소거 상태의 한계치전압으로부터 각 소자의 기록 상태의 한계치전압을 감산하여 얻어진다. 표 1에, 각 소자의 유지 기간이 1000시간인 한계치전압 윈도우(이하, "Vth윈도우"라고 함)를 나타낸다. 여기에서는, 기록 상태의 한계치전압 및 소거 상태의 한계치전압은, 각각, 기록 특성의 전압Vm 및 소거 특성의 전압Vm로 해서 경과 시간 1000시간의 기록 특성의 전압Vm과, 경과 시간 1000시간의 소거 특성의 전압Vm과의 차분으로부터, 유지 기간 1000시간의 Vth윈도우를 구했다. 이때, 1000시간후의 기록 특성의 전압Vm은, 기록 특성의 그래프를 외삽해서 산출했다. 한편, 1000시간후의 소거 특성의 전압Vm은, 소거 동작으로부터 1000시간후에 소자가 초기 상태(기록 동작전 상태)로 되돌아간다고 하면, 초기 상태(경과 시간 0시간)의 전압Vm의 값으로 했다. 이때, 초기 상태의 기록 특성의 전압Vm에 관해, 소자1 및 비교 소자A는 약 -0.8V이며, 비교 소자B, C는 약 -0.9V다.

[0134] 표 1은 소자1의 Vth윈도우가 가장 큰 것을 보이고 있다. 또한, 표 1은, 질화 실리콘층(43)을 형성하는 경우, 단층의 제1질화 실리콘막(12) 또는 제2질화 실리콘막(13)을 사용하는 것보다 소자1과 같은 적층구조를 사용함으로써 전하유지 특성이 향상하는 것을 보이고 있다. 한편, 제1질화 실리콘막(12)과 제2질화 실리콘막(13)의 적층순서를 소자1과 반대의 순서로 하면, 단층 구조의 질화 실리콘층(43)보다도 전하유지 특성이 나빠지는 것을 알았다.

[0135] [표 1]

Vth 윈도우	
소자 1	2.15
비교소자 A	1.36
비교소자 B	1.27
비교소자 C	1.01

[0136] [0137] 그래서, NH<sub>3</sub>을 질소 소스 가스로서 사용한 제1질화 실리콘막(12)과, N<sub>2</sub>을 질소 소스 가스로서 사용한 제2질화 실리콘막(13)의 조성 및 각 조성비를 러더포드 후방산란분석법(RBS) 및 수소 전방산란분석법(HFS)을 사용해서 측정했다.

[0138] 반응 가스와 유량이 다른 3종류의 제1질화 실리콘막(12), 및 2종류의 제2질화 실리콘막(13)을, 각각, 단결정 실리콘 기판 위에 두께 100nm 형성했다. 여기서, 3종류의 제1질화 실리콘막(12)을 구별하기 위해서, 제1질화 실리콘막(12)을 질화 실리콘막 12-a, 질화 실리콘막 12-b 및 질화 실리콘막 12-c라고 하고, 2 종류의 제2질화 실리콘막(13)을 질화 실리콘막 13-a와 질화 실리콘막 13-b라고 한다.

[0139] 질화 실리콘막 12-a, 12-b, 12-c, 13-a 및 13-b를 형성하기 위해서 사용한 프로세스 가스와 그 유량을 표 2에 나타낸다.

[0140] 비교를 위해, 실리콘 소스가스는 모든 질화 실리콘막에서 SiH<sub>4</sub>라고 하고 그 유량을 2sccm이라고 하고 있다. 질화 실리콘막 12-a, 12-b, 12-c, 13-a 및 13-b는 플라즈마CVD법으로 형성되고, 성막시에, 기판온도 400 °C, 반응 압력 40Pa로 하고 전극간 거리를 30mm로 했다. 질화 실리콘막 12-a는, 소자1, 비교 소자A 및 비교 소자C의 제1질화 실리콘막(12)과 같은 조건으로 성막된 막이다. 또한 질화 실리콘막 13-a는, 소자1, 비교 소자B 및 비교 소자C의 제2질화 실리콘막(13)과 같은 조건으로 성막된 막이다.

[0141]

[표 2]

SiN 막	프로세스 가스와 그의 유량 [sccm]				
	SiH <sub>4</sub>	NH <sub>3</sub>	N <sub>2</sub>	Ar	H <sub>2</sub>
12-a	2	400	-	-	-
12-b	2	100	-	-	400
12-c	2	100	-	400	-
13-a	2	-	400	50	-
13-b	2	-	100	400	-

[0142]

[0143]

질화 실리콘막 12-a, 12-b, 12-c, 13-a 및 13-b의 RBS 및 HFS의 측정 결과를 표 3에 나타낸다. 이 때, 산소농도는 검출 하한 이하의 값이었다.

[0144]

[표 3]

SiN 막	농도 [atomic%]			조성비	밀도	
	H	Si	N		atoms/cm <sup>3</sup>	g/cm <sup>3</sup>
12-a	21.4	30.4	48.2	0.63	$8.10 \times 10^{22}$	2.1
12-b	17.3	33.9	48.8	0.69	$7.90 \times 10^{22}$	2.2
12-c	20.7	31.3	48.0	0.65	$8.00 \times 10^{22}$	2.1
13-a	10.3	38.5	51.2	0.75	$7.50 \times 10^{22}$	2.2
13-b	9.7	38.2	52.1	0.73	$7.50 \times 10^{22}$	2.2

[0145]

[0146]

한층 더, 질화 실리콘막 12-a, 12-b 및 13-a에 대해서, 푸리에 변환 적외 분광계(FTIR)에 의해, 각 막을 구성하는 원소의 결합 상태를 분석했다. 도 9는, 질화 실리콘막 12-a, 12-b 및 13-a의 FTIR에 의한 흡수스펙트럼이다. 도 9의 흡수스펙트럼을 사용하여 N-H결합 및 Si-H결합의 농도를 정량화했다. 그 농도를 표 4에 나타낸다.

[0147]

[표 4]

SiN 막	농도 [atoms/cm <sup>3</sup> ]			농도비
	N-H	Si-H	N-H+Si-H	
12-a	$9.10 \times 10^{21}$	$2.00 \times 10^{20}$	$9.30 \times 10^{21}$	$2.20 \times 10^{-2}$
12-b	$7.54 \times 10^{21}$	$2.18 \times 10^{20}$	$7.76 \times 10^{21}$	$2.89 \times 10^{-2}$
13-a	$2.29 \times 10^{21}$	$3.25 \times 10^{21}$	$5.54 \times 10^{21}$	1.42

[0148]

표 3 및 표 4의 측정데이터는, 제2질화 실리콘막(13)의 질소의 농도가 제1의 질화 실리콘막(12)보다도 높지만, N-H결합의 농도는 제1의 질화 실리콘막(12)쪽이 높은 것을 보이고 있다. 즉, 그 데이터는, 수소와 결합하고 있는 상태의 질소를 보다 많이 포함하는 제1질화 실리콘막을 하층으로서 설치함으로써 소자1의 전하유지 특성이 향상하는 것을 보이고 있다.

[0150]

제1질화 실리콘막(12)의 Si-H결합의 농도는 제2질화 실리콘막(13)보다 낮고, 제1질화 실리콘막(12)의 Si-H결합의 농도는 제2질화 실리콘막(13)의 1/10정도다. 또한, N-H결합의 농도에 대한 Si-H결합의 농도의 비((Si-H)/(N-H))에 관해, 제2질화 실리콘막(13)은, 제1질화 실리콘막(12)의 100배정도로 되어 있다. 따라서, 농도비((Si-H)/(N-H))가 높은 질화 실리콘막을 상층으로서, 즉, 채널 형성 영역으로부터 면쪽에 형성하는 것, 또한, 이 농도비가 낮은 질화 실리콘막을 채널 형성 영역측에 형성함으로써 소자1의 전하유지 특성을 향상시킬 수 있다.

[0151]

표 3의 조성비Si/N에 착안하면, 제2질화 실리콘막(13)이 제1질화 실리콘막(12)보다도, 화학량론적으로 Si<sub>3</sub>N<sub>4</sub>에 가까운 막이다.

[0152]

이때, 실리콘 소스 가스로서 할로겐을 포함하는 가스(예를 들면, SiCl<sub>4</sub>, SiHCl<sub>3</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiH<sub>3</sub>Cl<sub>3</sub>, SiF<sub>4</sub> 등)를 사용한 경우에는, 질화 실리콘막은 Si-X결합(X는 할로겐 원소)을 포함한다. Si-X결합의 농도는 질소 소스 가스의 종류에 영향을 받으므로, 질화 실리콘막을, 그 Si-X결합의 농도가 표 4의 Si-H결합과 같은 경향으로 되도록 형성할 수 있다.

[0153]

따라서, 실리콘 소스가스로서 수소 또는 할로겐을 포함하는 가스(예를 들면, SiH<sub>4</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub>SiHCl<sub>3</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiH<sub>3</sub>Cl<sub>3</sub>)를 사용한 경우에는, Si-X결합과 Si-H결합 농도의 합은, 제2질화 실리콘막(13)쪽이 높고, N-H결합의 농도에 대한 Si-X결합과 Si-H결합 농도의 합의 비((Si-H+Si-X)/(N-H))는, 제2질화 실리콘막(13)이 제1

질화 실리콘막(12)보다 높을 수 있다.

[0154] 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)의 실리콘 소스가스가  $\text{SiCl}_4$  또는  $\text{SiF}_4$ 과 같은 조성에

할로겐을 포함하고, 수소를 포함하지 않는 경우에는, Si-X결합의 농도는, 제2질화 실리콘막(13)쪽이 제1질화 실리콘막(12)보다 높을 수 있다. 이 경우, N-H결합의 농도에 대한 Si-X결합의 농도의 비( $(\text{Si-X})/(\text{N-H})$ )도, 제2질화 실리콘막(13)쪽이 제1질화 실리콘막(12)보다 높을 수 있다.

[0155] 따라서, N-H결합을 보다 많이 포함하는 제1질화 실리콘막(12)을 채널 형성 영역(16)측에 설치하고, N-H 결합이 적은 제2질화 실리콘막(13)을 도전막(15)측에 설치함으로써 불휘발성 반도체 메모리 소자의 전하유지 특성을 향상시킬 수 있다.

[0156] 표 2에 나타낸 제1질화 실리콘막(12)과 제2질화 실리콘막(13)은, 가열온도를  $500^{\circ}\text{C}$ 이하로 해서 플라즈마CVD법으로 형성한 막들이고, 이것들의 질화 실리콘막은, 유리 기판과 같은, 변형온도가  $750^{\circ}\text{C}$ 이하의 기판 위에 형성될 수 있는 막인 것을 부기한다.

[0157] 다음에, 도 10~도 17을 참조하여, 도 1 및 도 2 각각과 다른 단면구조를 갖는 불휘발성 메모리 트랜지스터를 설명한다. 도 1 및 도 2와 동일한 부호는, 같은 구성요소를 나타내고, 그 반복의 설명은 생략한다.

[0158] 도 10 및 도 11은, 불휘발성 메모리 트랜지스터의 다른 구성 예를 나타내는 단면도다. 도 10 및 도 11에 도시된 불휘발성 메모리 트랜지스터 각각에는, 제1절연막(11), 제1질화 실리콘막(12), 제2질화 실리콘막(13), 제2절연막(14) 및 도전막(15)으로 형성된 적층막의 측벽에, 절연막으로 형성된 스페이서(35)가 형성되어 있다. 스페이서(35)는 사이드월이라고도 불린다. 스페이서(35)의 형성은, 제2질화 실리콘막(13)에 축적되어 있는 전하가 도전막(15)에 새는 것을 막는 효과가 있다. 또한, 이 스페이서(35)를 이용하여, 채널 형성 영역(16)에 인접한 저농도 불순물영역 17a 및 저농도 불순물영역 18a가 자기정합적으로 형성될 수 있다.

[0159] 저농도 불순물영역 17a 및 저농도 불순물영역 18a는 저농도 드레인(L D D:lightly doped drains)로서 기능한다. 저농도 불순물영역 17a, 18a를 설치함으로써, 판독 동작의 반복에 의한, 제1절연막(11)의 열화를 억제 할 수 있다.

[0160] 도 12 및 도 13은, 불휘발성 메모리 트랜지스터의 다른 구성 예를 나타내는 단면도다. 도 12 및 도 13에 나타낸 불휘발성 메모리 트랜지스터는, 제1절연막(11), 제1질화 실리콘막(12), 제2질화 실리콘막(13) 및 제2절연막(14)이, 도전막(15)과 같은 형상으로 가공되지 않고 있는 것이, 도 1 및 도 2와 다른 점이다.

[0161] 도 12 및 도 13의 구조에서는, 인접한 메모리 트랜지스터를 사용하여, 제1절연막(11), 제1질화 실리콘막(12), 제2질화 실리콘막(13) 및 제2절연막(14)이 고농도 불순물영역(17, 18)을 덮도록 형성되어 있다. 이 경우, 제작 프로세스에 있어서, 막 11~15를 에칭에 의해 제거하지 않으므로, 반도체영역(10)의 데미지를 줄일 수 있다. 막 11~15의 에칭 공정이 없으므로, 스루풋을 향상시킬 수 있다.

[0162] 도 14 및 도 15는, 불휘발성 메모리 트랜지스터의 다른 구성 예를 나타내는 단면도다. 도 14 및 도 15의 불휘발성 메모리 트랜지스터는, 제1절연막(11), 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)으로 형성된 적층막의 채널길이 방향의 폭이, 도전막(15)보다도 길다. 제2절연막(14)은, 막 11~13으로 형성되는 적층막 및 고농도 불순물영역(17, 18)을 덮도록 형성되어 있다.

[0163] 막 11~13으로 형성된 적층막 및 도전막(15)을 도 14 또는 도 15와 같은 구조로 하는 경우, 반도체영역(10)에, 채널 형성 영역(16), 고농도 불순물영역(17, 18), 및 저농도 불순물영역(17a, 18a)을 자기정합적으로 형성할 수 있다. 도전막(15) 및 막 11~13으로 형성된 적층막을 마스크로서 사용하고, n형 또는 p형의 도전성을 나타내는 불순물을 반도체영역(10)에 첨가하는 경우, 반도체영역(10)에 채널 형성 영역(16), 고농도 불순물영역(17, 18) 및 저농도 불순물영역(17a, 18a)이 자기정합적으로 형성된다. 그 때문에, 제1절연막(11), 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)은, 저농도 불순물영역(17a, 18a)과 겹친다.

[0164] 이때, 도 15에 있어서, 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)과 같은 형상으로, 제1절연막(11)을 반드시 가공하는 것이 아니고, 도 13과 같이, 제1절연막(11)을 반도체막(33)을 덮도록 형성할 수도 있다.

[0165] 도 16 및 도 17은, 불휘발성 메모리 트랜지스터의 다른 구성 예를 각각 나타내는 단면도다. 채널길이 방향의 폭이 채널길이보다도 길어지도록, 도전막(15)이 형성되어 있다. 제2절연막(14)은, 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)을 덮도록 형성되어 있다.

- [0166] 제1질화 실리콘막(12), 제2질화 실리콘막(13) 및 도전막(15)을 도 16 또는 도 17과 같은 구조로 함으로써, 반도체영역(10)에, 채널 형성 영역(16), 고농도 불순물영역(17, 18) 및 저농도 불순물영역(17a, 18a)를 자기정합적으로 형성할 수 있다.
- [0167] 반도체영역(10) 위에, 제1절연막(11), 제1질화 실리콘막(12), 제2질화 실리콘막(13) 및 제2절연막(14)을 도 16 또는 도 17에 나타나 있는 바와 같이 형성한다. 도전막(15)을 형성하기 전에, 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)을 마스크로서 사용하고, n형 또는 p형의 도전성을 나타내는 불순물을 반도체영역(10)에 저농도로 첨가하고, 저농도 불순물영역을 형성한다. 그 후, 도 16 또는 도 17과 같은 구조의 도전막(15)을 형성한다. 다음에, 도전막(15)을 마스크로서 사용하고, 반도체영역(10)에 n형 또는 p형의 도전성을 나타내는 불순물을 고농도로 첨가한다. 이 불순물의 첨가공정에 의해, 반도체영역(10)에, 채널 형성 영역(16), 고농도 불순물영역(17, 18) 및 저농도 불순물영역(17a, 18a)이 자기정합적으로 형성된다.
- [0168] 이때, 도 17의 불휘발성 메모리 트랜지스터에 있어서, 제1질화 실리콘막(12) 및 제2질화 실리콘막(13)과 같은 형상으로 제1절연막(11)을 반드시 가공하는 것이 아니고, 도 13과 같이, 제1절연막(11)을 반도체막(3)을 덮도록 형성할 수도 있다.
- [0169] 도 1, 도 10, 도 12, 도 14 및 도 17에 있어서, 반도체기판(21)으로서, 벌크형의 단결정 또는 다결정 실리콘 기판(실리콘 웨이퍼), 단결정 또는 다결정 실리콘 게르마늄 기판, 단결정 또는 다결정 게르마늄 기판을 사용할 수 있다. 또한, SOI(silicon-on-insulator) 기판을 사용할 수도 있다. SOI 기판으로서, 경면연마 웨이퍼에 산소 이온을 주입한 후, 고온 어닐 함에 의해, 표면으로부터 일정한 깊이에 산화층을 형성시키는 동시에, 표면층에 생긴 결함을 제거시켜서 만들어진 소위 SIMOX(주입된 산소에 의해 분리) 기판을 사용할 수 있다. 또한, SOI기판을 사용한 경우에는, 기판내에 형성된 산화층상의 얇은 실리콘층에 반도체영역(10)이 형성되고, 웰(22)을 형성하지 않더라도, 소자분리를 할 수 있다. 또한, SOI기판과 마찬가지로, SGOI(silicon-germanium on insulator) 기판 또는 GOI(germanium on insulator) 기판을 사용할 수도 있다.
- [0170] 도 1, 도 2 및 도 10~도 17을 참조하여, 불휘발성 반도체 메모리 소자의 예로서, MNOS형의 불휘발성 메모리 트랜지스터를 설명했지만, MNOS 구조의 불휘발성 메모리 트랜지스터를 본 발명의 불휘발성 반도체 메모리 소자에 적용할 수도 있다. 도 1, 도 2 및 도 10~도 17의 MNOS형 불휘발성 메모리 트랜지스터에 있어서, 제2절연막(14)을 형성하지 않고, 제2질화 실리콘막(13) 위에 접해서 도전막(15)을 형성하여서 MNOS구조의 불휘발성 메모리 트랜지스터를 제작할 수 있다.
- [0171] (실시 형태2)
- [0172] 본 실시 형태에서는, 본 발명의 반도체장치로서, 불휘발성 반도체 기억장치에 관하여 설명한다.
- [0173] 도 18은, 불휘발성 반도체 기억장치의 구성 예를 나타내는 블록도다. 도 18의 불휘발성 반도체 기억장치는, 메모리 셀 어레이(52)와, 메모리 셀 어레이(52)에 접속되고, 기록 동작, 소거 동작 및 판독 동작등을 제어하는 로직부(54)가 동일한 기판 위에 형성되어 있다. 메모리 셀 어레이(52)는, 복수의 워드 선WL과, 워드 선WL과 교차해서 형성된 복수의 비트 선BL, 및 워드 선WL 및 비트 선BL에 접속된 복수의 메모리 셀MC를 갖는다. 메모리 셀MC의 데이터의 축적부로서, 실시 형태1에서 설명한 불휘발성 메모리 트랜지스터를 사용할 수 있다. 그 때문에, 전하유지 특성이 뛰어나고, 신뢰성이 높은 불휘발성 반도체 기억장치를 얻을 수 있다.
- [0174] 로직부(54)의 구성은 아래와 같다. 워드 선 선택용 로우(row) 디코더(62)와, 비트 선 선택용 칼럼(column) 디코더(64)이, 메모리 셀 어레이(52)의 주위에 설치된다. 어드레스는, 어드레스 버퍼(56)를 거쳐서 컨트롤 회로(58)에 보내져, 내부 로우 어드레스 신호 및 내부 칼럼 어드레스 신호가 각각 로우 디코더(62) 및 칼럼 디코더(64)에 전송된다.
- [0175] 데이터 기록 및 소거에는, 전원전위를 승압한 전위를 사용한다. 이 때문에, 컨트롤 회로(58)에 의해 동작 모드에 따라 제어되는 부스터(booster) 회로(60)가 설치된다. 부스터 회로(60)의 출력은, 로우 디코더(62)와 칼럼 디코더(64)를 거쳐서, 메모리 셀 어레이(52)에 형성되어 있는 워드 선WL이나 비트 선BL에 공급된다. 센스 앰프(66)는 칼럼 디코더(64)로부터 출력된 데이터가 입력된다. 센스 앰프(66)에 의해 판독된 데이터는, 데이터 버퍼(68)에 유지되고, 컨트롤 회로(58)의 제어에 의해, 데이터가 랜덤 액세스되고, 데이터 입/출력 버퍼(70)를 거쳐서 출력하게 되어 있다. 기록 데이터는, 데이터 입/출력 버퍼(70)를 거쳐서 데이터 버퍼(68)에 일단 유지되고, 컨트롤 회로(58)의 제어에 의해 칼럼 디코더(64)에 전송된다.
- [0176] 메모리 셀 어레이(52)에서는, 전원전위와는 다른 전위를 사용할 필요가 있다. 그 때문에, 적어도 메모

리 셀 어레이(52)와 로직부(54)는, 전기적으로 절연 분리되어 있는 것이 바람직하다. 실시 형태3 내지 실시 형태6에서 설명한 바와 같이, 불휘발성 메모리 소자 및 주변회로의 트랜지스터를 절연막 위에 형성한 반도체막으로 형성함에 의해, 용이하게 절연 및 분리를 할 수 있다. 그에 따라, 오동작을 없애고, 소비 전력이 낮은 불휘발성 반도체 기억장치를 얻을 수 있다.

[0177] 이하, 도 19~도 21을 참조하여, 메모리 셀 어레이의 구성 예를 설명한다. 도 19는, 메모리 셀 어레이(52)의 구성 예를 나타내는 회로도다. 메모리 셀MC가 행렬 모양으로 배치되어 있다. 도 19에서는, 3행×2열의 메모리 셀MC를 보이고 있다. 각 메모리 셀MC는 1비트의 정보를 기억하고, 직렬로 접속된 스위칭용 트랜지스터 Ts, 불휘발성 메모리 트랜지스터Tm을 갖는다. 메모리 셀 어레이(52)는, 열마다, 비트 선BL0, BL1, 소스 선SL0, SL1이 설치된다. 또한, 행마다, 제1워드 선WL1~WL3 및 제2워드 선WL11~WL13이 설치된다.

[0178] 비트 선BL0 및 제1워드 선WL1으로 특정되는 메모리 셀MC에 착안하면, 스위칭용 트랜지스터Ts01은, 게이트가 제2워드 선WL11에 접속되고, 소스 또는 드레인의 한쪽이 비트 선BL0에 접속되고, 다른쪽이 불휘발성 메모리 트랜지스터Tm01에 접속되어 있다. 불휘발성 메모리 트랜지스터Tm01은, 게이트가 제1워드 선WL1에 접속되고, 소스 또는 드레인의 한쪽이 스위칭용 트랜지스터Ts01에 접속되고, 다른쪽이 소스 선SL0에 접속되어 있다.

[0179] 스위칭용 트랜지스터Ts와 불휘발성 메모리 트랜지스터Tm(이하, "메모리 트랜지스터Tm"이라고도 한다)을 모두 n채널형이라고 했을 경우, 비트 선BL0 및 제1워드 선WL1으로 특정되는 메모리 셀MC에 데이터를 기록하기 위해서는, 제2워드 선WL11과 비트 선BL0의 전위를 하이레벨(이하, "H레벨"이라고 함), 비트 선BL1의 전위를 로우 레벨(이하, "L레벨"이라고 함)로서, 제2워드 선WL11에 고전압을 인가한다. 이에 따라, 불휘발성 메모리 트랜지스터Tm01의 전하축적층에 전하가 주입된다. 불휘발성 메모리 트랜지스터Tm01으로부터 데이터를 소거하기 위해서는, 제1워드 선WL1 및 비트 선BL0의 전위를 H레벨로 해서 제2워드 선WL11에 부(negative)의 고전압을 인가한다.

[0180] 도 20은, 메모리 셀 어레이(52)의 다른 구성 예를 나타내는 회로도다. 도 20에 있어서, 메모리 셀MC은, 스위칭용 트랜지스터Ts가 없고, 불휘발성 메모리 트랜지스터Tm의 소스 또는 드레인의 한쪽이 스위칭소자를 통하지 않고, 비트 선BL에 전기적으로 접속하고 있는 점이, 도 19와 다르다. 그 때문에, 도 20의 메모리 셀 어레이(52)에서는, 제2워드 선WL11, WL22, WL33을 설치하지 않고 있다.

[0181] 불휘발성 메모리 트랜지스터Tm을 모두 n채널형이라고 했을 경우, 비트 선BL0 및 제1워드 선WL1으로 특정되는 메모리 셀MC에의 데이터 기록의 일례는, 다음과 같다. 소스 선SL의 전위를 L레벨(예를 들면, OV)이라고 하고 제1워드 선WL1에 고전압을 주고, 비트 선BL에는 데이터 "0" 또는 "1"에 대응한 전위를 준다. 예를 들면, "0"과 "1"에 대하여, 비트 선BL의 전위를 H레벨 및 L레벨의 전위로 한다. "0" 데이터를 기록하기 위해서, 드레인에 H레벨의 전위가 주어진 불휘발성 메모리 트랜지스터Tm01에서는 드레인 근방에서 핫일렉트론이 발생하고, 이것이 전하축적층에 주입된다. 즉, F-N터널 전류에 의해, 전하축적층에 전자가 주입된다. "1" 데이터를 기록하는 경우에, 이러한 전자주입은 생기지 않는다.

[0182] "0" 데이터가 주어진 메모리 셀MC에서는, 드레인과 소스와의 사이의 강한 가로방향 전계에 의해, 드레인의 근방에서 핫일렉트론이 생성되고, 이것이 전하축적층에 주입된다. 이에 따라, 전하축적층에 전자가 주입됨으로써 한계치전압이 높게 된 상태가 "0"이다. "1" 데이터가 주어진 경우에는, 핫일렉트론이 생성되지 않고, 전하축적층에 전자가 주입되지 않고 한계치전압의 낮은 상태가 유지된다. 즉, 소거 상태가 유지된다.

[0183] 데이터를 소거할 때는, 소스 선SL0의 전위를 정(positive)의 고전위(예를 들면, 10V정도의 정의 전위)로 하고 비트 선BL0는 부유 상태로 한다. 그리고, 제1워드 선WL1의 전위를 부의 고전위로 한다. 이것에 의해, 불휘발성 메모리 트랜지스터Tm01의 전하축적층으로부터 전자가, 반도체영역에 방출된다. 이에 따라, 데이터"1"의 소거 상태가 얻어진다.

[0184] 데이터의 판독은, 예를 들면 다음과 같이 행한다. 소스 선SL0의 전위를 OV, 비트 선BL0의 전위를 0.8V 정도로 하고 제1워드 선WL1의 전위에, 데이터 "0"과 "1"에 해당하는 한계치전압의 중간값으로 설정된 판독 전위를 준다. 이 때, 불휘발성 메모리 트랜지스터Tm으로부터 비트 선BL0에 흐르는 전류의 유무를, 비트 선BL0에 접속되는 센스 앰프(66)에서 판정한다.

[0185] 도 21은, 메모리 셀 어레이(52)의 다른 구성 예를 나타내는 회로도다. 도 21은, 메모리 셀MC을 N A N D 형의 메모리 셀이라고 한 등가회로를 나타낸다. 복수의 N A N D 렌즈 모여서 블록BLK1을 구성하고 있다. 도 21에 나타낸 블록BLK1의 워드 선은 32개이다(워드 선WL0~WL31). 메모리 셀MC는 직렬로 접속된 복수의 불휘발성 메모리 트랜지스터Tm로 형성된다.

- [0186] 비트 선BLO로 특정되는 1개의 메모리 셀MC에 있어서, 불휘발성 메모리 트랜지스터Tm0~Tm31의 게이트는, 각각, 서로 다른 제1워드 선WL0~WL31에 접속되고, 제1행의 불휘발성 메모리 트랜지스터Tm0의 소스 또는 드레인에는 제1선택 트랜지스터S1이 접속되고, 제32행의 불휘발성 메모리 트랜지스터Tm31에는 제2선택 트랜지스터S2가 접속되어 있다. 제1선택 트랜지스터S1은, 제1선택 게이트 선SG1 및 비트 선BLO에 접속되고, 제2선택 트랜지스터S2는, 제2선택 게이트 선SG2 및 비트 선BLO에 접속되어 있다.
- [0187] 여기에서는, 불휘발성 메모리 트랜지스터Tm0~Tm31, 제1선택 트랜지스터S1, 및 제2선택 트랜지스터S2이, n채널형인 경우, 기록 동작 및 소거 동작을 설명한다. N A N D형 메모리 셀에서는, 메모리 셀 MC를 소거 상태로 하고 나서, 기록 동작을 행한다. 소거 상태는, 메모리 셀MC의 각 메모리 트랜지스터Tm0~Tm31의 한계치전압이 부전압값인 상태를 말한다.
- [0188] 도 22a는, 도 21의 메모리 트랜지스터Tm0에 "0"을 기록하는 동작의 일례를 설명하는 회로도이며, 도 22b는, "1"을 기록하는 동작의 일례를 설명하는 회로도다. "0"을 기록하기 위해서는, 비트 선BLO에 0 V(접지전위)를 인가하고, 제2선택 게이트 선SG2에 예를 들면, Vcc(전원전위)를 인가해서 제2선택 트랜지스터S2를 온 상태로 한다. 한편, 제1선택 게이트 선SG1에는 0 V를 인가하여, 제1선택 트랜지스터S1은 오프 상태로 한다. 다음에, 워드 선WL0의 전위를 고전위Vpgm(20V정도)로 하고, 그 밖의 워드 선의 전위를 중간전위Vp a s s(10V정도)로 한다. 비트 선BLO의 전위는 OV이므로, 선택된 메모리 셀MO의 채널 형성 영역의 전위는 OV가 된다. 워드 선WL0와 채널 형성 영역과의 전위차가 크기 때문에, 불휘발성 메모리 트랜지스터Tm0의 전하축적층에는 F-N터널 전류에 의해 전자가 주입된다. 이에 따라, 불휘발성 메모리 트랜지스터Tm0의 한계치전압이 정극성을 가져서, "0"이 기록된 상태가 얻어진다.
- [0189] 불휘발성 메모리 트랜지스터Tm0에 "1"을 기록하는 경우에는, 도 22b에 나타나 있는 바와 같이, 비트 선BLO의 전위를 예를 들면 전원전위Vcc로 한다. 제2선택 게이트 선SG2의 전위가 Vcc이기 때문에, 제2선택 트랜지스터S2이 컷오프한다. 따라서, 불휘발성 메모리 트랜지스터Tm0의 채널 형성 영역은 플로팅 상태가 된다. 다음에, 워드 선WL0의 전위를 정극성의 고전위인 기록 전위Vp gm(20V)으로 하고 그 이외의 워드 선WL의 전위를 중간전위Vp a s s(10V)로 한다. 각 워드 선WL0~WL31과, 채널 형성 영역과의 용량 커플링에 의해, 채널 형성 영역의 전압이 (Vcc-Vth)보다도 높게 되고, 예를 들면 8V정도가 된다. 그 때문에, 워드 선WL0와 채널 형성 영역의 전위차가 작다. 따라서, 메모리 트랜지스터Tm0의 부유 게이트에는, F-N터널 전류에 의한 전자주입이 발생하지 않는다. 따라서, 불휘발성 메모리 트랜지스터Tm0의 한계치전압값은 부극성을 가져, "1"이 기록된 상태가 얻어진다
- [0190] 도 23은, 소거 동작의 일례를 설명하는 회로도다. 도 21의 메모리 셀 어레이(52)에서는, 같은 블록BLK1에 포함되는 복수의 불휘발성 메모리 트랜지스터Tm의 데이터가 동시에 소거된다. 도 23에 나타나 있는 바와 같이, 선택된 블록 모두의 워드 선WL0~WL31의 전위를 0 V로 하고, 반도체기판의 p형 웨이의 전위를 부극성의 고전위인 소거 전위Vers로 하고, 비트 선BL 및 소스 선SL을 플로팅 상태로 한다. 이에 따라, 블록BLK1에 포함되는 모든 메모리 트랜지스터Tm의 전하축적층으로부터, 전자가 터널 전류에 의해 반도체기판에 방출되고, 메모리 트랜지스터Tm의 한계치전압이 부방향으로 쉬프트한다.
- [0191] 도 24는, 도 21의 메모리 트랜지스터Tm0로부터 데이터를 판독하기 위한 판독 동작의 일례를 설명하는 회로도다. 판독 동작에서는, 제1워드 선WL0의 전위를 판독해 전위Vr(예를 들면, 0 V)로 해서 비선택의 메모리 셀의 워드 선WL1~WL31 및 선택 게이트 선SG1, SG2를 전원전위Vcc보다 약간 높은 판독용 중간전위Vr e a d로 한다. 이 결과, 메모리 트랜지스터Tm0 이외의 메모리 트랜지스터Tm1~Tm31은 트랜스퍼 트랜지스터로서 기능하고, 도 18의 센스 앰프(66)에 있어서, 비트 선BLO에 흐르는 전류를 검출함으로써 메모리 트랜지스터Tm0에 전류가 흐르는 것인가 아닌가를 검출할 수 있다. 메모리 트랜지스터Tm0에 기억된 데이터가 "0"일 경우, 메모리 트랜지스터Tm0는 오프 상태이므로, 비트 선BLO에 전류가 흐르지 않는다. 한편, 메모리 트랜지스터Tm0에 기억된 데이터가 "1"일 경우, 메모리 트랜지스터Tm0는 온 상태이므로, 비트 선BLO에 전류가 흐른다.
- [0192] 본 실시 형태의 불휘발성 반도체 기억장치는, 전하유지 특성이 향상된 불휘발성 반도체 메모리 소자를 가짐으로써 기억 성능의 신뢰성이 향상될 수 있다.
- [0193] (실시 형태3)
- [0194] 본 실시 형태에서는, 반도체장치의 제작 방법으로서, 불휘발성 반도체 기억장치의 제작 방법에 관하여 설명한다. 불휘발성 반도체 기억장치에 있어서, 메모리 셀 어레이의 트랜지스터는, 로직부의 트랜지스터와 비교해서 구동전압이 높기 때문에, 메모리 셀 어레이의 트랜지스터와 로직부의 트랜지스터는, 각각, 구동전압에 의

해 구조를 바꾸는 것이 바람직하다. 예를 들면, 구동전압이 낮고, 한계치전압의 변동이 작기를 원하는 경우에는, 게이트 절연막이 얇은 것이 바람직하다. 구동전압이 크고 게이트 절연막의 고내압성이 요구될 경우에는, 게이트 절연막을 두껍게 하는 것이 바람직하다.

[0195] 그래서, 본 실시 형태에서는, 게이트 절연막의 두께가 다른 트랜지스터를 동일기판 위에 제작하는 방법을 설명한다. 또한, 본 실시 형태에서는, 트랜지스터 및 불휘발성 메모리 트랜지스터를 박막트랜지스터로 제작하는 방법을 설명한다. 또한, 본 실시 형태에서는, 불휘발성 반도체 기억장치로서 도 18의 장치를 사용하고, 또한 그 메모리 셀 어레이(52)를 도 19에 나타내는 회로를 사용하여 구성했을 경우를 예들로서, 불휘발성 반도체 장치의 제작 방법을 설명한다. 후술하는 실시 형태4 내지 8의 불휘발성 반도체 기억장치도 이점은 같다.

[0196] 도 25a~도 25c, 도 26a~도 26c, 도 27a~도 27c, 도 28a 및 도 28b는, 본 실시 형태의 제작 공정을 설명하기 위한 단면도다. 도 25a~도 25c, 도 26a~도 26c, 도 27a~도 27c, 도 28a 및 도 28b에 있어서, A와 B 사이에 로직부(54)에 설치되는 p채널형 트랜지스터Trp의 단면을 나타내고, C와 D 사이에 로직부(54)에 설치되는 n채널형 트랜지스터Trn의 단면을 나타낸다. 또한, E와 F 사이에 메모리 셀MC에 설치되는 불휘발성 메모리 트랜지스터Tm의 단면을 나타내고, G와 H 사이에 메모리 셀MC의 스위칭용 트랜지스터Ts의 단면을 나타낸다. 도 29~도 31은, 본 실시 형태의 제작 공정을 설명하기 위한 평면도다. 도 29~도 31의 일점쇄선 A-B, C-D, E-F 및 G-H을 따라 자른 단면도가, 도 25a~도 25c, 도 26a~도 26c, 도 27a~도 27c, 도 28a 및 도 28b에 대응한다.

[0197] 우선, 도 25a에 나타나 있는 바와 같이, 기판(100) 위에 하지절연막(102)을 형성한다. 기판(100)은, 유리 기판, 석영기판, 금속기판(예를 들면, 세라믹 기판 또는 스테인레스 기판등)을 사용할 수 있다. 하지절연막(102)은, CVD법이나 스피터링법등을 사용하여, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘 등의 절연재료를 사용해서 형성할 수 있다. 예를 들면, 하지절연막(102)을 2층구조로 형성할 경우, 제1의 절연층으로서, 질소농도가 산소농도보다도 높은 산화 질화 실리콘( $\text{SiO}_x\text{N}_y$ ,  $x < y$ )층을 형성하고, 제2의 절연층으로서 산소농도가 질소농도보다도 높은 산화 질화 실리콘층( $\text{SiO}_x\text{N}_y$ ,  $x > y$ )을 형성하면 좋다. 또는, 제1의 절연층으로서 질화 실리콘층을 형성하고, 제2의 절연층으로서 산화 실리콘층을 형성해도 좋다. 이렇게, 블록킹층으로서 기능하는 하지절연막(102)을 형성 함으로써, 기판(100)으로부터 Na등의 알칼리 금속이나 알칼리토류 금속이, 그 하지절연막(102) 위에 형성하는 소자에 악영향을 주는 것을 막을 수 있다.

[0198] 다음에, 하지절연막(102) 위에, 섬 형상의 반도체막(104, 106, 108, 110)을 형성한다. 도 29는 섬 형상의 반도체막(104, 106, 108, 110)의 평면도다. 섬 형상의 반도체막(104, 106, 108, 110)의 형성은, 다음과 같이 행할 수 있다. 스피터링법, LPCVD법, 플라즈마CVD법등을 사용하고, 실리콘(Si)을 주성분으로 하는 비정질반도체막을 형성하고, 비정질반도체막을 결정화시켜서, 결정성 반도체막을 형성한다. 결정성 반도체막을 예칭하고, 섬 형상의 반도체막(104, 106, 108, 110)을 형성한다. 이때, 비정질반도체막으로서, 비정질 실리온막, 비정질 게르마늄 또는 비정질 실리콘 게르마늄막등을 형성할 수 있다. 또 비정질반도체막의 결정화는, 레이저 결정화법, RTA 또는 어닐링 퍼니스를 사용하는 열결정화법, 결정화를 촉진하는 금속 원소를 사용하는 열결정화법 또는 이 방법들을 조합한 방법등에 의해 행할 수 있다.

[0199] 상기 기판(100)으로서, SOI기판을 사용할 수 있다. 이 경우, SOI기판의 반도체층을, 예칭하여, 섬 형상의 반도체막(104, 106, 108, 110)을 형성할 수 있다. 또는, 반도체층을 부분적으로 산화하여, 산화시키지 않은 영역을 섬 형상의 반도체막(104, 106, 108, 110)으로서 사용할 수 있다. SOI 기판 대신에, GOI기판 또는 SGOI기판을 사용할 수 있다.

[0200] 다음에, 도 25a에 나타나 있는 바와 같이, 섬 형상의 반도체막(104, 106, 108, 110)을 덮도록 절연막(112)을 형성한다. 절연막(112)은, LPCVD법, 플라즈마CVD법에 의해, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘을 사용하여 단층막 또는 2층이상의 다층막으로 형성된다. 절연막(112)은, 메모리 셀MC의 트랜지스터Ts의 게이트 절연막으로서 기능한다. 그러므로, 10nm~50nm의 두께로 절연막(112)을 형성한다.

[0201] 다음에, 도 25b에 나타나 있는 바와 같이, 절연막(112)을 선택적으로 제거하고, 반도체막(104, 106, 108)의 표면을 노출시킨다. 여기에서는, 메모리부에 설치된 반도체막(110)을 선택적으로 레지스트(114)로 덮고, 반도체막(104, 106, 108) 위에 형성된, 절연막(112)을 예칭하여 제거한다.

[0202] 레지스트(114)를 제거하고, 도 25c에 나타나 있는 바와 같이, 반도체막(104, 106, 108) 위에 절연막(116, 118, 120)을 각각 형성한다. 절연막(120)은 메모리 트랜지스터Tm의 제1절연막을 구성한다. 절연막(116, 118, 120)의 두께는, 1~10nm이 바람직하 $r_h$ , 1~5nm가 보다 바람직하다. 이때, 절연막 116 및 118은 후의 공정으로 제거된다.

[0203]

절연막(116, 118, 120)은, 반도체막(104, 106, 108)을 열처리, 고밀도 플라즈마처리 등에 의해 형성될 수 있다. 예를 들면, 도 2의 불휘발성 메모리 트랜지스터의 제1절연막(11)과 마찬가지로, 고밀도 플라즈마처리에 의해, 반도체막(104, 106, 108)에 산화 처리, 질화처리 또는 산화 질화처리를 행함으로써, 반도체의 산화물, 질화물 또는 산화 질화물로 형성된 절연막(116, 118, 120)을 형성한다. 반도체막(104, 106, 108)이 실리콘막으로 형성되는 경우에, 고밀도 플라즈마처리에 의해 반도체막(104, 106, 108)의 산화 처리를 행했을 경우, 산화 실리콘층을 형성할 수 있고; 고밀도 플라즈마처리에 의해 반도체막(104, 106, 108)의 질화처리를 행했을 경우, 질화 실리콘층을 형성할 수 있고; 고밀도 플라즈마처리에 의해 반도체막(104, 106, 108)의 산화 질화처리를 행했을 경우, 산화 질화 실리콘층을 형성할 수 있다. 또한, 산화 처리를 행해서 산화 실리콘층을 형성한 후에, 질화처리를 행할 수도 있다. 이 경우, 질화처리 시간 등을 조절함에 의해, 표층이 질화된 산화 실리콘층, 산화 질화 실리콘층 또는 질화 실리콘층을 형성할 수 있다.

[0204]

여기에서는, 우선, 반응실내에 산소( $O_2$ )와 아르곤(Ar)과의 혼합 가스를 도입하고, 고밀도 플라즈마에 의해 산소 라디칼을 발생시켜서, 반도체막(104, 106, 108)에 산화 처리를 행하고, 그에 따라 반도체막(104, 106, 108)의 표면에 3nm~6nm정도의 두께의 산화 실리콘층을 형성한다. 프로세스 가스의 유량은, 산소는 0.1~100sccm, 아르곤은 100~5000sccm으로 할 수 있다.

[0205]

다음에, 산화 처리를 행한 반응실내에, 질소( $N_2$ )와 아르곤(Ar)과의 혼합 가스를 도입하고, 고밀도 플라즈마에 의해 질소 라디칼을 발생시켜서, 산화 실리콘층을 질화처리한다. 예를 들면, 질화처리 시간을 조절함으로써 질소농도가 20~50at.%정도의 두께 1nm정도의 층을 산화 실리콘층에 형성할 수 있다. 이 때에, 반도체막(110) 위에 형성된 절연막(112)의 표면도 산화 또는 질화되고, 산화 질화 실리콘층이 형성되는 경우가 있다. 프로세스 가스의 유량은, 질소는 20~2000sccm, 아르곤은 100~10000sccm으로 할 수 있다.

[0206]

다음에, 도 26a에 나타나 있는 바와 같이, 상기 절연막(112, 116, 118, 120)을 덮도록 전하축적층이 되는 제1질화 실리콘막(122) 및 제2질화 실리콘막(123)을 형성한다. 제1질화 실리콘막(122)은 실시 형태1의 제1질화 실리콘막(12)과 마찬가지로 형성할 수 있고, 제2질화 실리콘막(123)은 실시 형태1의 제2질화 실리콘막(13)과 마찬가지로 형성할 수 있다. 예를 들면, 플라즈마CVD장치의 반응실에,  $NH_3$  및  $SiH_4$ 를 도입하고, 기관온도 400°C에서 제1질화 실리콘막(122)을 형성한다. 같은 반응실에,  $N_2$ ,  $SiH_4$  및 Ar를 도입하고, 기관온도 400°C에서 제2질화 실리콘막(123)을 형성한다.

[0207]

다음에, 도 26b에 나타나 있는 바와 같이, 레지스트(124)를 형성하고, 에칭에 의해 절연막(116, 118), 제1질화 실리콘막(122)의 일부 및 제2질화 실리콘막(123)의 일부를 제거한다. 반도체막 104, 106의 윗면 및, 반도체막 108상의 절연막(120) 윗면을 노출시켜, 메모리 트랜지스터T<sub>m</sub>이 되는 반도체막 108 위에 제1질화 실리콘막(122) 및 제2질화 실리콘막(123)을 남긴다.

[0208]

레지스트(124)를 제거하고, 도 26c에 나타나 있는 바와 같이 기관(100) 위에 절연막(128)을 형성한다. 이 절연막(128)은, 로직부(54)의 트랜지스터Trp 및 Trn의 게이트 절연막을 구성하고, 메모리 트랜지스터T<sub>m</sub>의 제2절연막을 구성한다. 절연막(128)은, CVD법이나 스퍼터링법 등을 사용하여, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘 등으로 형성된 절연재료를 퇴적함으로써 형성된다. 절연막(128)은, 단층막 또는 2층이상의 다층막으로 형성된다. 예를 들면, 절연막(128)을 단층으로 형성한 경우에는, CVD법에 의해 산화 질화 실리콘층을 5~50nm의 두께로 형성한다. 또한, 절연막(128)을 3층구조로 형성하는 경우에는, 제1의 절연층으로서 산화 질화 실리콘층을 형성하고, 제2의 절연층으로서 질화 실리콘층을 형성하고, 제3의 절연층으로서 산화 질화 실리콘층을 형성한다.

[0209]

다음에, 도 27a에 나타나 있는 바와 같이, 절연막(128) 위에 도전막 130을 형성하고, 도전막 130 위에 도전막 132를 형성한다. 도전막 130과 도전막 132로 형성된 적층막은, 트랜지스터Trp, Trn, Ts 및 메모리 트랜지스터T<sub>m</sub>의 게이트 전극을 구성한다. 물론, 게이트 전극은 단층 구조의 도전막으로 형성할 수 있다.

[0210]

이때, 메모리 트랜지스터T<sub>m</sub>을 M N O S형으로 하는 경우에는, 도전막(130)을 형성하는 공정 전에, 에칭에 의해, 메모리 트랜지스터T<sub>m</sub>이 형성되는 영역으로부터 절연막(128)을 제거한다.

[0211]

도전막 130, 132는 단층 구조 또는 2층이상의 다층구조로 할 수 있다. 도전막 130, 132를 구성하는 도전성 재료에는, 탄타르(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 동(Cu), 크롬(Cr), 니오븀(Nb)등으로부터 선택된 단체금속, 이것들의 금속을 주성분으로 하는 합금, 및 화합물재료, 및 인 등의 불순물원소를 도핑한 다결정 실리콘 등을 사용할 수 있다. 예를 들면, 금속화합물로서는, 금속질화물, 실리사이드 등이

있다.

[0212] 예를 들면, 도전막 130을 질화 탄타르막으로 형성하고, 도전막 132를 텅스텐막으로 형성한다. 또는, 도전막 130을 질화 텅스텐, 질화 몰리브덴 또는 질화 티타늄으로부터 선택된 도전 재료의 단층막 또는 적층막으로 형성하고, 도전막 132를, 탄타르, 몰리브덴, 티타늄으로부터 선택된 도전 재료의 단층막 또는 적층막으로 형성할 수 있다.

[0213] 다음에, 도 27b에 나타나 있는 바와 같이, 도전막 130, 132로 형성된 적층막을 예칭하고, 반도체막 (104, 106, 108, 110)과 겹치는 도전막 134, 136, 138, 140을 각각 형성한다. 이 상태의 평면도가 도 30이다. 도전막 134, 136은, 각각, 트랜지스터Trp, Trn의 게이트 전극으로서 기능한다. 도전막 138은, 제2워드 선WL을 구성하고, 스위칭용 트랜지스터Ts의 게이트 전극으로서 기능한다. 도전막 140은 제1워드 선WL을 구성하고, 스위칭용 트랜지스터Ts의 게이트 전극으로서 기능한다.

[0214] 다음에, 도 27c에 나타나 있는 바와 같이, 반도체막(104)을 덮도록 레지스트(142)를 선택적으로 형성한다. 도전막(136, 138, 140)을 마스크로서 사용하고 반도체막(106, 108, 110)에 n형 도전성을 나타내는 불순물을 첨가하여, n형 고농도 불순물영역(146, 150, 154)을 형성한다. 고농도 불순물영역(146, 150, 154)은, 소스 영역 또는 드레인 영역을 구성한다. 이 n형 도전성을 나타내는 불순물의 첨가에 의해, 반도체막(106, 108, 110)에, 채널 형성 영역(144, 148, 152)이 자기정합적으로 각각 형성된다.

[0215] 레지스트(142)를 제거한다. 다음에, 도 28a에 나타나 있는 바와 같이, 반도체막(106, 108, 110)을 덮도록 레지스트(156)를 형성한다. 도전막(134)을 마스크로서 사용하고, 반도체막(104)에 p형 도전성을 나타내는 불순물을 첨가하여, p형 고농도 불순물영역(160)을 형성한다. 고농도 불순물영역(160)은, 소스 영역 또는 드레인 영역을 구성한다. 이 p형 도전성을 나타내는 불순물의 첨가에 의해, 반도체막(104)에, 채널 형성 영역(158)이 자기정합적으로 형성된다.

[0216] 레지스트(156)를 제거한다. 다음에, 도 28b에 나타나 있는 바와 같이, 도전막(134, 136, 138, 140)을 덮도록 절연막(162)을 형성한다. 절연막(162)에, 고농도 불순물영역(146, 150, 154, 160)에 도달하는 개구부를 형성한다. 절연막(162) 위에 반도체막(104, 106, 108, 110)에 형성된 고농도 불순물영역(146, 150, 154, 160)에 전기적으로 접속하는 도전막(164~170)을 형성한다. 이 상태의 평면도가 도 31이다. 도전막 164 및 도전막 165는, p채널형 트랜지스터Trp의 소스 전극 또는 드레인 전극을 구성한다. 도전막 166 및 도전막 167은, n채널형 트랜지스터Trn의 소스 전극 또는 드레인 전극을 구성한다. 도전막 168은 스위칭용 트랜지스터Ts와 메모리 트랜지스터Tm을 접속하는 전극을 구성한다. 도전막 169는 비트 선BL을 구성한다. 도전막 170은 소스 선SL을 구성한다.

[0217] 절연막(162)은 단층 구조 또는 적층구조로 할 수 있다. 절연막(162)을 구성하는 절연막으로서, CVD법이나 스퍼터링법등에 의해, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘 또는 D L C(다이아몬드 라이크 카본)등의 무기절연막으로 형성할 수 있다. 또한, 에폭시, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기재료로 형성된 막, 실록산 수지등의 실록산 재료로 이루어지는 막을 사용할 수 있다.

[0218] 도전막(164)은 단층 구조 또는 적층구조로 형성될 수 있다. 도전막(164)을 구성하는 도전성 재료에는, CVD법이나 스퍼터링법등에 의해, 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄타르(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 동(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd)으로부터 선택된 단체금속 원소, 또는 이것들의 원소를 주성분으로 하는 합금재료 혹은 화합물재료를 사용할 수 있다. 예를 들면, 알루미늄을 주성분으로 하는 합금재료는, 예를 들면, 알루미늄 및 니켈의 합금; 니켈과, 탄소와 실리콘의 한쪽 또는 양쪽을 포함하는 알루미늄 합금 등이 있다. 알루미늄이나 알루미늄 실리콘은, 저항치가 낮고, 저렴하기 때문에, 도전막(164)을 형성하는 재료에 적합하다.

[0219] 예를 들면, 3층구조의 도전막(164)으로서, 배리어층과 알루미늄 실리콘(Al-Si)층과 배리어층의 적층막, 배리어층과 알루미늄 실리콘(Al-Si)층과 질화 티타늄층과 배리어층의 적층막 등이 있다. 이때, 배리어층은, 티타늄, 티타늄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물로 형성된 박막으로 형성된다. 상층과 하층의 배리어층을 설치하면, 알루미늄이나 알루미늄 실리콘의 헬록의 발생을 방지할 수 있다. 또한, 환원성이 높은 원소인 티타늄으로 형성된 배리어층을 형성하면, 결정질 반도체층 위에 얇은 자연 산화막이 형성된 경우에도, 상기 배리어층은, 이 자연 산화막을 환원시킴에 따라, 결정질 반도체층과 양호한 콘택을 얻을 수 있다.

[0220] 이상의 공정에 의해, 메모리 셀 어레이(52) 및 로직부(54)가 동일기판(100) 위에 접적된 불휘발성 반도체장치를 제작할 수 있다.

[0221] (실시 형태4)

[0222] 상기 실시 형태3에서는, 메모리 셀MC에 형성되는 불휘발성 메모리 소자의 컨트롤 절연막으로서 기능하는 절연층과 로직부에 형성되는 박막트랜지스터의 게이트 절연막을 동시에 형성하는 제작 방법을 설명했지만, 불휘발성 반도체 기억장치의 제작 방법은 이것에 한정되지 않는다. 예를 들면, 도 32a 내지 도 32c에 나타나 있는 바와 같이 형성할 수도 있다.

[0223] 우선, 실시 형태3의 제작 방법에 의해, 도 26a의 프로세스까지를 행한다. 그리고, 도 32a에 나타나 있는 바와 같이, 마찬가지로 형성한 후, 제1절화 실리콘막(122) 및 제2절화 실리콘막(123) 위에 절연막(128)을 형성한다.

[0224] 다음에, 도 32b에 나타나 있는 바와 같이, 반도체막 108을 덮도록 레지스트(124)를 선택적으로 형성한 후, 반도체막 104, 106, 110의 윗쪽에 형성된 제1절화 실리콘막(122), 제2절화 실리콘막(123) 및 절연막(128)을 제거하고, 반도체막 104, 106 및 절연막(112)을 노출시킨다.

[0225] 다음에, 실시 형태3과 마찬가지로, 고밀도 플라즈마처리에 의해, 도 32c에 나타나 있는 바와 같이, 반도체막(104, 106)의 표면에 절연막(116, 118)을 형성한다. 이 결과, 로직부(54)에 형성되는 트랜지스터Trp 및 Trn의 게이트 절연막과, 메모리 셀MC에 형성되는 불휘발성 메모리 트랜지스터Tm의 제2절연막을 다른 두께 및 다른 재료로 형성할 수 있다.

[0226] 실시 형태3의 도 27a 이후의 프로세스를 행함으로써 불휘발성 반도체 기억장치를 제작할 수 있다.

[0227] (실시 형태5)

[0228] 본 실시 형태에서는, 반도체장치의 제작 방법에 관하여 설명한다. 본 실시 형태에서도, 실시 형태3 및 4와 마찬가지로, 불휘발성 반도체 기억장치의 제작 방법에 관하여 설명한다.

[0229] 도 33a~도 33c, 도 34a~도 34c 및 도 35a~도 35c는, 본 실시 형태의 제작 방법을 나타내는 단면도이다. 실시 형태3과 마찬가지로, 로직부(54)의 트랜지스터Trp, Trn, 및 메모리 셀 어레이(52)의 불휘발성 메모리 트랜지스터Tm 및 스위칭용 트랜지스터Ts의 단면도를 나타낸다. 본 실시 형태에서도, 메모리 셀 어레이(52)는, 실시 형태3과 마찬가지로, 도 19에 나타낸 회로로 구성되어 있다. 이때, 본 실시 형태의 제작 방법은, 도 25a~도 25c, 도 26a~도 26c, 도 27a~도 27c, 및 도 28a, 28b와 동일한 부호의 구성요소를 제작하는 프로세스에는 실시 형태3의 프로세스를 적용하는 것이 가능하기 때문에, 그 상세한 설명은 실시 형태3의 설명을 원용한다.

[0230] 우선, 실시 형태3에서 설명한 도 25a까지의 프로세스를 행한다. 다음에, 절연막(112) 위에 레지스트(114)를 형성한다. 이 레지스트(114)를 사용하고, 에칭에 의해, 레지스트(114)에 의해 덮이지 않은 영역의 절연막(112)을 제거한다(도 33a 참조).

[0231] 이 에칭에 의해, 반도체막(104, 106, 108)의 단부가 절연막(112)에 덮힌 구조가 된다. 이러한 구조는, 반도체막(104, 106, 108) 위에 형성된 절연막(112)을 에칭에 의해 모두 제거했을 경우에, 반도체막(104, 106, 108)의 단부(edge)와 하지절연막(102)과의 부분에 있어서 하지절연막(102)에 오목부가 형성되는 것을 방지하도록 설치된다. 하지절연막(102)에 오목부가 형성되면, 그 후에 반도체막(104, 106, 108)을 덮는 절연층 등을 형성했을 경우에 피복 불량 등의 문제가 생긴다. 이러한 문제를 회피하기 위해서는, 반도체막(104, 106, 108)의 단부를 절연막(112)으로 덮는 것이 효과적이다.

[0232] 레지스트(114)를 제거한다. 도 33b에 나타나 있는 바와 같이, 실시 형태3과 마찬가지로, 고밀도 플라즈마처리에 의해, 반도체막(104, 106, 108) 위에 절연막(116, 118, 120)을 형성한다. 다음에, 도 33c에 나타나 있는 바와 같이, 실시 형태3과 마찬가지로, 제1절화 실리콘막(122) 및 제2절화 실리콘막(123)을 형성한다.

[0233] 다음에, 도 34a에 나타나 있는 바와 같이, 반도체막 108 및 반도체막 110을 레지스트(126)로 덮고, 레지스트(126)로 덮어져 있지 않은 영역에 형성된 제1절화 실리콘막(122) 및 제2절화 실리콘막(123)을 에칭에 의해 제거한다. 레지스트(126)를 제거하고, 도 34b에 나타나 있는 바와 같이, 절연막(128)을 형성한다. 절연막(128)의 형성 방법은, 실시 형태3과 마찬가지로 행할 수 있다. 예를 들면, 절연막(128)으로서, 플라즈마CVD법에 의해 산화 질화 실리콘층을 5~50nm의 두께로 형성한다.

[0234] 다음에, 도 34c에 나타나 있는 바와 같이, 반도체막(104, 106, 108, 110)의 윗쪽에, 게이트 전극으로서 기능하는 도전막(134, 136, 138, 140)을 형성한다. 이때, 메모리부에 설치된 반도체막(108)의 윗쪽에 형성되는 도전막(138)은, 제2워드 선WL을 구성하고, 또한 불휘발성 메모리 트랜지스터Tm에 있어서 제어 게이트로서 기능

한다. 또한, 도전막(134, 136)은, 각각, 트랜지스터Trp, Trn의 게이트 전극으로서 기능한다. 도전막(140)은 제1워드 선WL을 구성하고, 스위칭용 트랜지스터Ts의 게이트 전극으로서 기능한다.

[0235] 또한, 메모리 트랜지스터Tm을 M N O S형으로 하는 경우에는, 도전막(134, 136, 138, 140)을 형성하는 공정 전에, 에칭에 의해, 메모리 트랜지스터Tm이 형성되는 영역으로부터 절연막(128)을 제거한다.

[0236] 다음에, 도 35a에 나타나 있는 바와 같이, 반도체막(104)을 덮도록 레지스트(142)를 선택적으로 형성하고, 레지스트(142)와 도전막(136, 138, 140)을 마스크로서 사용하여 반도체막(106, 108, 110)에 n형 도전성을 나타내는 불순물원소를 첨가한다. 이 n형 도전성을 나타내는 불순물원소의 첨가공정에 의해, 반도체막(106, 108, 110)에 고농도 불순물영역(146, 150, 154) 및 채널 형성 영역(144, 148, 152)이 자기정합적으로 각각 형성된다.

[0237] 레지스트(142)를 제거한다. 다음에, 도 35b에 나타나 있는 바와 같이, 반도체막(106, 108, 110)을 덮도록 레지스트(156)를 형성한다. 도전막(134)을 마스크로서 사용하고, 반도체막(104)에 p형 도전성을 나타내는 불순물원소를 도입함으로써, 반도체막(104)에 고농도 불순물영역(160) 및 채널 형성 영역(158)을 자기정합적으로 형성한다.

[0238] 레지스트(156)를 제거한다. 다음에, 도 35c에 나타나 있는 바와 같이, 도전막(134, 136, 138, 140)을 덮도록 절연막(162)을 형성하고, 고농도 불순물영역(146, 150, 154, 160)에 달하는 개구부를 형성한다. 절연막(162) 위에 반도체막(104, 106, 108, 110)에 각각 형성된 고농도 불순물영역(146, 150, 154, 160)에 전기적으로 접속하는 도전막(164~170)을 형성한다. 이상의 프로세스를 경과하여, 메모리 셀 어레이(52) 및 로직부(54)를 동일기판(100) 위에 접속한 불휘발성 반도체 기억장치가 제작된다.

[0239] (실시 형태6)

[0240] 본 실시 형태에서는, 반도체장치의 제작 방법에 관하여 설명한다. 본 실시 형태에서는, 실시 형태3~5과 마찬가지로, 불휘발성 반도체 기억장치의 제작 방법에 관하여 설명한다.

[0241] 도 36a~도 36c, 도 37a~도 37c 및 도 38a~도 38c는, 본 실시 형태의 제작 방법을 나타내는 단면도이다. 상기 실시 형태3과 마찬가지로, 로직부(54)의 트랜지스터Trp, Trn, 및 메모리 셀 어레이의 불휘발성 메모리 트랜지스터Tm 및 스위칭용 트랜지스터Ts의 단면도를 나타낸다. 본 실시 형태에서도, 메모리 셀 어레이(52)는, 실시 형태3과 같이 도 19에 나타내는 회로로 구성되어 있다. 또한, 본 실시 형태의 제작 방법에 있어서, 도 25a~도 25c, 도 26a~도 26c, 도 27a~도 27c, 및 도 28a, 28b와 동일한 부호의 구성요소를 제작하는 프로세스에는, 실시 형태3의 프로세스를 적용하는 것이 가능하기 때문에, 그 상세한 설명은 실시 형태3의 설명을 원용한다.

[0242] 우선, 도 36a에 나타나 있는 바와 같이, 기판(100) 위에 하지절연막(102)을 형성하고, 하지절연막(102) 위에 반도체막(103)을 형성하고, 반도체막(103) 위에 절연막(112)을 형성한다.

[0243] 반도체막(103)의 형성 방법으로서, 다음의 방법을 사용할 수 있다. 스퍼터링법, LPCVD법, 플라즈마CVD 법등을 사용하여, 실리콘, 실리콘 게르마늄, 또는 게르마늄으로 형성된 비정질반도체막을 형성하고, 비정질반도체막을 결정화시켜서, 결정성 반도체막을 형성한다. 비정질반도체막의 결정화는, 레이저 결정화법, R T A 또는 어닐링 퍼니스를 사용하는 열결정화법, 결정화를 촉진하는 금속 원소를 사용하는 열결정화법 또는 이것들 방법을 조합한 방법등에 의해 행할 수 있다.

[0244] 다음에, 절연막(112) 위에 레지스트(114)를 형성한다. 도 36b에 나타나 있는 바와 같이, 레지스트(114)를 마스크로서 사용하고 절연막(112)을 에칭한다. 레지스트(114)를 제거하고, 도 36c에 나타나 있는 바와 같이, 노출한 반도체막(103)을 고밀도 플라즈마처리 하여, 절연막(115)을 형성한다. 절연막 115의 형성은, 실시 형태3의 절연막 116, 118과 같은 방법을 사용할 수 있다.

[0245] 다음에, 도 37a에 나타나 있는 바와 같이, 절연막(115, 112) 위에 제1질화 실리콘막(122)을 형성하고, 제1질화 실리콘막(122) 위에 제2질화 실리콘막(123)을 형성한다.

[0246] 다음에, 레지스트(125)를 형성한다. 레지스트(125)를 마스크로서 사용하고, 도 37b에 나타나 있는 바와 같이, 절연막(115), 제1질화 실리콘막(122) 및 제2질화 실리콘막(123)을 에칭한다. G와 H사이의 제1질화 실리콘막(122) 및 제2질화 실리콘막(123)은, 스위칭용 트랜지스터의 게이트 절연막으로서 기능한다. G와 H사이의 제1질화 실리콘막(122) 및 제2질화 실리콘막(123)은 제거할 수도 있다.

- [0247] 레지스트(125)를 제거한다. 다음에, 도 37c에 나타나 있는 바와 같이, 레지스트 마스크를 사용해서 반도체막 103을 에칭해서 섬 형상의 반도체막 104, 106, 108, 110을 형성한다(도 37c 참조).
- [0248] 다음에, 도 38a에 나타나 있는 바와 같이, 반도체막(104, 106, 108, 110)을 덮는 절연막(128)을 형성한다. 다음에, 도 38b에 나타나 있는 바와 같이, 반도체막(104, 106, 108, 110)의 윗쪽에 각각 케이트 전극으로서 기능하는 도전막(134, 136, 138, 140)을 형성한다.
- [0249] 이때, 메모리 트랜지스터Tm을 M N O S형으로 하는 경우에는, 도전막(134, 136, 138, 140)을 형성하는 공정 전에, 에칭에 의해, 메모리 트랜지스터Tm이 형성되는 영역으로부터 절연막(128)을 제거한다.
- [0250] 다음에, 실시 형태3의 도 27c 및 도 28a의 프로세스를 행하고, 도 38c에 나타나 있는 바와 같이, 반도체막(104, 106, 108, 110)에 채널 형성 영역(158, 144, 148, 152), 및 고농도 불순물영역(160, 146, 150, 154)을 형성한다. 다음에, 절연막(162)을 형성하고, 절연막(162)에 고농도 불순물영역(160, 146, 150, 154)에 달하는 통로를 형성한다. 다음에, 절연막(162) 위에 반도체막(104, 106, 108, 110)에 각각 형성된 고농도 불순물영역(160, 146, 150, 154)에 전기적으로 접속하는 도전막(164~170)을 형성한다.
- [0251] 이상의 프로세스를 경과하여, 메모리 셀 어레이(52) 및 로직부(54)를 동일기판(100) 위에 집적한 불휘발성 반도체 기억장치가 제작된다.
- [0252] (실시 형태7)
- [0253] 본 실시 형태에서는, 반도체장치의 제작 방법으로서, 반도체기판을 사용한 불휘발성 반도체 기억장치의 제작 방법에 관하여 설명한다.
- [0254] 도 39a~도 39c, 도 40a~도 40c, 도 41a~도 41c, 도 42a~도 42c 및 도 43a~도 43c는, 본 실시 형태의 불휘발성 반도체 기억장치의 제작 공정을 설명하기 위한 단면도다. 본 실시 형태에서는, 메모리 셀 어레이(52)는, 도 21과 같은 N A N D형 메모리 셀로 구성한다. 도 39a~도 39c, 도 40a~도 40c, 도 41a~도 41c, 도 42a~도 42c 및 도 43a~도 43c에 있어서, A와 B 사이에는 로직부(54)에 설치되는 p채널형 트랜지스터Trp 및 n채널형 트랜지스터Trn의 단면을 나타낸다. 또한, C와 D 사이에는 메모리 셀 어레이(52)에 설치되는 불휘발성 메모리 트랜지스터Tm 및 제2선택 트랜지스터S2의 단면을 나타낸다. 도 44a, 44b, 도 45a, 45b, 및 도 46a, 46b는, 본 실시 형태의 제작 공정을 설명하기 위한 평면도다. 도 44a, 44b, 도 45a, 45b, 및 도 46a, 46b의 일점쇄선 A-B 및 C-D에서 자른 단면도가, 도 39a~도 39c, 도 40a~도 40c, 도 41a~도 41c, 도 42a~도 42c 및 도 43a~도 43c에 대응한다.
- [0255] 우선, 도 39a에 나타나 있는 바와 같이, 반도체기판(1200)을 준비한다. n형 도전성을 갖는 단결정 Si웨이퍼를 반도체기판(1200)으로서 사용한다. 반도체기판(1200) 위에 절연막(1201)을 형성한다. 절연막(1201)의 형성 방법에는, 열산화처리에 의해, 반도체기판(1200) 윗면을 산화하고, 산화 실리콘을 형성하는 방법을 사용할 수 있다. 절연막(1201) 위에 CVD법을 사용해서 질화 실리콘막(1202)을 형성한다. 또한, 질화 실리콘막(1202)은, 절연막(1201)을 형성한 후에 고밀도 플라즈마처리에 의해 절연막(1201)을 질화 함으로써 형성할 수 있다.
- [0256] 다음에, 도 39b에 나타나 있는 바와 같이, 질화 실리콘막(1202) 위에 레지스트(1203)의 패턴을 형성한다. 레지스트(1203)를 마스크로서 사용하고, 질화 실리콘막(1202), 절연막(1201) 및 반도체기판(1200)을 에칭하여서, 반도체기판(1200)에 오목부(1204)를 형성한다. 이 에칭은 플라즈마를 이용한 드라이에칭에 의해 행할 수 있다.
- [0257] 레지스트(1203)를 제거한다. 다음에, 도 39c에 나타나 있는 바와 같이, 반도체기판(1200)에 형성된 오목부(1204)를 채우는 절연막(1205)을 형성한다. 절연막(1205)은, CVD법이나 스퍼터링법등을 사용하고, 산화 실리콘, 질화 실리콘, 산소를 포함하는 질화 실리콘, 질소를 포함하는 산화 실리콘 등의 절연재료를 사용해서 형성한다. 여기에서는, 절연막(1205)으로서, 상암CVD법 또는 감암CVD법에 의해 T E O S(테트라에틸올소실리케이트)가스를 사용해서 산화 실리콘을 형성한다.
- [0258] 다음에, 연삭처리, 연마 처리 또는 화학기계연마(C M P)처리를 행함으로써, 도 40a에 나타나 있는 바와 같이, 절연막 1205, 질화 실리콘막(1202), 및 절연막 1201을 제거하고, 반도체기판(1200)의 표면을 노출시킨다. 이 처리에 의해, 반도체기판(1200)의 오목부(1204)에 남은 절연막들(1205) 사이에 반도체영역(1207~1209)이 설치된다. 다음에, p형의 도전성을 나타내는 불순물원소를 선택적으로 반도체기판(1200)에 첨가 함으로써, p웰(1210)을 형성한다. 이 상태의 평면도가 도 44a 및 도 44b이다.
- [0259] 이때, 본 실시 형태에서는, 반도체기판(1200)으로서 n형의 도전성을 갖는 반도체기판을 사용하고 있기

때문에, 반도체영역(1207)에는 불순물원소의 도입을 행하지 않고 있다. 그렇지만, n형 도전성을 나타내는 불순물원소를 도입하여 반도체영역(1207)에 n웰을 형성할 수 있다. 이때, p형의 반도체기판을 사용할 경우에는, n웰을 형성 함으로써 반도체영역(1207)을 형성한다. 반도체영역(1208, 1209)은 p웰로 형성해도 되지만, 반드시 p웰로 형성되지 않아도 된다.

[0260] 다음에, 도 40b에 나타나 있는 바와 같이, 반도체기판(1200)의 윗면에 절연막(1211)을 형성한다. 이 절연막(1211)은, 실시 형태3의 절연막(112)과 마찬가지로 형성될 수 있다. 여기에서는, 절연막(1211)으로서, 플라즈마CVD법에 의해 산화 질화 실리콘막을 형성한다. 또한, 반도체영역(1209) 위에 형성된 절연막(1211)은, 스위칭용 트랜지스터Ts의 게이트 절연막을 구성한다.

[0261] 다음에, 도 40c에 나타나 있는 바와 같이, 레지스트(1212)를 형성한다. 레지스트(1212)를 사용하여, 반도체기판(1200)의 반도체영역(1207, 1208) 위에 형성된 절연막(1211)을 제거한다.

[0262] 레지스트(1212)를 제거한 후, 도 41a에 나타나 있는 바와 같이, 반도체영역 1207의 윗면에 절연막 1214를 형성하고, 반도체영역 1208의 윗면에 절연막 1215를 형성한다. 반도체영역(1209)에는, 절연막(1216)을 형성한다. 다음에, 절연막(1214~1216)을 덮도록 제1질화 실리콘막(1012)을 형성하고, 제1질화 실리콘막(1012) 위에 제2질화 실리콘막(1013)을 형성한다.

[0263] 절연막(1214~1216)은, 반도체기판(1200)을 고밀도 플라즈마처리에 의해, 산화하고, 질화처리를 행함으로써 형성할 수 있다. 고밀도 플라즈마처리는, 실시 형태3과 마찬가지로 행할 수 있다. 절연막(1214~1216)은, 열산화 또는 열질화에 의해서도 형성할 수 있다.

[0264] 다음에, 도 41b에 나타나 있는 바와 같이, 레지스트(1218)를 형성한다. 레지스트(1218)를 마스크로서 사용하고, 제2질화 실리콘막(1013), 제1질화 실리콘막(1012) 및 절연막(1214~1216)을 에칭한다. 여기에서는, 반도체영역(1207, 1208)으로부터, 제2질화 실리콘막(1013), 제1질화 실리콘막(1012), 절연막 1214 및 절연막 1215를 제거한다. 반도체영역(1209)에 있어서는, 불휘발성 메모리 트랜지스터Tm이 형성되는 영역에, 제2질화 실리콘막(1013), 제1질화 실리콘막(1012) 및 절연막(1216)을 남기고, 다른 영역으로부터는 이것들의 절연막을 제거한다.

[0265] 레지스트(1218)를 제거한 후, 도 41c에 나타나 있는 바와 같이, 반도체영역(1207~1209)을 덮는 절연막(1221)을 형성한다. 절연막(1221)은 단층막 또는 적층막으로 형성되어도 된다. 절연막(1211)을 구성하는 절연막은, CVD법이나 스퍼터링법등을 사용하여, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘 등의 절연재료를 사용해서 형성할 수 있다. 여기에서는, 절연막(1221)으로서, SiH<sub>4</sub> 및 N<sub>2</sub>O을 원료로서 사용해서, 플라즈마CVD법에 의해 산화 질화 실리콘막을 형성한다.

[0266] 다음에, 도 42a에 나타나 있는 바와 같이, 절연막(1221) 위에 도전막 1222를 형성하고, 도전막 1222 위에 도전막 1223을 형성한다. 도전막 1222, 1223은, 실시 형태3의 도전막 130, 132와 마찬가지로 형성할 수 있다. 여기에서는, 질화 탄타르로 도전막 1222를 형성하고, 텅스텐으로 도전막 1223을 형성한다.

[0267] 다음에, 도전막 1222, 1223을 에칭하고, 도 42b, 도 45a 및 도 45b에 나타나 있는 바와 같이, 게이트 전극으로서 각각 기능하는 도전막 1224~1228을 형성한다. 이 에칭 공정에 의해, 반도체영역(1207~1209)에 있어서, 도전막(1224~1228)과 겹치지 않는 영역의 표면을 노출시킨다. 도전막 1226은 제2선택 게이트 선을 구성하고, 도전막 1227은 워드 선을 구성하고, 도전막 1228은, 제1선택 게이트 선을 구성한다.

[0268] 다음에, 도 42c에 나타나 있는 바와 같이, 반도체영역(1207~1209)에 불순물원소를 선택적으로 도입하여, 저농도 불순물영역(1229~1231)을 형성한다. 도전막(1225~1227)을 마스크로서 사용하고, 반도체영역(1208, 1209)에 n형의 도전성을 나타내는 불순물을 도입하고, n형의 저농도 불순물영역(1230, 1231)을 형성한다. 반도체영역(1207)에는, 도전막(1224)을 마스크로서 사용하고, p형의 도전성을 나타내는 불순물을 첨가하여 p형의 저농도 불순물영역(1229)을 형성한다.

[0269] 다음에, 도전막(1224~1228)의 측면과 접하는 절연막으로 형성된 스페이서(1233~1237)(사이드월이라고도 불린다)를 형성한다(도 43a, 도 45a, 도 45b 참조). 구체적으로는, 플라즈마CVD법, 스퍼터링법등에 의해, 실리콘, 산화 실리콘 또는 질화 실리콘 등의 무기재료나, 유기수지등의 유기재료로, 단층 구조 또는 2층이상의 다층구조의 절연막을 형성한다. 그리고, 이 절연막을, 주로 수직방향으로 이방성 에칭 처리함으로써 도전막(1224~1227)의 측면에 접하는 스페이서(1233~1237)가 형성될 수 있다.

[0270] 다음에, 도 43a에 나타나 있는 바와 같이, 스페이서(1233~1237)와 도전막(1224~1228)을 마스크로서

사용하고, 반도체영역(1207~1209)에 불순물원소를 도입함으로써 소스 영역 또는 드레인 영역으로서 기능하는 고농도 불순물영역(1238~1240)을 형성한다. 도 43a의 평면도는 도 45a 및 도 45b에 대응한다.

[0271] 반도체영역(1207)에는, 고농도 불순물영역(1238), L D D영역을 형성하는 저농도 불순물영역(1241), 및 채널 형성 영역(1245)이 형성된다. 또한, 반도체영역(1208)에는, 고농도 불순물영역(1239), L D D영역을 형성하는 저농도 불순물영역(1242), 및 채널 형성 영역(1246)이 형성된다. 또한, 반도체영역(1209)에는, 고농도 불순물영역(1240), L D D영역을 형성하는 저농도 불순물영역(1243, 1244), 및 채널 형성 영역(1247, 1248)이 형성된다. 반도체영역(1207~1209)에 형성된 고농도 불순물영역(1238~1240)은, 소스 영역 또는 드레인 영역을 구성한다.

[0272] 이때, 본 실시 형태에서는, 도전막(1224~1228)과 겹치지 않는 반도체영역(1207~1209)을 노출시킨 상태에서 불순물원소의 도입을 행하고 있다. 따라서, 반도체영역(1207~1209)에 형성된 채널 형성 영역(1245~1248)은, 도전막(1224~1228)에 대하여 자기정합적으로 형성될 수 있다.

[0273] 다음에, 도 43b에 나타나 있는 바와 같이, 절연막(1249)을 형성하고, 그 절연막(1249)에 개구부(1250~1254)를 형성한다. 절연막 1249는, 실시 형태3의 절연막 162와 마찬가지로 형성할 수 있다. 여기에서는, 폴리실라잔을 사용한다.

[0274] 다음에, 개구부(1250~1254)에 도전막(1255~1259)을 각각 형성하고, 도전막 1255~1259와 전기적으로 접속하도록 절연막(1249) 위에 도전막 1260~1263을 선택적으로 형성한다. 도전막 1255~1259, 1260~1263은, 실시 형태3에 나타낸 도전막 164와 마찬가지로 형성할 수 있다. 또한, 도전막(1255~1259)은 CVD법에 의해 텅스텐(W)을 선택 성장 함에 의해 형성할 수 있다. 도 43c의 평면도는, 도 46a 및 도 46b에 대응한다. 도전막 1259 및 도전막 1263은 비트 선을 구성한다.

[0275] 이상의 공정에 의해, 반도체기판(1200)의 반도체영역 1207에 형성된 p형의 트랜지스터Trp과, 반도체영역 1208에 형성된 n형의 트랜지스터Trn과, 반도체영역 1209에 형성된 n형의 제2선택 트랜지스터S2, 및 불휘발성 메모리 트랜지스터Tm이 집적된, 불휘발성 반도체 기억장치가 제작된다.

[0276] 이때, 오목부(1204) 및 절연막(1205)은 소자분리를 위해 형성된다. 그렇지만, 오목부(1204) 및 절연막(1205) 대신에, 도 47에 나타나 있는 바와 같이, LOCOS(Local Oxidation of silicon)법에 의해, 소자분리 영역으로서 절연막(1290)을 형성할 수 있다.

[0277] (실시 형태8)

[0278] 본 실시 형태에서는, 반도체장치의 제작 방법으로서, 불휘발성 반도체 기억장치의 제작 방법에 관하여 설명한다. 본 실시 형태에서는, 실시 형태7과 마찬가지로, 반도체기판을 사용한 불휘발성 반도체 기억장치의 제작 방법에 관하여 설명한다.

[0279] 도 48a~도 48c 및 도 49a~도 49c는, 본 실시 형태의 제작 방법을 각각 나타내는 단면도이다. 도 39a~도 39c, 도 40a~도 40c, 도 41a~도 41c, 도 42a~도 42c 및 도 43a~도 43c와 마찬가지로, 로직부(54)의 트랜지스터Trp, Trn, 및 메모리 셀 어레이(52)의 불휘발성 메모리 트랜지스터Tm 및 제2선택 트랜지스터S2의 단면도를 나타낸다. 이때, 본 실시 형태에 있어서, 도 39a~도 39c, 도 40a~도 40c, 도 41a~도 41c, 도 42a~도 42c 및 도 43a~도 43c와 동일한 부호의 구성요소를 제작하는 프로세스에, 실시 형태7의 프로세스를 적용하는 것이 가능해서, 그 상세한 설명은 실시 형태7의 설명을 원용한다.

[0280] 실시 형태7에서 설명한 도 39a로부터 도 41a까지의 공정을 행한다. 다음에, 도 48a에 나타나 있는 바와 같이, 제2질화 실리콘막(1013) 위에, 절연막(1271)을 형성한다. 절연막 1271은, 실시 형태6의 절연막 1221과 마찬가지로 형성할 수 있다.

[0281] 다음에, 절연막(1271) 위에 레지스트(1218)를 형성한다. 레지스트(1218)를 마스크로서 사용하고, 절연막(1271), 제2질화 실리콘막(1013), 제1질화 실리콘막(1012) 및 절연막(1214~1216)을 에칭한다. 도 48b에 나타나 있는 바와 같이, 반도체영역(1209)의 메모리 트랜지스터Tm이 형성되는 영역 위에, 절연막(1216), 제1질화 실리콘막(1012), 제2질화 실리콘막(1013) 및 절연막(1271)으로 형성된 적층막이 형성된다. 다른 영역으로부터 제1질화 실리콘막(1012), 제2질화 실리콘막(1013) 및 절연막 1271, 절연막 1216, 1214, 1215은 제거된다. 반도체영역 1207, 반도체영역 1208 및 절연막(1211)이 노출되고, 반도체영역 1209는 그 일부가 노출된다.

[0282] 레지스트(1218)를 제거한 후, 반도체영역(1207~1209)의 노출된 부분을 산화 처리 또는 질화처리하고, 도 48c에 나타나 있는 바와 같이, 절연막(1273~1275)을 형성한다. 절연막 1273~1275는 실시 형태7의 절연막

1214, 1215와 같은 방법으로 형성할 수 있다. 절연막(1273, 1274)은, 로직부(54)에 형성된 트랜지스터Trp 및 Trn의 게이트 절연막을 구성한다. 예를 들면, 절연막(1273~1275)의 형성은, 반도체기판(1200)의 표면을 고밀도 플라즈마에 의해 산화 처리를 행하고, 연속하여, 고밀도 플라즈마에 의해 질화처리를 행함으로써 형성할 수 있다.

[0283] 다음에, 도 48c에 나타나 있는 바와 같이, 반도체기판(1200) 위에 도전막 1222를 형성하고, 도전막 1222 위에 도전막 1223을 형성한다.

[0284] 다음에, 도전막 1222과 도전막 1223으로 형성된 적층막을 에칭하여, 도전막(1224~1228)을 형성한다(도 49a, 도 45a, 도 45b 참조). 또한, 도전막(1224~1227)을 마스크로서 사용하고, 도 49a에 나타나 있는 바와 같이, 이들 도전막(1224~1227)의 아래에 형성되어 있는 절연막들을 에칭한다.

[0285] 반도체영역 1207상의 절연막 1273은 트랜지스터Trp의 게이트 절연막을 구성한다. 반도체영역 1208상의 절연막 1274은 트랜지스터Trn의 게이트 절연막을 구성한다. 반도체영역 1209상의 절연막 1211은 제2선택 트랜지스터S2의 게이트 절연막을 구성한다. 반도체영역 1209상의 절연막 1216은 메모리 트랜지스터Tm의 제1절연막을 구성한다. 제1질화 실리콘막(1012) 및 제2질화 실리콘막(1013)은 그 메모리 트랜지스터Tm의 전하축적층을 구성한다. 절연막(1271)은 메모리 트랜지스터Tm의 제2절연막을 구성한다.

[0286] 다음에, 실시 형태7과 마찬가지로, 반도체영역(1207~1209)에 불순물원소를 저농도로 첨가하고, 저농도 불순물영역을 형성한다. 다음에, 도전막(1224~1228)의 측면과 접하는 절연막으로 형성된 스페이서(1233~1237)를 각각 형성한다. 그리고, 반도체영역(1207~1209)에 불순물원소를 고농도로 첨가하여, 고농도 불순물영역을 형성한다.

[0287] 이 공정을 행함으로써, 도 49b에 나타나 있는 바와 같이, 반도체영역(1207)에는, 고농도 불순물영역(1238), 저농도 불순물영역(1241), 채널 형성 영역(1245)이 자기정합적으로 형성된다. 반도체영역(1208)에는, 고농도 불순물영역(1239), 저농도 불순물영역(1242), 채널 형성 영역(1246)이 자기정합적으로 형성된다. 반도체영역(1209)에는, 고농도 불순물영역(1240), 저농도 불순물영역(1243, 1244), 채널 형성 영역(1247, 1248)이 자기정합적으로 형성된다. 이 상태의 평면도는 도 45a 및 도 45b에 도시되어 있다.

[0288] 실시 형태7과 같은 공정을 행하고, 도 49c에 나타나 있는 바와 같이, 절연막(1249), 도전막 1255~1259, 도전막 1260~1263을 형성한다. 도 49c의 평면도는, 도 46a 및 도 46b에 도시되어 있다.

[0289] 이상의 공정에 의해, 반도체기판(1200) 위에, 로직부(54) 및 메모리 셀 어레이(52)가 집적된 불휘발성 반도체 기억장치를 얻을 수 있다.

[0290] (실시 형태9)

[0291] 본 실시 형태에서는, 비접촉으로 데이터의 입출력이 가능한 반도체장치에 관하여 설명한다. 반도체장치에, 불휘발성 반도체 기억장치를 사용한다. 본 실시 형태에서 설명하는 반도체장치는 이용 패턴에 따라, RFID태그, ID태그, IC태그, IC칩, RF태그, 무선 태그, 전자 태그 또는 무선 칩이라 한다.

[0292] 도 50은 비접촉으로 데이터의 입출력이 가능한 반도체장치의 구성 예를 나타내는 블록도다. 도 44a 및 도 44b에 나타나 있는 바와 같이, 반도체장치(800)는, 비접촉으로 데이터를 교환하는 기능을 갖고, 고주파회로(810), 전원회로(820), 리셋트 회로(830), 클록 발생 회로(840), 데이터 복조 회로(850), 데이터 변조 회로(860), 반도체장치(800)에 포함되는 회로의 제어를 행하는 제어회로(870), 기억장치(880) 및 안테나(890)를 가지고 있다.

[0293] 고주파회로(810)는 안테나(890)로부터 신호를 수신하고, 데이터 변조 회로(860)로부터 수신한 신호를 안테나(890)로부터 출력한다. 전원회로(820)는 수신 신호로부터 전원전위를 생성한다. 리셋트 회로(830)는 리셋트 신호를 생성한다. 클록 발생 회로(840)는 안테나(890)로부터 입력된 수신 신호를 기초로 각종 클록 신호를 생성한다. 데이터 복조 회로(850)는 수신 신호를 복조해서 제어회로(870)에 출력한다. 데이터 변조 회로(860)는 제어회로(870)로부터 수신한 신호를 변조한다.

[0294] 제어회로(870)로서는, 예를 들면, 코드 추출 회로(910), 코드 판정 회로(920), CRC판정 회로(930) 및 출력 유닛 회로(940)가 설치된다. 이때, 코드 추출 회로(910)는 제어회로(870)에 보내져 온 명령에 포함된 복수의 코드를 각각 추출한다. 코드 판정 회로(920)는, 추출된 코드와 레퍼런스에 해당하는 코드를 비교해서 명령의 내용을 판정한다. CRC판정 회로(930)는 판정된 코드에 의거하여 송신 오류 등의 유무를 검출한다.

[0295] 기억장치(880)는, 실시 형태1~8의 임의의 실시 형태에서 설명한 불휘발성 반도체장치와, 재기록이 불가능한 ROM을 구비한다. 본 발명의 불휘발성 반도체 기억장치는, 구동전압을 낮게 할 수 있으므로, 통신 거리가 연장되고, 또 고품위의 통신이 가능해진다.

[0296] 리더(reader)/라이터(writer)등의 통신 기기로부터 반도체장치(800)에 신호를 보내고, 반도체장치(800)로부터 보내져 온 신호를 통신 기기로 수신 함으로써, 반도체장치(800)의 데이터를 관독하는 것이 가능해진다. 다음에, 반도체장치(800)의 통신 동작에 관하여 설명한다. 안테나(890)에 의해 무선신호가 수신된 후, 무선신호는 고주파회로(810)를 거쳐서 전원회로(820)에 보내져, 고전원전위(이하, VDD라고 함)가 생성된다. VDD는 반도체장치(800)에서의 각 회로에 공급된다. 이때, 반도체장치(800)를 구성하는 복수의 회로는, 저전원전위(이하, VSS)를 공통으로 하고, VSS는 접지전위(GND)로 할 수 있다.

[0297] 고주파회로(810)를 거쳐서 데이터 복조 회로(850)에 보내진 신호는 복조된다(이하, 이 신호를 복조 신호라고 함). 게다가, 고주파회로(810)를 거쳐서 리셋트 회로(830) 및 클록 발생 회로(840)를 통과한 신호들 및 복조 신호는 제어회로(870)에 보내진다. 제어회로(870)에 보내진 신호는, 코드 추출 회로(910), 코드 판정 회로(920) 및 CRC판정 회로(930)등에 의해 해석된다. 그리고, 해석된 신호에 따라서, 상기 기억장치(880)내에 기억되어 있는 반도체장치(800)의 정보가 출력된다. 출력된 반도체장치(800)의 정보는 출력 유닛 회로(940)를 거쳐서 인코드된다. 또한, 인코드된 반도체장치(800)의 정보는 데이터 변조 회로(860)를 통하여, 안테나(890)에 의해 무선신호로서 보내진다.

[0298] 도 51a 및 도 51b를 참조하여 반도체장치(800)의 사용 예에 관하여 설명한다. 도 51a에 나타나 있는 바와 같이, 표시부(3210)를 포함하는 휴대전화등의 휴대 단말의 측면에는, 리더/라이터(3200)가 설치된다. 한편, 물품(3220)의 측면에는 반도체장치(800)가 부착되어 있다(도 51a). 반도체장치(800) 위에 리더/라이터(3200)가 유지되는 경우, 반도체장치(800)에 기억되어 있는 정보 송신되어, 리더/라이터에서 수신된다. 그 결과, 휴대 단말의 표시부(3210)에는, 물품 원재료, 원산지, 생산 공정마다의 검사 결과, 유통 과정의 이력, 및 상품의 설명등의 상품에 관한 정보가 표시된다.

[0299] 도 51b에 나타나 있는 바와 같이, 상품(3260)을 컨베이어 벨트에 의해 반송할 때에, 리더/라이터(3240)와, 상품(3260)에 부착된 반도체장치(800)를 사용하여, 상기 상품(3260)의 검품을 행할 수 있다. 이러한 검품시스템에, 무선통신이 가능한 반도체장치(800)를 이용함으로써, 상품(3260)에 직접 표시될 수 없는 다양한 정보의 취득을 간단하게 행할 수 있다.

[0300] (실시 형태10)

[0301] 본 실시 형태에서는, 반도체장치로서, 불휘발성 반도체 기억장치를 구비한 전자기기에 관하여 설명한다. 본 발명은, 기억장치로서 불휘발성 반도체 기억장치를 구비한 모든 분야의 전자기기에 사용하는 것이 가능하다. 예를 들면, 비디오카메라, 디지털 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션시스템, 음향재생장치(카 오디오, 오디오 컴포넌트 시스템 등), 컴퓨터, 게임 기기, 휴대 정보단말(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자서적등), 기록 매체를 구비한 화상재생장치(구체적으로는, 디지털 다기능 디스크(DVD) 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치)등을 들 수 있다. 이들 전자기기의 구체적인 예들을 도 52a 내지 도 52e에 도시한다.

[0302] 도 52a 및 도 52b는, 디지털 카메라를 보이고 있다. 도 52b는, 도 52a의 뒤쪽을 도시한 도면이다. 도 52a 및 도 52b에 나타내는 디지털 카메라는, 샐시(2111), 표시부(2112), 렌즈(2113), 조작 키(2114), 셔터 버튼(2115), 불휘발성 반도체 기억장치를 구비하는 기억매체(2116)등을 구비하고 있다. 그 샐시(2111)는, 사용자가 기억매체(2116)를 추출할 수 있는 구조로 되어 있다. 디지털 카메라에서는, 촬영한 정지화상 또는 동화상이나, 녹음된 음성 데이터를 기억매체(2116)에 기억할 수 있다. 실시 형태2~8 중 임의의 실시 형태에서 설명한 불휘발성 반도체 기억장치가 기억매체(2116)에 적용된다.

[0303] 도 52c는, 휴대전화의 외관도다. 휴대전화는 휴대 단말의 대표 예다. 휴대전화는 샐시(2121), 표시부(2122), 조작 키(2123)등을 포함한다. 그 휴대전화는, 불휘발성 반도체 기억장치를 구비하는 기억매체(2125)를 구비하고 있다. 그 샐시(2121)는, 기억매체(2125)가 추출될 수 있는 구조로 되어 있다. 기억매체(2125)는, 휴대전화의 전화번호등의 데이터, 영상, 음악, 음성 데이터 등을 기억하고, 휴대전화에 의해, 기억매체(2125)에 기억된 영상, 음악 또는 음성 데이터를 재생할 수 있다. 실시 형태2~8중 임의의 실시 형태에서 설명한 불휘발성 반도체 기억장치가 기억매체(2125)에 적용된다.

[0304] 도 52d는, 디지털 플레이어의 외관도다. 디지털 플레이어는, 오디오 장치의 대표 예다. 디지털 플레이

어는, 본체(2130), 표시부(2131), 조작부(2133), 이어폰(2134) 등을 포함한다. 이때, 이어폰(2134) 대신에 헤드폰이나 무선식 이어폰을 사용할 수 있다. 디지털 플레이어는, 불휘발성 반도체 기억장치를 구비하는 기억매체(2132)가 본체(2130)에 내장되어 있다. 실시 형태2~8 중 임의의 실시 형태에서 설명한 불휘발성 반도체 기억장치가 기억매체(2132)에 적용된다. 본체(2130)는, 사용자가 기억매체(2132)를 추출할 수 있는 구조로 해도 된다.

[0305] 기억매체(2132)에는, 예를 들면, 기록 용량이 20~200기가바이트(GB)인 NAND형 불휘발성 반도체 기억장치를 사용할 수 있다. 조작부(2133)를 조작 함에 의해, 정지화상, 동화상, 음성, 음악 등의 데이터를 기억매체(2132)에 기억하고, 또 기억된 데이터를 재생할 수 있다.

[0306] 도 52e는, 전자 북 리더(reader)(전자 페이퍼라고도 한다)의 외관도다. 이 전자 북 리더는, 본체(2141), 표시부(2142), 조작 키(2143) 및 기억매체(2144)를 포함한다. 또 모뎀이 본체(2141)에 내장되어 있어도 좋고, 무선으로 정보를 송수신할 수 있는 구성을 이용해도 된다. 기억매체(2144)에는, 실시 형태2~8 중 임의의 실시 형태에서 설명한 불휘발성 반도체 기억장치를 적용할 수 있다. 예를 들면, 기록 용량이 20~200기가바이트(GB)인 NAND형 불휘발성 반도체 기억장치를 사용할 수 있다. 조작 키(2143)를 조작 함에 의해, 정지화상, 동화상, 음성, 음악 등의 데이터를 기억매체(2144)에 기록할 수 있고, 또한, 기억된 데이터를 재생할 수 있다. 본체(2141)는, 사용자가 기억매체(2144)를 추출할 수 있는 구조로 해도 된다.

[0307] 이상과 같이, 본 발명의 반도체장치의 적용 범위는 매우 넓고, 본 발명의 반도체장치는, 전자기기가 기억매체를 가지면 모든 분야의 전자기기에 적용될 수 있다. 전하유지 특성이 향상된 불휘발성의 기억매체를 구비함으로써, 전자기기의 기억 성능의 신뢰성도 향상시킬 수 있다.

[0308] [실시예1]

[0309] 본 실시예에서는, 본 발명의 메모리 트랜지스터의 전하유지 특성에 관하여 설명한다. 도 53은, 본 발명의 불휘발성 메모리 트랜지스터의 단면도다. 이 불휘발성 메모리 트랜지스터를 "메모리 트랜지스터TM-I"라고 한다.

[0310] 메모리 트랜지스터TM-I는 유리 기판(501) 위에 형성되어 있다. 유리 기판(501) 위에 하지절연막(502)이 형성된다. 이 하지절연막(502) 위에 반도체영역을 구성하는 실리콘막(503)이 형성되어 있다. 실리콘막(503)에는, 채널 형성 영역(504), 소스 영역(505), 드레인 영역(506), 저농도 불순물영역(507) 및 저농도 불순물 영역(508)이 형성되어 있다. 각 영역(505~508)은, n형의 불순물영역이며, 메모리 트랜지스터TM-I은 n채널형 트랜지스터다.

[0311] 실리콘막(503) 위에는, 제1절연막(511), 제1질화 실리콘막(512), 제2질화 실리콘막(513), 제2절연막(514), 및 게이트 전극(515)이 적층되어 있다. 제1질화 실리콘막(512)과 제2질화 실리콘막(513)의 적층막이 전하축적층(516)을 구성한다. 게이트 전극(515)은, 질화 탄타르막(517)과 텅스텐막(518)으로 이루어진 2층구조의 도전막으로 형성되어 있다.

[0312] 메모리 트랜지스터TM-I에 있어서, 게이트 전극(515)의 측면에는, 절연막으로 형성된 스페이서(520)가 형성되어 있다. 유리 기판(501) 위에는, 실리콘막(503), 제1절연막(511), 전하축적층(516), 제2절연막(514), 게이트 전극(515) 및 스페이서(520)를 덮는 절연막 521 및 절연막 522가 형성되어 있다. 절연막(522) 위에는, 소스 영역(505)에 접속된 소스 전극(523), 및 드레인 영역(506)에 접속된 드레인 전극(524)이 형성되어 있다.

[0313] 메모리 트랜지스터TM-I에 있어서, 제1질화 실리콘막(512)은 질소 소스 가스로서 NH<sub>3</sub>을 사용해서 플라즈마CVD법으로 형성된 막이며, 제2질화 실리콘막(513)은 소스 가스로서 N<sub>2</sub>을 사용해서 플라즈마CVD법으로 형성된 막이다. 즉, 제1질화 실리콘막(512)은 다수의 N-H결합을 포함하는 막이며, 제2질화 실리콘막(513)은 소수의 N-H결합을 포함하는 막이다.

[0314] 비교 예로서, 전하축적층(516)이 다른 3종류의 불휘발성 메모리 트랜지스터를 제작했다. 하나는, 전하축적층(516)이 제1질화 실리콘막(512)만으로 형성되는 불휘발성 메모리 트랜지스터다. 이 메모리 트랜지스터를 "비교 메모리 트랜지스터TM-A"라고 한다. 다른 것은, 전하축적층(516)이 제2질화 실리콘막(513)만으로 형성되는 불휘발성 메모리 트랜지스터다. 이 메모리 트랜지스터를 "비교 메모리 트랜지스터TM-B"라고 한다. 또 다른 것은, 전하축적층(516)이, 제2질화 실리콘막(513) 및 제1질화 실리콘막(512)의 순으로 적층된 불휘발성 메모리 트랜지스터다. 이 메모리 트랜지스터를 "비교 메모리 트랜지스터TM-C"라고 한다.

[0315] 다음에, 도 54a~도 54c, 도 55a~도 55c, 도 56a~도 56c 및 도 57a~도 57d를 참조하여, 메모리 트랜지스터TM-I의 제작 방법을 설명한다. 우선, 도 54a에 나타나 있는 바와 같이, 유리 기판(501) 위에 하지절연

막(502)을 형성하고, 하지절연막(502) 위에 결정성 실리콘막(530)을 형성한다. 여기에서는, 하지절연막(502)을 2층구조로 한다. 제1층으로서 플라즈마CVD법에 의해  $\text{SiH}_4$ ,  $\text{NH}_3$ , 및  $\text{N}_2\text{O}$ 를 프로세스 가스로서 사용하여, 두께 50nm의 산화 질화 실리콘막을 형성하고, 제2층으로서  $\text{SiH}_4$  및  $\text{N}_2\text{O}$ 를 프로세스 가스로서, 두께 100nm의 산화 질화 실리콘막을 형성한다. 제1의 산화 질화 실리콘막은, 산소보다도 질소를 많이 포함하고, 제2의 산화 질화 실리콘막은, 질소보다도 산소를 많이 포함한다.

[0316] 결정성 실리콘막(530)은, 비정질 실리콘막을 결정화한 막이다. 우선, 하지절연막(502) 위에,  $\text{SiH}_4$ 을 프로세스 가스로서 사용하여, 플라즈마CVD법에 의해, 비정질 실리콘막을 두께 66nm 형성한다. 다음에, 연속발진방식의 Nd:YVO<sub>4</sub>레이저(기본파 1064 nm)의 제2고조파(532 nm)를 조사 함에 의해 비정질 실리콘막을 결정화하고, 결정성 실리콘막(530)을 형성한다. 다음에, 메모리 트랜지스터TM-I의 한계치전압을 제어하기 위해서, 이온 도핑장치에 의해, 보론을 결정성 실리콘막(530)에 도핑한다.

[0317] 결정성 실리콘막(530) 위에 레지스트 마스크를 형성한다. 이 레지스트 마스크를 사용하여, 결정성 실리콘막(530)을 원하는 형상으로 에칭하고, 실리콘막(503)을 형성한다. 레지스트 마스크를 제거한 후, 제1절연막(511)을 형성한다(도 54b 참조). 마이크로파에 의해 플라즈마를 생성하는 고밀도 플라즈마처리 장치에서, 실리콘막(503)에 대하여, 고상산화 처리 및 고상질화처리를 행함으로써 제1절연막(511)이 형성된다.

[0318] 다음에, 제1절연막(511) 위에, 같은 플라즈마 CVD장치에 있어서, 두께 5nm의 제1질화 실리콘막(512), 두께 5nm의 제2질화 실리콘막(513) 및 두께 10nm의 제2절연막(514)을 연속해서 형성한다(도 54c 참조).

[0319] 제1질화 실리콘막(512)의 형성에는, 질소 소스 가스로서  $\text{NH}_3$ 를 사용하고, 실리콘 소스 가스로서  $\text{SiH}_4$ 을 사용한다.  $\text{SiH}_4$ 을 유량 2sccm으로, 그리고  $\text{NH}_3$ 를 400sccm으로 반응실에 공급한다. 또한, 기판온도 400°C, 반응 압력43Pa로 하고, 전극간 거리를 30mm 및 R F파워를 100W로 한다.

[0320] 제2질화 실리콘막(513)의 형성에는, 질소 소스 가스로서  $\text{N}_2$ 을 사용하고, 실리콘 소스가스로서  $\text{SiH}_4$ 을 사용하고, 프로세스 가스에 Ar를 첨가한다.  $\text{SiH}_4$ 을 유량 2sccm으로,  $\text{N}_2$ 을 유량 400sccm으로, 그리고 Ar를 유량 50sccm으로 반응실에 공급한다. 제1질화 실리콘막(512)의 형성시와 마찬가지로, 기판온도 400°C, 반응 압력 40Pa, 전극간 거리 30mm, R F파워 100W로 한다.

[0321] 제2절연막(514)은, 모든 메모리 트랜지스터에 있어서, 질소보다도 산소를 많이 포함하는 두께 10nm의 산화 질화 실리콘막이며, 프로세스 가스로서  $\text{SiH}_4$  및  $\text{N}_2\text{O}$ 이 이용되고 있다.  $\text{SiH}_4$ 을 유량 1sccm으로, 그리고  $\text{N}_2\text{O}$ 을 유량 800sccm으로, 반응실에 공급한다. 또한, 기판온도 400°C, 반응 압력 40Pa, 전극간 거리 28mm, R F파워를 150W로 한다.

[0322] 도 54c의 공정에 있어서, 비교 메모리 트랜지스터TM-A에서는, 두께 10nm의 제1질화 실리콘막(512) 및 제2절연막(514)을 연속해서 형성하고, 비교 메모리 트랜지스터TM-B에서는, 두께 10nm의 제2질화 실리콘막(513) 및 제2절연막(514)을 연속해서 형성한다. 비교 메모리 트랜지스터TM-C에서는, 두께 5nm의 제2 질화 실리콘막(513), 두께 5 nm의 제1질화 실리콘막(512) 및 두께 10nm의 제2절연막(514)을 연속해서 형성한다. 각 비교 메모리 트랜지스터TM-A, TM-B 및 TM-C의 제작은, 도 54c의 공정 이외의 메모리 트랜지스터TM-I의 제작 공정과 마찬가지로 행한다.

[0323] 비교 메모리 트랜지스터TM-A 및 비교 메모리 트랜지스터TM-C에 있어서, 제1질화 실리콘막(512)의 성막 조건은 메모리 트랜지스터TM-I와 공통이다. 비교 메모리 트랜지스터TM-B 및 비교 메모리 트랜지스터TM-C에 있어서, 제2질화 실리콘막(513)의 성막 조건은 메모리 트랜지스터TM-I와 공통이다. 표 5에는, 각 메모리 트랜지스터의 전하축적층(516)의 구성을 나타낸다.

[0324] [표 5]

프로세스 가스와 그의 유량 [sccm]	제1 SiN 막 512	메모리 트랜지스터			
		TM-1	TM-A	TM-B	TM-C
	$\text{SiH}_4/\text{NH}_3 = 2/400$	( 5nm 하층 )	10nm		( 5nm 상층 )
	$\text{SiH}_4/\text{N}_2/\text{Ar} = 2/400/50$	( 5nm 상층 )		10nm	( 5nm 하층 )

[0325]

- [0326] 이어서, 제2절연막(514) 위에, 두께 30nm의 질화 탄타르막(517)을 형성하고, 다음에, 두께 370nm의 텅스텐 막(518)을 형성한다(도 55a 참조). 질화 탄타르 막(517) 및 텅스텐 막(518)은 스퍼터 장치로 형성한다.
- [0327] 다음에, 질화 탄타르 막(517) 및 텅스텐 막(518)의 적층막을 에칭하고, 게이트 전극(515)을 형성한다. 우선, 텅스텐 막(518) 위에 레지스트 마스크를 형성한다. 이 레지스트 마스크를 사용하여, 텅스텐 막(518)을 에칭한다. 텅스텐 막(518)의 에칭은 플라즈마에칭 장치로 행하고, 에칭 가스로서는  $\text{CF}_4$ ,  $\text{Cl}_2$  및  $\text{O}_2$ 를 사용할 수 있다. 레지스트 마스크를 제거한 후, 에칭된 텅스텐 막(518)을 마스크로 해서 질화 탄타르 막(517)을 에칭한다. 질화 탄타르 막(517)의 에칭은 플라즈마에칭 장치로 행하고, 에칭 가스로서는  $\text{Cl}_2$ 를 사용할 수 있다. 이상과 같이, 게이트 전극(515)이 형성된다(도 55b 참조).
- [0328] 다음에, 메모리 트랜지스터TM-I에 고저항 불순물영역을 형성하기 위해서, 게이트 전극(515)을 마스크로서 사용하고, 실리콘막(503)에 인을 첨가한다. 이 공정은, 플라즈마 도핑 장치로 행한다. 프로세스 가스는,  $\text{PH}_3$ 이며, 도즈량은  $1 \times 10^{13} \text{ ions/cm}^2$ 이다. 이 공정에서, 실리콘막(503)에는, 채널 형성 영역(504), 저농도 불순물영역(507) 및 저농도 불순물영역(508)이 자기정합적으로 형성된다(도 55c).
- [0329] 다음에, 도 56a에 나타나 있는 바와 같이, 게이트 전극(515)의 측면에, 각각, 스페이서(520)를 형성한다. 스페이서(520)의 형성은 게이트 전극(515), 제2절연막(514), 전하축적층(516), 제1절연막(511) 및 실리콘막(503)을 덮어, 스페이서(520)를 구성하는 절연막을 형성하고, 이 절연막을 에칭하여 형성된다. 여기에서는, 스페이서(520)를 구성하는 2개의 절연막을 형성한다. 제1층으로서, 플라즈마CVD법으로 산화 질화 실리콘막을 두께 100nm 형성하고, 제2층으로서, 감압CVD법으로 산화 실리콘막을 두께 200nm 형성한다. 스페이서(520)를 형성하는 에칭 처리로, 제2절연막(514), 제2질화 실리콘막(513) 및 제1질화 실리콘막(512)도 에칭된다. 도 56a에 나타나 있는 바와 같이, 제1질화 실리콘막(512) 및 제2질화 실리콘막(513)으로 형성된 전하축적층(516)이 형성된다.
- [0330] 다음에, 소스 영역(505) 및 드레인 영역(506)을 형성하기 위해서, 게이트 전극(515) 및 스페이서(520)를 마스크로서 사용하여, 실리콘막(503)에 인을 첨가한다. 이 공정에서는, 플라즈마 도핑 장치를 사용하고, 프로세스 가스로서  $\text{PH}_3$ 을 사용하고, 도즈량은  $3 \times 10^{15} \text{ ions/cm}^2$ 이다. 이 공정에서는, 실리콘막(503)에는, 소스 영역(505) 및 드레인 영역(506)이 자기정합적으로 형성된다(도 56b 참조).
- [0331] 다음에, 유리 기판(501) 전체면에, 절연막 521 및 절연막 522를 형성한다(도 56c). 절연막(521)으로서, 두께 100nm이고 수소를 포함하는 산화 질화 실리콘막을 형성한다. 이 산화 질화 실리콘막의 형성은, 플라즈마 CVD 장치로 행하고, 프로세스 가스로서  $\text{SiH}_4$ ,  $\text{NH}_3$ , 및  $\text{N}_2\text{O}$ 를 사용한다. 절연막(522)으로서, 플라즈마CVD법에 의해, 두께 600nm의 산화 질화 실리콘막을 형성한다. 이 산화 질화 실리콘막의 프로세스 가스로서는,  $\text{SiH}_4$  및  $\text{N}_2\text{O}$ 를 사용한다.
- [0332] 절연막(522)을 형성한 후, 가열로에 의해 실리콘막(503)을 열처리한다. 이 열처리는, 실리콘막(503)에 첨가한 보론 및 인을 활성화하기 위해서, 또, 절연막(521)에 포함되는 수소에 의해 실리콘막(503)을 수소화하기 위한 처리다.
- [0333] 다음에, 절연막 521 및 절연막 522에, 소스 영역(505) 및 드레인 영역(506)에 달하는 컨택트 홀을 형성한다. 그리고, 절연막(522) 위에, 소스 전극(523) 및 드레인 전극(524)을 구성하는 도전막을 형성한다. 여기에서는, 그 도전막을 4층 구조로 한다. 제1층은, 두께 60nm의 티타늄 막이며, 제2층은, 두께 40nm의 질화 티타늄 막이며, 제3층은 두께 300nm의 순 알루미늄 막이며, 제4층은 두께 100nm의 질화 티타늄 막이다. 이 도전막을 에칭하고, 소스 전극(523) 및 드레인 전극(524)을 형성한다(도 53). 이상과 같이, 메모리 트랜지스터TM-I이 완성된다. 또한, 비교 메모리 트랜지스터TM-A, TM-B 및 TM-C도 마찬가지로 제작한다.
- [0334] 각 메모리 트랜지스터의 전하유지 특성을 평가하기 위해서, 기록 동작후의 드레인/소스간 전류  $I_{DS}$  – 게이트/소스간 전압  $V_{GS}$  특성(이하,  $I_{DS}-V_{GS}$  특성이라고 함), 및 소거 동작후의  $I_{DS}-V_{GS}$  특성을 측정한다. 이 측정 결과로부터, 각각의 유지 특성을 얻는다. 도 57a는 메모리 트랜지스터TM-I의 유지 특성의 그래프다. 도 57b~도 57d는 비교 예의 유지 특성의 그래프다. 도 57b는 비교 메모리 트랜지스터TM-A의 유지 특성의 그래프다. 도 57c는 비교 메모리 트랜지스터TM-B의 유지 특성의 그래프다. 도 57d는 비교 메모리 트랜지스터TM-C의 유지 특성의 그래프다. 각 그래프의 가로축은, 기록 동작 및 소거 동작으로부터의 경과 시간을 나타낸다. 이때, 가로축의 눈금이 대수이기 때문에, 기록 동작을 행한 시점, 소거 동작을 행한 시점을 0.1시간으로서 표현한다. 세로축은  $I_{DS}$  –

$V_{GS}$ 특성의 측정 결과로 산출한 각 메모리 트랜지스터의 한계치전압 $V_{th}$ 다.

[0335] 기록 동작은, 소스 전극(523) 및 드레인 전극(524)의 전위를 0 V로 하고, 게이트 전극(515)에 1밀리초, 기록 전압 $W_r$ 를 인가하여, 전하축적층(516)에 전자를 주입하는 것으로 행한다. 소거 동작은, 메모리 트랜지스터에 있어서, 소스 전극(523) 및 드레인 전극(524)의 전위를 0 V로 하고 게이트 전극(515)에 1밀리초, 소거 전압 $E_r$ 를 인가한다. 각 메모리 트랜지스터에의 기록 전압 $W_r$  및 소거 전압 $E_r$ 의 인가는, Agilent 테크놀로지사제 펄스 발생기 익스팬더(SMU and Pulse Generator Expander, 모델:41501B)를 사용했다. 또한, 각 메모리 트랜지스터의 기록 전압 $W_r$  및 소거 전압 $E_r$ 은, 아래와 같이 설정한다: 메모리 트랜지스터TM-I에 대해  $W_r=18V$ ,  $E_r=-18V$ ; 비교 메모리 트랜지스터TM-A에 대해  $W_r=18V$ ,  $E_r=-18V$ ; 비교 메모리 트랜지스터TM-B에 대해  $W_r=18.5V$ ,  $E_r=-18.5V$ ; 비교 메모리 트랜지스터TM-C에 대해  $W_r=17V$ ,  $E_r=-17V$ .

[0336] 메모리 트랜지스터의 기록 동작후의  $I_{DS}-V_{GS}$ 특성의 측정은 다음과 같이 행했다. 우선, 메모리 트랜지스터에 데이터를 기록하는 기록 동작을 행한다. 다음에, 기록 상태의 메모리 트랜지스터를 핫플레이트에 의해 85 °C에서 가열된 상태를 유지하고, 기록 동작으로부터 소정의 시간경과 후에, 각 메모리 트랜지스터의  $I_{DS}-V_{GS}$ 특성을 측정했다. 또한, 소거 동작 후의  $I_{DS}-V_{GS}$ 특성의 측정은 다음과 같이 행했다. 기록 동작에 의해 메모리 트랜지스터에 데이터를 기록한 후, 소거 동작을 행했다. 소거 상태의 메모리 트랜지스터를 핫플레이트에 의해 85 °C에서 가열한 상태를 유지하고, 그리고, 소거 동작으로부터 소정의 시간경과 후에, 각 메모리 트랜지스터의  $I_{DS}-V_{GS}$ 특성을 측정했다.

[0337]  $I_{DS}-V_{GS}$ 특성의 측정은, Agilent 회사제 반도체 파라미터 아날라이저 (Semiconductor Parameter Analyzer, 모델:4155C)를 사용하여 행했다. 측정시에는, 소스 전극(523)의 전위를 0V로 유지하고, 드레인 전극(524)의 전위를 1V로 유지하고, 게이트 전극(515)의 전위를 -6V로부터 +6V까지 변화시켜, 게이트/소스간 전압 $V_{GS}$ 에 대한 드레인/소스간 전류 $I_{DS}$ 의 변화를 측정했다. 이때, 메모리 트랜지스터TM-I은, 채널길이 $L$ 이  $4\mu\text{m}$ , 채널 폭 $W$ 가  $8\mu\text{m}$ 이며, 비교 메모리 트랜지스터TM-A, TM-B 및 TM-C는, 각각, 채널길이 $L$ 이  $4\mu\text{m}$ , 채널 폭 $W$ 가  $4\mu\text{m}$ 이다.

[0338] 도 57a~도 57d에 나타낸 그래프는,  $V_{th}$ 원도우는 메모리 트랜지스터TM-I이 최대인 것을 보이고 있다. 즉,  $\text{NH}_3$ 이 질소 소스 가스로서 사용된 질화 실리콘막과  $\text{N}_2$ 이 질소 소스 가스로서 사용된 질화 실리콘막을 적층한 전하축적층을 설치함으로써, 불휘발성 메모리 트랜지스터의 전하유지 특성을 향상할 수 있다. 달리 말하면, N-H 결합을 많이 포함하는 질화 실리콘막과, N-H결합이 적은 질화 실리콘막을 적층한 전하축적층을 설치함으로써, 불휘발성 메모리 트랜지스터의 전하유지 특성을 향상할 수 있다.

[0339] 본 출원은, 2007년 3월 23일에 일본특허청에 제출된 일본특허출원 일련번호 2007-077930에 기초하고, 그 전체 내용은 참고로 포함된다.

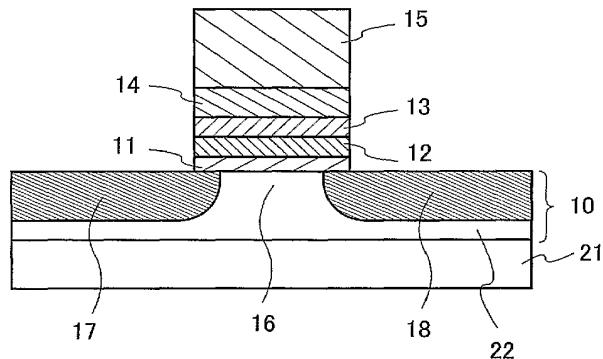
#### (부호의 설명)

[0341] BL: 비트 선, SL: 소스 선, SG1:선택 게이트 선, SG2:선택 게이트 선, WL: 워드 선, MC: 메모리 셀, Tm: 불휘발성 메모리 트랜지스터, Ts: 스위칭용 트랜지스터, S1: 선택 트랜지스터, S2: 선택 트랜지스터, 10: 반도체영역, 11: 제1절연막, 12: 제1질화 실리콘막, 13: 제2질화 실리콘막, 14: 제2절연막, 15: 도전막, 16: 채널 형성영역, 17: 고농도 불순물영역, 18: 고농도 불순물영역, 17a: 저농도 불순물영역, 18a: 저농도 불순물영역, 21: 반도체기판, 22: 웨, 31: 기판, 32: 하지절연막, 33: 반도체막, 35: 스페이서, 41: 실리콘기판, 42: 제1절연막, 43: 질화 실리콘층, 44: 제2절연막, 45: 전극, 52: 메모리 셀 어레이, 54: 로직부, 56: 어드레스 버퍼, 58: 컨트롤 회로, 60: 부스터 회로, 62: 로우 디코더, 64: 칼럼 디코더, 66: 센스 앤프, 68: 데이터 버퍼, 70: 데이터 입/출력 버퍼, 100: 기판, 102: 하지절연막, 103: 반도체막, 104: 반도체막, 106: 반도체막, 108: 반도체막, 110: 반도체막, 112: 절연막, 114: 레지스트, 115: 절연막, 116: 절연막, 118: 절연막, 120: 절연막, 122: 제1질화 실리콘막, 123: 제2질화 실리콘막, 124: 레지스트, 125: 레지스트, 126: 레지스트, 128: 절연막, 130: 도전막, 132: 도전막, 134: 도전막, 136: 도전막, 138: 도전막, 140: 도전막, 142: 레지스트, 144: 채널 형성영역, 146: 고농도 불순물영역, 148: 채널 형성영역, 150: 고농도 불순물영역, 152: 채널 형성영역, 154: 고농도 불순물영역, 156: 레지스트, 158: 채널 형성영역, 160: 고농도 불순물영역, 162: 절연막, 164: 도전막, 165: 도전막, 166: 도전막, 167: 도전막, 168: 도전막, 169: 도전막, 170: 도전막, 501: 유리 기판, 502: 하지절연막, 503: 실리콘막, 504: 채널 형성영역, 505: 소스 영역, 506: 드레인 영역, 507: 저농도 불순물영역, 508: 저농도 불순물영역, 511: 제1절연막, 512: 제1질화 실리콘막, 513: 제2질화 실리콘막, 514: 제2절연막, 515: 게이트

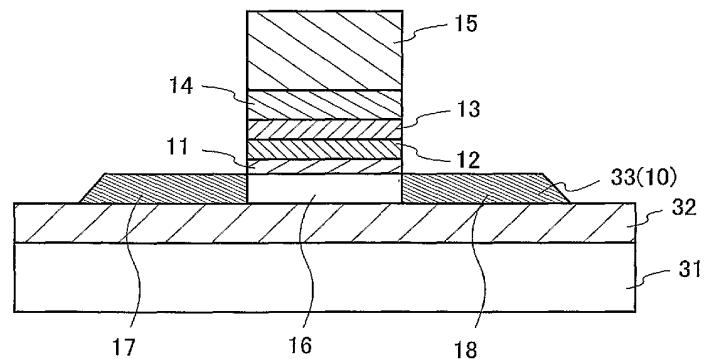
전극, 516: 전하축적층, 517: 질화 탄타르막, 518: 텅스텐막, 520: 스페이서, 521: 절연막, 522: 절연막, 523: 소스 전극, 524: 드레인 전극, 530: 결정성 실리콘막, 800: 반도체장치, 810: 고주파회로, 820: 전원회로, 830: 리셋트 회로, 840: 클록 발생 회로, 850: 데이터 복조 회로, 860: 데이터 변조 회로, 870: 제어회로, 880: 기억장치, 890: 안테나, 910: 코드 추출 회로, 920: 코드 판정 회로, 930: CRC판정 회로, 940: 출력 유닛 회로, 1012: 제1질화 실리콘막, 1013: 제2질화 실리콘막, 1200: 반도체기판, 1201: 절연막, 1202: 질화 실리콘막, 1203: 레지스트, 1204: 오목부, 1205: 절연막, 1207: 반도체영역, 1208: 반도체영역, 1209: 반도체영역, 1210: p웰, 1211: 절연막, 1212: 레지스트, 1214: 절연막, 1215: 절연막, 1216: 절연막, 1218: 레지스트, 1221: 절연막, 1222: 도전막, 1223: 도전막, 1224: 도전막, 1225: 도전막, 1226: 도전막, 1227: 도전막, 1228: 도전막, 1229: 저농도 불순물영역, 1230: 저농도 불순물영역, 1231: 저농도 불순물영역, 1233: 스페이서, 1235: 스페이서, 1236: 스페이서, 1237: 스페이서, 1238: 고농도 불순물영역, 1239: 고농도 불순물영역, 1240: 고농도 불순물영역, 1241: 저농도 불순물영역, 1242: 저농도 불순물영역, 1243: 저농도 불순물영역, 1244: 저농도 불순물영역, 1245: 채널 형성 영역, 1246: 채널 형성 영역, 1247: 채널 형성 영역, 1248: 채널 형성 영역, 1249: 절연막, 1250: 개구부, 1251: 개구부, 1252: 개구부, 1253: 개구부, 1254: 개구부, 1255: 도전막, 1256: 도전막, 1257: 도전막, 1258: 도전막, 1259: 도전막, 1260: 도전막, 1261: 도전막, 1262: 도전막, 1263: 도전막, 1271: 절연막, 1273: 절연막, 1274: 절연막, 1275: 절연막, 1290: 절연막, 2111: 샐시, 2112: 표시부, 2113: 렌즈, 2114: 조작 키, 2115: 셔터 버튼, 2116: 기억매체, 2121: 샐시, 2122: 표시부, 2123: 조작 키, 2125: 기억매체, 2130: 본체, 2131: 표시부, 2132: 기억매체, 2133: 조작부, 2134: 이어폰, 2141: 본체, 2142: 표시부, 2143: 조작 키, 2144: 기억매체, 3200: 리더/라이터, 3210: 표시부, 3220: 상품, 3240: 리더/라이터, 및 3260: 상품

## 도면

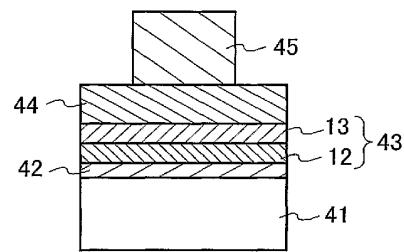
### 도면1



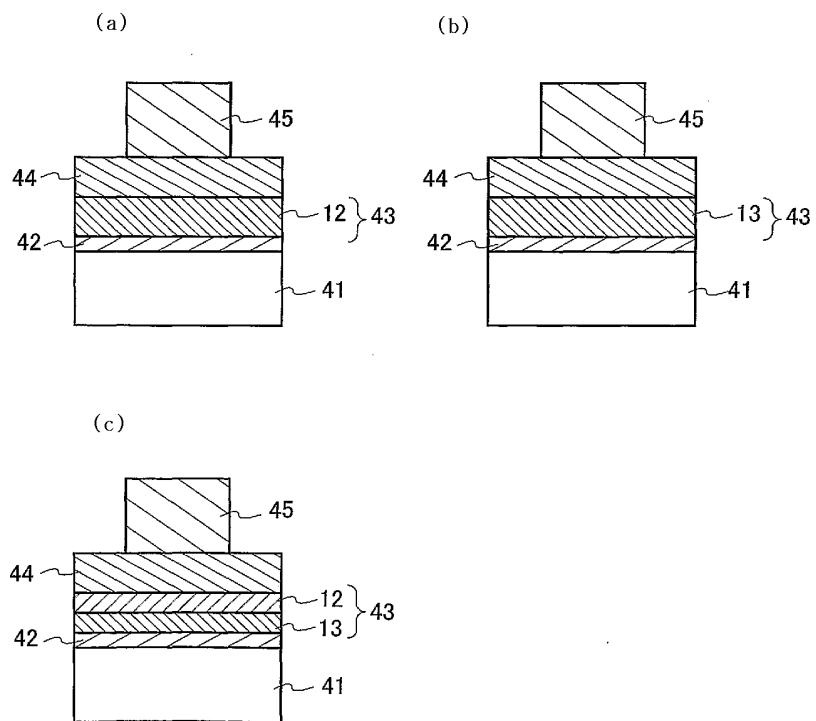
### 도면2



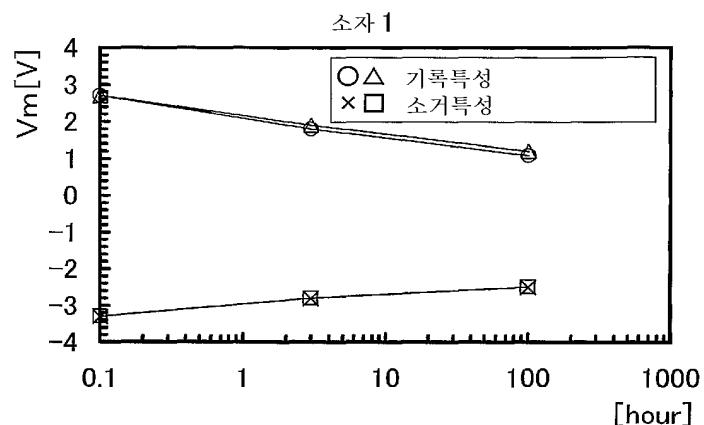
## 도면3



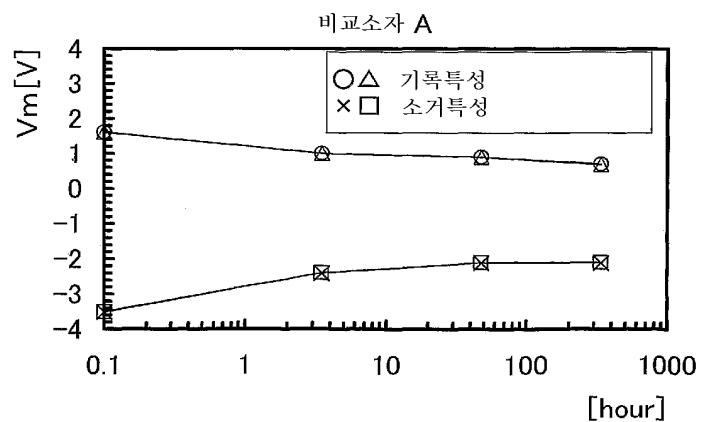
## 도면4



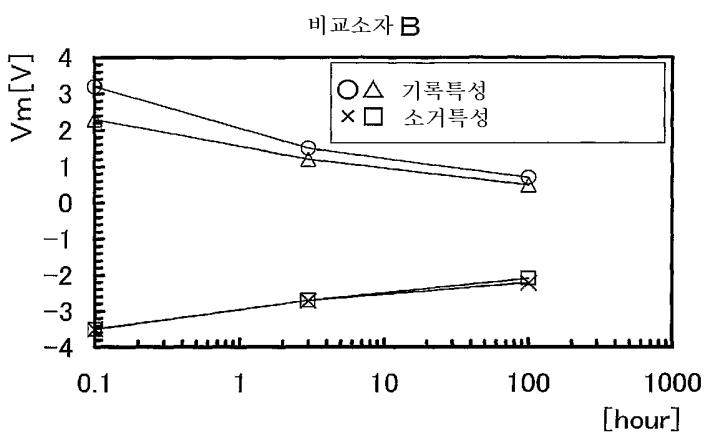
## 도면5



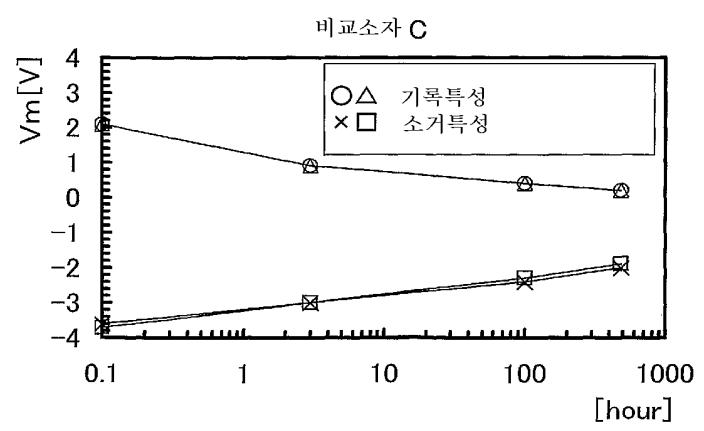
## 도면6



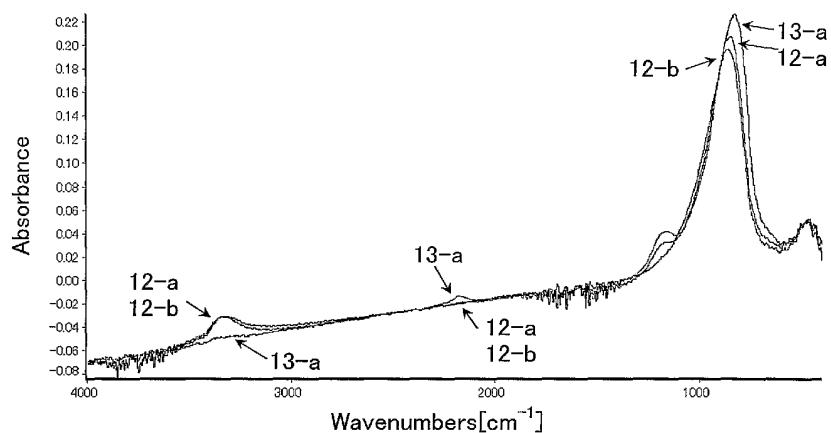
## 도면7



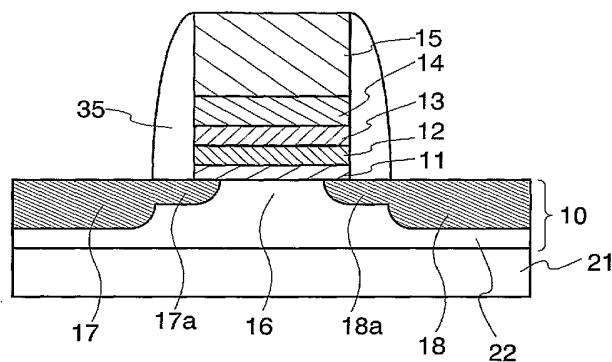
## 도면8



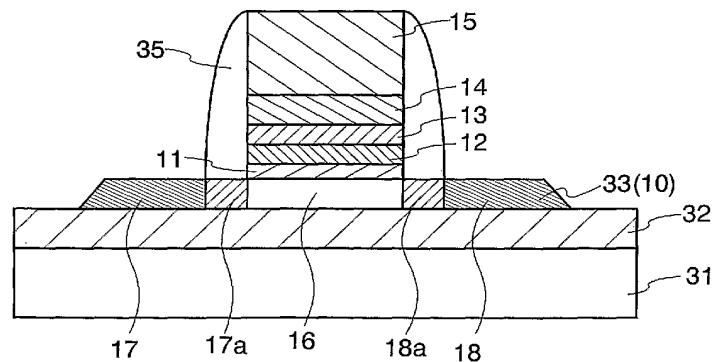
도면9



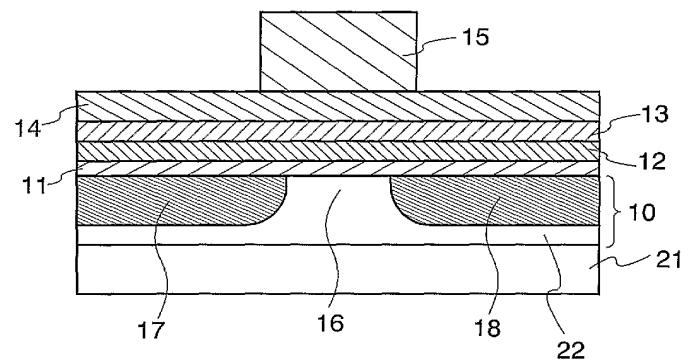
도면10



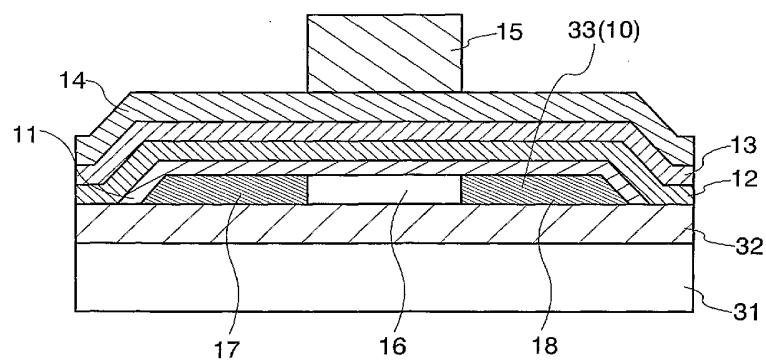
도면11



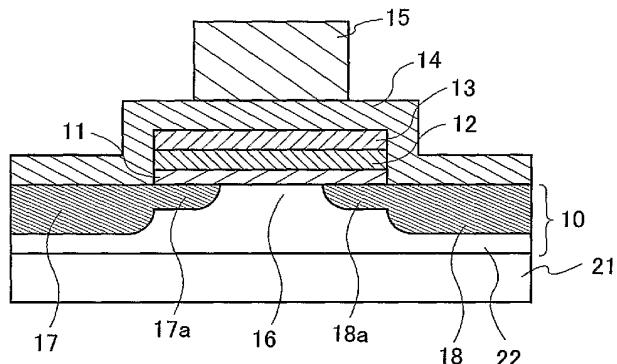
도면12



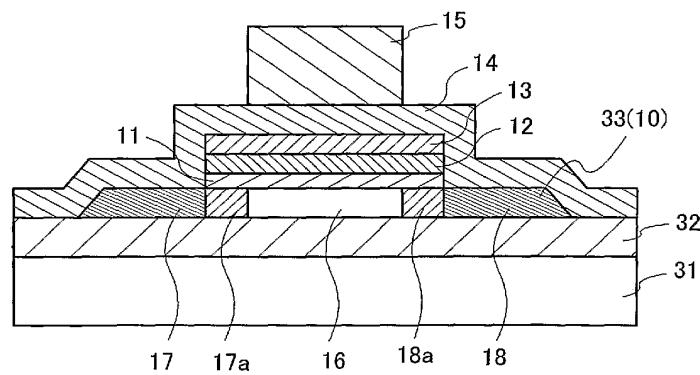
도면13



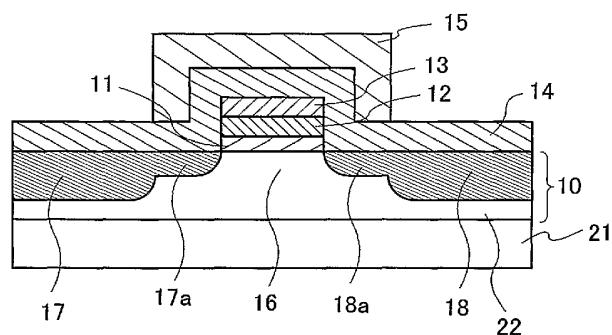
도면14



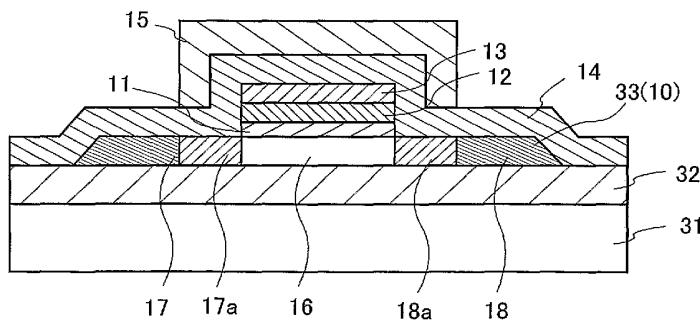
도면15



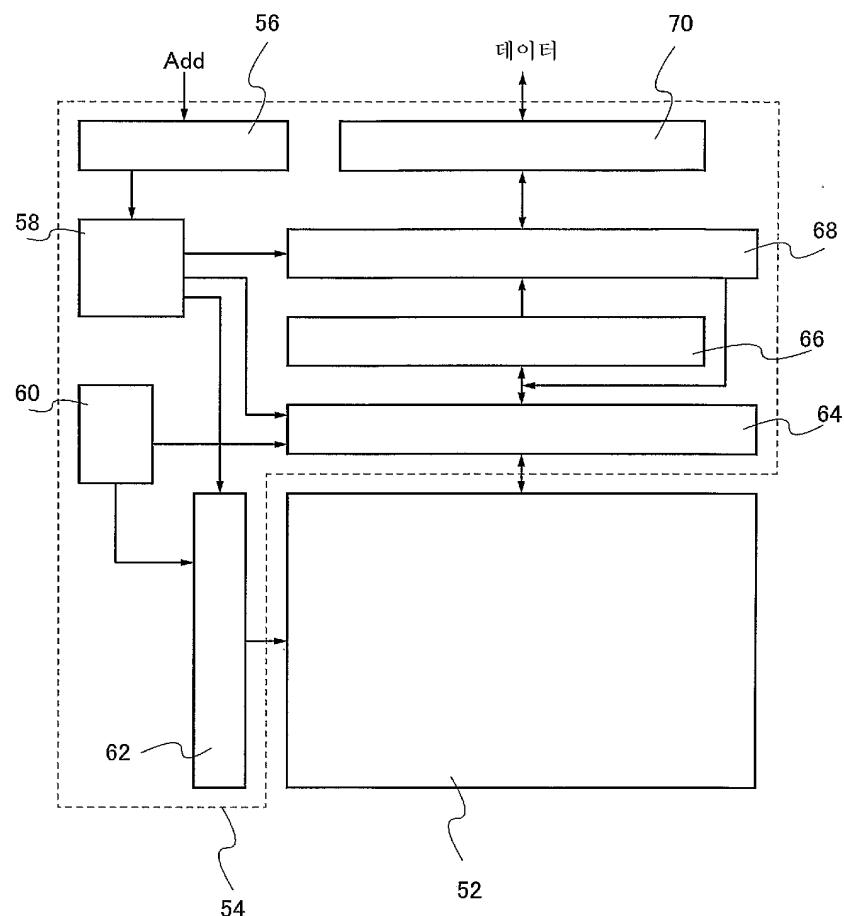
도면16



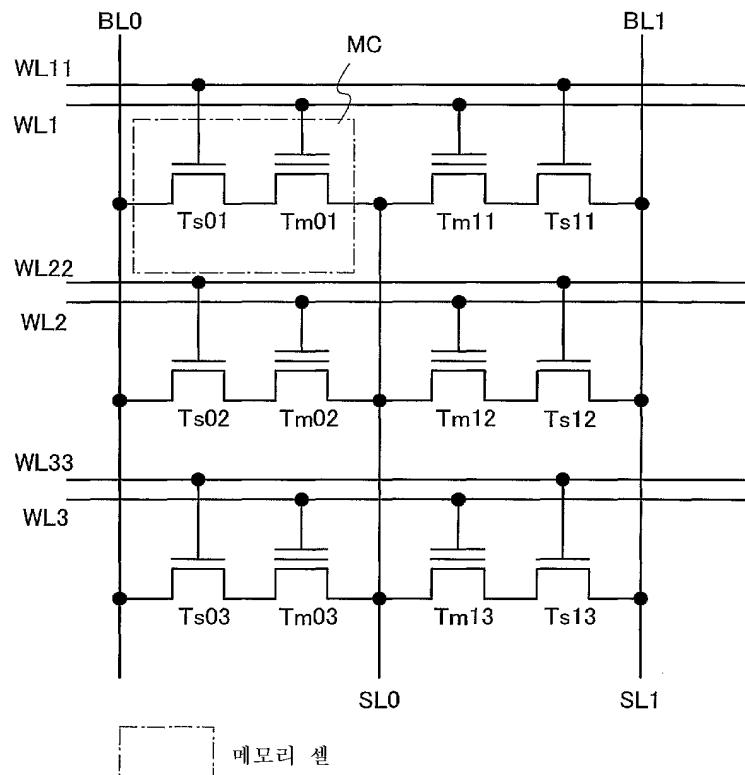
도면17



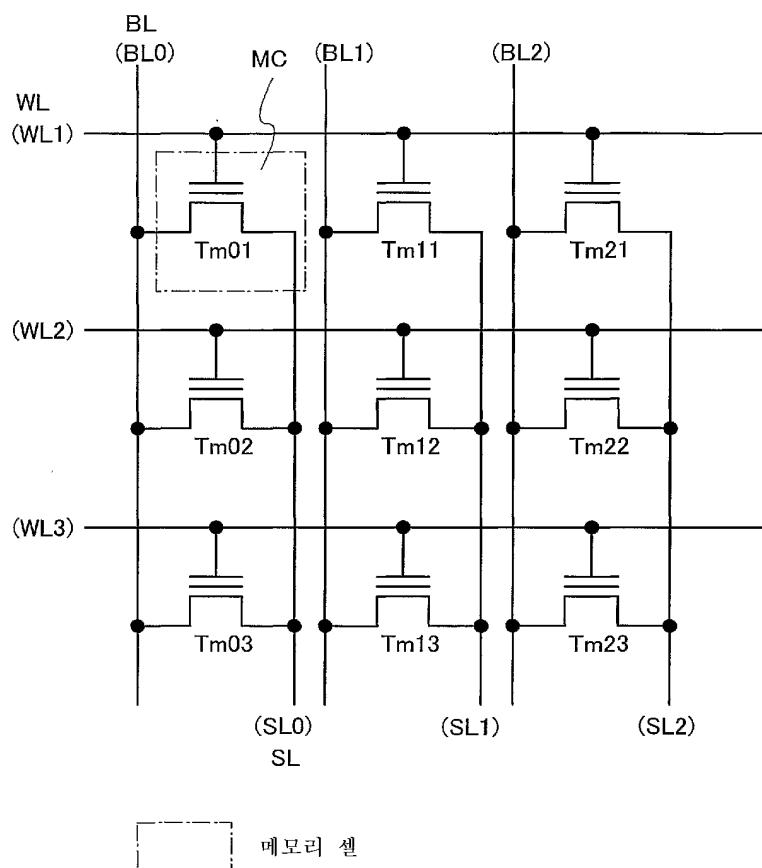
도면18



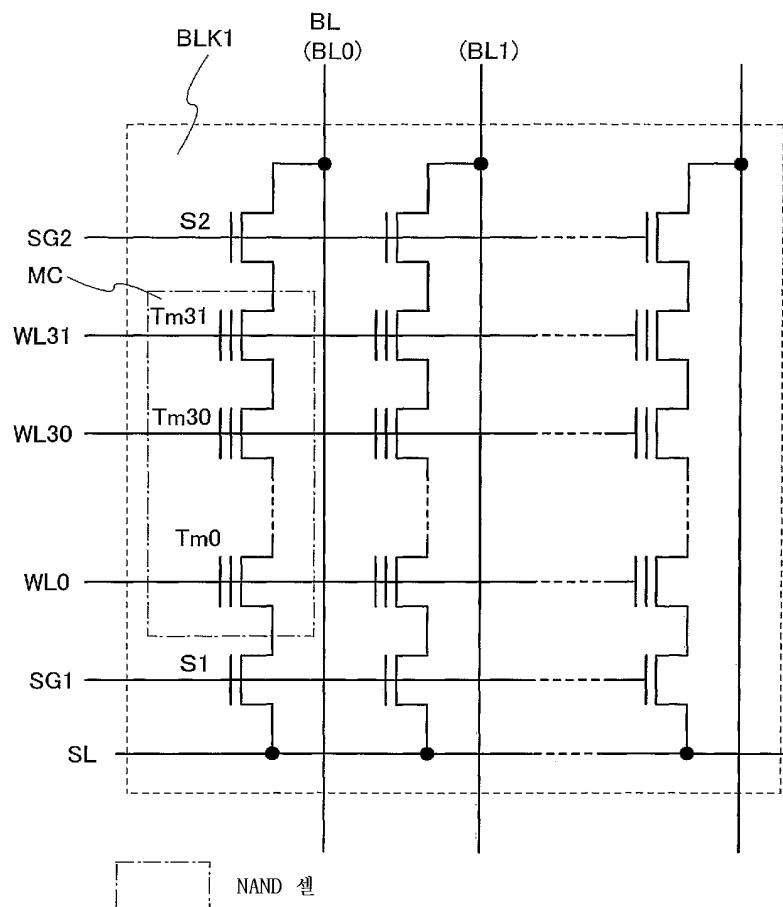
도면19



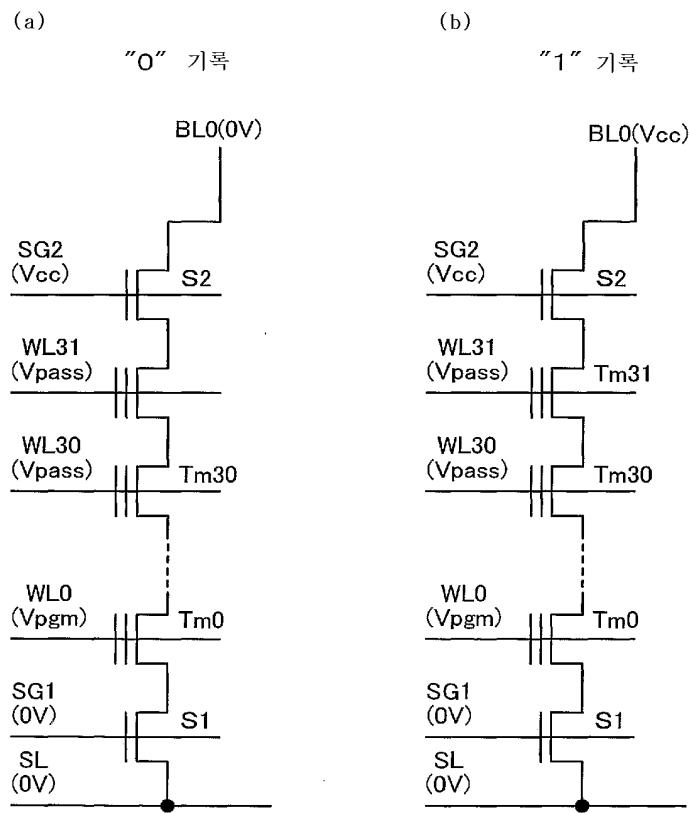
도면20



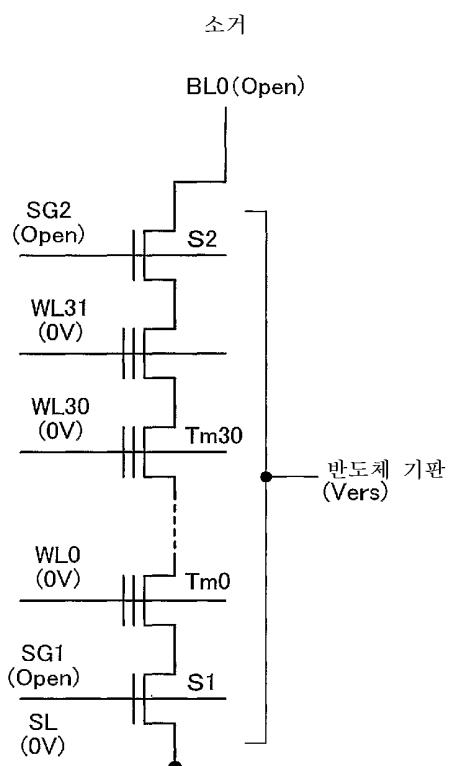
도면21



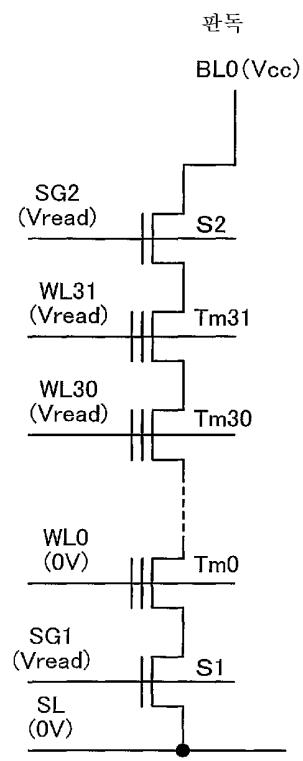
도면22



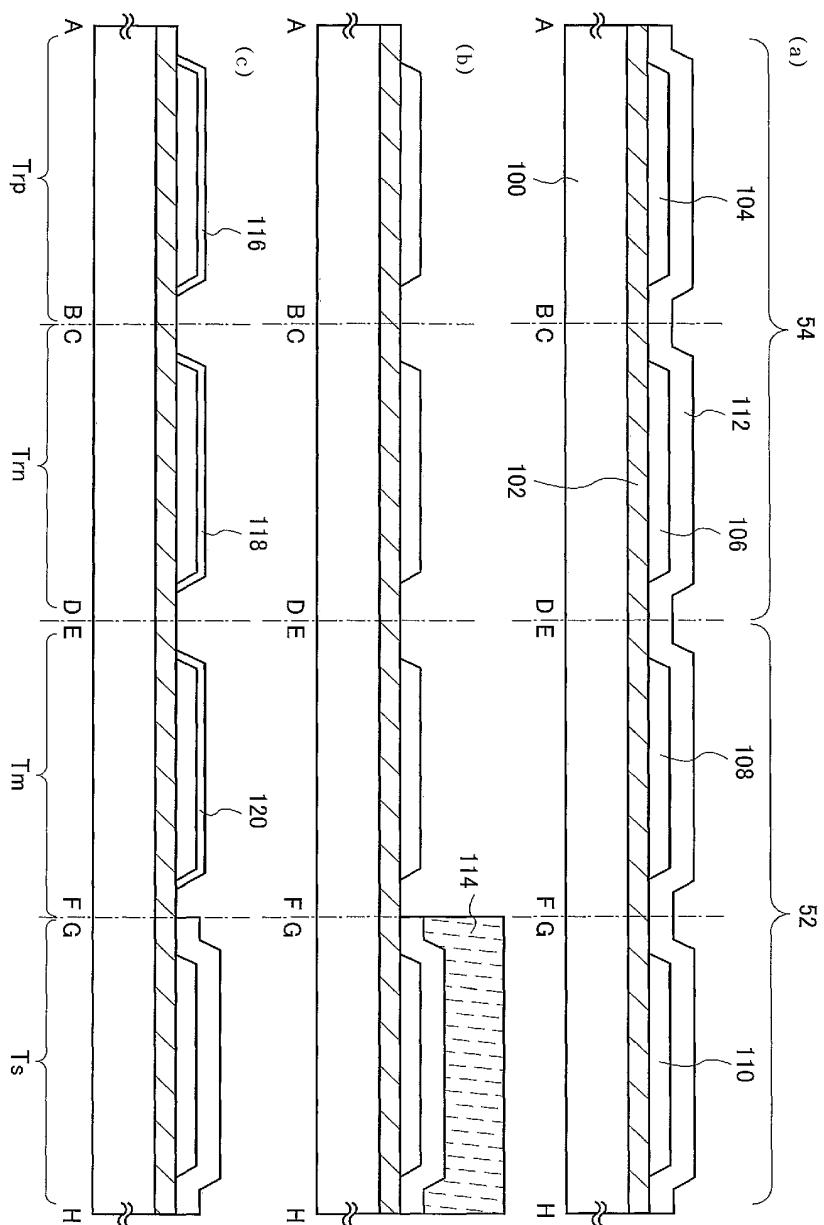
도면23



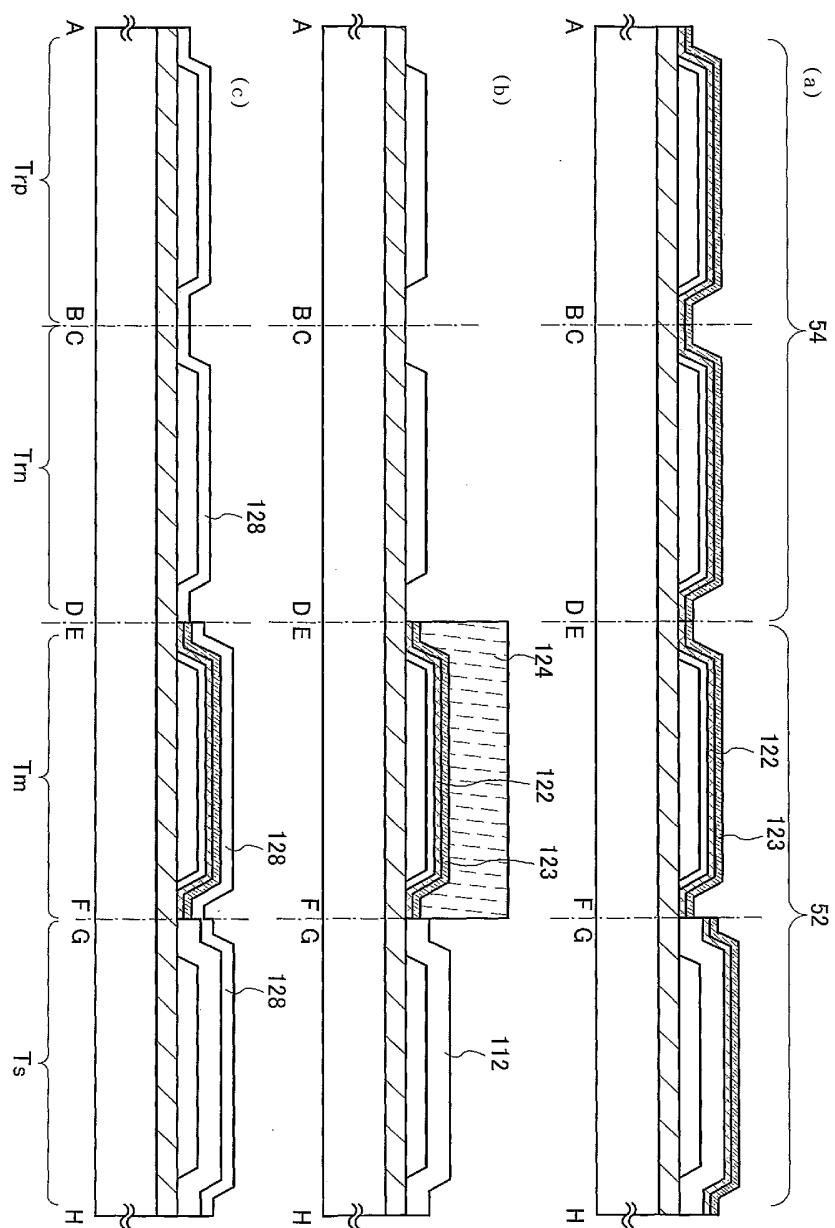
## 도면24



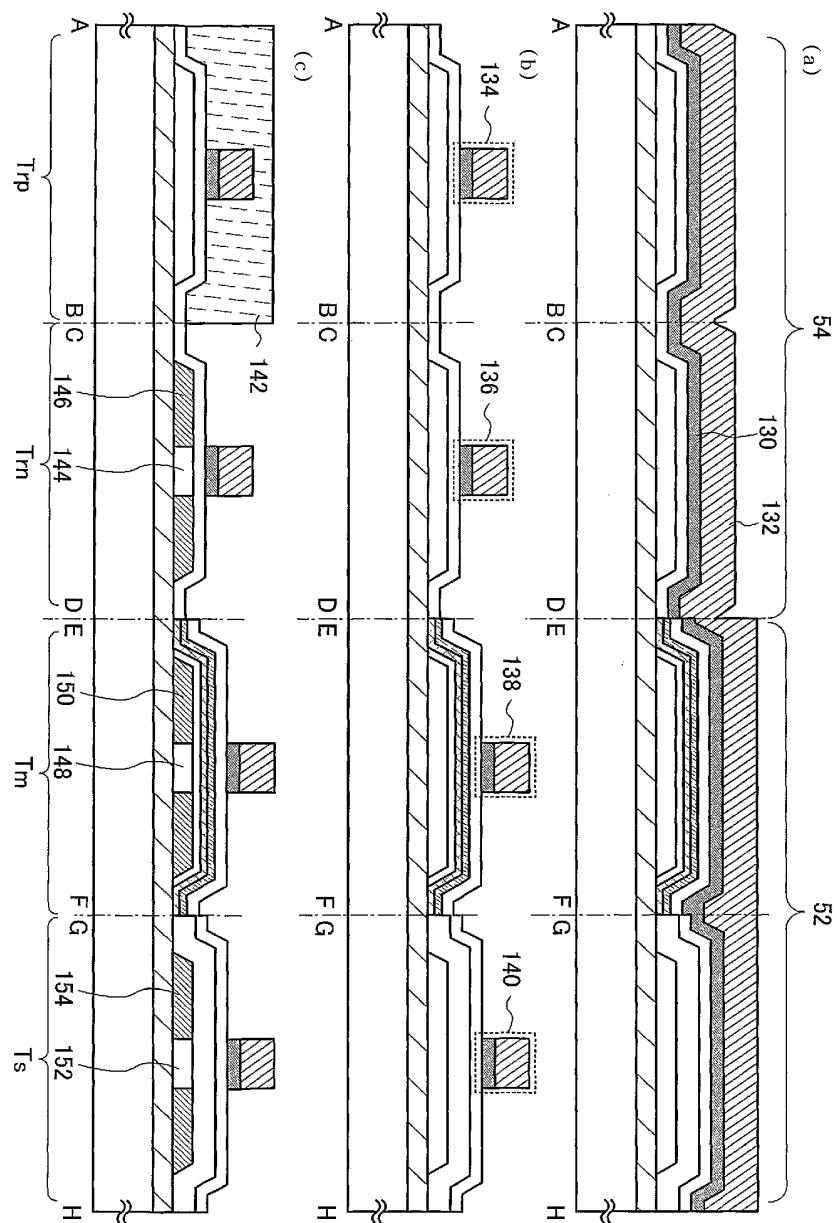
도면25



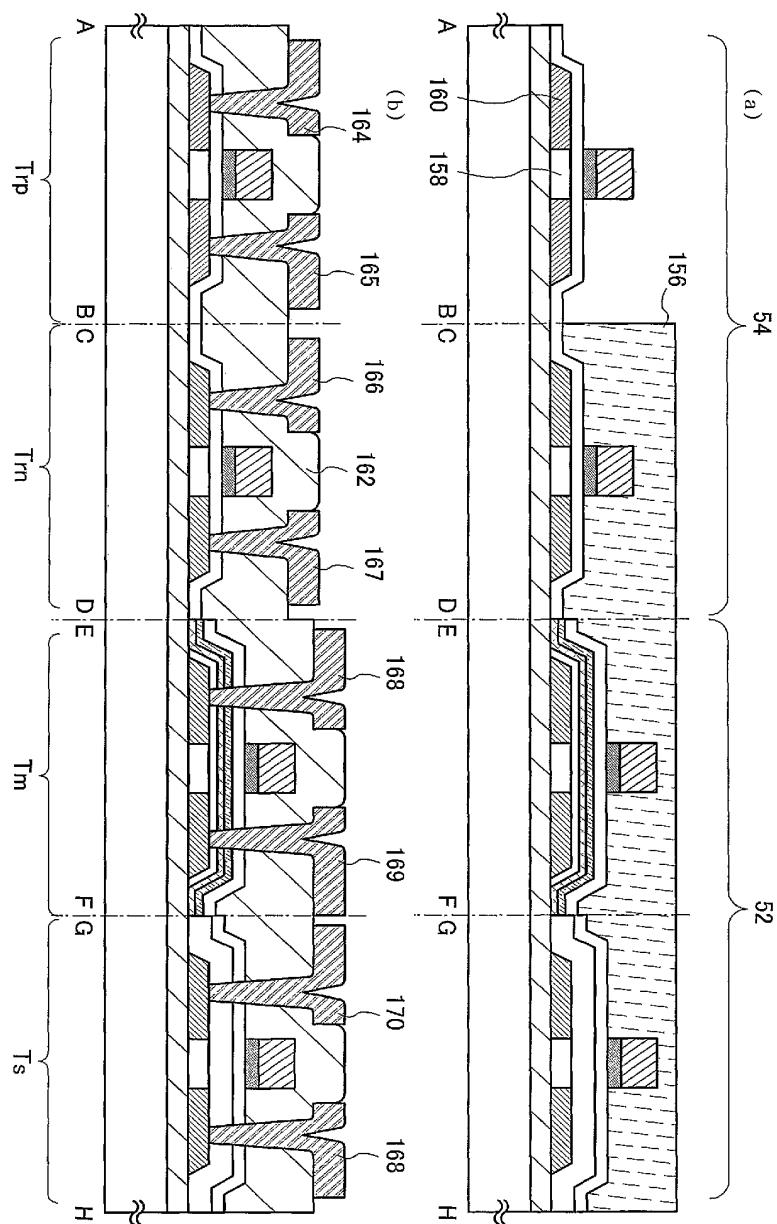
도면26



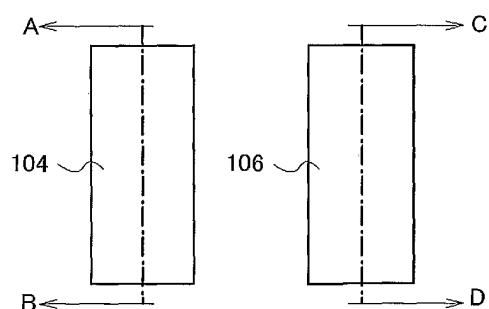
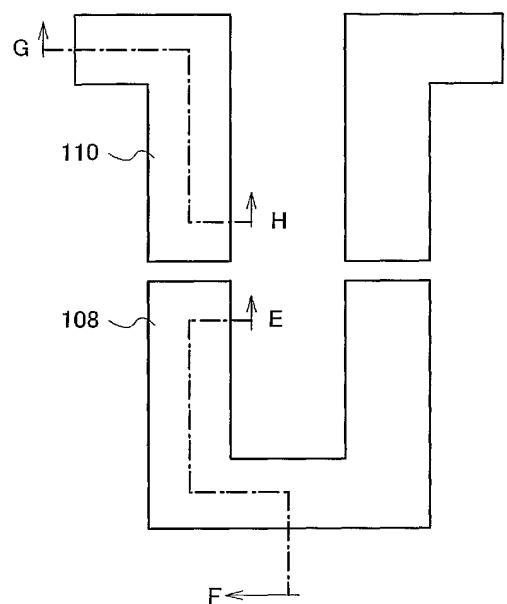
도면27



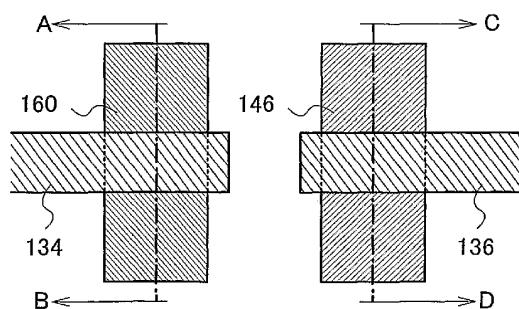
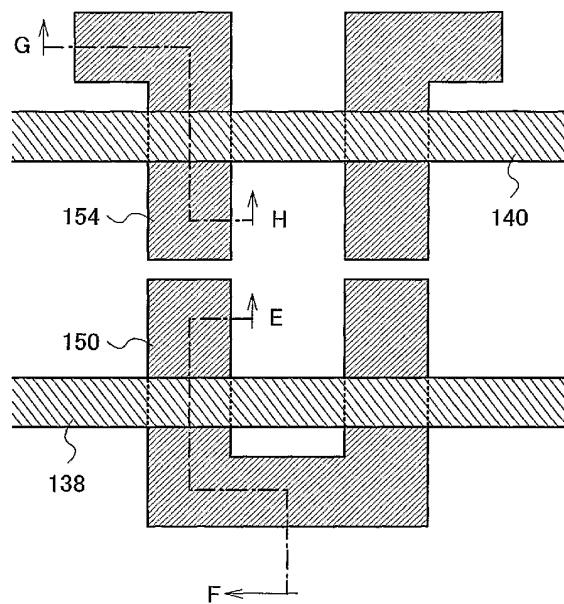
도면28



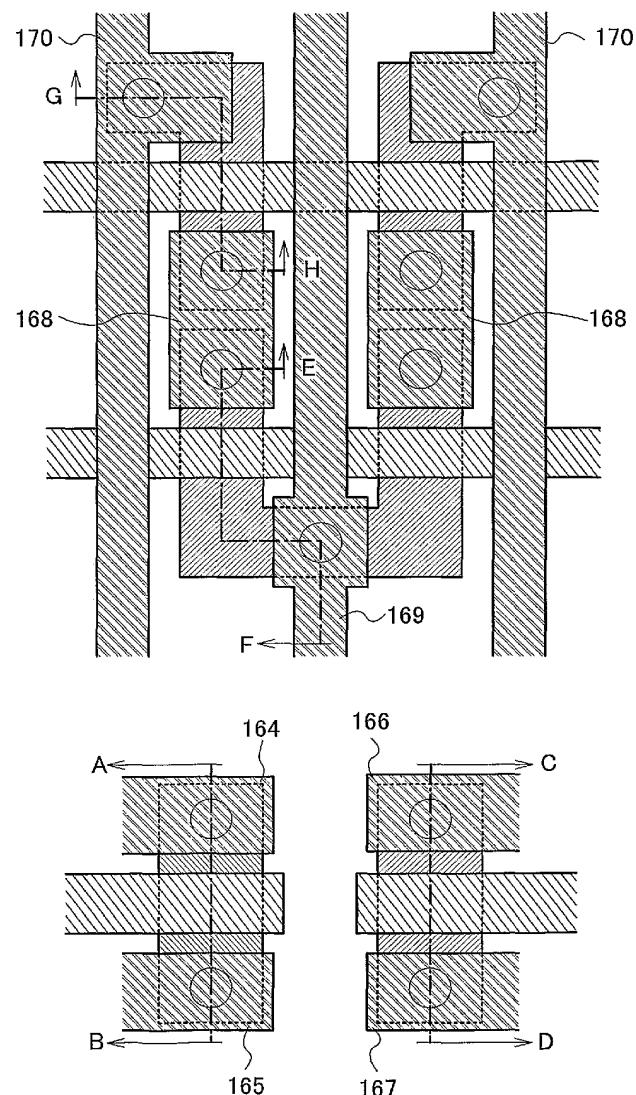
도면29



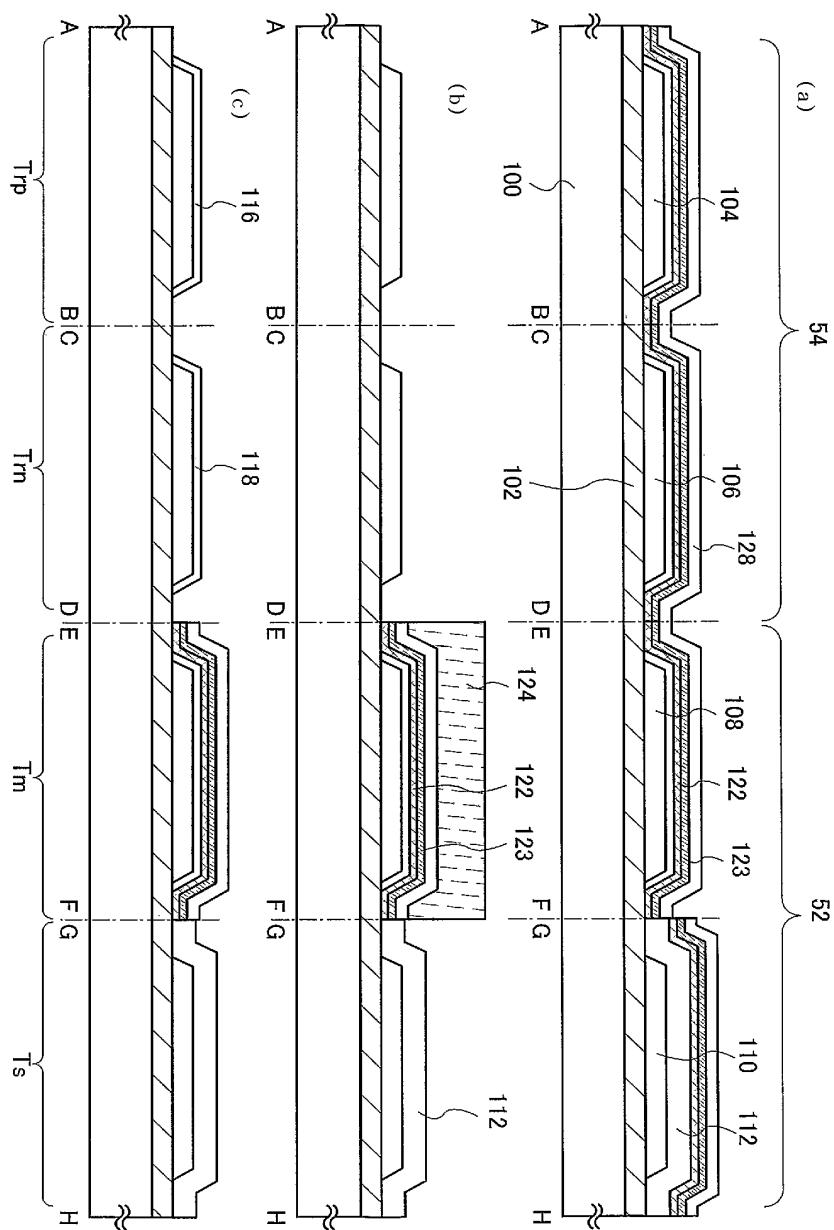
도면30



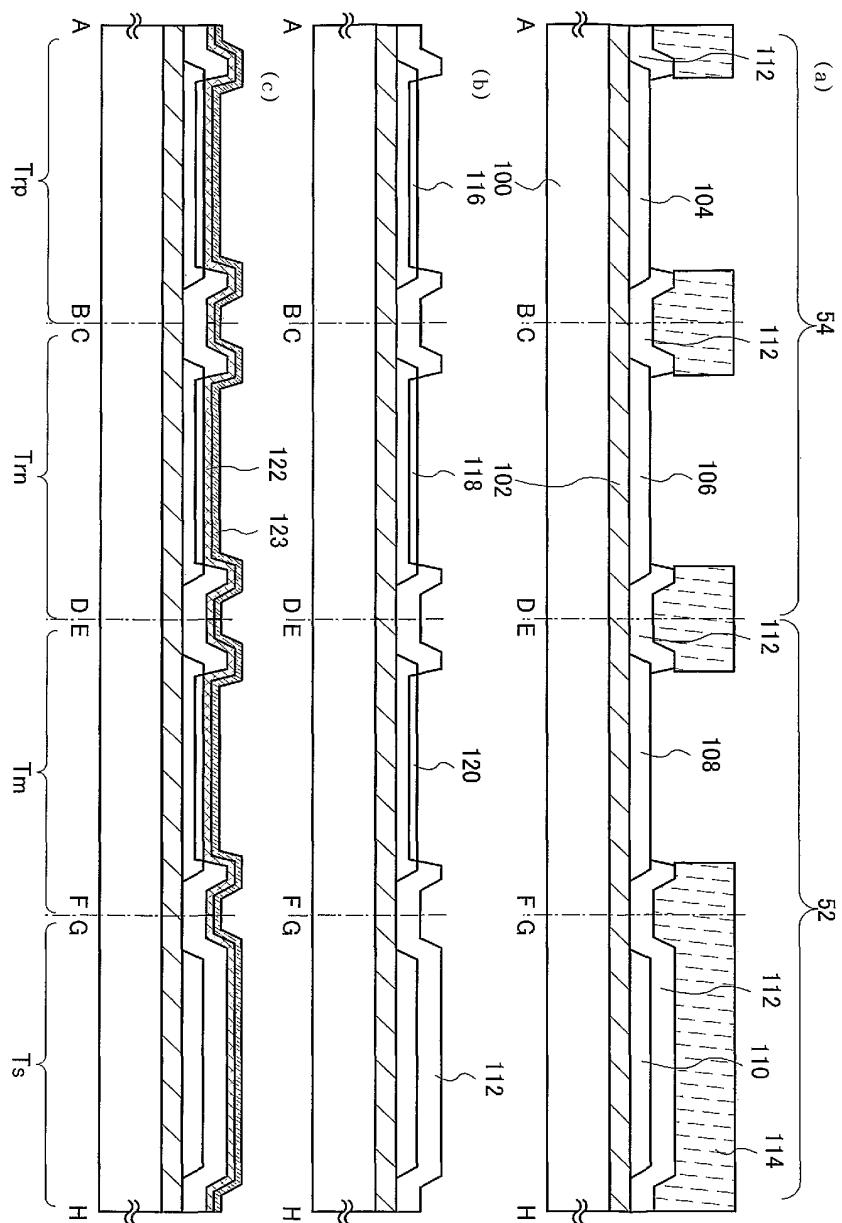
도면31



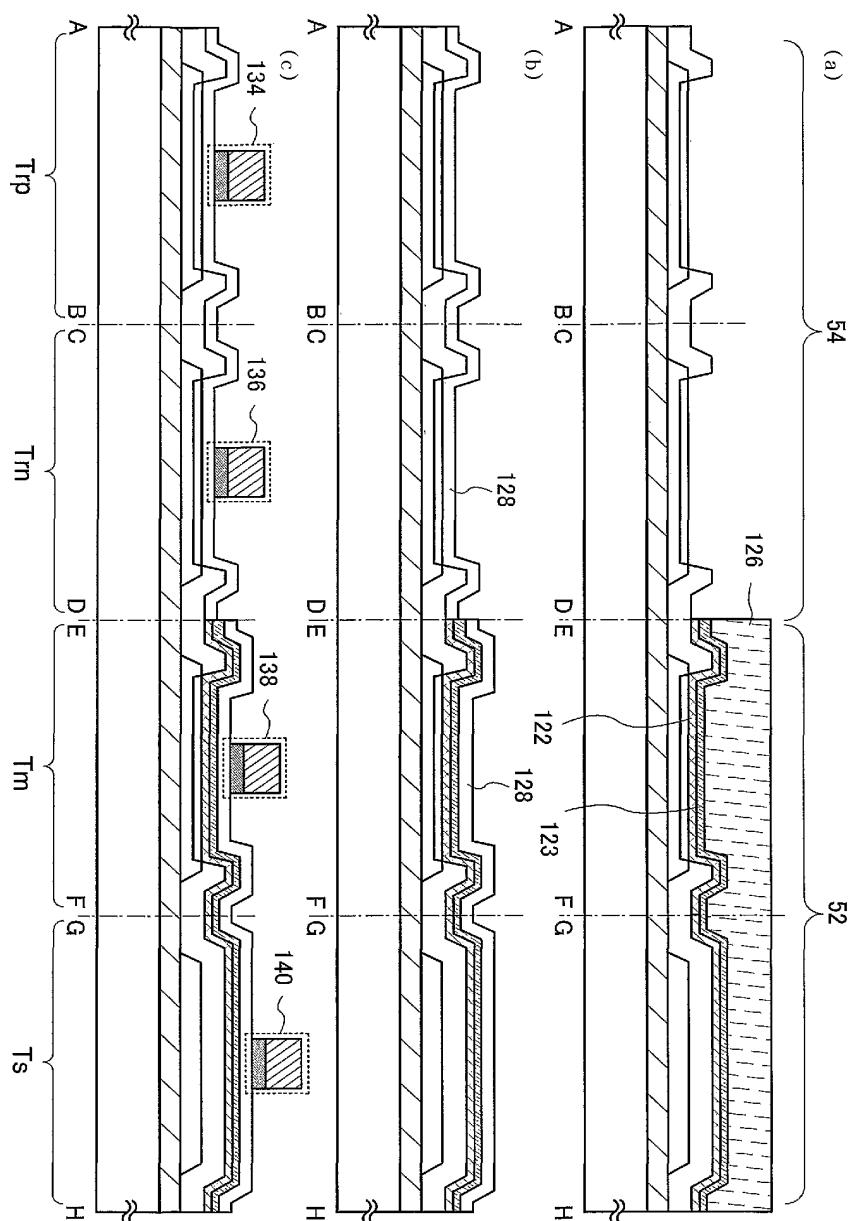
도면32



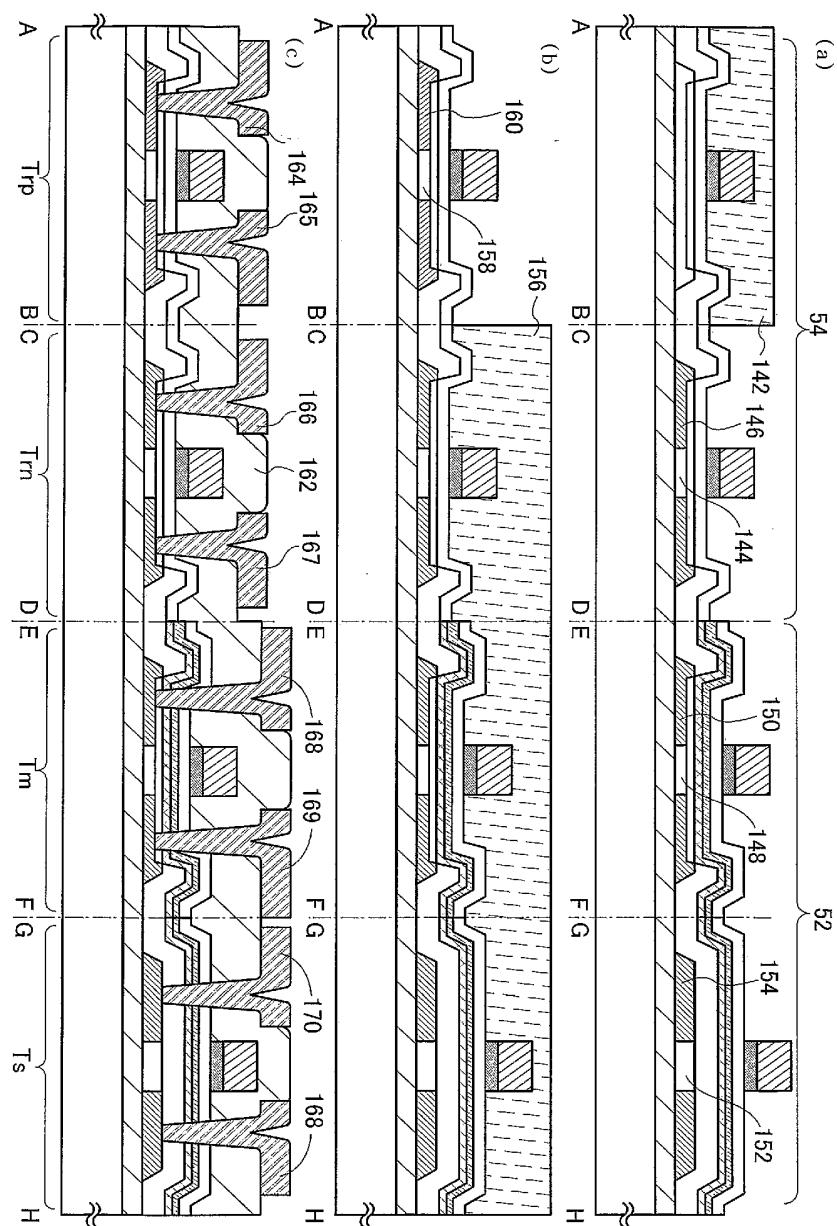
### 도면33



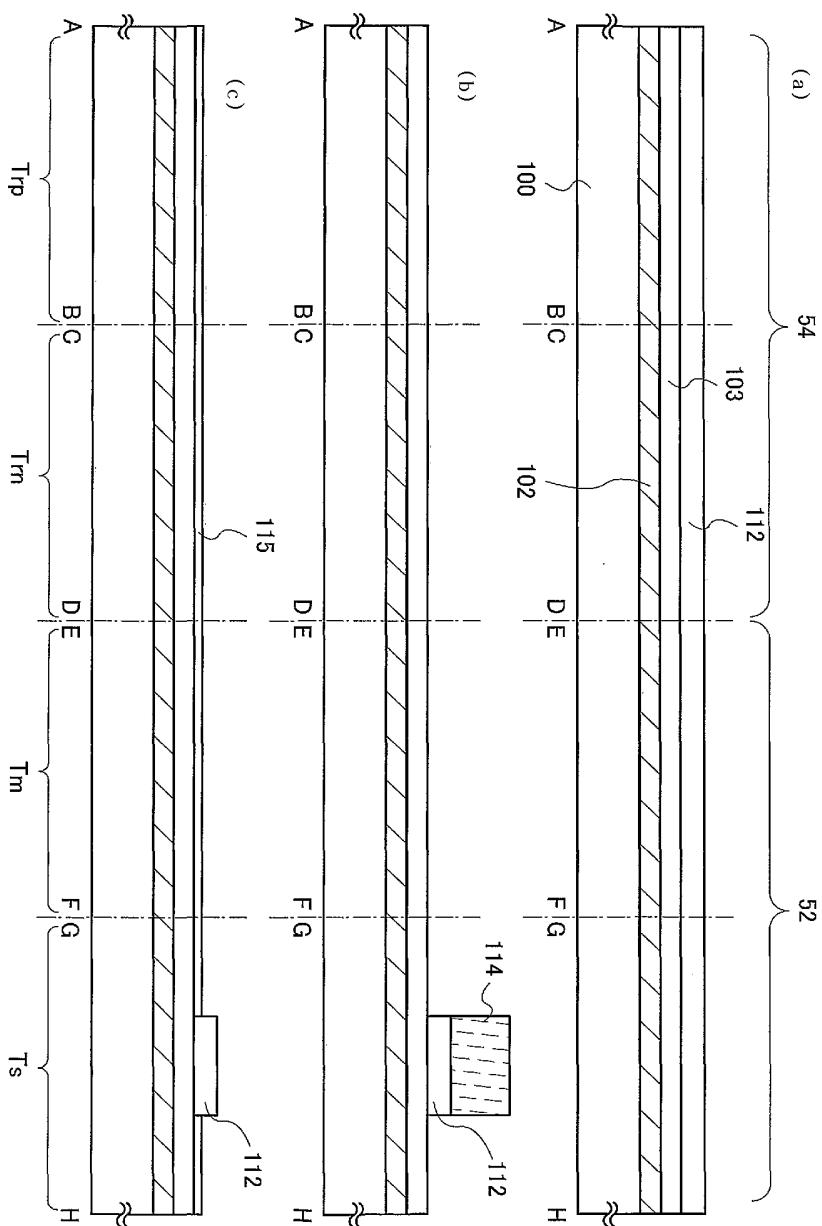
도면34



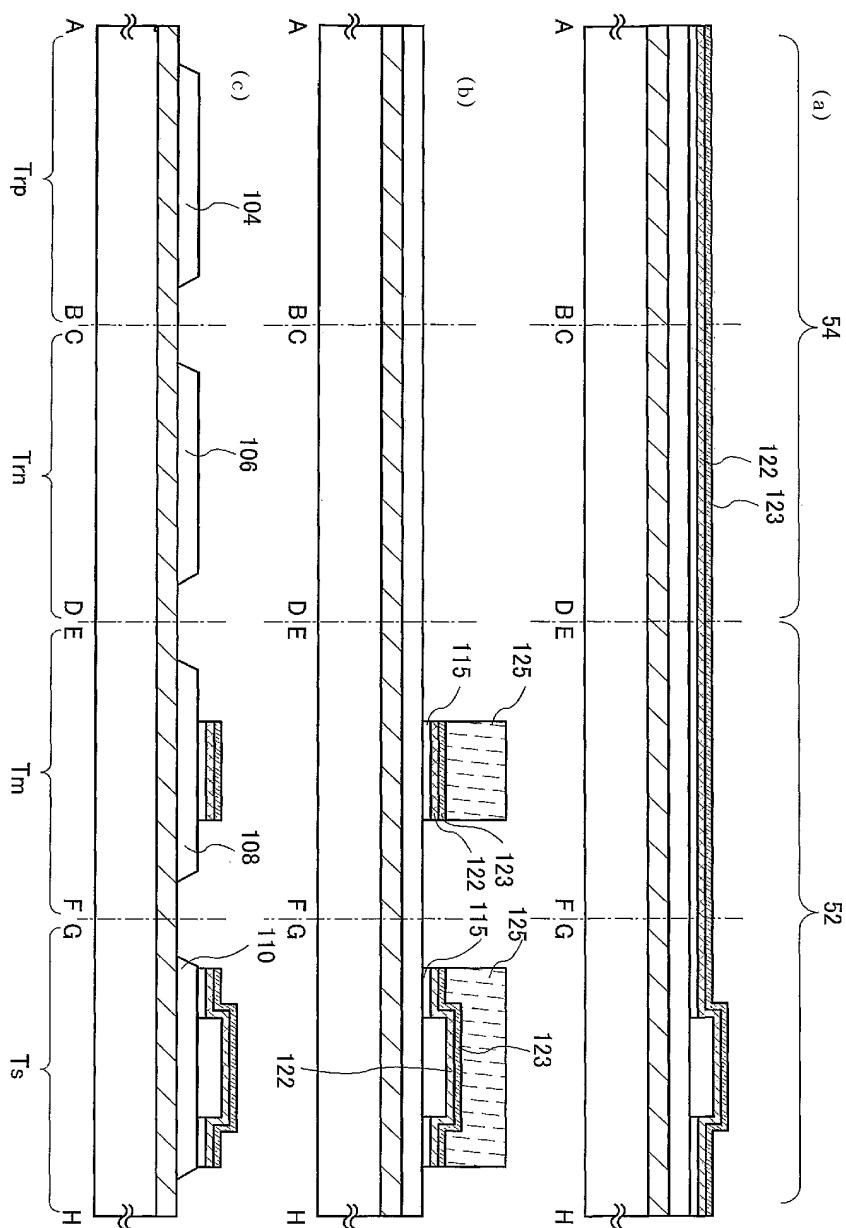
도면35



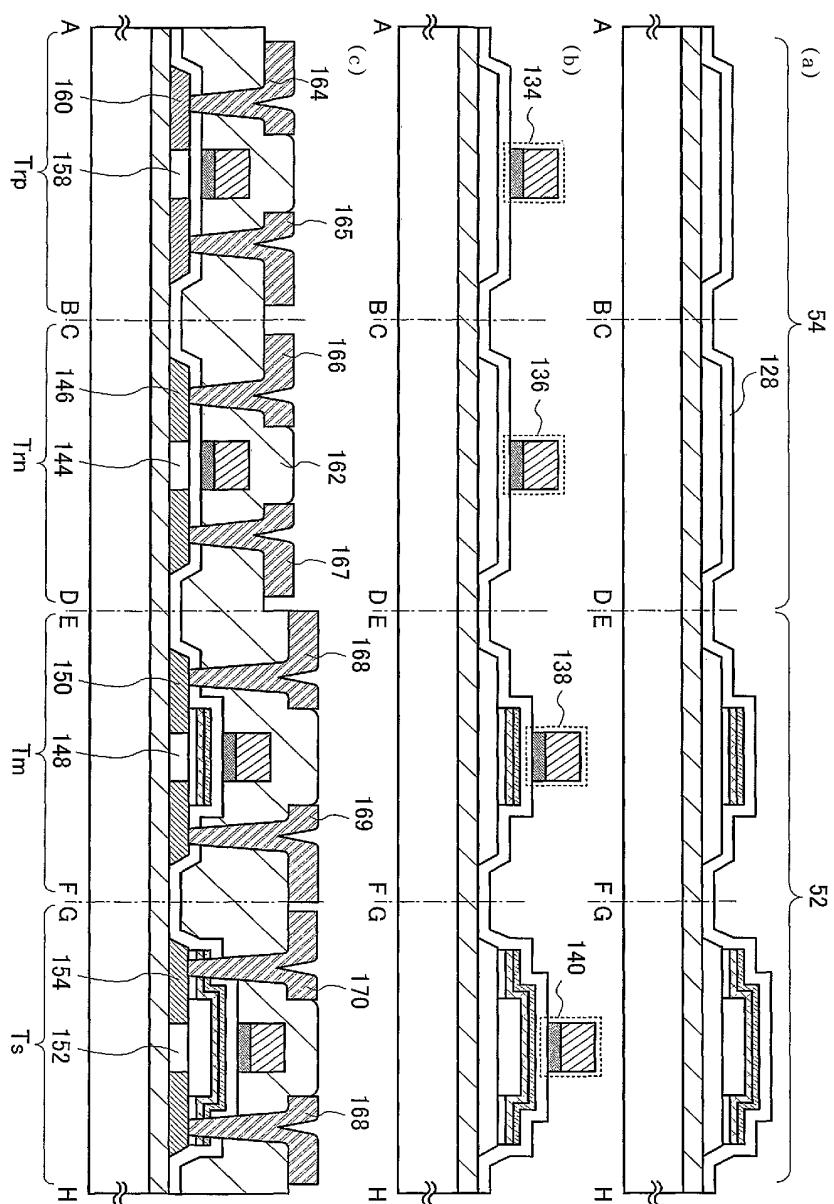
도면36



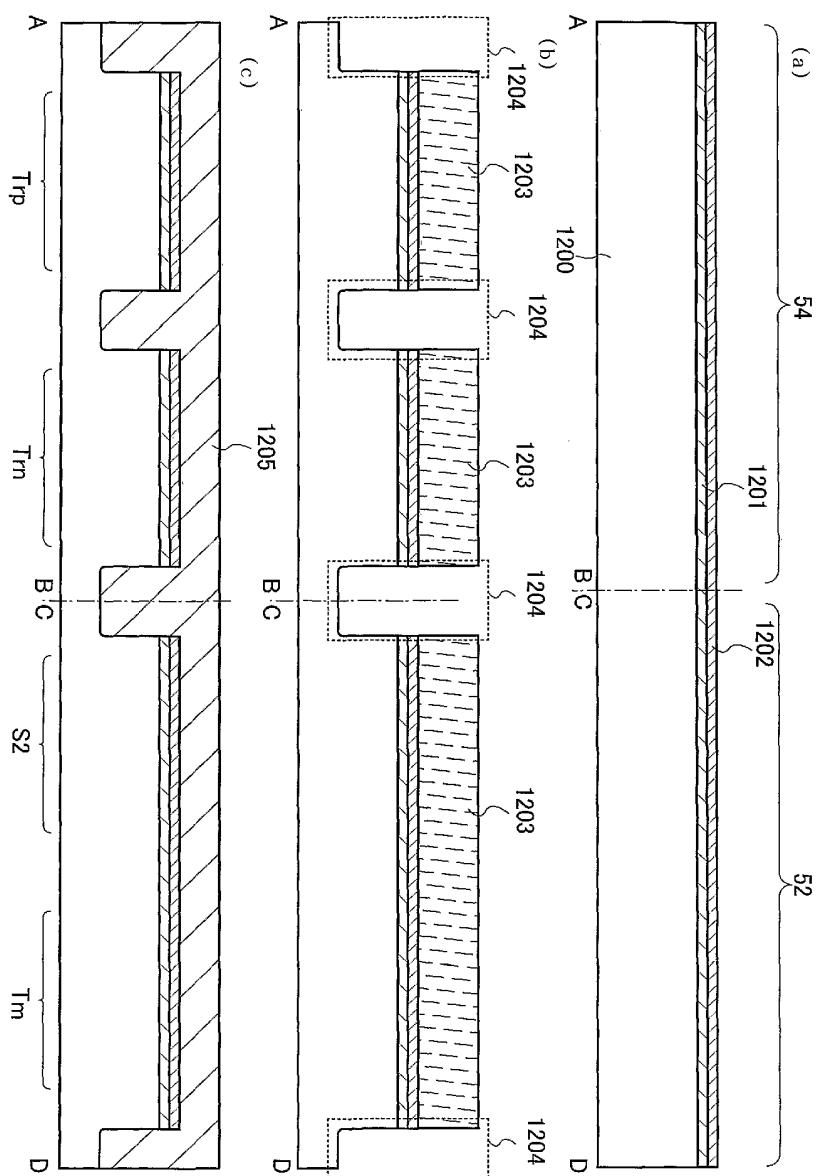
### 도면37



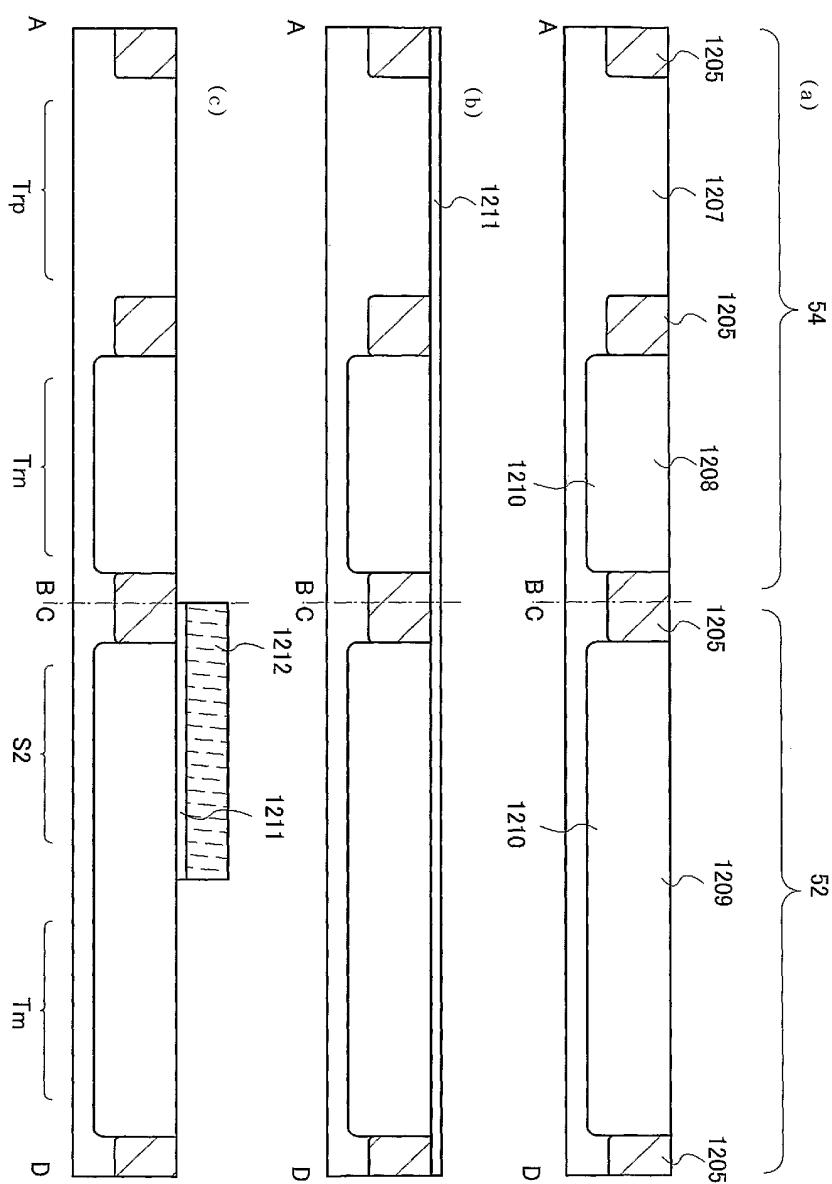
도면38



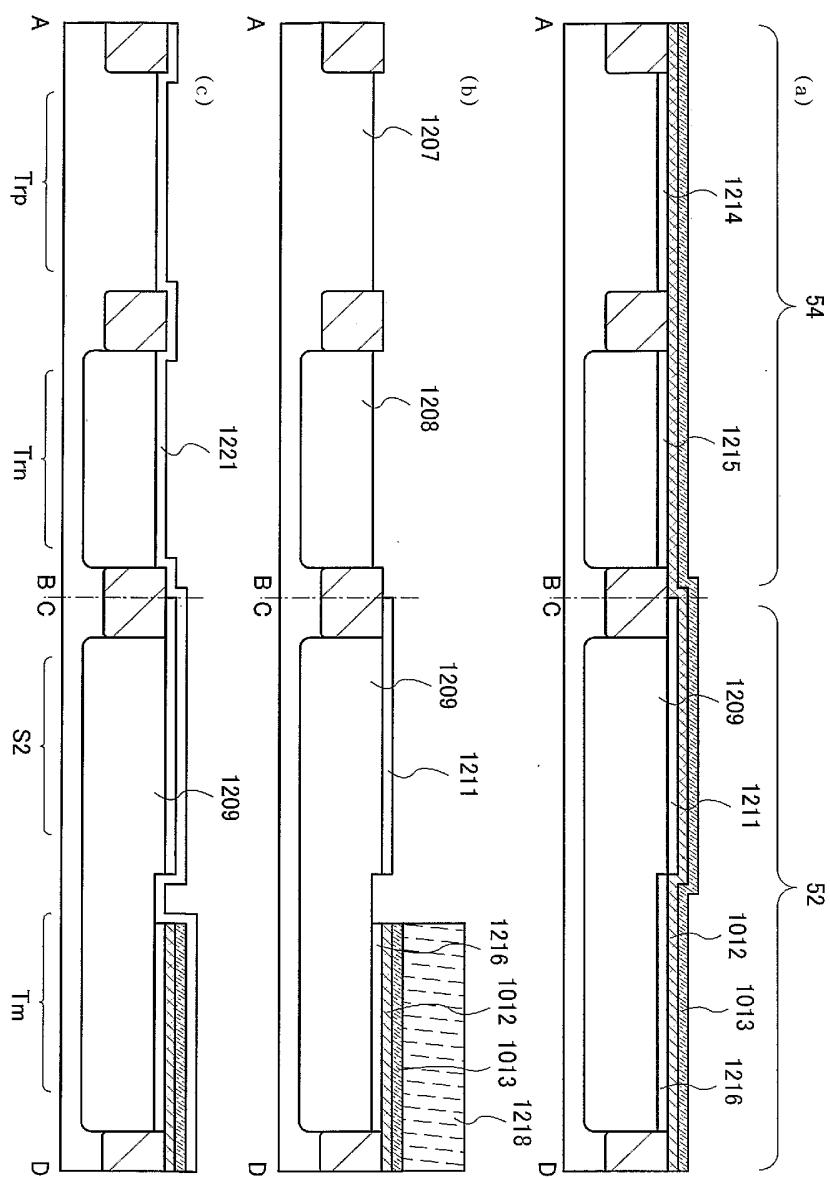
도면39



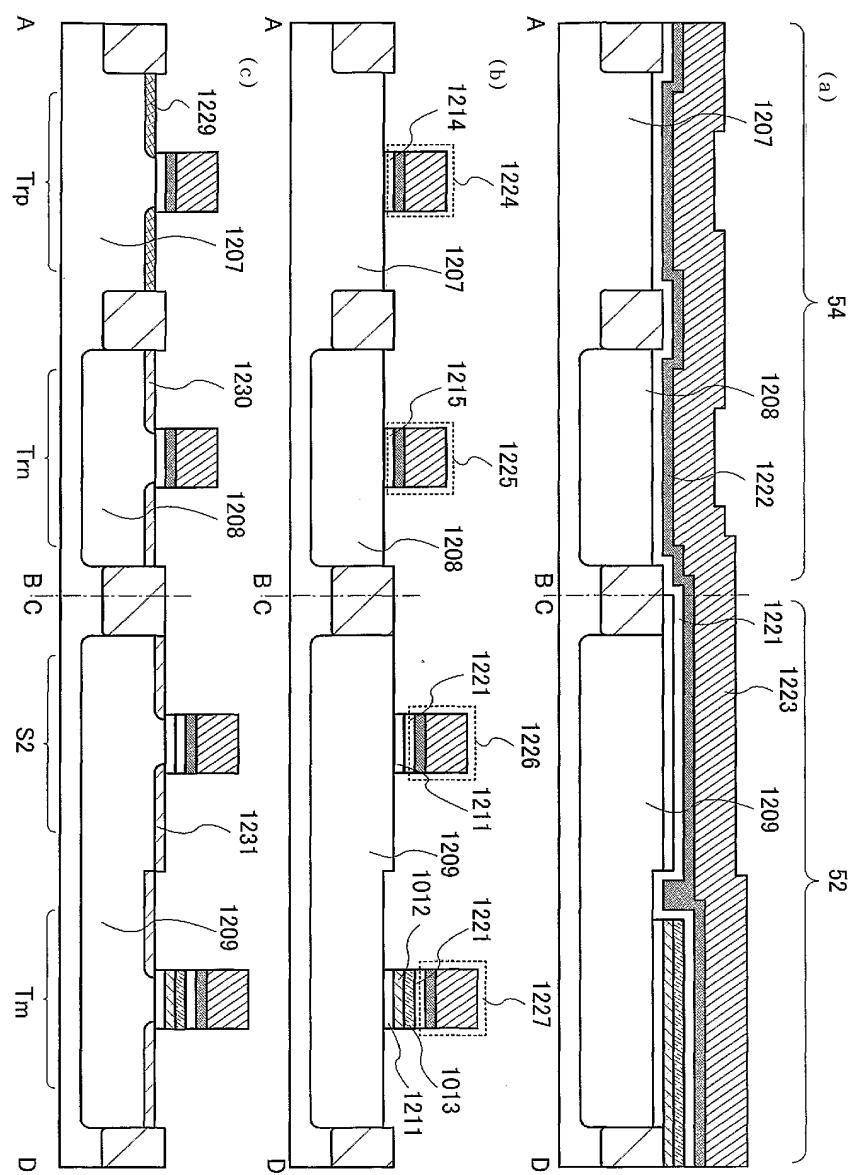
도면40



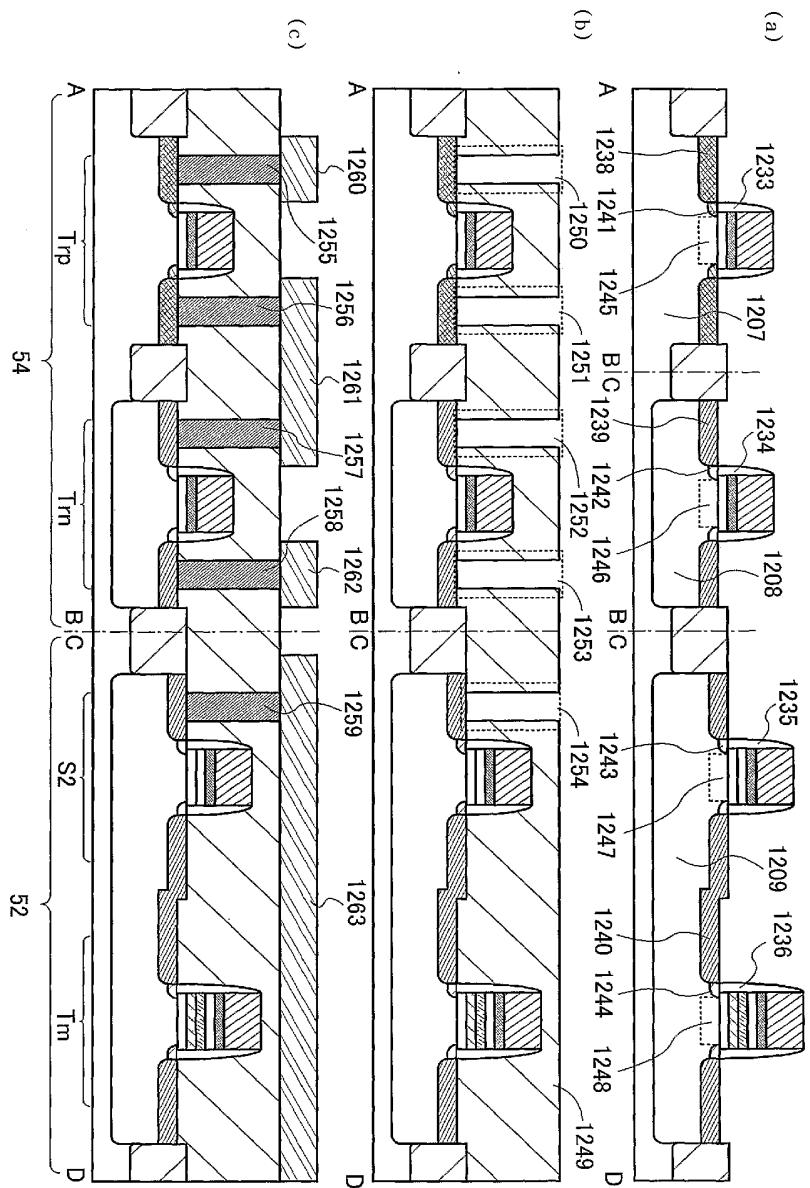
도면41



도면42

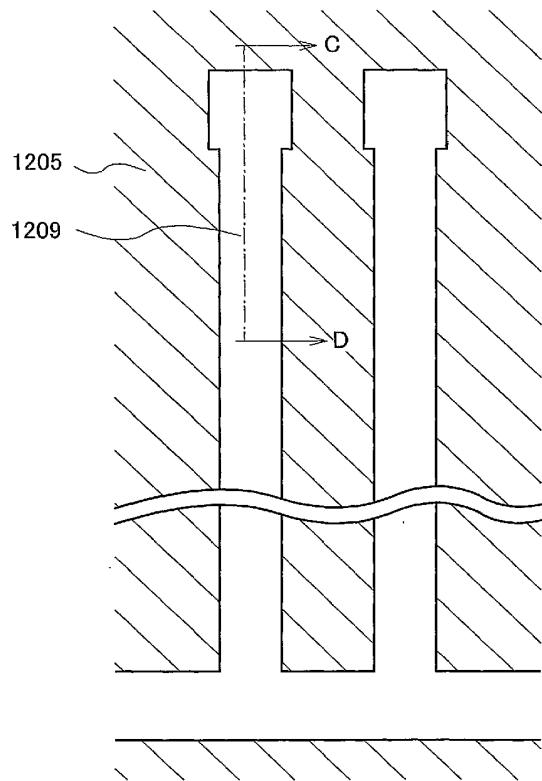


도면43

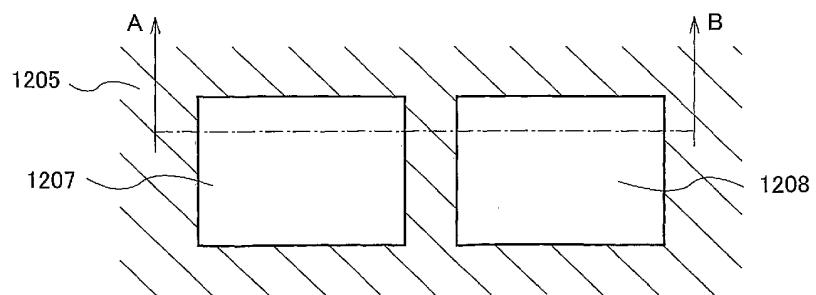


## 도면44

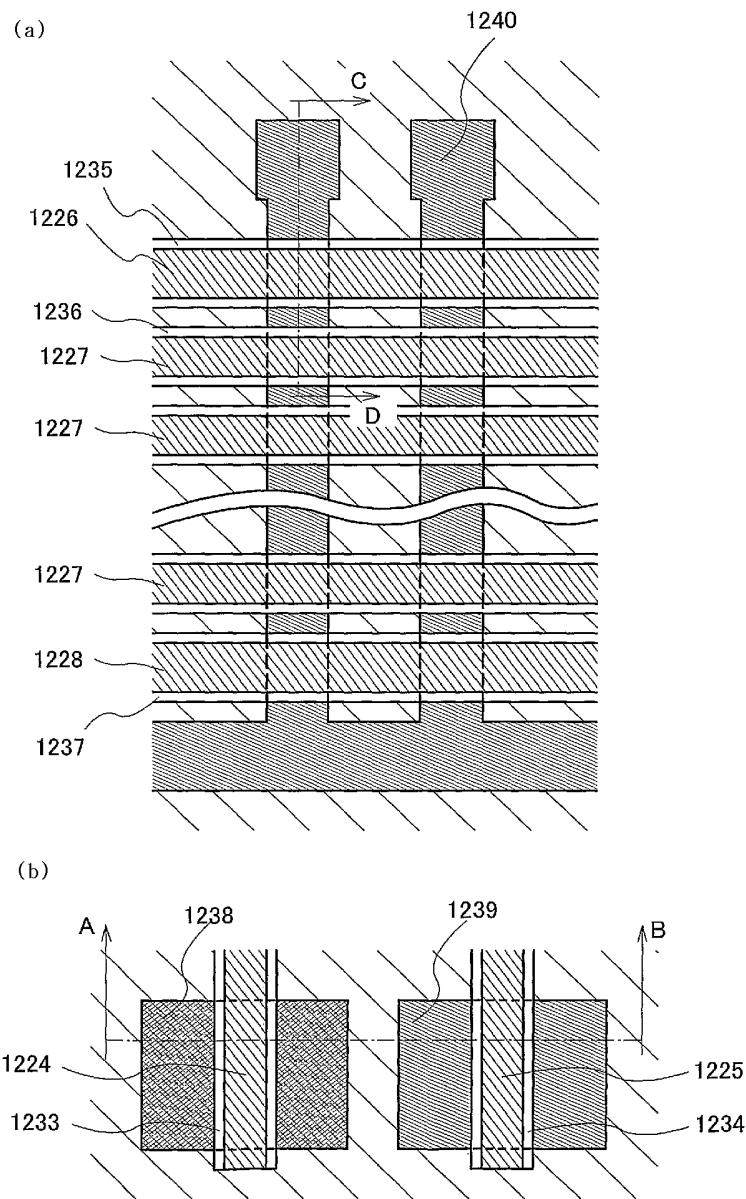
(a)



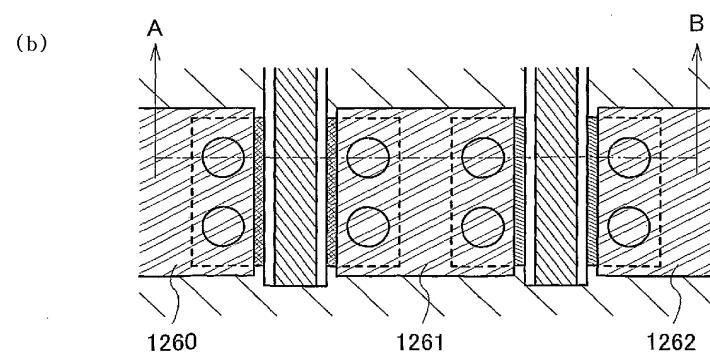
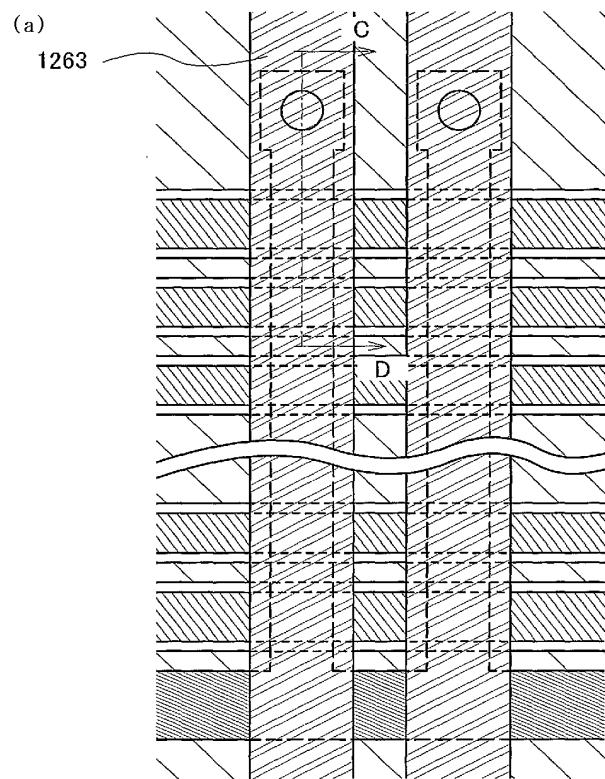
(b)



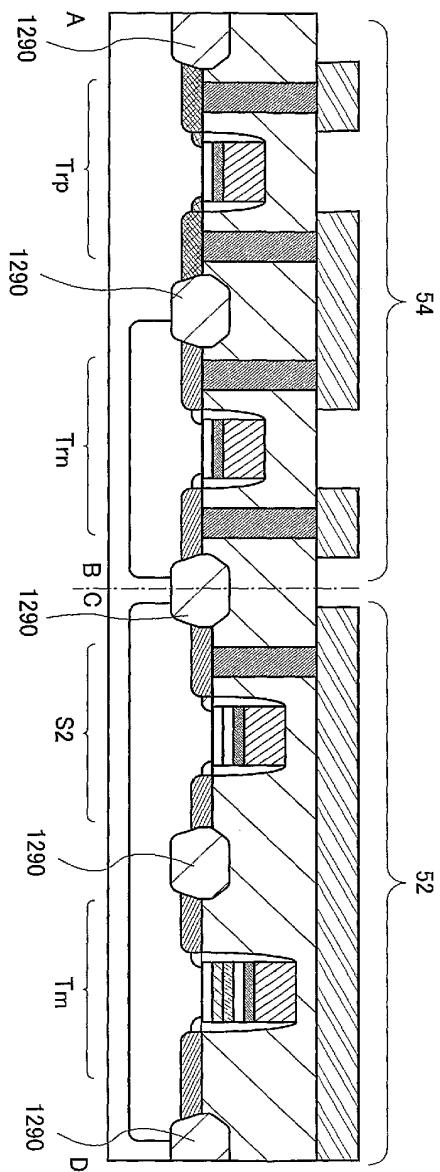
도면45



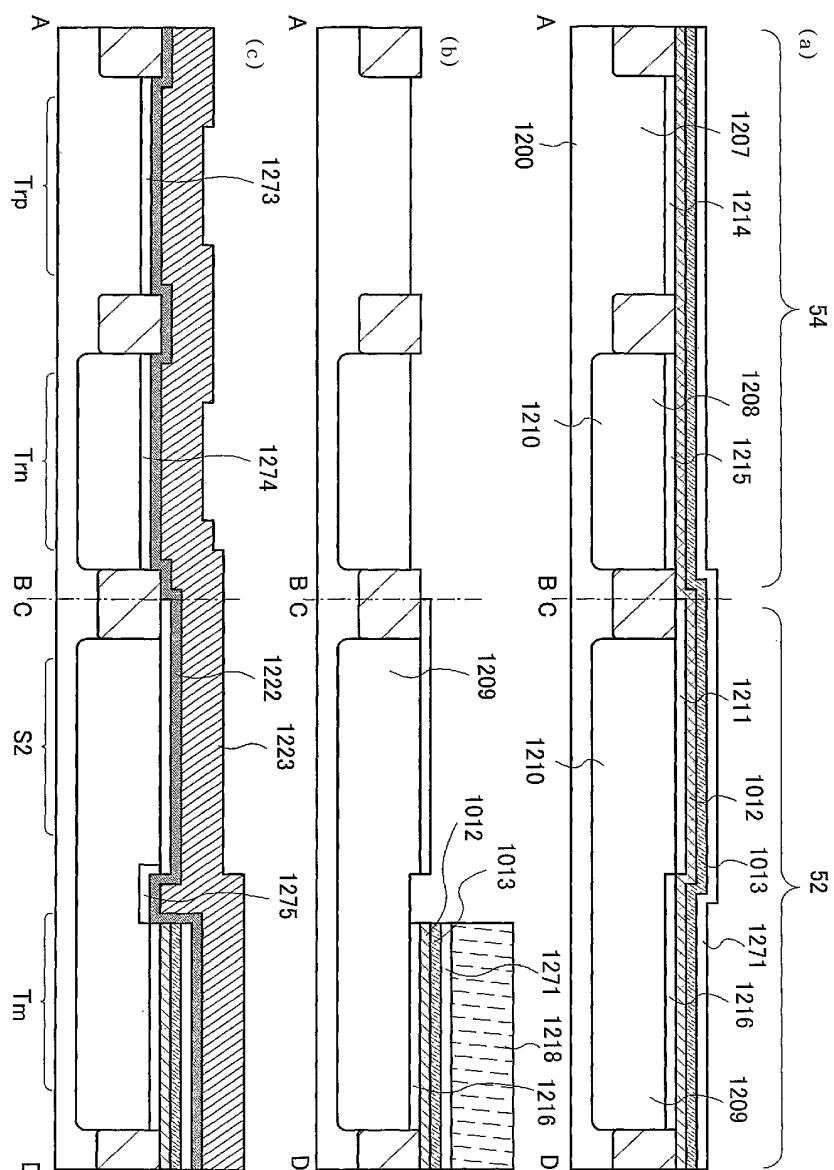
도면46



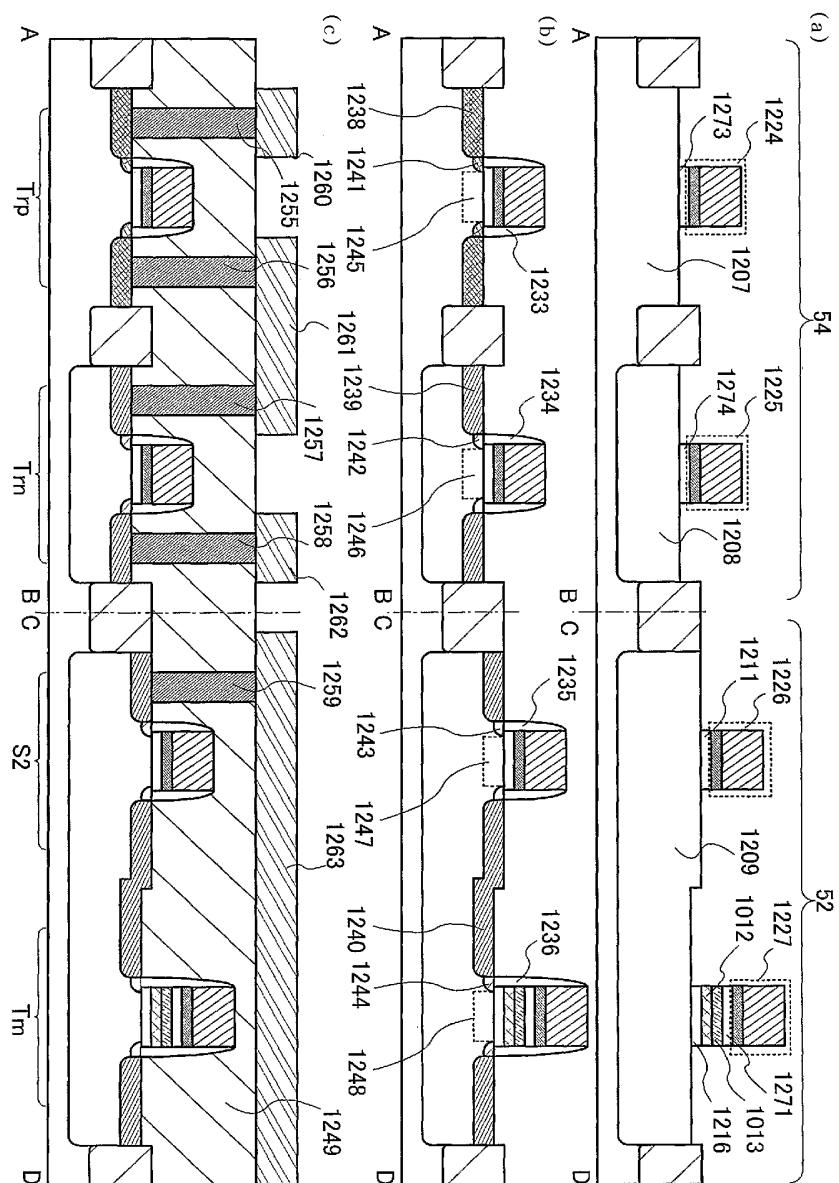
도면47



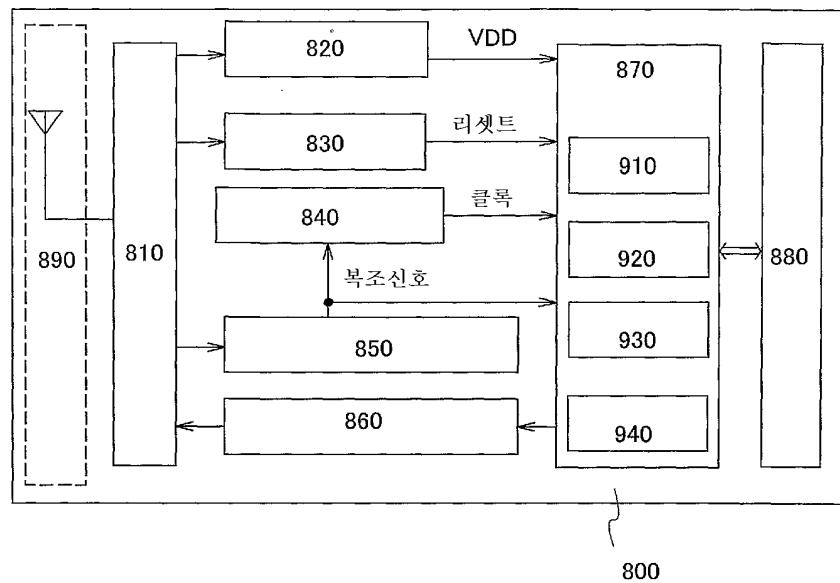
도면48



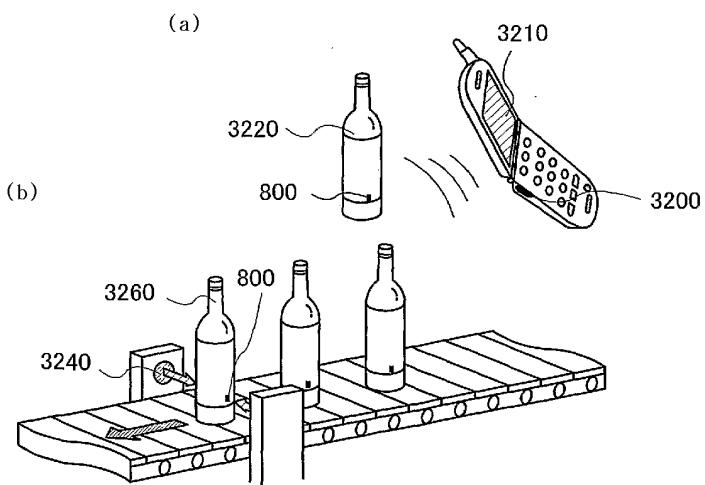
도면49



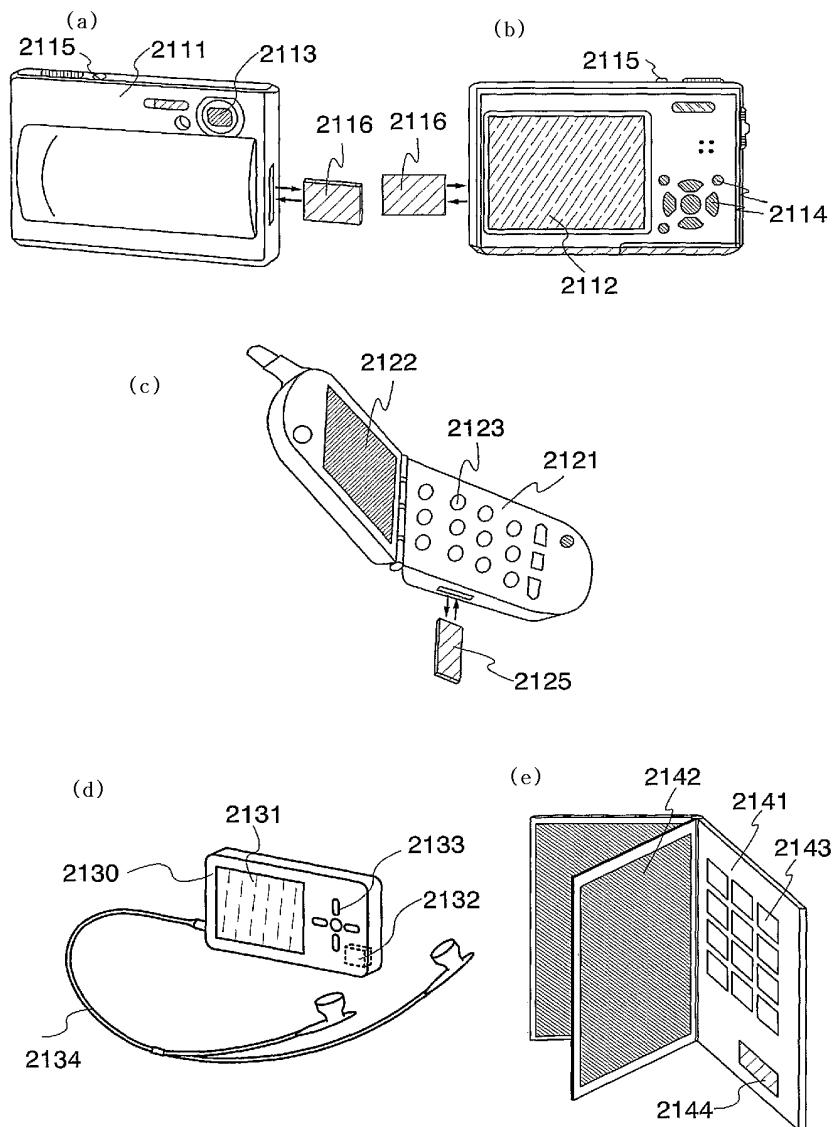
도면50



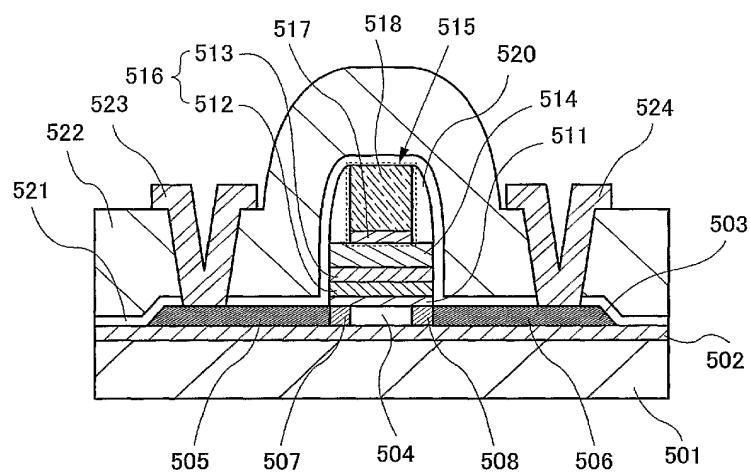
도면51



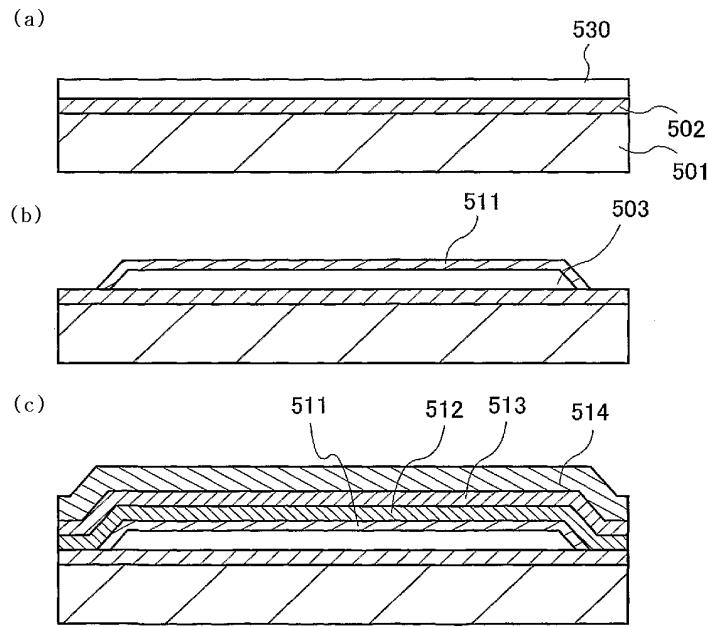
## 도면52



## 도면53

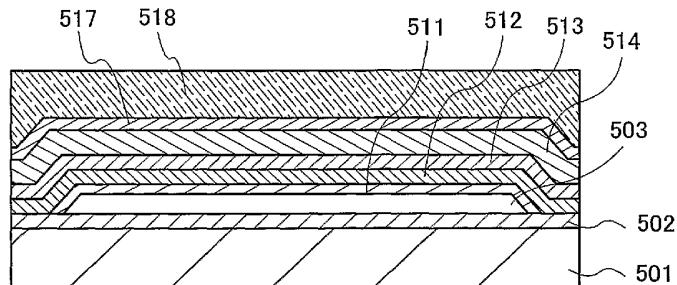


도면54

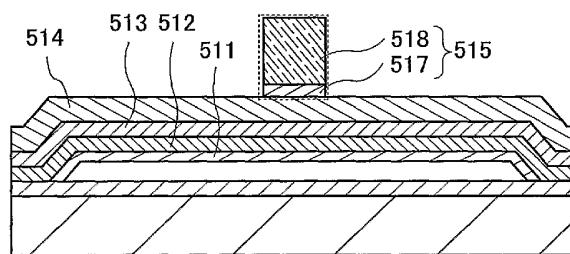


도면55

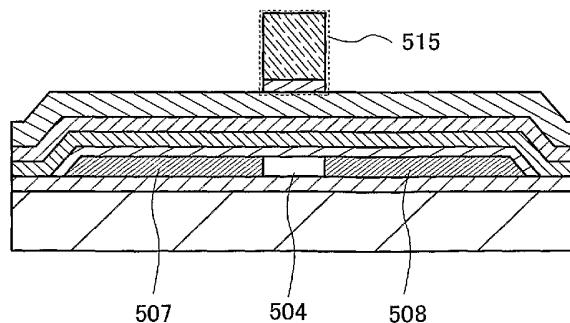
(a)



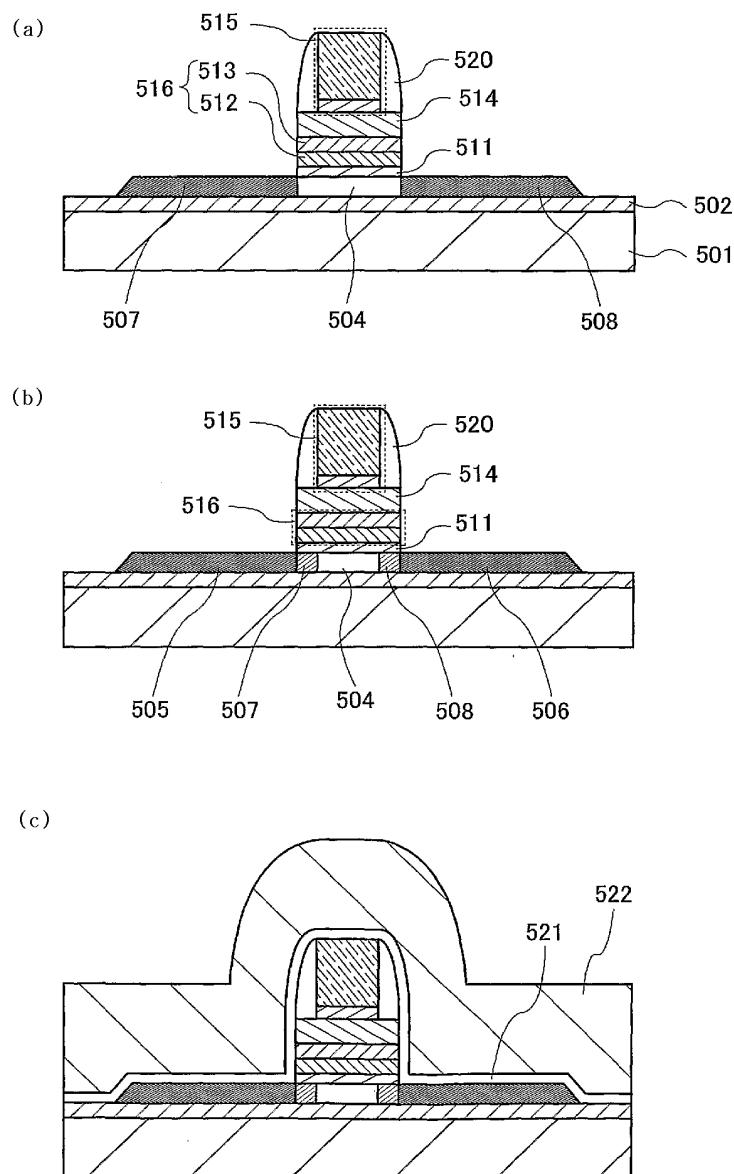
(b)



(c)



## 도면56



## 도면57

