

公告本

申請日期	91. 3. 27
案 號	91106010
類 別	H01L 21 ⁰⁰

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 I222098 新 型		
一、發明 新 型 名 稱	中 文	於絕緣體上形成變形矽之方法及其形成之結構
	英 文	"METHOD OF FORMING STRAINED SILICON ON INSULATOR AND STRUCTURES FORMED THEREBY"
二、發明 創 作 人	姓 名	林肯恩 KERN RIM
	國 籍	南韓 KOREA
	住、居所	美國紐約州皮克斯奇爾市溫崔斯特大道27號 27 WINCHESTER AVE., PEEKSKILL, NY, U.S.A.
三、申請人	姓 名 (名 稱)	美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國紐約州阿蒙市新果園路 NEW ORCHARD ROAD, ARMONK, NY 10504, U.S.A.
	代 表 人 名 姓 名	傑拉德 羅森賽 GERALD ROSENTHAL

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 2001年03月31日 09/823,855 有 無主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

五、發明說明(1)

發明背景

本發明是有關於一種積體電路(IC)結構以及方法，包括應變半導體層。更特別的是，本發明是有關於直接位於絕緣體上的應變矽層，產生對製造於IC元件很有用的應變絕緣體上矽(SSOI)結構，比如互補金氧半(CMOS)電晶體以及其它金氧半場效電晶體(MOSFET)的應用。

應變矽CMOS基本上是指在基底上製造的CMOS元件，該基底在鬆弛SiGe層上具有薄的應變矽(應變Si)層。應變Si層內的電子與電洞游動率已經顯示出，是比本體矽層的還要高出很多，而且具有應變Si通道的MOSFET已經由實驗證實，是比在傳統(無應變)矽基底上製造的元件，具有更加強的元件性能。潛在的性能改良包括增加元件驅動電流與互導率，以及增加操作電壓的能力，而不用犧牲掉電路速度來降低功率消耗。

應變Si層是在基底上成長出來之矽所誘發出來之雙軸拉伸應力的結果，該基底是用晶格常數大於矽的材料來形成。鎳的晶格常數大於矽約4.2百分比，而矽-鎳合金的晶格常數相對於鎳的濃度是成線性。結果，包含五十原子百分比之鎳的SiGe合金，其晶格常數是比矽之晶格常數還大出約1.02倍。在這種SiGe基底上磊晶成長出矽是會產生拉伸應變下的矽層，具有底下基本上是沒有應變或"鬆弛"的SiGe基底。對於MOSFET應用來說，實現應變Si通道結構之優點的結構與方法，都是在以Chu等人為一般專利權讓渡人的美國專利6,059,895中有教過，揭示出一種技術，

五、發明說明 (2)

形成在 SiGe 層上具有應變 Si 通道的 CMOS 元件，都是在絕緣基底上。

完全實現應變 CMOS 技術的困難是有鬆弛的 SiGe 層在應變 Si 層底下出現。該 SiGe 層會與不同的處理步驟相互作用，比如熱氧化，自我對齊金屬矽化處理之形成與退火，使得在 CMOS 製造期間很難保持住材料的本性，而且最後可能會限制元件性能的強化以及能達到的元件良率。另一缺點是，SiGe 層會增加 MOSFET 本體區的總厚度。增加的厚度對於絕緣體上矽 (SOI) 的 FET 結構來說特別的不需要，因為會阻礙到形成非常薄 SOI 元件的能力，而 SOI FET 當作短通道長度之 MOSFET 結構的優點已經有詳細的文獻。因此，可以利用不包括應變誘發層但是具有直接位於另一薄層上之應變 Si 層的應變 Si 結構，比如絕緣層，產生應變 SOI 結構，來實現不同的優點。然而，傳統的技術是，SiGe 層必須一直出現，以維持矽層內的應變，因為在後處理時曝露到高溫中，會對去除掉未支撐之應變 Si 層內的應變有影響。

發明的簡單說明

本發明提供一種 SOI 結構以及製造該結構的方法，其中應變矽層是直接位於絕緣層上。如此，本發明能克服掉習用技術中需要在絕緣基底上要有應變 Si 結構的缺點，以便包括應變 Si 層與絕緣層之間的應變誘發 (比如 SiGe) 層。本發明的方法一般是指在應變誘發層上形成矽層，以便形成多層結構，其中應變誘發層具有與矽不相同的晶格常

五、發明說明(3)

數，使得應變誘發層會因晶格不匹配的結果而誘發出矽層內的應變。然後將多層結構鍵結到基底上，使得絕緣層位於應變矽層與基底之間，而且應變矽層會直接接觸到絕緣層。為此，絕緣層可以在基底上或是在與應變誘發層相反側的應變矽層表面上。然後去除掉應變誘發層，產生應變絕緣體上矽(SSOI)結構，包括絕緣層上的應變矽層，而絕緣層是位於基底與應變矽層之間。結果是，最後的SSOI結構並不包括額外的應變誘發層。而是，本發明所依據的決定是，對已經在矽層內被誘發出來的應變，在本質上可以用不具有與矽應變誘發晶格不匹配之基底來保持住。SSOI結構中，絕緣層(只有或是結合基底一起)在某些方面能以物理的方式阻礙應變矽層的鬆弛。

依據本發明，最後的SSOI結構是特別的適用於IC元件的半導體基底。為此，源極與汲極區是在應變矽層的表面內形成的，而矽定義出源極區與汲極區之間的通道。用製造出SSOI結構之方法的結果是，應變Si通道會直接接觸到絕緣層。藉去除掉應變Si通道底下的應變誘發層，本發明具有讓應變Si之CMOS技術更加完全實現的優點。例如，去除掉應變誘發層(比如SiGe)會減少MOSFET元件的總厚度，並避免與不同的處理步驟發生相互作用，使得材料本性在CMOS製程中能保持住。

本發明的其它目的與優點將從以下的詳細說明中變得更能被了解。

五、發明說明 (4)

圖式的簡單說明

圖 1 表示依據本發明形成應變絕緣體上矽 (SSOI) 結構的另一技術。

圖 2 與 3 顯出二種利用圖 1 SSOI 結構的 MOSFET 應用。

圖式的詳細說明

圖 1 表示出本發明範圍內的製程，其中多層結構 16 可以形成，其中應變矽 (應變 Si) 層 12 是直接位於絕緣體層 14 上，使得結構 16 能被進一步的處理，產生應變絕緣體上矽 (SSOI) 結構 10，適合製造 MOSFET 或其它 IC 元件用，比如圖 2 所示的。圖 1 顯示出四種其它技術 ("其它技術" (A)，(B)，(C) 與 (D))，給圖 1 所示第一處理步驟用。利用圖 1 所示的每個方法，多層結構會被鍵結到基底上，使得絕緣體 14 是位於應變 Si 層 12 與基底之間，而且應變 Si 層 12 是直接接觸到絕緣體 14。底下將顯示並討論四種技術，但是可以預見的是，可以建議並使用其它技術，來產生圖 1 的中間多層結構 16，而且這種修改是在本發明的範圍內。此外，圖 1 與 2 顯示出包括受限層數的多層結構，熟知該技術的人士會了解到，額外的不同材料層是可以加到結構中，而在本質上不改變本發明。重要的是，圖 1 所示的每種技術都會產生應變 Si 層 12，是被原來在應變 Si 層 12 內誘發出應變以外的薄層 (比如 14/24) 所撐住。因此，額外的薄層是可以包括在結構 16 內，只要滿足本發明的這種基本特性即可。這四種技術主要是在鍵結的材料上不相同，比如矽對絕緣體 (技術 (A))，絕緣體對絕緣體

五、發明說明 (5)

(技術(B))，絕緣體對半導體(技術(C))或半導體對半導體(技術(D))。

圖1的技術(A)表示多層結構16是將一對結構18與20鍵結在一起所製造出來的。第一結構18包括應變Si層12，位於鬆弛SiGe基底22上。基底22的功能是要誘發出雙軸拉伸應力，在矽層12內產生所需的應變程度，並用具有與矽不相同之晶格常數的另一材料來形成。因為鍺濃度與晶額常數的關係對於SiGe合金來說是相類似的，所以在應變Si層12內所誘發出來的應變量是可以用SiGe合金內的鍺含量來做調整。鍺具有大於矽約4個百分比的晶格常數，因此是應變Si層12與SiGe基底22之間晶格不匹配的上限。據信，較佳的晶格不匹配是約0.2至約2個百分比，用包含有約5至約50個原子百分比之鍺的SiGe合金來達成，雖然可以預見的是，可以用較低與較高的晶格不匹配。此外，大於4個百分比的晶格不匹配對於是用SiGe合金以外的材料來形成的基底22是可能的。

依據已知的習用技術，基底22最好是單晶材料，而且應變Si層12是磊晶成長到SiGe基底22上。SiGe基底22可以用如磊晶成長以及柴可洛斯基(Czochralski)成長的已知方法來形成，雖然其它方法是可預見的。因為SiGe基底22具有比矽還大的晶格常數，所以應變Si層12是在雙軸拉伸下，而底下的SiGe基底22在本質上仍是未應變的或"鬆弛的"。應變Si層12的適當厚度達到約500埃，而SiGe基底的適當厚度約1000至約50000埃。

圖1技術(A)的第二結構20包括基底24上的絕緣體14，

五、發明說明 (6)

至少在一開始是當作給絕緣體14用的控制晶圓。如同從底下說明中會變得明顯的，可以預見的是，一個或多個不同材料層是可以包括在絕緣體14與基底24之間，或是在基底24的背面(與絕緣體14相反)。絕緣體14的適當材料包括氧化矽(矽土， SiO_2)，氮化矽(SiN)以及氧化鋁(礬土， Al_2O_3)，雖然可以使用其它電氣絕緣("高k值")材料，包括氧氮化矽，氧化鈣(鈣土， HfO_2)，氧化鋯(鋯土， ZrO_2)以及摻雜過的氧化鋁。高達約一個微米的厚度據信是很適合絕緣體14的。適合基底24的材料是與其角色有關，如果有的話，該基底24是當作最後的SSOI結構10。如同以下將做的更詳細說明，基底24後來是可以當作MOSFET元件的閘極用，使得基底24的較佳材料包括單晶矽，多晶矽，金屬，比如鎢，等等。其它適當的基底24材料一般是包括SOI，SiGe，GaAs與III-V族半導體。絕緣體14與基底24的個別厚度一般對於本發明並不是很關鍵的，但是仍要支撐住應變Si層12(包括圖1的絕緣體14與基底24)之結構的總厚度必須足夠在應變Si層12內保持所需的應變程度。

圖1技術(A)中，結構18與20都是將應變Si層12與基底24安置成相互接觸，而鍵結在一起，然後進行習用技術中已知任何適當的晶圓鍵結技術。晶圓鍵結技術的結果是圖1所示的多層結構16，其中應變Si層12是在絕緣體14與SiGe基底22之間，使得絕緣體14是結構16內有效的埋植層。然後完全去除掉SiGe基底22，最好是用如化學機械研磨(CMP)，晶圓切割(比如從LETI可以取得的智慧型

五、發明說明 (7)

切割處理)，對矽具有選擇性的化學蝕刻處理，或結合這些技術的方法。完全去除掉SiGe基底22的較佳方法是利用選擇性化學蝕刻處理，比如會優先蝕刻掉SiGe基底22的HHA(過氧化氫，氫氟酸，醋酸)蝕刻。如果是使用智慧型切割處理，則可以在圖1所示不同處理步驟中的不同點上，進行該處理所需的氫離子佈植步驟。去除掉SiGe基底22的結果是圖1所示的SSOI結構10，是顯示成只包括應變Si層12，絕緣體14與基底24，但是如上所要注意的是，絕緣體14與基底24在之間或是在基底24的背面(與絕緣體14相反側)可以出現一個或多個額外的薄層。

圖1技術(B)，(C)與(D)都可以使用與技術(A)相同的材料。技術(B)與技術(A)的不同點是在於絕緣體14是用應變Si層12與基底24上形成之二個別薄層14a與14b所構成。應變Si層12上形成的薄層14a是可以利用已知方法而熱成長或沉積出來。技術(B)中，鍵結步驟是絕緣體對絕緣體(14a對14b)。再一次，絕緣層14b與基底24在之間或是在基底24的背面(與絕緣層14b相反側)可以出現一個或多個額外的薄層。

圖1技術(C)的不同點是在於，絕緣體14是完全直接在應變Si層12上成長或沉積出來的，而不是在基底24上。如此，基底24(可以包括多層的不同材料)可以是結構20的單獨組成。技術(C)一般是代表利用絕緣體對半導體(14對24)鍵結操作所形成的多層結構16。

類似於技術(C)，技術(D)所提供的是，絕緣體14是完全直接在應變Si層12上成長或沉積出來的，而不是在基

五、發明說明 (8)

底24上。技術(D)進一步的不同點是使用二個別薄層24a與24b來形成基底24，薄層24a是沈積在絕緣體14上。晶圓接線操作牽涉到要協調薄層24a與24b(後者是顯示成結構20的單獨單元)使得這些薄層24a與24b在晶圓接線後會形成基底24。薄層24a與24b可以用相同的材料構成，比如上述基底24的其中之一，雖然有些應用是，薄層24a與24b最好用不同材料來形成，比如二個或多個的上述基底24。如果薄層24a與24b是用矽來形成，則結構18與20可以用已知的矽直接鍵結技術而鍵結在一起。薄層24a可以利用如化學氣相沉積(CVD)的已知方法，而沉積在基底24上。

利用圖1所示的每個技術，最後的多層結構16被進一步的處理，以去除掉SiGe基底22，留下SSOI結構10。更加要注意的是，本發明去除掉原來會在矽層12內誘發出所需拉伸應力的基底22。依據本發明，應變Si層12內的拉伸應力是用SOI結構10保持住，更特別的是，被絕緣體14與可能的基底24所保持住。基底24對保持住應變Si層12的貢獻程度，是取決於特別的絕緣體14。例如，如果絕緣體13很薄，則基底24很可能會具有影響力。很重要而要注意的是，在後續中會被不具有與矽之應變誘發晶格不匹配的基底所保持住，而已經在矽層內被誘發出來的應變能力是未知的，直到本發明的檢驗達到為止。

圖2與3表示本發明中可能的三個SSOI MOSFET結構。圖2中，SSOI MOSFET 40的形成是藉適當的摻雜到應變Si層12而定義出源極與汲極區26與28，該源極與汲極區26

五、發明說明(9)

與28是被源極與汲極區26與28之間應變Si層12區域所定義之通道30而分隔開。源極與汲極區26與28可以用傳統的n+或p+摻雜之摻雜方法來形成。然後藉沉積或成長出閘極氧化物32，緊接著閘極34，而形成通道30的閘極結構，閘極34可以是金屬，多晶矽，矽或其它適當的導體或半導體材料。形成閘極氧化物32與閘極34的適當方法在習用技術中是眾所周知的，因此不做詳細的說明。圖2的元件中，基底24主要是當作控制晶圓用。相對的，圖3的元件是雙閘極MOSFET 50，其中基底24被定義圖案，而形成被絕緣體14絕緣開通道30的第二閘極36。以這種方式，基底24必須是用適當的如鎢或另一金屬之導電材料，或如矽，多晶矽等之半導體材料來形成。對於圖2的MOSFET 40來說，圖3的雙閘極MOSFET 50是可以使用已知的MOSFET製程來製造。因為通道30內電子與電洞會因應變Si層12而有較大的游動率，所以與類似結構的傳統MOSFET元件比較起來，每個圖2與3的元件40與50都會具有加強的性能。所增加的性能改善包括增加元件的驅動電流與互導率，以及加大操作電壓的新增能力，而不需犧牲掉電路速率來達到減少功率消耗。

本發明已經用較佳實施例的方式做了說明，但是很明顯的，熟知該技術領域的人士可以接受其它的形式。例如，除了已顯示出的以外，可以使用不同的製程與製程參數，一開始，中間與最後的多層結構都可以包含半導體性的及/或絕緣性的薄層，而且可以用適當的材料來取代。因此，本發明的範圍只受限於以下的申請專利範圍。

四、中文發明摘要(發明之名稱：於絕緣體上形成變形矽之方法及其形成之結構)

本發明提供一種SOI(絕緣體上矽)結構與其製造方法，其中應變矽層直接位於絕緣上，與應變矽層直接位於應變誘發(亦即SiGe)層上的習知要求不同。該方法一般需要在應變誘發層上形成矽層，以形成多層結構，其中應變誘發層具有與矽不相同的晶格常數，使得與應變誘發層之晶格不匹配的結果是矽層會有應變。接著，多層結構鍵結到基底上，使得絕緣層在應變矽層與基底之間，而且使得應變矽層直接接觸到絕緣層。然後去除掉應變誘發層，曝露出應變矽層的表面，並產生應變的絕緣體上之結構，該結構包括基底，基底上的絕緣層以及絕緣層上的應變矽層。結果，該方法會產生應變絕緣體上矽(SSOI)結構，其中矽層內的應變由SOI結構保持。

英文發明摘要(發明之名稱："METHOD OF FORMING STRAINED SILICON ON INSULATOR AND STRUCTURES FORMED THEREBY")

A SOI structure and a method for its fabrication, in which a strained silicon layer lies directly on an insulator layer, contrary to the prior requirement for strained-Si layers to lie directly on a strain-inducing (e.g., SiGe) layer. The method generally entails the forming a silicon layer on a strain-inducing layer so as to form a multilayer structure, in which the strain-inducing layer has a different lattice constant than silicon so that the silicon layer is strained as a result of the lattice mismatch with the strain-inducing layer. The multilayer structure is then bonded to a substrate so that an insulating layer is between the strained silicon layer and the substrate, and so that the strained silicon layer directly contacts the insulating layer. The strain-inducing layer is then removed to expose a surface of the strained silicon layer and yield a strained silicon-on-insulator structure that comprises the substrate, the insulating layer on the substrate, and the strained silicon layer on the insulating layer. As a result, the method yields a strained silicon-on-insulator (SSOI) structure in which the strain in the silicon layer is maintained by the SOI structure.

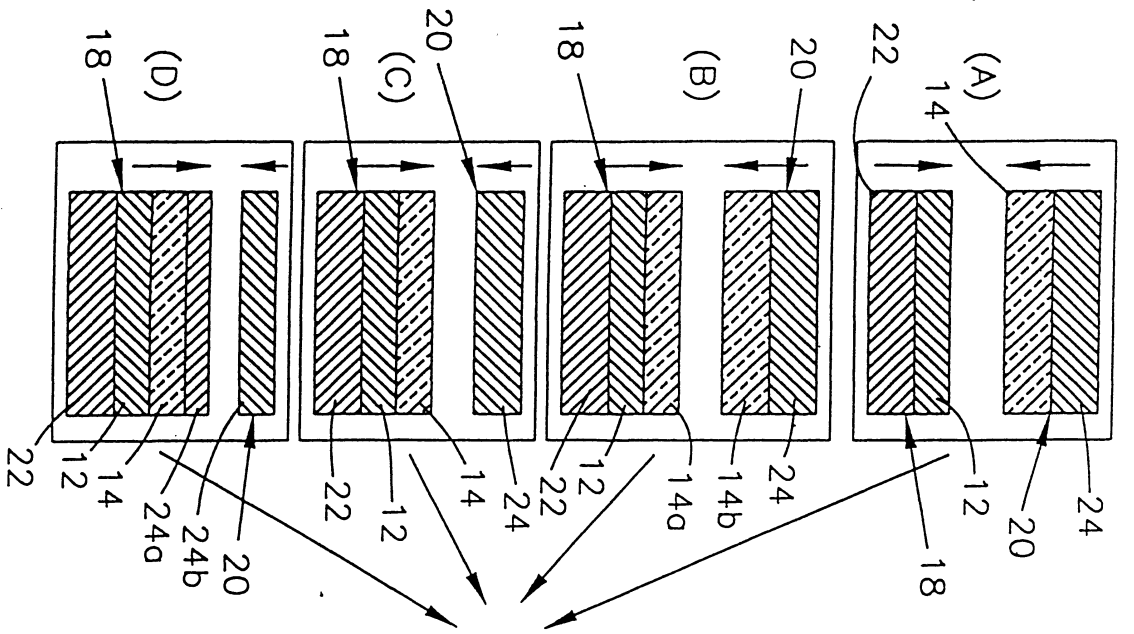


圖 1

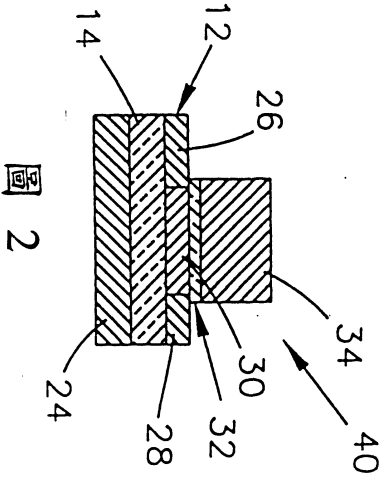
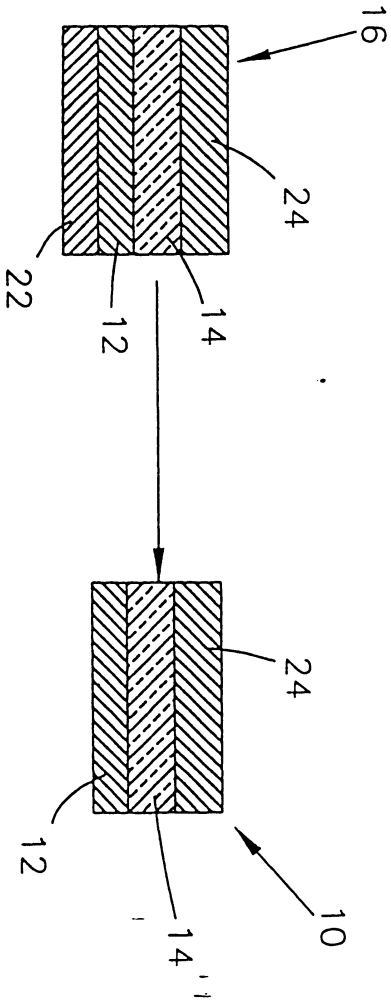


圖 2

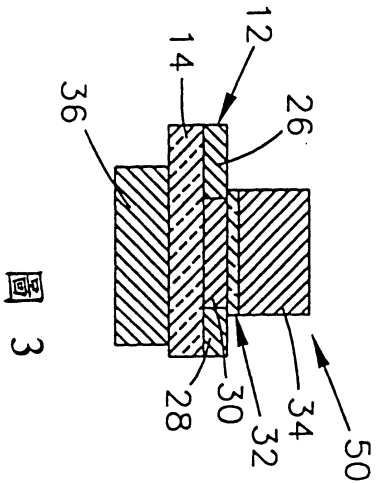


圖 3

六、申請專利範圍

1. 一種絕緣體上矽結構，包括直接在絕緣層上之應變矽層，其中應變矽層並不接觸應變誘發層，且多到絕緣層所維持的拉伸應變。
2. 如申請專利範圍中第1項之絕緣體上矽結構，其中絕緣層係用由包括氧化矽，氮化矽，氧氮化矽，氧化鈣，氧化鋅，氧化鋁與摻雜氧化鋁之群組中所選取之一種材料構成。
3. 如申請專利範圍中第1項之絕緣體上矽結構，其中絕緣層係埋植氧化物層，位於應變矽層與第三層之間。
4. 如申請專利範圍中第1項之絕緣體上矽結構，進一步包括應變矽層內的源極與汲極區，該應變矽層定義出位於源極與汲極區之間之通道，以便定義出場效電晶體元件，該通道係接觸到絕緣層。
5. 如申請專利範圍中第4項之絕緣體上矽結構，進一步包括閘極，該閘極係被絕緣層而與該通道分隔開。
6. 如申請專利範圍中第4項之絕緣體上矽結構，進一步包括一對閘極，被通道分隔開。
7. 如申請專利範圍中第6項之絕緣體上矽結構，其中第一閘極係被絕緣層而與通道分隔開的。
8. 如申請專利範圍中第7項之絕緣體上矽結構，其中第二閘極係被通道而與第一閘極分隔開的。
9. 如申請專利範圍中第1項之絕緣體上矽結構，進一步包括半導體層，接觸到絕緣層，並被絕緣層而與應變矽層分隔開。

六、申請專利範圍

10. 一種絕緣體上矽結構，包括：

基底；

在基底上之絕緣層；

應變矽層，直接接觸到絕緣層，該應變矽層係在雙軸拉伸力之下；

在應變矽層內的源極與汲極區，應變矽層會定義出位於源極與汲極區之間的通道，該通道係直接接觸到絕緣層；

覆蓋住通道之閘極氧化物；以及

接觸到閘極氧化物之閘極；

其中該應變矽層並不接觸到具有與矽不相同之晶格常數的應變誘發層。

11. 如申請專利範圍第10項之絕緣體上矽結構，其中基底係用半導體材料來形成。

12. 如申請專利範圍第10項之絕緣體上矽結構，其中絕緣層係用由包括氧化矽，氮化矽，氧氮化矽，氧化鈣，氧化鋅，氧化鋁與摻雜氧化鋁之群組中所選取之一種材料構成。

13. 如申請專利範圍第10項之絕緣體上矽結構，其中閘極係用由包括金屬，矽與多晶矽之群組中所選取出之一種材料而形成。

14. 如申請專利範圍第10項之絕緣體上矽結構，進一步包括第二閘極，被絕緣層而與通道分隔開。

15. 如申請專利範圍第14項之絕緣體上矽結構，其中第二閘

六、申請專利範圍

極係用由包括金屬，矽與多晶矽之群組中所選取出之一種材料而形成。

16. 如申請專利範圍第14項之絕緣體上矽結構，其中第二閘極係用基底來形成。

17. 一種形成應變絕緣體上矽結構之方法，該方法包括的步驟有：

在應變誘發層內形成矽層，以便形成多層結構，應變誘發層具有與矽不相同之晶格常數，使得矽層會因與應變誘發層之間的晶格不匹配而具有應變；

將多層結構鍵結到基底，使得絕緣層位於應變矽層與基底之間，應變矽層直接接觸到絕緣層；以及接著

去除掉應變誘發層，將應變矽層的表面曝露出來而產生應變絕緣體上矽結構，該結構包括基底，基底上之絕緣層，以及絕緣層上之應變矽層。

18. 如申請專利範圍第17項之方法，其中基底係用半導體材料來形成。

19. 如申請專利範圍第17項之方法，其中應變誘發層係用SiGe合金來形成，而應變矽層是在拉伸應變之下。

20. 如申請專利範圍第17項之方法，其中應變矽層係用磊晶成長法而在應變誘發層上形成。

21. 如申請專利範圍第17項之方法，其中絕緣層係在基底上形成，而鍵結步驟包括將基底的絕緣層鍵結到多層結構的應變矽層上。

22. 如申請專利範圍第17項之方法，其中絕緣層係在基底上

六、申請專利範圍

形成，多層結構包括應變誘發層，在應變誘發層上並接觸到應變誘發層的應變矽層，以及在應變矽層上的第二絕緣層，而鍵結步驟係包括將基底的絕緣層鍵結到多層結構第二絕緣層上。

23. 如申請專利範圍第17項之方法，其中多層結構包括應變誘發層，在應變誘發層上並接觸到應變誘發層的應變矽層，以及在應變矽層上的第二絕緣層，而鍵結步驟係包括將多層結構的絕緣層鍵結到基底上。
24. 如申請專利範圍第17項之方法，其中多層結構包括應變誘發層，在應變誘發層上並接觸到應變誘發層的應變矽層，應變矽層上的絕緣層，以及絕緣層上的半導體層，而鍵結步驟係包括將多層結構的半導體層鍵結到基底上。
25. 如申請專利範圍第24項之方法，其中基底係用半導體材料來形成。
26. 如申請專利範圍第17項之方法，其中去除步驟係包括選取自由化學機械研磨，晶圓切割以及對矽具有選擇性之化學蝕刻所構成之群組之一個或多個技術。
27. 如申請專利範圍第17項之方法，進一步包括在應變矽層的表面內形成積體電路元件之步驟。
28. 如申請專利範圍第27項之方法，其中形成積體電路元件之步驟包括在應變矽層表面內形成源極與汲極區之步驟，使得應變矽層定義出位於源極與汲極區之間之通道，該通道係接觸到絕緣層。

六、申請專利範圍

29. 一種形成金氧半場效電晶體元件之方法，該方法包括的步驟有：

在 SiGe 層上磊晶成長出矽層，以形成多層結構，該 SiGe 層具有與矽不相同之晶格常數，使得矽層是在因與 SiGe 層之晶格不匹配結果的拉伸應變之下；

將多層結構鍵結到包括半導體層的基底上，鍵結步驟會讓應變矽層與基底之間有絕緣層出現，該應變矽層是直接接觸到絕緣層；

去除掉 SiGe 層，將應變矽層的表面曝露出來而產生應變絕緣體上矽結構，該結構包括基底，基底上的絕緣層，以及絕緣層上的應變矽層；以及接著

在應變矽層的表面內形成積體電路元件。

30. 如申請專利範圍第 29 項之方法，其中該基底包括絕緣層與半導體層，而鍵結步驟包括將基底的絕緣層鍵結到多層結構的應變矽層上。

31. 如申請專利範圍第 29 項之方法，其中該基底包括絕緣層與半導體層，該多層結構包括 SiGe 層，在 SiGe 層上並接觸到 SiGe 層的應變矽層，以及在應變矽層上的第二絕緣層，而鍵結步驟包括將基底的絕緣層鍵結到多層結構之第二絕緣層上。

32. 如申請專利範圍第 29 項之方法，其中該多層結構包括 SiGe 層，在 SiGe 層上並接觸到 SiGe 層的應變矽層，以及在應變矽層上的絕緣層，而鍵結步驟包括將多層結構的絕緣層鍵結到基底的半導體層上。

六、申請專利範圍

33. 如申請專利範圍第29項之方法，其中該多層結構包括SiGe層，在SiGe層上並接觸到SiGe層之應變矽層，在應變矽層上之絕緣層，以及在絕緣層上之半導體層，而鍵結步驟包括將基底的半導體層鍵結到多層結構之第二半導體層上。
34. 如申請專利範圍第29項之方法，其中去除步驟包括選取自由化學機械研磨，晶圓切割以及對矽具有選擇性之化學蝕刻所構成之群組的一個或多個技術。
35. 如申請專利範圍第29項之方法，其中形成積體電路元件之步驟包括在應變矽層之表面內形成源極與汲極區之步驟，使得應變矽層定義出位於源極與汲極區之間的通道，該通道係接觸到絕緣層。
36. 如申請專利範圍第35項之方法，進一步包括使用半導體層形成閘極，該閘極係被絕緣層而與通道分隔開。
37. 如申請專利範圍第35項之方法，進一步包括在應變矽層表面上形成閘極氧化物之步驟，並在該閘極氧化物上形成閘極。
38. 如申請專利範圍中第35項之方法，進一步包括的步驟有：
使用半導體層形成第一閘極，係被絕緣層而與通道分隔開；
在應變矽層的表面形成閘極氧化物；以及
在閘極氧化物上形成第二閘極；
其中該方法會產生雙閘極的金氧半場效電晶體。
39. 申請專利範圍第29項之方法，其中該SiGe層是用SiGe合金來形成，具有比矽的晶格常數還大出約0.2至約2個百分比之晶格常數。