

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022年2月17日 (17.02.2022)

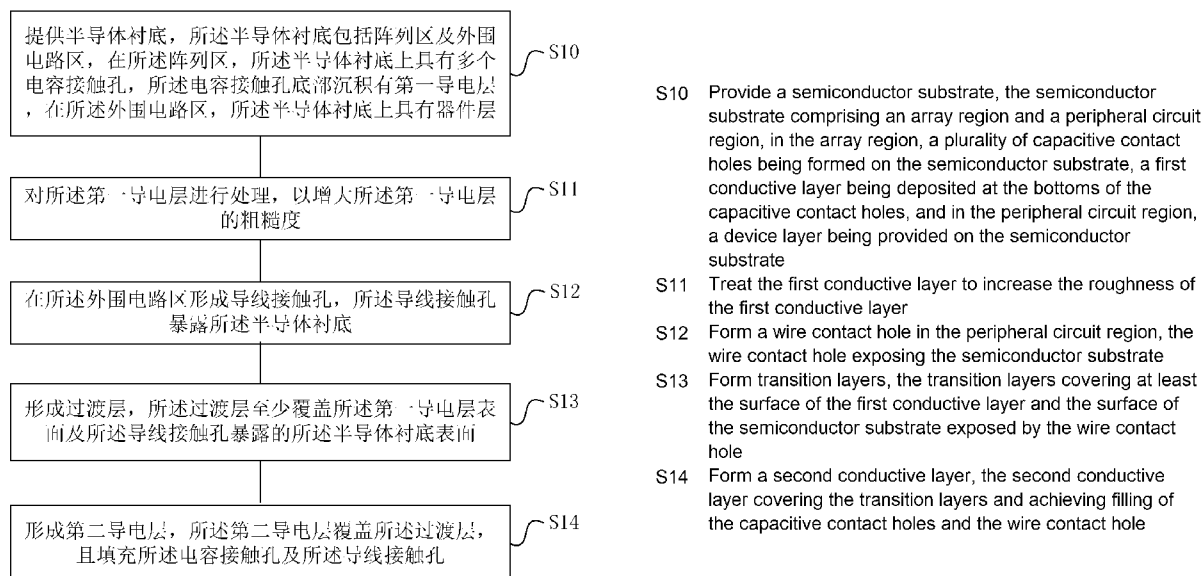


(10) 国际公布号
WO 2022/032995 A1

- (51) 国际专利分类号:
H01L 27/108 (2006.01) H01L 21/8242 (2006.01)
H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2021/074295
- (22) 国际申请日: 2021年1月29日 (29.01.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010816754.X 2020年8月14日 (14.08.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (72) 发明人: 卢经文 (LU, Jingwen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。朱柄宇 (ZHU, Bingyu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。白世杰 (BAI, Shijie); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (74) 代理人: 上海盈盛知识产权代理事务所 (普通合伙) (SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY); 中国上海市静安区俞泾港路11号金座11层1102室, Shanghai 200070 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT,

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制备方法



(57) Abstract: The present invention provides a semiconductor structure and a manufacturing method therefor. The manufacturing method comprises the following steps: providing a semiconductor substrate, the semiconductor substrate comprising an array region and a peripheral circuit region, in the array region, a plurality of capacitive contact holes being formed on the semiconductor substrate, a first conductive layer being deposited at the bottoms of the capacitive contact holes, and in the peripheral circuit region, a device layer being provided on the semiconductor substrate; treating the first conductive layer to increase the roughness of the first conductive layer; forming a wire contact hole in the peripheral circuit region, the wire contact hole exposing the semiconductor substrate; forming



WO 2022/032995 A1

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于发明人身份(细则4.17(i))
- 关于申请人有权申请并被授予专利(细则4.17(ii))
- 关于申请人有权要求在先申请的优先权(细则4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

transition layers, the transition layers covering at least the surface of the first conductive layer and the surface of the semiconductor substrate exposed by the wire contact hole; and forming a second conductive layer, the second conductive layer covering the transition layers and achieving filling of the capacitive contact holes and the wire contact hole. According to the present invention, the transition layers having different thicknesses can be formed in the array region and the peripheral circuit region, thereby greatly improving the performance of the semiconductor structure.

(57) 摘要: 本发明提供一种半导体结构及其制备方法, 制备方法包括如下步骤: 提供半导体衬底, 半导体衬底包括阵列区及外围电路区, 在阵列区, 半导体衬底上具有多个电容接触孔, 电容接触孔底部沉积有第一导电层, 在外围电路区, 半导体衬底上具有器件层; 对第一导电层进行处理, 以增大第一导电层的粗糙度; 在外围电路区形成导线接触孔, 导线接触孔暴露半导体衬底; 形成过渡层, 过渡层至少覆盖第一导电层表面及导线接触孔暴露的半导体衬底表面; 形成第二导电层, 第二导电层覆盖过渡层, 且填充电容接触孔及导线接触孔。本发明能够在阵列区及外围电路区形成不同厚度的过渡层, 大大提高了半导体结构的性能。

半导体结构及其制备方法

相关申请引用说明

本申请要求于2020年08月14日递交的中国专利申请号202010816754.X, 申请名为“半导体结构及其制备方法”的优先权, 其全部内容以引用的形式附录于此。

技术领域

本发明涉及半导体制造领域, 尤其涉及一种半导体结构及其制备方法。

背景技术

动态随机存取存储器(Dynamic Random Access Memory, DRAM)是计算机中常用的半导体存储器件, 其存储阵列区由许多重复的存储单元组成。每个存储单元通常包括电容器和晶体管, 晶体管的栅极与位线结构相连、漏极或源极其中之一与位线结构相连、漏极或源极其中之一与电容器相连, 位线结构上的电压信号能够控制晶体管的打开或关闭, 进而通过位线结构读取存储在电容器中的数据信息, 或者通过位线结构将数据信息写入到电容器中进行存储。

随着制程的微缩, 动态随机存取存储器中各个导线连接位置的接触电阻显得越发重要。其中, 阵列区的电容器与DRAM的晶体管的导电连接位置的接触电阻及外围电路区的MOS管源漏区导线连接位置的接触电阻尤为重要。目前, 在制作导线结构时, 在沉积金属导线之前先沉积一层过渡层, 以减小接触电阻, 增加层与层之间的连接性能。

由于阵列区及外围电路区的过渡层是在同一步骤中形成, 则阵列区及外围电路区的过渡层的厚度相同。对于阵列区而言, 过渡层越厚, 其导通电流越大, 导线性能越好, 而对于外围电路区而言, 过渡层太厚, 则会引起过高的导通电流, 就可能会引起击穿效应, 导致漏电增大。

因此, 如何在阵列区及外围电路区形成不同厚度的过渡层, 成为目前亟需解决的问题。

发明内容

本发明所要解决的技术问题是, 提供一种半导体结构及其制备方法, 其能够在阵列区及外围电路区形成不同厚度的过渡层, 从而能够提高阵列区导线的

导电性能，且能够避免外围电路区由于过渡层过厚而漏电。

为了解决上述问题，本发明提供了一种半导体结构的制备方法，其包括如下步骤：提供半导体衬底，所述半导体衬底包括阵列区及外围电路区，在所述阵列区，所述半导体衬底上具有多个电容接触孔，所述电容接触孔底部沉积有第一导电层，在所述外围电路区，所述半导体衬底上具有器件层；对所述第一导电层进行处理，以增大所述第一导电层的粗糙度；在所述外围电路区形成导线接触孔，所述导线接触孔暴露所述半导体衬底；形成过渡层，所述过渡层至少覆盖所述第一导电层表面及所述导线接触孔暴露的所述半导体衬底表面；形成第二导电层，所述第二导电层覆盖所述过渡层，且填充所述电容接触孔及所述导线接触孔。

进一步，在所述半导体衬底上形成多个分立设置的位线结构，所述电容接触孔设置在所述位线结构之间，对所述第一导电层进行处理的步骤之前，对所述阵列区的位线结构及所述外围电路区的器件层进行减薄处理。

进一步，所述位线结构包括位线接触岛及位线，所述位线接触岛与所述半导体衬底接触，所述位线设置在所述位线接触岛上，所述位线包括导电层及设置在所述导电层上的介质层，在减薄处理步骤中，所述介质层被减薄。

进一步，对所述第一导电层进行处理的步骤进一步包括：对所述第一导电层进行离子注入，以破坏第一导电层表面平整度，增大所述第一导电层的粗糙度。

进一步，所述第一导电层为多晶硅层，对所述第一导电层进行离子注入的步骤为，对所述第一导电层进行锆离子、碳离子或者砷离子注入。

进一步，对所述第一导电层进行离子注入的步骤中，在所述外围电路区的器件层表面也形成沉积层。

进一步，对所述第一导电层进行处理的步骤之后，进一步包括如下步骤：形成隔离层，所述隔离层覆盖所述阵列区及所述外围电路区的表面；在所述外围电路区形成导线接触孔的步骤之后，去除所述隔离层。

进一步，形成过渡层的步骤进一步包括：沉积钴层，在所述电容接触孔底部及所述导线接触孔底部，钴分别与所述第一导电层及所述半导体衬底反应，形成所述过渡层；进行快速热处理。

进一步，位于所述阵列区的过渡层的厚度大于位于所述外围电路区的过渡层的厚度。

进一步，所述第二导电层包括黏附层及金属导电层，形成第二导电层的步骤进一步包括如下步骤：在过渡层表面形成黏附层；

在所述黏附层表面形成金属导电层，且所述金属导电层填充所述电容接触孔及所述导线接触孔。

本发明还提供一种半导体结构，其包括：半导体衬底，包括阵列区及外围电路区，在所述阵列区，所述半导体衬底上具有多个电容接触孔，所述电容接触孔暴露出所述半导体衬底，在所述外围电路区，所述半导体衬底上具有多个导线接触孔，所述导线接触孔暴露出所述半导体衬底；多个电容导电结构，设置在所述电容接触孔内，所述电容导电结构包括填充部分所述电容接触孔的第一导电层、至少覆盖所述第一导电层的过渡层及覆盖所述过渡层且填充所述电容接触孔的第二导电层，所述第一导电层与所述半导体衬底接触；多个导线结构，设置在所述导线接触孔内，所述导线结构包括覆盖所述半导体衬底表面的过渡层、覆盖所述过渡层且填充所述导线接触孔的第二导电层，所述过渡层与所述半导体衬底接触；其中，所述电容导电结构的过渡层的厚度大于所述导线结构的过渡层的厚度。

进一步，在所述外围电路区，所述半导体衬底上具有结构层，所述导线接触孔贯穿所述结构层。

进一步，所述电容导电结构还包括一离子注入层，所述离子注入层位于所述第一导电层内，在所述外围电路区，所述结构层还包括器件层及位于所述器件层上的沉积层，所述沉积层与所述离子注入层为同种材料层。

进一步，在阵列区，在所述半导体衬底上具有多个分立设置的位线结构，所述电容接触孔设置在所述位线结构之间。

进一步，所述位线结构包括位线接触岛及位线，所述位线接触岛与所述半导体衬底接触，所述位线设置在所述位线接触岛上，所述位线包括导电层及设置在所述导电层上的介质层。

进一步，所述第二导电层包括黏附层及金属导电层，所述黏附层至少覆盖所述过渡层表面，所述金属导电层覆盖所述黏附层，且分别填充所述电容接触

孔及所述导线接触孔。

本发明的优点在于，在阵列区，对第一导电层表面进行粗糙化处理，使得在同一步骤中，在阵列区及在外围电路区形成的过渡层的厚度不同，满足了阵列区及外围电路区对过渡层厚度的要求，能够提高阵列区导线的导电性能，且能够避免外围电路区由于过渡层过厚而漏电，大大提高了半导体结构的性能，且制备工艺简单，不会额外增加繁琐的工艺步骤。

附图说明

图 1 是本发明半导体结构的制备方法的一实施例的步骤示意图；

图 2~图 9 是本发明半导体结构的制备方法的一实施例的工艺流程图。

具体实施方式

下面结合附图对本发明提供的半导体结构及其制备方法的具体实施方式做详细说明。

图 1 是本发明半导体结构的制备方法的一实施例的步骤示意图。请参阅图 1，所述半导体结构的制备方法包括如下步骤：步骤 S10，提供半导体衬底，所述半导体衬底包括阵列区及外围电路区，在所述阵列区，所述半导体衬底上具有多个电容接触孔，所述电容接触孔底部沉积有第一导电层，在所述外围电路区，所述半导体衬底上具有器件层；步骤 S11，对所述第一导电层进行处理，以增大所述第一导电层的粗糙度；步骤 S12，在所述外围电路区形成导线接触孔，所述导线接触孔暴露所述半导体衬底；步骤 S13，形成过渡层，所述过渡层至少覆盖所述第一导电层表面及所述导线接触孔暴露的所述半导体衬底表面；步骤 S14，形成第二导电层，所述第二导电层覆盖所述过渡层，且填充所述电容接触孔及所述导线接触孔。

图 2~图 9 是本发明半导体结构的制备方法的一实施例的工艺流程图。

请参阅步骤 S10 及图 2，提供半导体衬底 200，所述半导体衬底 200 包括阵列区 A 及外围电路区 B，在所述阵列区 A，所述半导体衬底 200 上具有多个电容接触孔 210，所述电容接触孔 210 底部沉积有第一导电层 220，在所述外围电路区 B，所述半导体衬底 200 上具有器件层 230。

所述半导体衬底 200 包括但不限于硅衬底或者锗衬底。

在所述阵列区 A，所述半导体衬底 200 内设置有浅沟槽隔离结构 201 及被

所述浅沟槽隔离结构 201 分隔的有源区 202。所述电容接触孔 210 暴露出部分所述有源区 202。所述第一导电层 220 沉积在所述电容接触孔 210 的底部，并能够与所述有源区 202 电连接。在本实施例中，所述第一导电层 220 为多晶硅层。

进一步，在所述半导体衬底 200 上形成多个分立设置的位线结构 203，相邻的位线结构 203 之间具有间隔，所述电容接触孔 210 设置在相邻的所述位线结构 203 之间间隔的区域。所述位线结构 203 沿一设定方向延伸，例如，在该实施例中，所述位线结构 203 沿垂直纸面的方向延伸。

所述位线结构 203 包括位线接触岛 203A 及设置在所述位线接触岛 203A 上的位线。所述位线接触岛 203A 间隔分布在所述半导体衬底 200 上，例如，在本实施例中，在所述位线 203 的延伸方向上，所述位线接触岛 203A 依次排布。所述位线接触岛 203A 与半导体衬底 200 中的有源区 202 接触，进而将位线与有源区 202 电连接。具体地说，在如图 2 所示的截面示意图中，存在位线接触岛 203A 的区域，位线通过所述位线接触岛 203A 与有源区 202 电连接，在不存在位线接触岛 203A 的区域，位线与有源区之间具有绝缘层，即位线不与有源区 202 电连接。所述位线接触岛 203A 可由多晶硅等材料形成。所述位线可由多层导电层 2031 构成，例如，在一实施例中，所述位线由多晶硅层、TiN 层及金属钨层等导电层构成。在所述导电层 2031 上设置有介质层 2032，以保护所述导电层，所述介质层 2032 包括但不限于氮化硅层。

进一步，所述位线结构 203 还包括设置在所述导电层 2031 及所述介质层 2032 侧壁的保护层 2033，所述保护层 2033 可为氮化硅层。

在所述外围电路区 B，所述半导体衬底 200 包括浅沟槽隔离结构 201、被所述浅沟槽隔离结构 201 分隔的有源区 202、设置在所述半导体衬底 200 上的所述器件层 230。所述器件层 230 包括设置在半导体衬底表面的导电结构层 231 及绝缘层 232。所述导电结构层 231 内设置有导电结构，且所述导电结构与所述有源区 202 对应。所述导电结构可作为晶体管的栅极。所述绝缘层 232 覆盖所述导电结构层 231，以保护所述导电结构层 231。

进一步，为了便于后续工艺的进行，例如，为了便于后续第二导电层（绘示于图 9 中）的填充，在步骤 S10 之后，还包括减薄步骤。具体地说，请参阅

图 3, 对所述阵列区 A 的位线结构 203 及所述外围电路区 B 的器件层 230 进行减薄处理。在该步骤中, 在阵列区 A, 所述介质层 2032 及其侧壁的保护层 2033 被减薄, 所述位线的导电层 2031 未暴露; 在所述外围电路区 B, 所述器件层 230 的绝缘层 232 被减薄, 所述器件层 230 的导电结构层 231 中的导电结构未被暴露。进一步, 可采用刻蚀等方式减薄所述介质层 2032、所述保护层 2033 及所述绝缘层 232。

请参阅步骤 S11 及图 4, 对所述第一导电层 220 进行处理, 以增大所述第一导电层 220 的粗糙度。在该步骤中, 所述第一导电层 220 表面的粗糙度增加, 则其表面的表面积增大, 有利于后续形成过渡层 250 (绘示于图 8 中) 的工艺中, 过渡层与第一导电层 220 的接触面积增大, 进而能够增大过渡层的厚度。

在本实施例中, 对所述第一导电层 220 进行离子注入, 以破坏第一导电层 220 表面平整度, 增大所述第一导电层 220 的粗糙度, 在图 4 中采用阴影绘示第一导电层 220 表面被影响的区域 220A。在对所述第一导电层 220 进行离子注入时, 离子会轰击第一导电层 220 的表面, 打断第一导电层 220 的化学键, 破坏第一导电层 220 表面的平整度, 使第一导电层 220 表面粗糙度增加。例如, 当所述第一导电层 220 为多晶硅时, 离子注入会打断多晶硅的 Si-Si 化学键, 破坏多晶硅表面的平整度, 使多晶硅表面粗糙度增加, 进而增加后续过渡层与多晶硅反应面积, 增大过渡层的厚度。

其中, 可采用原子半径较大的离子进行离子注入, 例如锗离子、碳离子或者砷离子, 以进一步打断第一导电层 220 的化学键, 进一步增加第一导电层 220 的粗糙度。

如图 4 所示, 在进行离子注入后, 在阵列区 A, 在所述第一导电层 220 中形成了一层离子注入层 400。而在外围电路区 B, 由于所述器件层 230 的阻挡作用, 具体地说, 由于绝缘层 232 的阻挡, 离子并未注入所述器件层 230, 而是沉积在器件层 230 表面, 形成沉积层 410。离子注入的深度可根据实际情况确定, 离子注入后形成的所述离子注入层 400 的位置不影响后续过渡层 250 的形成即可。

进一步, 为了避免在后续工艺中第一导电层被氧化, 在步骤 S11 后, 还包括一形成隔离层的步骤。具体地说, 请参阅图 5, 形成隔离层 500, 所述隔离

层 500 覆盖所述阵列区 A 及所述外围电路区 B 的表面。在该实施例中，所述隔离层 500 为氮化硅层，在阵列区 A，其覆盖所述位线结构 203 的表面、所述第一导电层 220 的表面，在外围电路区 B，所述隔离层 500 覆盖所述沉积层 410 的表面。

请参阅步骤 S12 及图 6，在所述外围电路区 B，形成导线接触孔 240，所述导线接触孔 240 暴露所述半导体衬底 200。具体地说，在本实施例中，采用光刻及刻蚀工艺形成所述导线接触孔 240。所述导线接触孔 240 贯穿所述沉积层 410 及所述器件层 230，并暴露出所述半导体衬底 200 的有源区 202。其中，所述导线接触孔 240 设置在所述导电结构层 231 的导电结构的两侧。

可以理解的是，在形成所述导线接触孔 240 时，所述阵列区 A 被掩膜遮挡，以避免被刻蚀。

进一步，在步骤 S12，形成导线接触孔后，还包括如下步骤：请参阅图 7，去除所述隔离层 500，以暴露出所述第一导电层 220。在该步骤中，可采用刻蚀的方法去除所述隔离层 500。

请参阅步骤 S13 及图 8，形成过渡层 250，所述过渡层 250 至少覆盖所述第一导电层 220 表面及所述导线接触孔 240 暴露的所述半导体衬底 200 表面。

在本实施例中，形成所述过渡层 250 的方法是，在阵列区 A 及外围电路区 B 沉积钴，在所述电容接触孔 210 底部及所述导线接触孔 240 底部，钴分别与所述半导体衬底 200 及所述第一导电层 220 反应，形成过渡层 250，在其它区域，例如，所述电容接触孔 210 侧壁及所述导线接触孔 240 的侧壁，钴沉积形成钴层。在沉积钴后，采用酸洗等方法清洗去除所述电容接触孔 210 侧壁及所述导线接触孔 240 侧壁的钴层，保留所述过渡层 250。具体地说，当所述半导体衬底为硅衬底，所述第一导电层 220 为多晶硅层时，在所述电容接触孔 210 底部及所述导线接触孔 240 底部，钴与硅反应，形成硅化钴（ CoSi_x ）层，所述硅化钴层为所述过渡层，在其他区域，钴沉积形成钴层。沉积钴后，清洗去除所述钴层。在图 8 中为了清楚显示过渡层 250 的结构，适当夸大了过渡层 250 的尺寸。

进一步，在形成过渡层 250 后，接着在惰性气体的环境下进行一快速热处理(rapid thermal process, RTP)，例如在制作工艺温度介于 $700^\circ\text{C}\sim 850^\circ\text{C}$ 的温

度环境。如此，电容接触孔 210 及导线接触孔 240 尚未反应的钴以及未完全反应的 CoSi 相硅化物会完全反应形成一完整的硅化钴层，进一步降低其阻值。

在步骤 S13 中，第一导电层 220 进行过粗糙化处理，而导线接触孔 240 暴露的半导体衬底 200 并未进行过粗糙化处理，其表面为平整的表面，则第一导电层 220 表面的粗糙度大于导线接触孔 240 暴露的半导体衬底 200 的粗糙度，使得在沉积钴时，钴与第一导电层 220 的接触面积大于钴与导线接触孔 240 暴露的半导体衬底 200 的接触面积，在电容接触孔 210 中形成的过渡层 250 的厚度远大于在导线接触孔 240 中形成的过渡层 250 的厚度。对于阵列区 A 而言，过渡层 250 厚度足够厚，其导通电流大，导线性能好，而对于外围电路区 B 而言，过渡层 250 不会太厚，进而不会引起过高的导通电流，避免击穿效应，避免增大漏电。

请参阅步骤 S14 及图 9，形成第二导电层 260，所述第二导电层 260 覆盖所述过渡层 250，且填充所述电容接触孔 210 及所述导线接触孔 240。

在本实施例中，所述第二导电层 260 包括黏附层 261 及金属导电层 262。形成第二导电层 260 的步骤进一步包括如下步骤：在过渡层 250 表面、电容接触孔 210 侧壁及导线接触孔 240 侧壁形成黏附层 261，所述黏附层 261 包括但不限于 TiN 层；在所述黏附层 261 表面形成金属导电层 262，且所述金属导电层 262 填充所述电容接触孔 210 及所述导线接触孔 240，所述金属导电层 262 可为金属钨层。

在所述阵列区 A，所述第一导电层 220、所述过渡层 250 及所述第二导电层 260 形成电容导电结构，所述过渡层 250 能够减小第一导电层 220 与第二导电层 260 之间的接触电阻。

在所述外围电路区 B，所述过渡层 250 与所述第二导电层 260 形成导线结构，所述过渡层 250 分别连接所述半导体衬底 200 与第二导电层 260，其能够降低所述半导体衬底 200 与第二导电层 260 之间的接触电阻，增加层与层之间的连接性能。在所述外围电路区，所述导线结构与半导体衬底 200 中晶体管的源漏区接触，用于将源漏区引出，所述器件层 230 的导电结构层 231 中的导电结构作为晶体管的栅极，用于控制晶体管的导通。所述晶体管主要用作控制电路。

本发明半导体结构的制备方法能够在同一步骤中在阵列区 A 能够形成厚度较厚的过渡层，而在外围电路区 B 能够形成厚度较薄的过渡层，满足了阵列区 A 及外围电路区 B 对过渡层厚度的要求，大大提高了半导体结构的性能。

本发明还提供一种采用上述制备方法制备的半导体结构。请参阅图 9，所述半导体结构包括半导体衬底 200、多个电容导电结构及多个导线结构。

所述半导体衬底 200 包括阵列区 A 及外围电路区 B。在所述阵列区 A，所述半导体衬底 200 上具有多个电容接触孔 210，所述电容接触孔 210 暴露出所述半导体衬底 200，在所述外围电路区 B，所述半导体衬底 200 上具有多个导线接触孔 240，所述导线接触孔 240 暴露出所述半导体衬底 200。多个电容导电结构设置在所述电容接触孔 210 内。所述电容导电结构包括填充部分所述电容接触孔 210 的第一导电层 220、至少覆盖所述第一导电层 220 的过渡层 250 及覆盖所述过渡层 250 且填充所述电容接触孔 220 的第二导电层 260，所述第一导电层 220 与所述半导体衬底 200 接触，所述过渡层 250 形成在所述第一导电层 220 上。所述过渡层 250 能够降低所述第一导电层 220 与所述第二导电层 260 的接触电阻，提高电容导电结构的性能。

进一步，在阵列区 A，在所述半导体衬底 200 上具有多个分立设置的位线结构 203，所述电容接触孔 210 设置在所述位线结构 203 之间，则所述电容导电结构也位于所述位线结构 203 之间。所述位线结构 203 包括位线接触岛 203A 及位线，所述位线接触岛 203A 与所述半导体衬底 200 接触，所述位线设置在所述位线接触岛 203A 上。进一步，所述位线包括导电层 2031 及设置在所述导电层 2031 上的介质层 2032。

进一步，所述电容导电结构还包括一离子注入层 400，所述离子注入层 400 位于所述第一导电层 220 内。

多个导线结构设置在所述导电接触孔 240 内，所述导线结构包括覆盖所述半导体衬底 200 表面的过渡层 250、覆盖所述过渡层 250 且填充所述导线接触孔 240 的第二导电层 260，所述过渡层 250 与所述半导体衬底 200 接触。进一步，在所述外围电路区 B，所述半导体衬底 200 上具有结构层，所述导线接触孔 240 贯穿所述结构层。所述结构层包括器件层 230 及位于所述器件层 230 上的沉积层 410。所述沉积层 410 与所述离子注入层 400 为同种材料层，例如，

均为锗材料层、碳材料层或砷材料层。

进一步，所述第二导电层 260 包括黏附层 261 及金属导电层 262，所述黏附层 261 至少覆盖所述过渡层 250 表面，所述金属导电层 262 覆盖所述黏附层 261，且分别填充所述电容接触孔 210 及所述导线接触孔 240。

所述电容导电结构的过渡层 250 的厚度大于所述导线结构的过渡层 250 的厚度，满足了阵列区 A 及外围电路区 B 对过渡层厚度的要求，大大提高了半导体结构的性能。

以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

权利要求书

1. 一种半导体结构的制备方法，其特征在于，包括如下步骤：

提供半导体衬底，所述半导体衬底包括阵列区及外围电路区，在所述阵列区，所述半导体衬底上具有多个电容接触孔，所述电容接触孔底部沉积有第一导电层，在所述外围电路区，所述半导体衬底上具有器件层；

对所述第一导电层进行处理，以增大所述第一导电层的粗糙度；

在所述外围电路区形成导线接触孔，所述导线接触孔暴露所述半导体衬底；

形成过渡层，所述过渡层至少覆盖所述第一导电层表面及所述导线接触孔暴露的所述半导体衬底表面；

形成第二导电层，所述第二导电层覆盖所述过渡层，且填充所述电容接触孔及所述导线接触孔。
2. 根据权利要求 1 所述的半导体结构的制备方法，其特征在于，在所述半导体衬底上形成多个分立设置的位线结构，所述电容接触孔设置在所述位线结构之间，对所述第一导电层进行处理的步骤之前，对所述阵列区的位线结构及所述外围电路区的器件层进行减薄处理。
3. 根据权利要求 2 所述的半导体结构的制备方法，其特征在于，所述位线结构包括位线接触岛及位线，所述位线接触岛与所述半导体衬底接触，所述位线设置在所述位线接触岛上，所述位线包括导电层及设置在所述导电层上的介质层，在减薄处理步骤中，所述介质层被减薄。
4. 根据权利要求 1 所述的半导体结构的制备方法，其特征在于，对所述第一导电层进行处理的步骤进一步包括：对所述第一导电层进行离子注入，以破坏第一导电层表面平整度，增大所述第一导电层的粗糙度。
5. 根据权利要求 4 所述的半导体结构的制备方法，其特征在于，所述第一导电层为多晶硅层，对所述第一导电层进行离子注入的步骤为，对所述第一导电层进行锆离子、碳离子或者砷离子注入。
6. 根据权利要求 4 所述的半导体结构的制备方法，其特征在于，对所述第一导电层进行离子注入的步骤中，在所述外围电路区的器件层表面也形成沉积层。
7. 根据权利要求 1 所述的半导体结构的制备方法，其特征在于，对所述第一

导电层进行处理的步骤之后，进一步包括如下步骤：形成隔离层，所述隔离层覆盖所述阵列区及所述外围电路区的表面；在所述外围电路区形成导线接触孔的步骤之后，去除所述隔离层。

8. 根据权利要求 1 所述的半导体结构的制备方法，其特征在于，形成过渡层的步骤进一步包括：

沉积钴层，在所述电容接触孔底部及所述导线接触孔底部，钴分别与所述第一导电层及所述半导体衬底反应，形成所述过渡层；

进行快速热处理。

9. 根据权利要求 1 所述的半导体结构的制备方法，其特征在于，位于所述阵列区的过渡层的厚度大于位于所述外围电路区的过渡层的厚度。

10. 根据权利要求 1 所述的半导体结构的制备方法，其特征在于，所述第二导电层包括黏附层及金属导电层，形成第二导电层的步骤进一步包括如下步骤：

在过渡层表面形成黏附层；

在所述黏附层表面形成金属导电层，且所述金属导电层填充所述电容接触孔及所述导线接触孔。

11. 一种半导体结构，其特征在于，包括：

半导体衬底，包括阵列区及外围电路区，在所述阵列区，所述半导体衬底上具有多个电容接触孔，所述电容接触孔暴露出所述半导体衬底，在所述外围电路区，所述半导体衬底上具有多个导线接触孔，所述导线接触孔暴露出所述半导体衬底；

多个电容导电结构，设置在所述电容接触孔内，所述电容导电结构包括填充部分所述电容接触孔的第一导电层、至少覆盖所述第一导电层的过渡层及覆盖所述过渡层且填充所述电容接触孔的第二导电层，所述第一导电层与所述半导体衬底接触；

多个导线结构，设置在所述导电接触孔内，所述导线结构包括覆盖所述半导体衬底表面的过渡层、覆盖所述过渡层且填充所述导线接触孔的第二导电层，所述过渡层与所述半导体衬底接触；

其中，所述电容导电结构的过渡层的厚度大于所述导线结构的过渡层的厚度。

12. 根据权利要求 11 所述的半导体结构，其特征在于，在所述外围电路区，所述半导体衬底上具有结构层，所述导线接触孔贯穿所述结构层。
13. 根据权利要求 12 所述的半导体结构，其特征在于，所述电容导电结构还包括一离子注入层，所述离子注入层位于所述第一导电层内，在所述外围电路区，所述结构层还包括器件层及位于所述器件层上的沉积层，所述沉积层与所述离子注入层为同种材料层。
14. 根据权利要求 11 所述的半导体结构，其特征在于，在阵列区，在所述半导体衬底上具有多个分立设置的位线结构，所述电容接触孔设置在所述位线结构之间。
15. 根据权利要求 14 所述的半导体结构，其特征在于，所述位线结构包括位线接触岛及位线，所述位线接触岛与所述半导体衬底接触，所述位线设置在所述位线接触岛上，所述位线包括导电层及设置在所述导电层上的介质层。
16. 根据权利要求 11 所述的半导体结构，其特征在于，所述第二导电层包括黏附层及金属导电层，所述黏附层至少覆盖所述过渡层表面，所述金属导电层覆盖所述黏附层，且分别填充所述电容接触孔及所述导线接触孔。

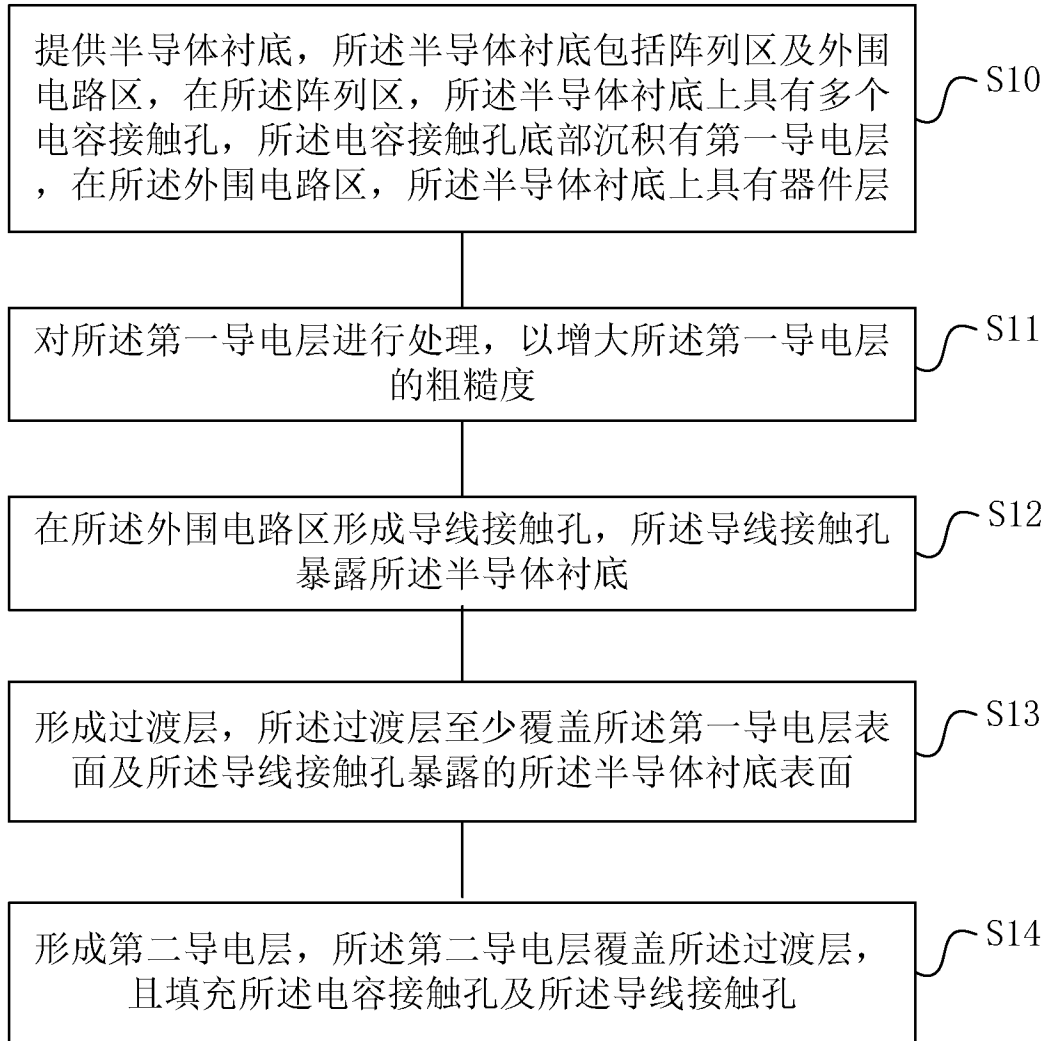


图 1

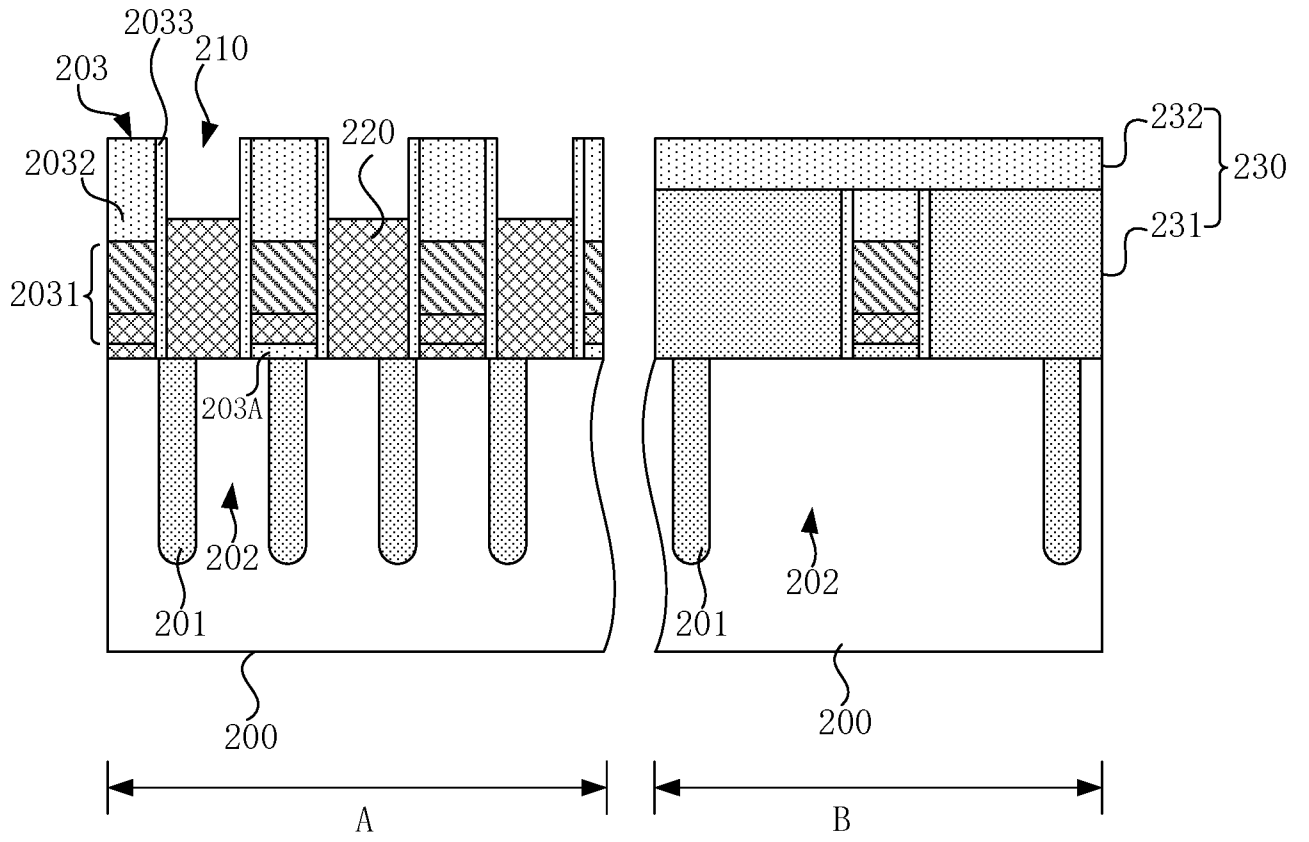


图 2

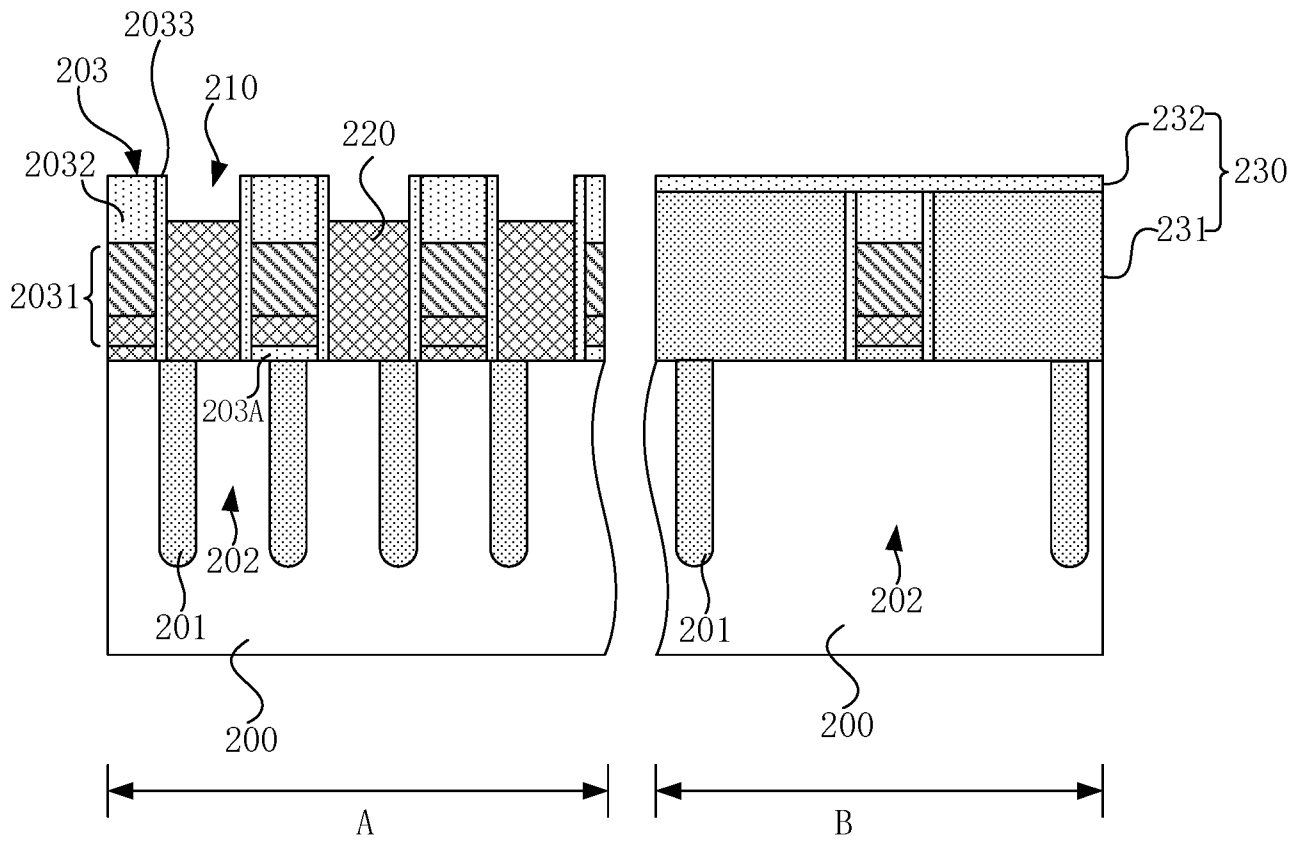


图 3

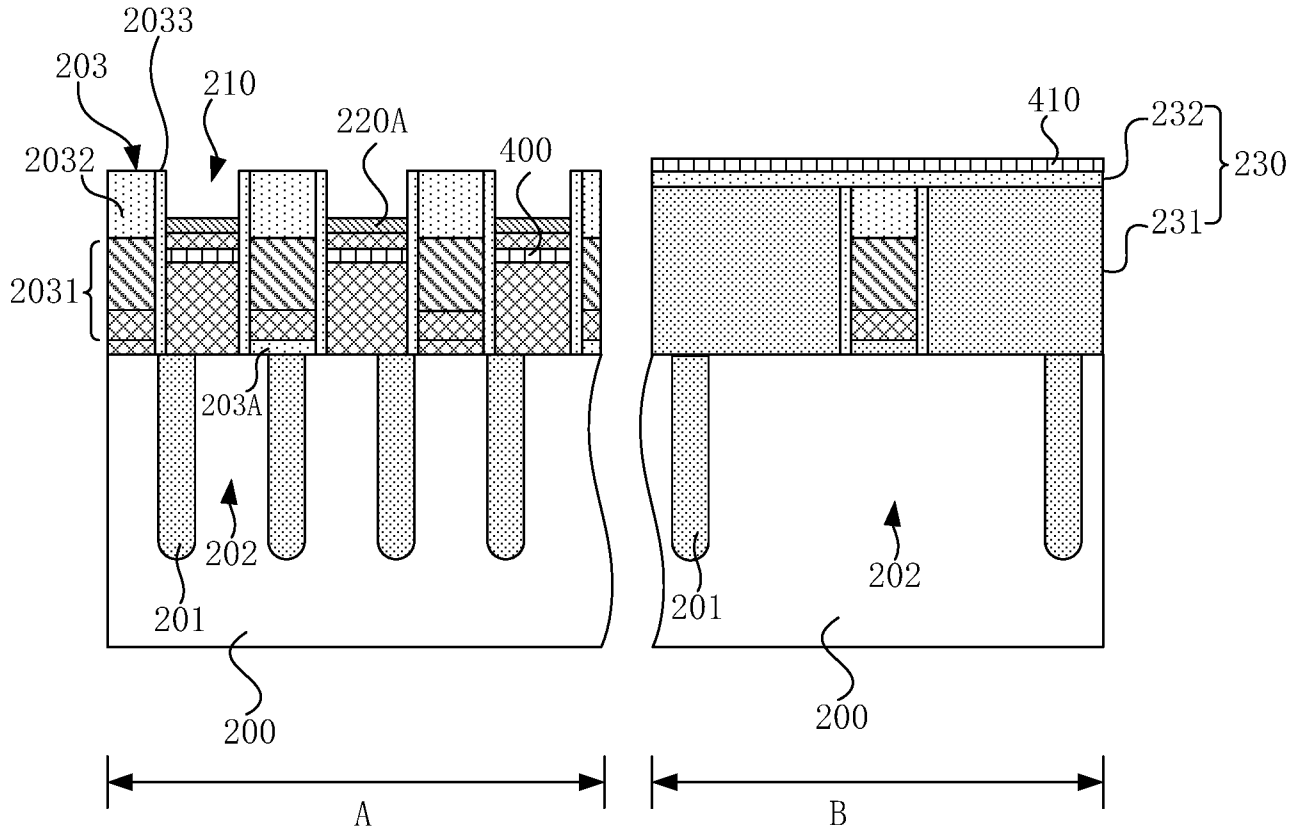


图 4

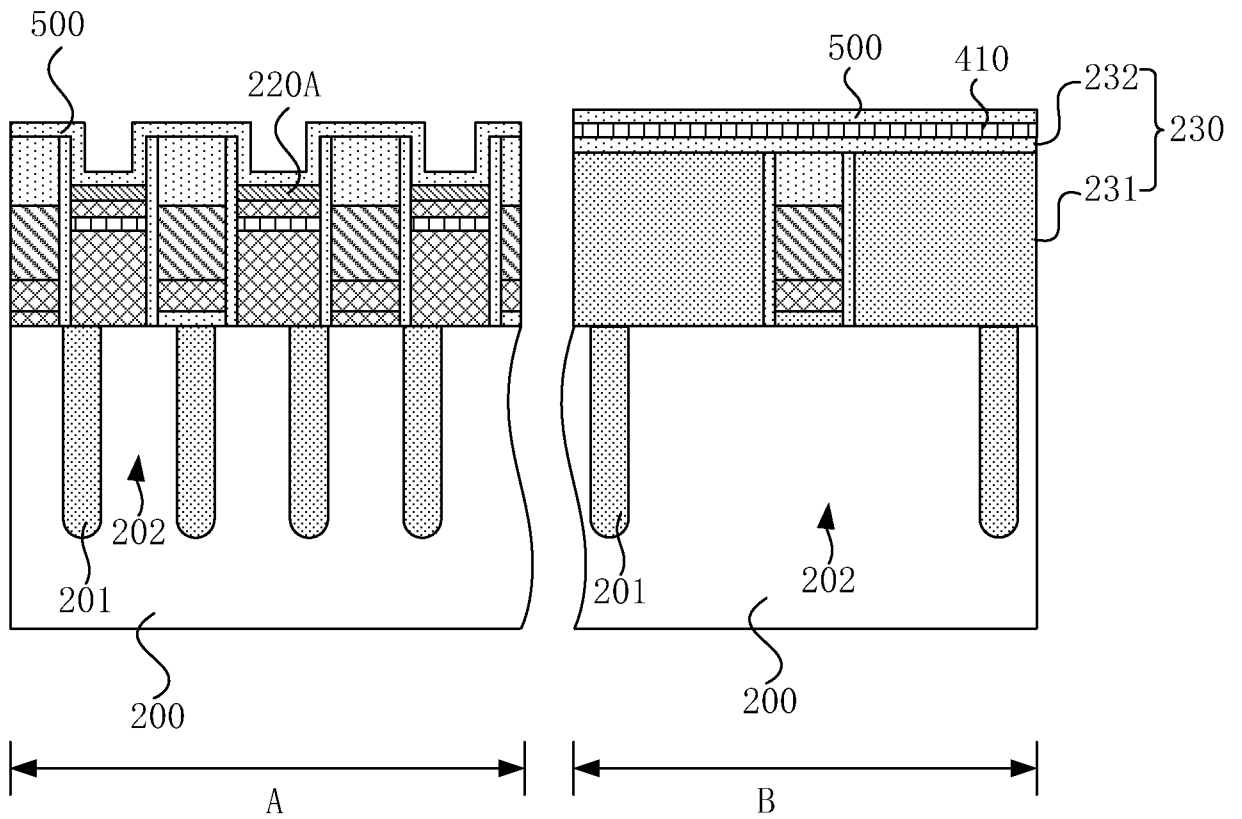


图 5

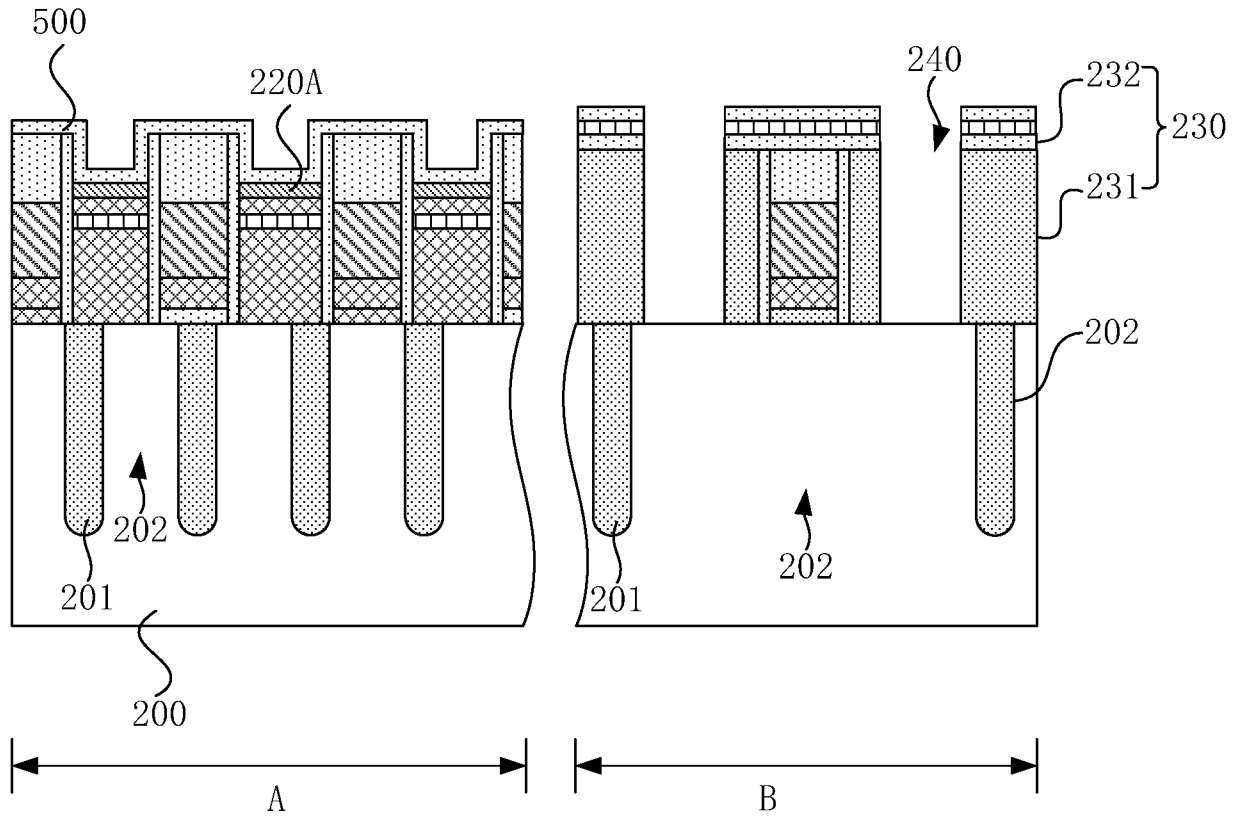


图 6

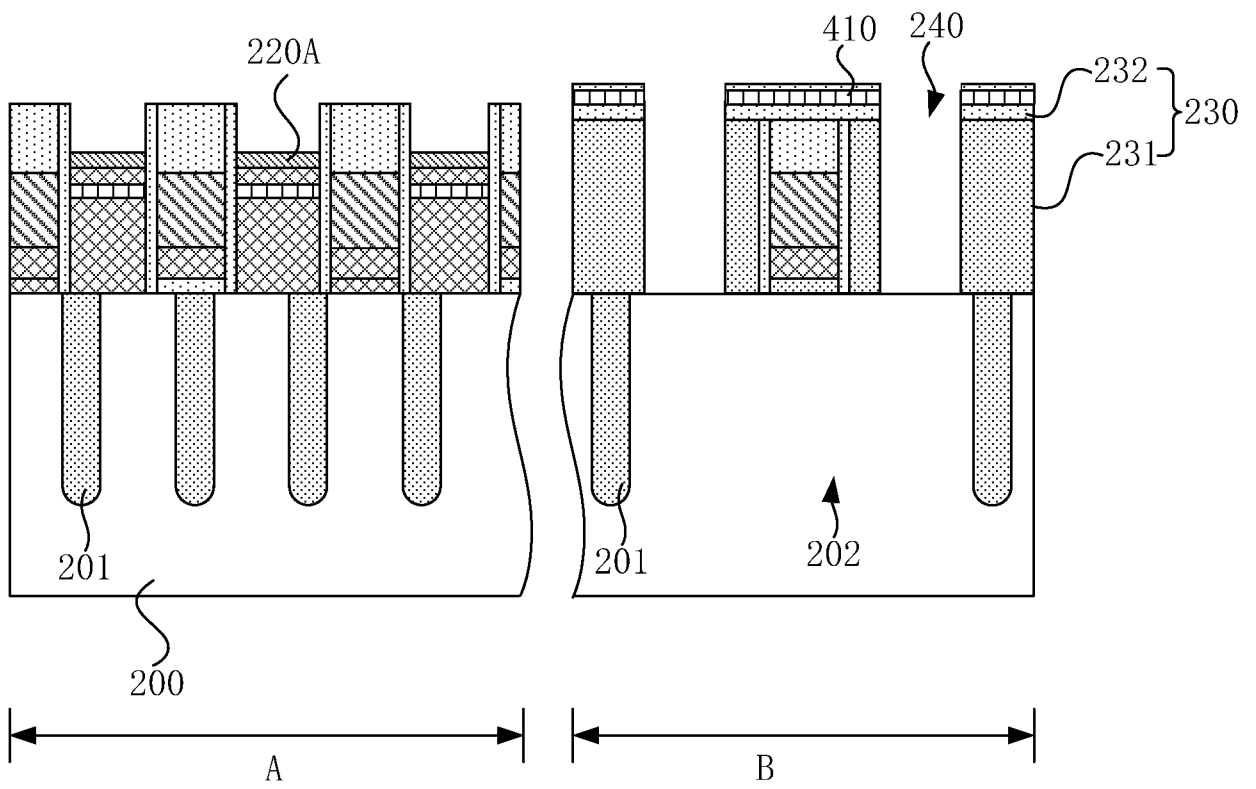


图 7

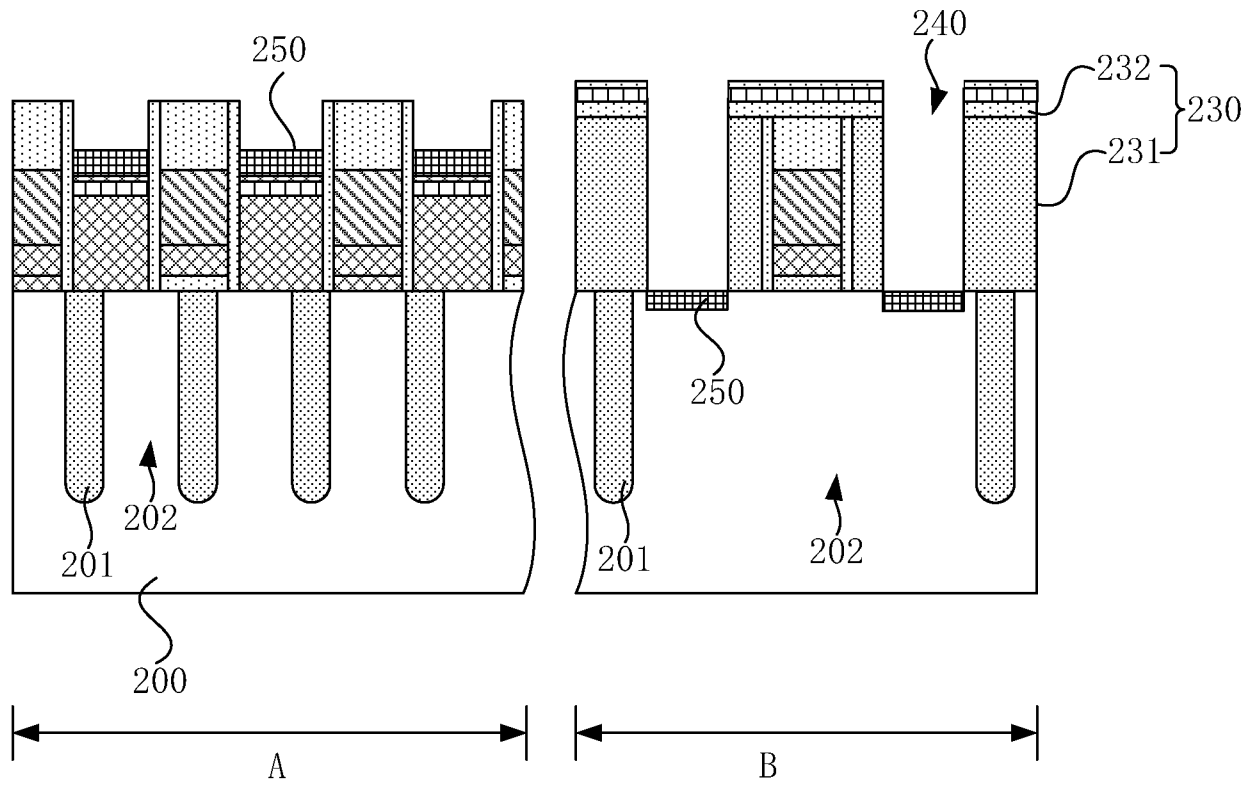


图 8

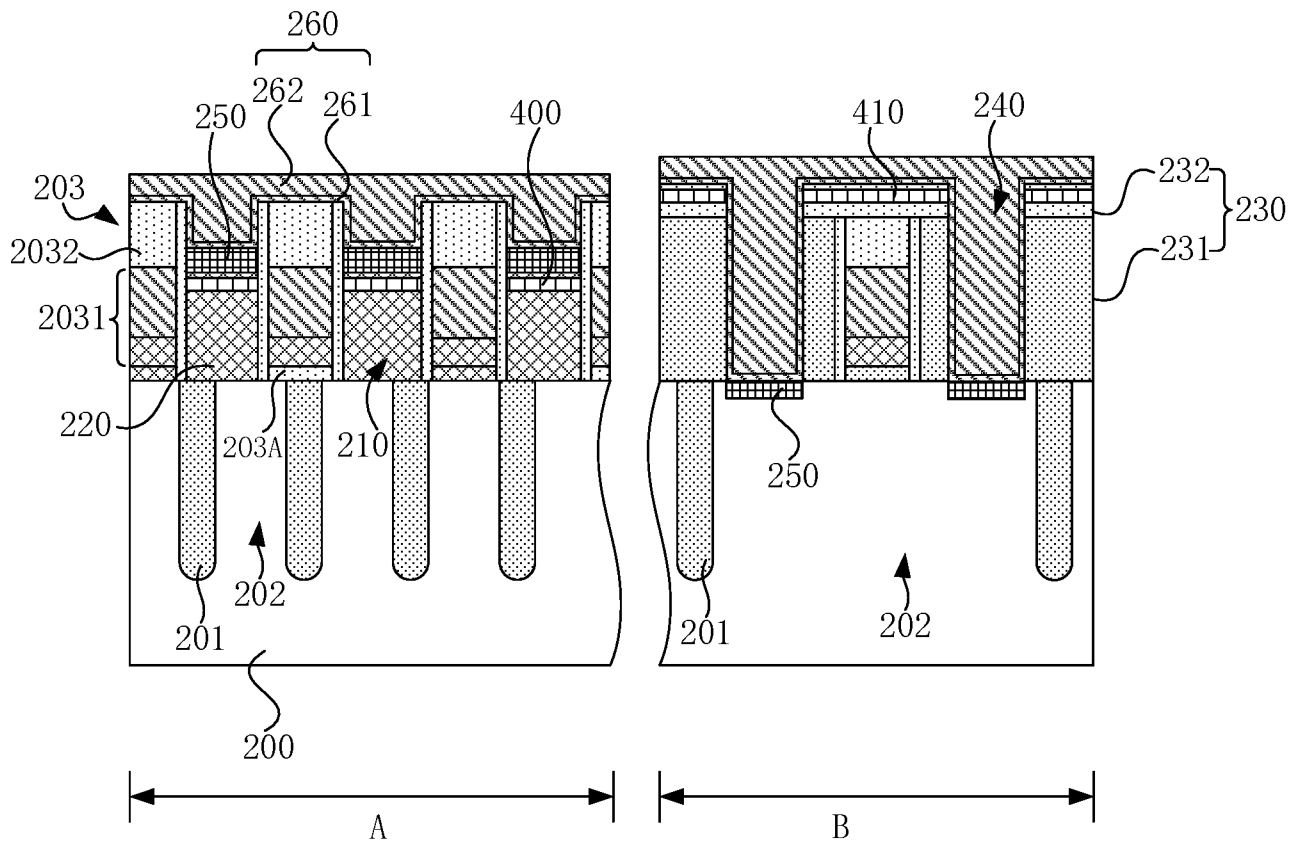


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/074295

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/108(2006.01)i; H01L 29/78(2006.01)i; H01L 21/8242(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
SIPOABS, DWPI, CNABS, CNTXT, USTXT, CNKI: 动态随机存取存储器, 阵列, 核心, 中心, 逻辑, 电容, 外围, 电路, 周围, 周边, 离子注入, 离子布植, 离子植入, 粗化, 粗糙, 表面积, 接触孔, 通孔, 插塞, 栓塞, 位线; DRAM, array region, peripheral circuit, ion implant+, coarsen+, surface, plug, hole		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 1610969 A (MICRON TECHNOLOGY, INC.) 27 April 2005 (2005-04-27) description page 1 line 5 page 7 line 25, figures 1-16	1-16
Y	CN 1553497 A (MACRONIX INTERNATIONAL CO., LTD.) 08 December 2004 (2004-12-08) description page 1 line 5 - page 8 line 18, figures 1A-9	1-16
A	CN 101140935 A (QIMONDA AG) 12 March 2008 (2008-03-12) entire document	1-16
A	US 2007145485 A1 (SAMSUNG ELECTRONICS CO., LTD.) 28 June 2007 (2007-06-28) entire document	1-16
A	US 2017221543 A1 (SAMSUNG ELECTRONICS CO., LTD.) 03 August 2017 (2017-08-03) entire document	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
11 May 2021		20 May 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/074295

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1610969	A	27 April 2005	JP	2005509288	A	07 April 2005
				US	6794238	B2	21 September 2004
				KR	20040064274	A	16 July 2004
				WO	03041127	B1	13 May 2004
				US	2003087499	A1	08 May 2003
				US	2003183822	A1	02 October 2003
				CN	1610969	B	28 April 2010
				KR	100529769	B1	17 November 2005
				WO	03041127	A2	15 May 2003
				WO	03041127	A3	02 October 2003
				EP	1442474	A2	04 August 2004
				AU	2002348172	A1	19 May 2003
				US	6784501	B2	31 August 2004
CN	1553497	A	08 December 2004	CN	1302536	C	28 February 2007
CN	101140935	A	12 March 2008	US	2008061340	A1	13 March 2008
				TW	200814298	A	16 March 2008
				JP	2008072106	A	27 March 2008
				DE	102006045709	A1	03 April 2008
US	2007145485	A1	28 June 2007	US	7495292	B2	24 February 2009
				US	7205219	B2	17 April 2007
				KR	100487563	B1	03 May 2005
				KR	20040093618	A	06 November 2004
				US	2004219744	A1	04 November 2004
US	2017221543	A1	03 August 2017	US	2013242643	A1	19 September 2013
				US	9666262	B2	30 May 2017

国际检索报告

国际申请号

PCT/CN2021/074295

<p>A. 主题的分类</p> <p>H01L 27/108(2006.01)i; H01L 29/78(2006.01)i; H01L 21/8242(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>SIPOABS, DWPI, CNABS, CNTXT, USTXT, CNKI: 动态随机存取存储器, 阵列, 核心, 中心, 逻辑, 电容, 外围, 电路, 周围, 周边, 离子注入, 离子布植, 离子植入, 粗化, 粗糙, 表面积, 接触孔, 通孔, 插塞, 栓塞, 位线; DRAM, array region, peripheral circuit, ion implant+, coarsen+, surface, plug, hole</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 1610969 A (微米技术有限公司) 2005年 4月 27日 (2005 - 04 - 27) 说明书第1页第5行—第7页第25行, 附图1-16</td> <td>1-16</td> </tr> <tr> <td>Y</td> <td>CN 1553497 A (旺宏电子股份有限公司) 2004年 12月 8日 (2004 - 12 - 08) 说明书第1页第5行-第8页第18行, 附图1A-9</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 101140935 A (奇梦达股份公司) 2008年 3月 12日 (2008 - 03 - 12) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2007145485 A1 (SAMSUNG ELECTRONICS CO LTD) 2007年 6月 28日 (2007 - 06 - 28) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2017221543 A1 (SAMSUNG ELECTRONICS CO LTD) 2017年 8月 3日 (2017 - 08 - 03) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 1610969 A (微米技术有限公司) 2005年 4月 27日 (2005 - 04 - 27) 说明书第1页第5行—第7页第25行, 附图1-16	1-16	Y	CN 1553497 A (旺宏电子股份有限公司) 2004年 12月 8日 (2004 - 12 - 08) 说明书第1页第5行-第8页第18行, 附图1A-9	1-16	A	CN 101140935 A (奇梦达股份公司) 2008年 3月 12日 (2008 - 03 - 12) 全文	1-16	A	US 2007145485 A1 (SAMSUNG ELECTRONICS CO LTD) 2007年 6月 28日 (2007 - 06 - 28) 全文	1-16	A	US 2017221543 A1 (SAMSUNG ELECTRONICS CO LTD) 2017年 8月 3日 (2017 - 08 - 03) 全文	1-16
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
Y	CN 1610969 A (微米技术有限公司) 2005年 4月 27日 (2005 - 04 - 27) 说明书第1页第5行—第7页第25行, 附图1-16	1-16																		
Y	CN 1553497 A (旺宏电子股份有限公司) 2004年 12月 8日 (2004 - 12 - 08) 说明书第1页第5行-第8页第18行, 附图1A-9	1-16																		
A	CN 101140935 A (奇梦达股份公司) 2008年 3月 12日 (2008 - 03 - 12) 全文	1-16																		
A	US 2007145485 A1 (SAMSUNG ELECTRONICS CO LTD) 2007年 6月 28日 (2007 - 06 - 28) 全文	1-16																		
A	US 2017221543 A1 (SAMSUNG ELECTRONICS CO LTD) 2017年 8月 3日 (2017 - 08 - 03) 全文	1-16																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2021年 5月 11日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 5月 20日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>李春燕</p> <p>电话号码 010-62411204</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/074295

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1610969	A	2005年 4月 27日	JP	2005509288	A	2005年 4月 7日
				US	6794238	B2	2004年 9月 21日
				KR	20040064274	A	2004年 7月 16日
				WO	03041127	B1	2004年 5月 13日
				US	2003087499	A1	2003年 5月 8日
				US	2003183822	A1	2003年 10月 2日
				CN	1610969	B	2010年 4月 28日
				KR	100529769	B1	2005年 11月 17日
				WO	03041127	A2	2003年 5月 15日
				WO	03041127	A3	2003年 10月 2日
				EP	1442474	A2	2004年 8月 4日
				AU	2002348172	A1	2003年 5月 19日
				US	6784501	B2	2004年 8月 31日
CN	1553497	A	2004年 12月 8日	CN	1302536	C	2007年 2月 28日
CN	101140935	A	2008年 3月 12日	US	2008061340	A1	2008年 3月 13日
				TW	200814298	A	2008年 3月 16日
				JP	2008072106	A	2008年 3月 27日
				DE	102006045709	A1	2008年 4月 3日
US	2007145485	A1	2007年 6月 28日	US	7495292	B2	2009年 2月 24日
				US	7205219	B2	2007年 4月 17日
				KR	100487563	B1	2005年 5月 3日
				KR	20040093618	A	2004年 11月 6日
				US	2004219744	A1	2004年 11月 4日
US	2017221543	A1	2017年 8月 3日	US	2013242643	A1	2013年 9月 19日
				US	9666262	B2	2017年 5月 30日