

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5541219号
(P5541219)

(45) 発行日 平成26年7月9日(2014.7.9)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int.Cl.		F I			
H03K	17/08	(2006.01)	H03K	17/08	C
H02M	1/08	(2006.01)	H02M	1/08	A
H03K	17/687	(2006.01)	H03K	17/687	C

請求項の数 8 (全 20 頁)

(21) 出願番号	特願2011-84414 (P2011-84414)	(73) 特許権者	000004260 株式会社デンソー
(22) 出願日	平成23年4月6日(2011.4.6)		愛知県刈谷市昭和町1丁目1番地
(65) 公開番号	特開2012-222498 (P2012-222498A)	(74) 代理人	110001128 特許業務法人ゆうあい特許事務所
(43) 公開日	平成24年11月12日(2012.11.12)	(72) 発明者	山本 憲司 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
審査請求日	平成25年7月31日(2013.7.31)	(72) 発明者	千田 康隆 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	三浦 亮太郎 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 半導体スイッチング素子駆動装置

(57) 【特許請求の範囲】

【請求項1】

制御端子(11)を有し、前記制御端子(11)に印加される駆動電流に従って前記制御端子(11)の電圧がミラー電圧に達した後にこのミラー電圧よりも高い駆動電圧に達する半導体スイッチング素子(10)と、

前記半導体スイッチング素子(10)の前記制御端子(11)に駆動電流を印加することにより前記半導体スイッチング素子(10)を駆動するものであり、前記半導体スイッチング素子(10)の前記制御端子(11)の電圧が前記ミラー電圧から前記駆動電圧に達するまでの時間は前記制御端子(11)に印加される駆動電流の大きさが大きくなるほど短くなるように設定された駆動手段(60)と、

前記半導体スイッチング素子(10)の前記制御端子(11)の電圧を検出するものであり、前記制御端子(11)の電圧が前記ミラー電圧よりも大きくなったときに前記ミラー電圧が維持されたミラー区間が終了したことを示すミラー区間終了信号を出力する状態検出手段(20)と、

前記半導体スイッチング素子(10)の短絡状態を検出するものであり、前記ミラー区間終了信号を入力すると前記短絡状態の検出を開始すると共に前記短絡状態の検出を開始したことを示す制御信号を出力する短絡検出手段(30)と、

前記短絡検出手段(30)から前記制御信号を入力すると、この制御信号の入力をトリガとして前記短絡検出手段(30)による前記短絡状態の検出が終了するまでの検出時間を測定し、当該検出時間経過後に当該検出時間が経過したことを示す時間設定信号を出力

する時間設定手段(40)と、

前記時間設定手段(40)から前記時間設定信号を入力すると、この時間設定信号の入力をトリガとして前記半導体スイッチング素子(10)の前記制御端子(11)に印加する駆動電流を増加するための電流制御信号を出力する信号生成手段(50)と、を備え、

前記駆動手段(60)は、前記信号生成手段(50)からの前記電流制御信号に従って、前記制御端子(11)に印加する駆動電流の電流量を前記制御端子(11)の電圧が前記ミラー電圧に達するまでに前記制御端子(11)に印加する駆動電流の電流量よりも増加することを特徴とする半導体スイッチング素子駆動装置。

【請求項2】

前記短絡検出手段(30)が前記半導体スイッチング素子(10)の短絡状態の検出を行う短絡検出区間では前記半導体スイッチング素子(10)の前記制御端子(11)の電圧を前記ミラー電圧よりも高く前記駆動電圧よりも低いクランプ電圧に保持するクランプ手段(90)を備え、

前記時間設定手段(40)は、前記時間設定信号を前記クランプ手段(90)および前記信号生成手段(50)に出力することにより、前記クランプ手段(90)に前記クランプ電圧の保持を解除させると共に、前記信号生成手段(50)に前記電流制御信号を出力させることで前記駆動手段(60)に前記制御端子(11)に印加する駆動電流を増加させることを特徴とする請求項1に記載の半導体スイッチング素子駆動装置。

【請求項3】

前記駆動手段(60)は、電源(70)と前記制御端子(11)との間に設けられた可変抵抗(65)に流れる駆動電流を前記制御端子(11)に印加するようになっており、前記電流制御信号に従って前記可変抵抗(65)の抵抗値が小さくなったことにより前記制御端子(11)に印加する駆動電流を増加することを特徴とする請求項1または2に記載の半導体スイッチング素子駆動装置。

【請求項4】

前記駆動手段(60)は、前記電流制御信号に従って前記可変抵抗(65)の抵抗値が段階的に小さくなったことにより前記制御端子(11)に印加する駆動電流を段階的に増加することを特徴とする請求項3に記載の半導体スイッチング素子駆動装置。

【請求項5】

前記駆動手段(60)は、電源(70)に接続されると共に参照電流が流れる可変抵抗(61)と、前記制御端子(11)に印加する駆動電流と参照電流との比較または差分を出力する出力手段(66)と、を有し、前記電流制御信号に従って前記参照電流が流れる可変抵抗(61)の抵抗値が大きくなったことにより前記出力手段(66)の出力を変化させることで前記制御端子(11)に印加する駆動電流を増加することを特徴とする請求項1または2に記載の半導体スイッチング素子駆動装置。

【請求項6】

前記駆動手段(60)は、前記電流制御信号に従って前記可変抵抗(61)の抵抗値が段階的に大きくなったことにより前記制御端子(11)に印加する駆動電流を段階的に増加することを特徴とする請求項5に記載の半導体スイッチング素子駆動装置。

【請求項7】

前記駆動手段(60)は、参照電流が流れる抵抗(61)と、前記制御端子(11)に印加する駆動電流と前記参照電流とを比較する比較手段(66)と、を有し、前記抵抗(61)に流れる前記参照電流が前記電流制御信号に従って大きくなったことにより前記比較手段(66)の出力を変化させることで前記制御端子(11)に印加する駆動電流を増加することを特徴とする請求項1または2に記載の半導体スイッチング素子駆動装置。

【請求項8】

前記駆動手段(60)は、前記抵抗(61)に流れる前記参照電流が前記電流制御信号に従って段階的に大きくなったことにより前記制御端子(11)に印加する駆動電流を段階的に増加することを特徴とする請求項7に記載の半導体スイッチング素子駆動装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】**【0001】**

本発明は、半導体スイッチング素子の制御端子に駆動電流を印加することにより半導体スイッチング素子を駆動する半導体スイッチング素子駆動装置に関する。

【背景技術】**【0002】**

従来より、IGBTを駆動する駆動回路が、例えば特許文献1で提案されている。具体的に、特許文献1では、IGBTの制御端子(ゲート)に、第1の電流を供給する第1の駆動回路と、第2の電流を供給する第2の駆動回路と、制御端子の電圧値を検知する電圧モニターと、が接続された駆動回路が提案されている

10

このような駆動回路は、IGBTの制御端子の電圧が閾値電圧よりも低い場合、第1の駆動回路のみが制御端子に第1の電流を供給し、制御端子の電圧が閾値電圧に達すると第1の電流に加えて第2の電流を制御端子に供給する。これにより、IGBTのターンオン時のコレクタ-エミッタ間の電流の電流変化が小さく抑えられ、かつ、制御端子の電圧が一定となるミラー領域の期間が短くなる。

【0003】

そして、IGBTの制御端子に印加する電流を増加させることにより、制御端子電圧の立ち上がりスルーレートは増加し、スイッチング速度は速くなることが一般的に知られている。

【先行技術文献】

20

【特許文献】**【0004】**

【特許文献1】特開2008-29059号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

しかしながら、IGBTが完全にオフ状態から制御端子に電流を流し始め、制御端子の電圧が一定電圧であるミラー電圧に達すると共にこのミラー電圧が維持されるミラー区間が完了するまでのサージ発生区間において、スイッチング速度を速くするために制御端子に流す電流を増加して制御端子の電圧のスルーレートを増加させると、サージ電圧は発生しやすくなり、半導体スイッチング素子の破壊に至る可能性がある。

30

【0006】

このように、スイッチング速度とサージ電圧とは相反する関係にあるため、サージ電圧の発生を抑制するために制御端子に流す電流を小さくするとスイッチング速度が遅くなってしまい、制御端子の電圧がミラー電圧よりも高い駆動電圧(完全にオン状態)に遷移するまでに時間が掛かってしまう。したがって、サージ電圧の抑制と電圧の遷移時間の短縮との両立は極めて困難である。

【0007】

また、特許文献1では、制御端子への印加電流を増加するタイミングを決定するために、電圧モニター(ゲート電圧監視回路)を用いているため、駆動回路の回路規模が大きくなるという問題があった。

40

【0008】

なお、上記では、半導体スイッチング素子としてIGBTを駆動する駆動回路について述べたが、もちろんIGBTは素子の一例であり、他の半導体スイッチング素子についても上記と同様の問題が生じる。

【0009】

本発明は上記点に鑑み、サージの発生を抑制すると共に半導体スイッチング素子のスイッチング速度を向上しつつ、回路規模を小さくすることができる半導体スイッチング素子駆動装置を提供することを目的とする。

【課題を解決するための手段】

50

【 0 0 1 0 】

上記目的を達成するため、請求項 1 に記載の発明では、制御端子 (1 1) を有し、制御端子 (1 1) に印加される駆動電流に従って制御端子 (1 1) の電圧がミラー電圧に達した後にこのミラー電圧よりも高い駆動電圧に達する半導体スイッチング素子 (1 0) を備えている。

【 0 0 1 1 】

また、半導体スイッチング素子 (1 0) の制御端子 (1 1) に駆動電流を印加することにより半導体スイッチング素子 (1 0) を駆動するものであり、半導体スイッチング素子 (1 0) の制御端子 (1 1) の電圧がミラー電圧から駆動電圧に達するまでの時間は制御端子 (1 1) に印加される駆動電流の大きさが大きくなるほど短くなるように設定された駆動手段 (6 0) と、半導体スイッチング素子 (1 0) の制御端子 (1 1) の電圧を検出するものであり、制御端子 (1 1) の電圧がミラー電圧よりも大きくなったときにミラー電圧が維持されたミラー区間が終了したことを示すミラー区間終了信号を出力する状態検出手段 (2 0) と、を備えている。

10

【 0 0 1 2 】

さらに、半導体スイッチング素子 (1 0) の短絡状態を検出するものであり、ミラー区間終了信号を入力すると短絡状態の検出を開始すると共に短絡状態の検出を開始したことを示す制御信号を出力する短絡検出手段 (3 0) と、短絡検出手段 (3 0) から制御信号を入力すると、この制御信号の入力をトリガとして短絡検出手段 (3 0) による短絡状態の検出が終了するまでの検出時間を測定し、当該検出時間経過後に当該検出時間が経過したことを示す時間設定信号を出力する時間設定手段 (4 0) と、時間設定手段 (4 0) から時間設定信号を入力すると、この時間設定信号の入力をトリガとして半導体スイッチング素子 (1 0) の制御端子 (1 1) に印加する駆動電流を増加するための電流制御信号を出力する信号生成手段 (5 0) と、を備えている。

20

【 0 0 1 3 】

そして、駆動手段 (6 0) は、信号生成手段 (5 0) からの電流制御信号に従って、制御端子 (1 1) に印加する駆動電流の電流量を制御端子 (1 1) の電圧がミラー電圧に達するまでに制御端子 (1 1) に印加する駆動電流の電流量よりも増加することを特徴としている。

【 0 0 1 4 】

これによると、サージの心配が無い短絡状態の検出終了後に制御端子 (1 1) に印加する駆動電流を増加しているため、サージ電圧の発生を抑制することができる。また、制御端子 (1 1) に印加する駆動電流を増加させるので、半導体スイッチング素子 (1 0) の制御端子 (1 1) の電圧が駆動電圧に達するまでの時間を短縮することができ、ひいてはスイッチング速度を向上させることができる。

30

【 0 0 1 5 】

さらに、ミラー区間の終了後に短絡検出手段 (3 0) が半導体スイッチング素子 (1 0) の短絡状態の検出を開始することを利用し、短絡状態の検出が終了する検出時間経過後に駆動電流を増加する構成としているので、制御端子 (1 1) の電圧を監視するための新たな手段を追加する必要がない。したがって、半導体スイッチング素子駆動装置の回路規模を小さくすることができる。

40

【 0 0 1 6 】

請求項 2 に記載の発明では、短絡検出手段 (3 0) が半導体スイッチング素子 (1 0) の短絡状態の検出を行う短絡検出区間では半導体スイッチング素子 (1 0) の制御端子 (1 1) の電圧をミラー電圧よりも高く駆動電圧よりも低いクランプ電圧に保持するクランプ手段 (9 0) を備えている。

【 0 0 1 7 】

そして、時間設定手段 (4 0) は、時間設定信号をクランプ手段 (9 0) および信号生成手段 (5 0) に出力することにより、クランプ手段 (9 0) にクランプ電圧の保持を解除させると共に、信号生成手段 (5 0) に電流制御信号を出力させることで駆動手段 (6

50

0) に制御端子(11)に印加する駆動電流を増加させることを特徴とする。

【0018】

このように、半導体スイッチング素子(10)の制御端子(11)のクランプ電圧が解除されるタイミングで駆動手段(60)に流す駆動電流を大きくすることができる。このため、制御端子(11)の電圧をクランプ電圧から駆動電圧に短時間で上昇させることができるので、半導体スイッチング素子(10)のスイッチング速度を向上させることができる。

【0019】

請求項3に記載の発明では、請求項1または2に記載の発明において、駆動手段(60)は、電源(70)と制御端子(11)との間に設けられた可変抵抗(65)に流れる駆動電流を制御端子(11)に印加するようになっており、電流制御信号に従って可変抵抗(65)の抵抗値が小さくなったことにより制御端子(11)に印加する駆動電流を増加することができる。

10

【0020】

そして、請求項4に記載の発明のように、請求項3に記載の発明において、駆動手段(60)は、電流制御信号に従って可変抵抗(65)の抵抗値が段階的に小さくなったことにより制御端子(11)に印加する駆動電流を段階的に増加することもできる。

【0021】

請求項5に記載の発明のように、請求項1または2に記載の発明において、駆動手段(60)は、電源(70)に接続されると共に参照電流が流れる可変抵抗(61)と、制御端子(11)に印加する駆動電流と参照電流との比較または差分を出力する出力手段(66)と、を有し、電流制御信号に従って参照電流が流れる可変抵抗(61)の抵抗値が大きくなったことにより出力手段(66)の出力を変化させることで制御端子(11)に印加する駆動電流を増加することができる。

20

【0022】

そして、請求項6に記載の発明のように、請求項5に記載の発明において、駆動手段(60)は、電流制御信号に従って可変抵抗(61)の抵抗値が段階的に大きくなったことにより制御端子(11)に印加する駆動電流を段階的に増加することもできる。

【0023】

請求項7に記載の発明のように、請求項1または2に記載の発明において、駆動手段(60)は、参照電流が流れる抵抗(61)と、制御端子(11)に印加する駆動電流と参照電流とを比較する比較手段(66)と、を有し、抵抗(61)に流れる参照電流が電流制御信号に従って大きくなったことにより比較手段(66)の出力を変化させることで制御端子(11)に印加する駆動電流を増加することができる。

30

【0024】

そして、請求項8に記載の発明のように、請求項7に記載の発明において、駆動手段(60)は、抵抗(61)に流れる参照電流が電流制御信号に従って段階的に大きくなったことにより制御端子(11)に印加する駆動電流を段階的に増加することもできる。

【0025】

なお、この欄および特許請求の範囲に記載した各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

40

【図面の簡単な説明】

【0026】

【図1】本発明の第1実施形態に係る半導体スイッチング素子駆動装置の概念図である。

【図2】時間設定手段の具体的な回路構成図である。

【図3】遅延回路の一例を示した図である。

【図4】時間設定手段の動作を説明するためのタイミングチャートである。

【図5】駆動手段および信号生成手段の具体的な回路構成を示した図である。

【図6】図5に示される半導体スイッチング素子駆動装置の作動を説明するための図である。

50

【図 7】本発明の第 2 実施形態に係る半導体スイッチング素子駆動装置の回路構成図である。

【図 8】本発明の第 3 実施形態に係る半導体スイッチング素子駆動装置の回路構成図である。

【図 9】論理回路の動作を説明するためのタイミングチャートである。

【図 10】図 9 に示される半導体スイッチング素子駆動装置の作動を説明するための図である。

【図 11】本発明の第 4 実施形態に係る半導体スイッチング素子駆動装置の回路構成図である。

【図 12】本発明の第 5 実施形態に係る半導体スイッチング素子駆動装置の概念図である。

10

【図 13】図 12 に示される半導体スイッチング素子駆動装置の動作を説明するための図である。

【発明を実施するための形態】

【0027】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、図中、同一符号を付してある。

【0028】

(第 1 実施形態)

以下、本発明の第 1 実施形態について図を参照して説明する。本実施形態で示される半導体スイッチング素子駆動装置は、例えば IGBT やパワー MOSFET 等の半導体スイッチング素子を定電流で駆動する装置である。

20

【0029】

図 1 は、本実施形態に係る半導体スイッチング素子駆動装置の概念図である。この図に示されるように、半導体スイッチング素子駆動装置は、半導体スイッチング素子 10 と、状態検出手段 20 と、短絡検出手段 30 と、時間設定手段 40 と、信号生成手段 50 と、駆動手段 60 と、を備えている。

【0030】

半導体スイッチング素子 10 は、図示しない負荷を駆動するためのスイッチング素子である。本実施形態では、半導体スイッチング素子 10 として Nch 型の IGBT が採用されている。半導体スイッチング素子 10 はゲートである制御端子 11 を有し、この制御端子 11 は駆動手段 60 に接続されている。なお、図示しない負荷は半導体スイッチング素子 10 のソース側もしくはドレイン側のいずれかに接続されている。このような半導体スイッチング素子 10 は、制御端子 11 に印加される駆動電流 (i) に従って駆動されると共に、制御端子 11 の電圧がミラー電圧に達した後にこのミラー電圧よりも高い駆動電圧に達するように動作する。

30

【0031】

状態検出手段 20 は、半導体スイッチング素子 10 の制御端子 11 の電圧 (電圧状態) を検出するものである。ここで、「電圧状態」とは、上述の制御端子 11 の電圧がミラー電圧や駆動電圧になっていることである。このような状態検出手段 20 は、例えば、半導体スイッチング素子 10 に接続された図示しない抵抗の電位差等から制御端子 11 の電圧状態を判定するように回路構成されている。

40

【0032】

そして、状態検出手段 20 は、検出した制御端子 11 の電圧がミラー電圧よりも大きくなったときにミラー電圧が維持されたミラー区間が終了したことを示すミラー区間終了信号を出力する。なお、「ミラー区間が終了したことを示すミラー区間終了信号」とは、ハイレベルからローレベルへの信号の変化、もしくはローレベルからハイレベルへの信号の変化に相当する。

【0033】

短絡検出手段 30 は、半導体スイッチング素子 10 の短絡状態 (つまり過電流) を検出

50

するものである。この短絡検出手段30は、一般的にIGBT等の半導体スイッチング素子10に付随された保護機能である。短絡検出手段30は、エミッタ-コレクタ間の電位差を検出し、設定された閾値電圧との比較により短絡検出を行う。もちろん、半導体スイッチング素子10の他の通電経路において短絡状態を検出および判定しても構わない。

【0034】

そして、本実施形態では、短絡検出手段30は状態検出手段20からミラー区間終了信号を入力すると短絡状態の検出を開始する。これに伴い、短絡検出手段30は短絡状態の検出を開始したことを示す制御信号を時間設定手段40に出力する。なお、「短絡状態の検出を開始したことを示す制御信号」とは、例えばパルス信号である。このパルス信号のローレベルからハイレベルへの立ち上がり短絡状態の検出の開始を示すこととなる。

10

【0035】

時間設定手段40は、短絡検出手段30が短絡状態の検出を開始してから完了するまでの検出時間を測定するものである。具体的に、時間設定手段40は、短絡検出手段30から制御信号を入力すると、この制御信号の入力をトリガとして短絡検出手段30による短絡状態の検出が終了するまでの検出時間を測定する。ここで、「制御信号の入力をトリガとして」というのは、制御信号がローレベルからハイレベルへの立ち上がったことを指す。そして、時間設定手段40は、この検出時間が経過した後に、検出時間が経過したことを示す時間設定信号を信号生成手段50に出力する。「検出時間が経過したことを示す時間設定信号」とは、例えば時間設定信号がハイレベルからローレベルに立ち下がったことを指す。

20

【0036】

図2は、時間設定手段40の具体的な回路構成を示した図である。この図に示されるように、時間設定手段40は、遅延回路41とAND回路42とを備えている。遅延回路41はパルス信号である制御信号を入力し、この制御信号を一定時間遅延させて出力する回路である。

【0037】

遅延回路41は、例えば図3(a)に示されるように抵抗43とコンデンサ44とで構成されたRC回路である。すなわち、RC回路の時定数が短絡状態の検出時間(t_a)に設定されている。遅延回路41は、図3(b)に示されるように抵抗43の両端にダイオード45が接続されたものでも良い。また、AND回路42は、複数の入力の信号がハイレベルである場合に、ハイレベルの信号を出力し、それ以外の場合は全てローレベルの信号を出力する論理回路である。

30

【0038】

図4は、時間設定手段40に制御信号が入力されたときの動作を示したタイミングチャートである。AND回路42における制御信号の入力をA、遅延回路41の反転入力をB、AND回路42の出力をOとすると、図4に示されるように、入力Aがハイレベルとなると、AND回路42の出力Oはハイレベルとなり、遅れて遅延回路41の入力Bがハイレベルとなると、そのタイミングでAND回路42の出力Oはローレベルとなる。このAND回路42の出力Oがハイレベルの期間が、短絡検出手段30が短絡状態の検出を開始してから終了するまでの「検出時間 t_a 」に対応する。そして、検出時間 t_a 後にAND回路42の出力がローレベルに変化すると、これが検出時間 t_a の測定完了を示すこととなる。

40

【0039】

信号生成手段50は、時間設定手段40から時間設定信号を入力すると、この時間設定信号の入力をトリガとして駆動手段60に対して半導体スイッチング素子10の制御端子11に印加する駆動電流 i を増加するための電流制御信号を出力するものである。ここで、「時間設定信号の入力をトリガとして」というのは、時間設定信号がハイレベルからローレベルに変化したことを指す。

【0040】

駆動手段60は、半導体スイッチング素子10の制御端子11に印加するための駆動電

50

流 i を生成し、この駆動電流 i を制御端子 11 に印加することにより半導体スイッチング素子 10 を駆動するものである。この駆動電流 i は、駆動手段 60 の能力すなわちスイッチング速度を決定する電流である。半導体スイッチング素子 10 の制御端子 11 の電圧がミラー電圧から駆動電圧に達するまでの時間は制御端子 11 に印加される駆動電流 i の大きさが大きくなるほど短くなるように設定されている。この時間が短いほど、スイッチング速度が速い。

【0041】

また、駆動手段 60 は外部から入力される駆動信号に従って半導体スイッチング素子 10 をオン/オフ駆動するように構成されている。そして、半導体スイッチング素子 10 の制御端子 11 の電圧がミラー電圧から駆動電圧に達するまでの時間は駆動電流 i の大きさが大きくなるほど短くなるため、駆動手段 60 は駆動電流 i の大きさに応じた時間で半導体スイッチング素子 10 をミラー電圧から駆動電圧に遷移させる。

10

【0042】

上記の半導体スイッチング素子駆動装置において、駆動手段 60 および信号生成手段 50 の具体的な構成について、図 5 を参照して説明する。

【0043】

まず、駆動手段 60 について説明する。図 5 に示されるように、駆動手段 60 は、抵抗 61 (図 5 の R2)、可変定電流回路 62、第 1 切替スイッチ 63、および第 2 切替スイッチ 64 を備えている。

【0044】

抵抗 61 は一端側が電源 70 に接続され、他端側が信号生成手段 50 に接続されている。以下、抵抗 61 を「第 2 抵抗 61」という。

20

【0045】

可変定電流回路 62 は、第 1 抵抗 65 (図 5 の R1) と、オペアンプ 66 と、スイッチング素子 67 と、を備えている。

【0046】

第 1 抵抗 65 は、半導体スイッチング素子 10 の制御端子 11 に流れる駆動電流 i に対応する電流が流れるセンシング用の抵抗である。第 1 抵抗 65 の一端側は電源 70 (図 5 の VB) に接続され、他端側はスイッチング素子 67 に接続されている。

【0047】

オペアンプ 66 は、第 2 抵抗 61 の他端側の電圧に基づいて第 1 抵抗 65 に流れる電流をフィードバック制御することで、半導体スイッチング素子 10 の制御端子 11 に流す駆動電流 i の大きさを調整する役割を果たすものである。

30

【0048】

また、オペアンプ 66 の非反転入力端子 (+) は第 2 抵抗 61 の他端側と信号生成手段 50 との接続点に接続されている。これにより、オペアンプ 66 の非反転入力端子 (+) には第 2 抵抗 61 の他端側に対応する第 1 電圧が印加される。すなわち、電源 70 の電圧を VB とし、第 2 抵抗 61 に流れる電流を I_a とし、第 2 抵抗 61 の抵抗値を R2 とすると、第 1 電圧は電源 70 の電源電圧から基準電圧が差し引かれた電圧 ($V_B - I_a \times R_2$) に相当する。

40

【0049】

一方、オペアンプ 66 の反転入力端子 (-) は第 1 抵抗 65 の他端側に接続されている。これにより、オペアンプ 66 の反転入力端子 (-) には第 1 抵抗 65 の他端側に対応する第 2 電圧が印加される。すなわち、第 1 抵抗 65 に流れる電流を i とし、第 1 抵抗 65 の抵抗値を R1 とすると、第 2 電圧は電源 70 の電源電圧から第 1 抵抗 65 の電圧降下が差し引かれた電圧 ($V_B - i \times R_1$) に相当する。

【0050】

スイッチング素子 67 は、オペアンプ 66 の出力によって駆動される半導体素子である。本実施形態では、スイッチング素子 67 として Pch 型の MOSFET が用いられている。そして、スイッチング素子 67 のゲートはオペアンプ 66 の出力端子に接続され、ソ

50

ースは第1抵抗65の他端側に接続されている。さらに、スイッチング素子67のドレインは半導体スイッチング素子10の制御端子11に接続されている。

【0051】

また、駆動手段60に備えられた第1切替スイッチ63は電源70とオペアンプ66の出力端子との間に接続されている。本実施形態では、第1切替スイッチ63としてPch型のMOSFETが採用される。したがって、第1切替スイッチ63のソースが電源70に接続され、ドレインがオペアンプ66の出力端子に接続されている。

【0052】

一方、第2切替スイッチ64は制御端子11とグランド等の基準電圧ラインとの間に接続されている。本実施形態では、第2切替スイッチ64としてNch型のMOSFETが採用される。したがって、第2切替スイッチ64のソースが半導体スイッチング素子10の制御端子11に接続され、ドレインがグランド等の基準電圧ラインに接続されている。

【0053】

さらに、第1切替スイッチ63のゲートにはインバータ68が接続されている。したがって、第1切替スイッチ63にはインバータ68を介して駆動信号が入力され、第2切替スイッチ64には駆動信号が直接入力される。これによると、各切替スイッチ63、64には一方に入力される信号に対して他方に入力される信号が反転する。

【0054】

信号生成手段50は、第2抵抗61に流れる電流(I_a)の電流量を可変できる電流源として構成されており、第2抵抗61の他端側とグランド等の基準電圧ラインとの間に接続されている。この信号生成手段50は、スイッチ51と、第1定電流源52と、第2定電流源53と、を備えている。

【0055】

第1定電流源52はスイッチ51を介して第2抵抗61の他端側に接続されている。また、第2定電流源53は第2抵抗61の他端側に直接接続されている。スイッチ51は、時間設定信号に従ってオン/オフする。本実施形態では、時間設定信号がハイレベルからローレベルへの立ち下がるとスイッチ51がオンする。

【0056】

なお、第1定電流源52の電流能力と第2定電流源53の電流能力とは同じでも良いし、異なっても良い。スイッチ51のオン/オフによって第2抵抗61に流す電流の大きさをどのように設計するかによって各定電流源52、53の電流能力を設定すれば良い。

【0057】

このような構成により、時間設定信号によってスイッチ51がオンされると第2抵抗61には第1定電流源52に流れる電流と第2定電流源53に流れる電流とが足し合わされた第1電流値の電流が I_a として流れる。一方、時間設定信号によってスイッチ51がオフされると第1定電流源52に流れる電流は電源70とグランド等の基準電圧ラインとの間の経路から切り離されるので、第2抵抗61には第2定電流源53に流れる電流のみが I_a として流れる。すなわち、第2定電流源53に流れる電流の電流値を第2電流値とすると、スイッチ51がオフの場合、第2抵抗61には第1電流値よりも小さい第2電流値の電流が流れる。

【0058】

そして、信号生成手段50に流れる電流の電流値が変化することで、第2抵抗61の他端側の電圧が変化する。この第2抵抗61の他端側の電圧が信号生成手段50の電流制御信号に対応する。

【0059】

以上が、本実施形態に係る半導体スイッチング素子駆動装置の回路構成である。本実施形態では、駆動信号は、例えば外部のECU等から入力される。

【0060】

次に、図5に示される半導体スイッチング素子駆動装置の作動について、図6を参照し

10

20

30

40

50

て説明する。図6は、半導体スイッチング素子10の制御端子の電圧 v の波形と半導体スイッチング素子10を駆動するための駆動電流 i の波形を示したものである。

【0061】

ここで、駆動信号がハイレベルの場合、第1切替スイッチ63がオンされてスイッチング素子67のゲートに電源電圧が印加されるため、スイッチング素子67がオフする。また、第2切替スイッチ64はオンされ、制御端子11からグランド等の基準電圧ラインに電流が流れて半導体スイッチング素子10がオフする。一方、駆動信号がローレベルの場合、第1切替スイッチ63はオフするため、スイッチング素子67はオペアンプ66の出力によって駆動される。このように、駆動手段60は、ハイレベルの駆動信号に従って半導体スイッチング素子10をオフし、ローレベルの駆動信号に従って半導体スイッチング素子10をオンする動作を行う。

10

【0062】

そして、はじめに、駆動手段60に入力される駆動信号がハイレベルからローレベルに切り替わることにより、第1切替スイッチ63および第2切替スイッチ64がオフし、スイッチング素子67がオペアンプ66によって駆動される。これにより、電源70、第1抵抗65、スイッチング素子67、制御端子11という経路が形成される。そして、半導体スイッチング素子10の制御端子11に駆動電流 i が流れる。

【0063】

さらに、信号生成手段50のスイッチ51はオフされているので、第2抵抗61には信号生成手段50の第2定電流源53に流れる第2電流値の電流が流れる。これに伴い、制御端子11に駆動電流 i が流れると、この駆動電流 i の大きさに応じた傾きで半導体スイッチング素子10のゲート電圧が上昇する。そして、ゲート電圧が半導体スイッチング素子10の閾値電圧に達すると、半導体スイッチング素子10がオンし、制御端子11の電圧 v はミラー電圧に達する。ミラー電圧は、半導体スイッチング素子10であるIGBTの増幅率等の特性によって決まる電圧であり、図6に示されるミラー区間で一定になる。

20

【0064】

ここで、可変定電流回路62は、第1抵抗65の他端側に対応する第1電圧と第2抵抗61の他端側に対応する第2電圧とが等しくなるように第1抵抗65に流れる電流の大きさをフィードバック制御している。

【0065】

具体的には、可変定電流回路62のオペアンプ66の各入力端子の電位は同電位となるため、第1抵抗65の他端側に対応する第1電圧($V_B - i \times R_1$)と第2抵抗61の他端側に対応する第2電圧($V_B - I_a \times R_2$)とが等しくなるようにオペアンプ66がスイッチング素子67を制御する。したがって、第1抵抗65に流れる駆動電流 i は $i = (I_a \times R_2) / R_1$ となり、第1抵抗65に流れる電流が一定の定電流として半導体スイッチング素子10の制御端子11に印加される。

30

【0066】

上記の式($i = (I_a \times R_2) / R_1$)に表されるように、第1抵抗65には第2抵抗61に流れる電流の大きさに比例した駆動電流 i が流れるようになっている。そして、第2抵抗61には、第2定電流源53に流れる電流のみが電流 I_a として流れているので、第1抵抗65には当該第2電流値に比例した電流が流れる。

40

【0067】

サージの発生はこのミラー区間に入るとほぼ起こらなくなる。つまり、サージ発生が終了する。また、ミラー区間では半導体スイッチング素子10の短絡状態の検出はまだ開始されていない。

【0068】

ミラー区間が終わると、制御端子11の電圧 v が再び上昇する。ここで、状態検出手段20が、制御端子の電圧 v がミラー電圧よりも大きくなったことを検出し、ミラー区間終了信号を出力する。短絡検出手段30は、半導体スイッチング素子10の短絡状態の検出を開始すると共に、上述の制御信号を出力する。これにより、時間設定手段40は、図6

50

に示される検出時間 t_a を測定する。この検出時間 t_a は、短絡検出手段 30 が半導体スイッチング素子 10 の短絡状態の検出を行う短絡検出区間である。

【0069】

そして、時間設定手段 40 が検出時間 t_a を測定すると、ハイレベルからローレベルに変化する時間設定信号を出力する。これにより、信号生成手段 50 のスイッチ 51 がオンする。このため、第 2 抵抗 61 には信号生成手段 50 の第 1 定電流源 52 に流れる電流と第 2 定電流源 53 に流れる電流とが足し合わされた第 1 電流値の電流が I_a として流れる。そして、第 1 抵抗 65 には第 2 電流値よりも大きい第 1 電流値に比例した電流が流れることになり、信号生成手段 50 のスイッチ 51 がオフされた場合よりも第 1 抵抗 65 に流れる電流が増加する。したがって、図 6 に示されるように、短絡検出区間の終了後に駆動電流 i が増加し、これに伴って半導体スイッチング素子 10 の制御端子 11 の電圧 v の上昇速度も増加する。なお、短絡検出区間が終了すると、短絡検出手段 30 における短絡状態の検出も終了する。

10

【0070】

この後、半導体スイッチング素子 10 の制御端子 11 の電圧 v は最大の駆動電圧に達する。この駆動電圧は電源電圧、もしくはそれとほぼ同電位の電圧であり、半導体スイッチング素子 10 である IGBT をフルオンさせる電圧である。

【0071】

上記のように、駆動手段 60 は、信号生成手段 50 からの電流制御信号に従って、すなわち第 2 抵抗 61 に流す電流の電流量を第 2 電流値から第 1 電流値に増加させてオペアンプ 66 に印加する電圧 ($V_B - I_a \times R_2$) を増加することによって、制御端子 11 に印加する駆動電流 i の電流量を制御端子 11 の電圧 v がミラー電圧に達するまでに制御端子 11 に印加する駆動電流 i の電流量よりも増加する。このため、制御端子 11 の電圧 v が駆動電圧に達するまでの時間が短くなるので、スイッチング速度が向上する。

20

【0072】

これに対し、短絡検出期間後も駆動電流 i の大きさを変化させない場合は、図 6 の一点鎖線で示されるように、ミラー区間後の制御端子 11 の電圧 v が駆動電流 i の大きさに従った傾きで上昇を続けるため、駆動電圧に達するまでにさらに t_b の時間が掛かる。言い換えると、本実施形態では制御端子 11 の電圧 v が駆動電圧に達する時間がこの時間差 t_b だけ速くなる。

30

【0073】

以上説明したように、本実施形態では、サージの発生が予想されるミラー区間後に行われる短絡状態の検出が終了した後、制御端子 11 に印加する駆動電流 i を増加することが特徴となっている。

【0074】

このように、サージの発生が懸念されるミラー区間後に駆動電流 i を増加しているため、サージの発生を抑制することができる。また、サージの心配が無い短絡状態の検出終了後に制御端子 11 に印加する駆動電流 i を増加しているため、半導体スイッチング素子 10 の制御端子 11 の電圧を速く駆動電圧に到達させることができる。したがって、サージの発生を抑制しつつ、スイッチング速度を向上させることができる。

40

【0075】

さらに、駆動電流 i を増加するタイミングは、状態検出手段 20、短絡検出手段 30、および時間設定手段 40 から出力される各信号を利用している。このため、制御端子 11 の電圧 v を監視するためのコンパレータ等の新たな手段を追加しなくても、制御端子 11 に流す駆動電流 i の電流量を制御することができる。したがって、半導体スイッチング素子駆動装置の回路規模を小さくすることができる。

【0076】

なお、本実施形態の記載と特許請求の範囲の記載との対応関係については、第 2 抵抗 61 が特許請求の範囲の「抵抗」に対応し、オペアンプ 66 が特許請求の範囲の「比較手段」に対応する。

50

【 0 0 7 7 】

(第 2 実施形態)

本実施形態では、第 1 実施形態と異なる部分について説明する。上記第 1 実施形態では、駆動電流 i を増加させるために第 2 抵抗 6 1 に流す電流 I_a を増加させていたが、本実施形態では第 2 抵抗 6 1 に流す電流 I_a を一定にして第 2 抵抗 6 1 の抵抗値を変化させることが特徴となっている。

【 0 0 7 8 】

図 7 は、本実施形態に係る半導体スイッチング素子駆動装置の回路構成を示した図である。この図に示されるように、駆動手段 6 0 は、一定の参照電流 I_a を流す定電流源 6 9 を有している。

10

【 0 0 7 9 】

また、信号生成手段 5 0 は、第 2 抵抗 6 1 とスイッチ 5 1 とを備えて構成されている。第 2 抵抗 6 1 は抵抗値が R_2 の抵抗 6 1 a と抵抗値が R_3 の抵抗 6 1 b とが直列接続されて構成されている。抵抗 6 1 b は電源 7 0 に接続され、抵抗 6 1 a は定電流源 6 9 に接続されている。そして、抵抗 6 1 a と定電流源 6 9 との接続点がオペアンプ 6 6 の非反転入力端子 (+) に接続されている。

【 0 0 8 0 】

さらに、抵抗 6 1 b には並列にスイッチ 5 1 が接続されている。スイッチ 5 1 がオンされると第 2 抵抗 6 1 の抵抗値は抵抗 6 1 a のみの抵抗値となる。一方、スイッチ 5 1 がオフされると第 2 抵抗 6 1 の抵抗値は抵抗 6 1 a と抵抗 6 1 b との合成抵抗値となる。このように、第 2 抵抗 6 1 はスイッチ 5 1 によって抵抗値が可変になるように構成されている。本実施形態では、時間設定信号がハイレベルからローレベルへの立ち下がるとスイッチ 5 1 がオフする。

20

【 0 0 8 1 】

このような構成では、抵抗 6 1 a のうち抵抗 6 1 b が接続された側とは反対側 (定電流源 6 9 側) の電圧が信号生成手段 5 0 の電流制御信号に対応している。

【 0 0 8 2 】

オペアンプ 6 6 は、制御端子 1 1 に印加する駆動電流と参照電流との比較または差分を出力することとなる。すなわち、第 1 抵抗 6 5 の他端側に対応する第 1 電圧と第 2 抵抗 6 1 の他端側つまり抵抗 6 1 a の他端側に対応する第 2 電圧とがオペアンプ 6 6 に印加されると共に、第 1 電圧と第 2 電圧とが等しくなるようにオペアンプ 6 6 がスイッチング素子 6 7 を駆動する。

30

【 0 0 8 3 】

そして、スイッチ 5 1 がオンされて抵抗 6 1 a のみに参照電流 I_a が流れるとすると、第 1 抵抗 6 5 に流れる駆動電流 i は上述のように $i = (I_a \times R_2) / R_1$ として表され、第 1 抵抗 6 5 には抵抗 6 1 a の抵抗値 R_2 に比例した電流が流れる。一方、スイッチ 5 1 がオフされて抵抗 6 1 a および抵抗 6 1 b の両方に参照電流 I_a が流れるとすると、第 1 抵抗 6 5 に流れる駆動電流 i は $i = (I_a \times (R_2 + R_3)) / R_1$ として表され、第 1 抵抗 6 5 には抵抗 6 1 a の抵抗値 R_2 および抵抗 6 1 b の抵抗値 R_3 の和に比例した電流が流れる。

40

【 0 0 8 4 】

したがって、駆動手段 6 0 は電流制御信号に従って (つまりスイッチ 5 1 がオフされて) 参照電流 I_a が流れる第 2 抵抗 6 1 の抵抗値が大きくなったことによりオペアンプ 6 6 の出力を変化させることで制御端子 1 1 に印加する駆動電流 i を増加させる。

【 0 0 8 5 】

以上説明したように、第 2 抵抗 6 1 の抵抗値を調整することにより半導体スイッチング素子 1 0 の制御端子 1 1 に印加する駆動電流 i を増減させることができる。

【 0 0 8 6 】

なお、本実施形態の記載と特許請求の範囲の記載との対応関係については、第 2 抵抗 6 1 が特許請求の範囲の「可変抵抗」に対応し、オペアンプ 6 6 が特許請求の範囲の「出力

50

手段」に対応する。

【 0 0 8 7 】

(第3実施形態)

本実施形態では、第2実施形態と異なる部分について説明する。本実施形態では、第2抵抗61を多段とすることで、第2抵抗61の抵抗値を段階的に変化させることにより駆動電流*i*を段階的に増加させることが特徴となっている。

【 0 0 8 8 】

図8は、本実施形態に係る半導体スイッチング素子駆動装置の回路構成を示した図である。この図に示されるように、本実施形態では、信号生成手段50は、第2抵抗61とスイッチ54、55を備えている。第2抵抗61は抵抗61a、抵抗61b、および抵抗61cの3つの抵抗で構成されている。これらは電源70と定電流源69との間に直列接続されている。なお、各抵抗の抵抗値は同じでも良いし、異なっても良い。

10

【 0 0 8 9 】

また、抵抗61bに並列にスイッチ54が接続され、抵抗61cに並列にスイッチ55が接続されている。これによると、スイッチ54、55のオンまたはオフによって第2抵抗61の合成抵抗値が変化するため、オペアンプ66に入力される電流制御信号すなわち第2電圧が変化する。ここで、本実施形態では、時間設定信号(後述するX1、X2)がローレベルからハイレベルへの立ち上がるとスイッチ54、55がオフする。

【 0 0 9 0 】

また、半導体スイッチング素子駆動装置は2つの時間設定手段40、46を備えている。これら各時間設定手段40、46の構成は図2で示されたものと同じであり、一方の時間設定手段40にはB1の遅延時間が設定され、他方の時間設定手段46にはB1よりも長いB2の遅延時間が設定されている。したがって、短絡検出手段30から各時間設定手段40、46にパルス状の制御信号がそれぞれ同時に入力されると、B1後に一方の時間設定手段40から時間設定信号O1が出力され、B2後に他方の時間設定手段46から時間設定信号O2が出力される。

20

【 0 0 9 1 】

さらに、半導体スイッチング素子駆動装置は論理回路80を備えている。この論理回路80は各時間設定手段40、46からの時間設定信号O1、O2に基づいて各スイッチ54、55をオフするための時間設定信号X1、X2を生成するように構成された回路である。

30

【 0 0 9 2 】

図9は、論理回路80の動作を説明するためのタイミングチャートである。この図に示されるように、一方の時間設定手段40で生成される時間設定信号O1は、制御信号(A)の立ち上がりから遅延時間B1後の制御信号の立ち上がりまでがハイレベルとなる信号となる。また、他方の時間設定手段46で生成される時間設定信号O2は、制御信号(A)の立ち上がりから遅延時間B2後の制御信号の立ち上がりまでがハイレベルとなる信号となる。

【 0 0 9 3 】

そして、論理回路80は、時間設定信号O1がハイレベルからローレベルに立ち下るとハイレベルの時間設定信号X1を出力する。これにより、信号生成手段50のスイッチ54がオフする。また、論理回路80は、時間設定信号O2がハイレベルからローレベルに立ち下るとハイレベルの時間設定信号X2を出力する。これにより、信号生成手段50のスイッチ55がオフする。

40

【 0 0 9 4 】

上記のように、第2抵抗61が3つの抵抗で構成された場合の制御端子11の電圧*v*の変化について、図10を参照して説明する。なお、短絡検出区間が終了するまでは第1実施形態と同じであるため、本実施形態では主に短絡検出区間後について説明する。

【 0 0 9 5 】

まず、短絡検出区間が終了するまでは信号生成手段50の各スイッチ54、55はそれ

50

ぞれオンの状態になっているため、第2抵抗61の抵抗値は抵抗61aのR2となり、この抵抗値に従った駆動電流 $i = (I_a \times R_2) / R_1$ が制御端子11に印加されている。

【0096】

そして、短絡検出区間が終了すると、すなわち遅延時間B1が経過すると、一方の時間設定手段40から出力される時間設定信号O1がハイレベルからローレベルに変化するので、これに伴って論理回路80から出力される時間設定信号X1がローレベルからハイレベルに変化する。これにより、スイッチ54がオフするので、第2抵抗61の抵抗値は抵抗61aのR2と抵抗61bのR3との合成抵抗値となり、抵抗値が増加する。このため、駆動電流 i は $i = (I_a \times (R_2 + R_3)) / R_1$ となるので、図10に示されるように駆動電流 i が一段階増加し、制御端子11の電圧 v の上昇速度も一段階速くなる。

10

【0097】

この後、他方の時間設定手段46から出力される時間設定信号O2がハイレベルからローレベルに変化すると、論理回路80から出力される時間設定信号X2がローレベルからハイレベルに変化する。これにより、スイッチ55がオフするので、第2抵抗61の抵抗値は全ての抵抗値R2～R4の合成抵抗値となり、さらに抵抗値が増加する。このため、駆動電流 i は $i = (I_a \times (R_2 + R_3 + R_4)) / R_1$ となるので、図10に示されるように駆動電流 i がさらに一段階増加し、制御端子11の電圧 v の上昇速度もさらに一段階速くなる。

【0098】

以上のように、駆動手段60は、電流制御信号すなわちオペアンプ66に入力される第2電圧の変化に従って第2抵抗61の抵抗値が段階的に大きくなったことにより制御端子11に印加する駆動電流 i を段階的に増加することもできる。

20

【0099】

(第4実施形態)

本実施形態では、第1～第3実施形態と異なる部分について説明する。上記各実施形態では、第2抵抗61の抵抗値や、信号生成手段50の電流値を変化させることで制御端子11に印加する駆動電流 i を増加していたが、本実施形態では第1抵抗65の抵抗値を変化させることにより駆動電流 i を増加することが特徴となっている。

【0100】

図11は、本実施形態に係る半導体スイッチング素子駆動装置の回路構成を示した図である。この図に示されるように、信号生成手段50は、第1抵抗65とスイッチ54とを備えて構成されている。第1抵抗65は抵抗値がR1の抵抗65aと抵抗値がR3の抵抗61bとが直列接続されて構成されている。抵抗61bは電源70に接続され、抵抗65aはスイッチング素子67に接続されている。さらに、抵抗61bには並列にスイッチ54が接続されている。

30

【0101】

本実施形態では、時間設定信号がローレベルからハイレベルに立ち上がるとスイッチ54がオフする。これにより、第1抵抗65の抵抗値は $R_1 + R_3$ となるので、駆動電流 i は $i = (I_a \times R_2) / (R_1 + R_3)$ となり、駆動電流 i は小さくなる。短絡検出区間が終了するまではこの駆動電流 i が制御端子11に印加される。一方、時間設定信号がハイレベルからローレベルへの立ち下がるとスイッチ54がオンする。これにより、第1抵抗65の抵抗値は抵抗65aのR1のみとなってスイッチ54がオフの場合よりも小さくなるので、駆動電流 i は $i = (I_a \times R_2) / R_1$ となり、駆動電流 i が増加する。このような駆動電流 i は短絡検出区間終了後に制御端子11に印加される。

40

【0102】

以上のように、電源70と制御端子11との間に設けられた第1抵抗65に流れる駆動電流 i を制御端子11に印加するようになっており、電流制御信号に従って第1抵抗65の抵抗値が小さくなったことにより制御端子11に印加する駆動電流を増加するように駆動手段60を構成することもできる。

50

【 0 1 0 3 】

(第5実施形態)

本実施形態では、第1～第4実施形態と異なる部分について説明する。近年、IGBT等の半導体スイッチング素子10はコストダウンのため、素子自体の短絡耐量は下がる傾向にある。ここで、装置の短絡事故等で半導体スイッチング素子10に短絡電流が流れ続けると素子自身に急激な温度上昇が起こって破壊に至るが、この短絡電流の流れ始めから破壊に至るまでの時間(またはエネルギー)のことを短絡耐量という。この低い短絡耐量のために短絡を検出した後保護する構成では、この短絡検出をしている間に、短絡耐量を超えて破壊に至る場合があり、保護が間に合わない場合がある。そこで、本実施形態では、ミラー区間終了の短絡検出区間で制御端子11の電圧をミラー電圧よりも高く駆動電圧よりも低いクランプ電圧に保持することが特徴となっている。

10

【 0 1 0 4 】

図12は、本実施形態に係る半導体スイッチング素子駆動装置の概念図である。この図に示されるように、半導体スイッチング素子駆動装置はクランプ手段90を備えている。

【 0 1 0 5 】

クランプ手段90は、制御端子11に印加される電圧をミラー電圧よりも高く駆動電圧よりも低いクランプ電圧にクランプすることにより、制御端子11に印加される電圧の急激な変動を回避して半導体スイッチング素子10のオーバーシュートやサージによる破壊を防止する役割を果たす回路である。このクランプ手段90は制御端子11とグランド等の基準電圧ラインとの間に接続されている。

20

【 0 1 0 6 】

また、クランプ手段90は制御端子11に接続されたスイッチ91を備えている。このスイッチ91は時間設定手段40からクランプ手段90に入力される時間設定信号に従ってオフする。クランプ手段90は、短絡検出手段30が半導体スイッチング素子10の短絡状態の検出を行う短絡検出区間では半導体スイッチング素子10の制御端子11の電圧をクランプ電圧に保持するので、時間設定信号がハイレベルからローレベルへの立ち下るとスイッチ91がオフになる。すなわち、時間設定手段40は、時間設定信号を信号生成手段50に出力することにより、クランプ手段90にクランプ電圧の保持を解除させる。なお、その他の構成については、例えば第1実施形態と同じである。

【 0 1 0 7 】

図13は、図12に半導体スイッチング素子駆動装置の動作を説明するための図である。ミラー区間が終了するまでは第1実施形態と同じ動作である。また、クランプ手段90は外部のECU等の指令により、スイッチ91をオンする。

30

【 0 1 0 8 】

そして、ミラー区間後に制御端子11の電圧 v が上昇すると、任意のタイミングで短絡検出区間(クランプ期間)に移行する。このとき、クランプ手段90のスイッチ91がオンしているので、制御端子11の電圧 v はミラー電圧よりも高くなるが、駆動電圧よりも低い電圧にクランプされる。そして、短絡検出区間が終了して時間設定手段40から時間設定信号が出力されると、信号生成手段50は電流制御信号を出力して駆動手段60に制御端子11に印加する駆動電流 i を増加する。また、クランプ手段90はスイッチ91をオフすることによりクランプを解除する。これにより、短絡検出区間終了は制御端子11の電圧 v がクランプ電圧から駆動電圧に向かって一気に上昇する。したがって、駆動電流 i を増加しなかった場合(一点破線)と比較して、フルオン区間へ到達する時間差 t_b だけスイッチング速度が速くなる。

40

【 0 1 0 9 】

以上説明したように、半導体スイッチング素子駆動装置にクランプ手段90を備え、短絡検出区間終了に制御端子11のクランプ電圧を解除するタイミングで駆動手段60から流す駆動電流 i を大きくすることができる。これにより、半導体スイッチング素子10の破壊を防止しつつ、半導体スイッチング素子10のスイッチング速度を向上させることができる。

50

【 0 1 1 0 】

(他の実施形態)

上記各実施形態で示された半導体スイッチング素子駆動装置の構成は一例であり、上記で示した構成に限定されることなく、他の構成とすることもできる。例えば、第1実施形態の信号生成手段50において、第2抵抗61に流れる電流(I_a)の電流量を段階的に大きくすることにより制御端子11に印加する駆動電流*i*を段階的に増加することもできる。この場合、信号生成手段50に複数の定電流源を設け、それぞれに接続されたスイッチの切り替えにより第2抵抗61に流れる電流(I_a)の電流量を段階的に変化させれば良い。

【 0 1 1 1 】

10

また、第2～第4実施形態において抵抗値を変化させて駆動電流*i*を増加する構成においても、第5実施形態で示されたクランプ手段90を備えた構成とすることができる。もちろん、クランプ手段90を備えた構成において駆動電流*i*を段階的に増加させても良い。

【 0 1 1 2 】

さらに、駆動電流*i*を段階的に増加する場合、ミラー電圧(もしくはクランプ電圧)から何段階で駆動電圧にするかは、スイッチング速度の調整により適宜設定される。

【 0 1 1 3 】

そして、上記各実施形態で示された各スイッチが信号のどのようなレベル(例えばローレベルやハイレベル)でオン/オフするかについても一例であり、適宜設定できる。もちろん、各信号においてどのようなレベルに意味を持たせるかについても同様に適宜設定できる。

20

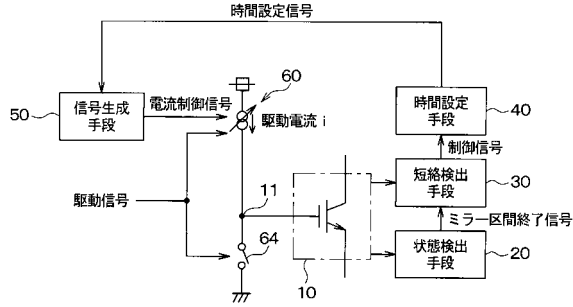
【符号の説明】

【 0 1 1 4 】

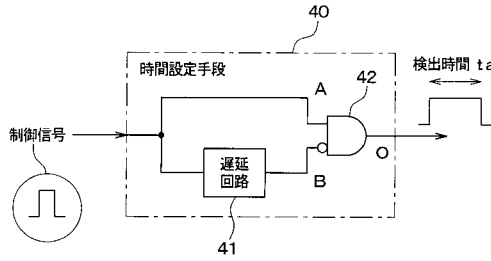
- 10 半導体スイッチング素子
- 11 制御端子
- 20 状態検出手段
- 30 短絡検出手段
- 40 時間設定手段
- 50 信号生成手段
- 60 駆動手段
- 70 電源
- 80 論理回路
- 90 クランプ手段

30

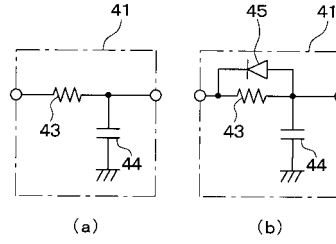
【図1】



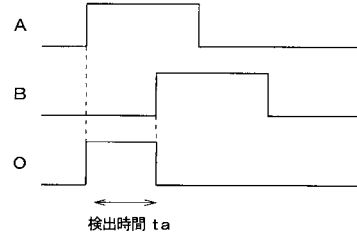
【図2】



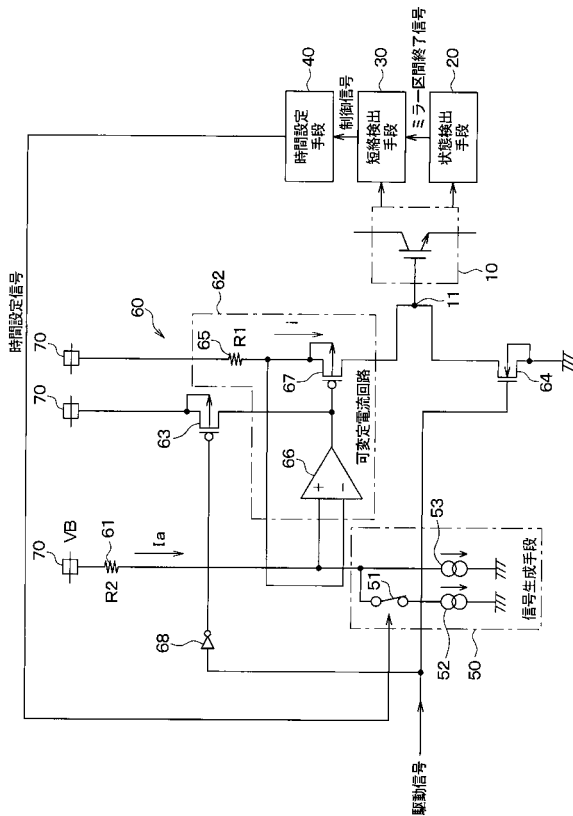
【図3】



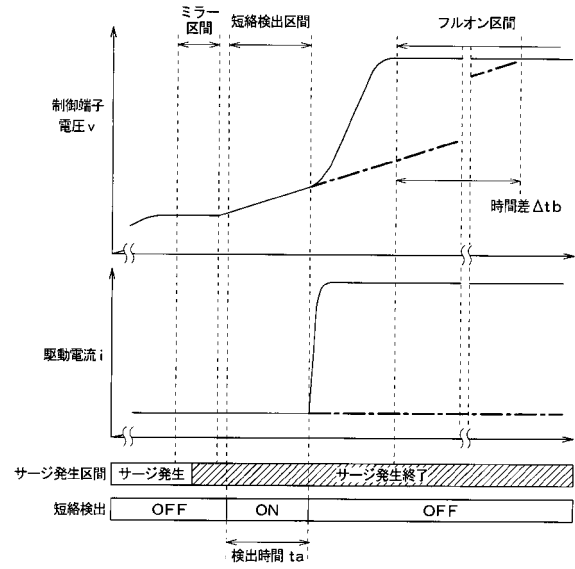
【図4】



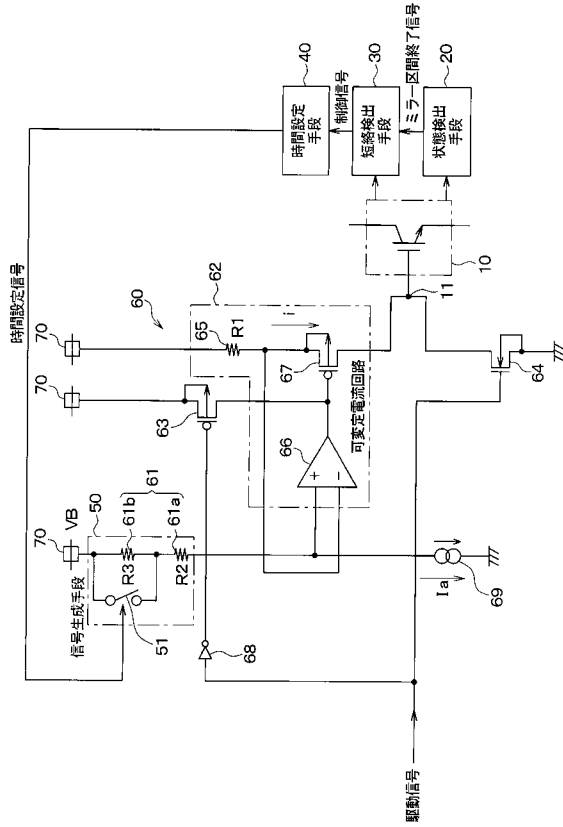
【図5】



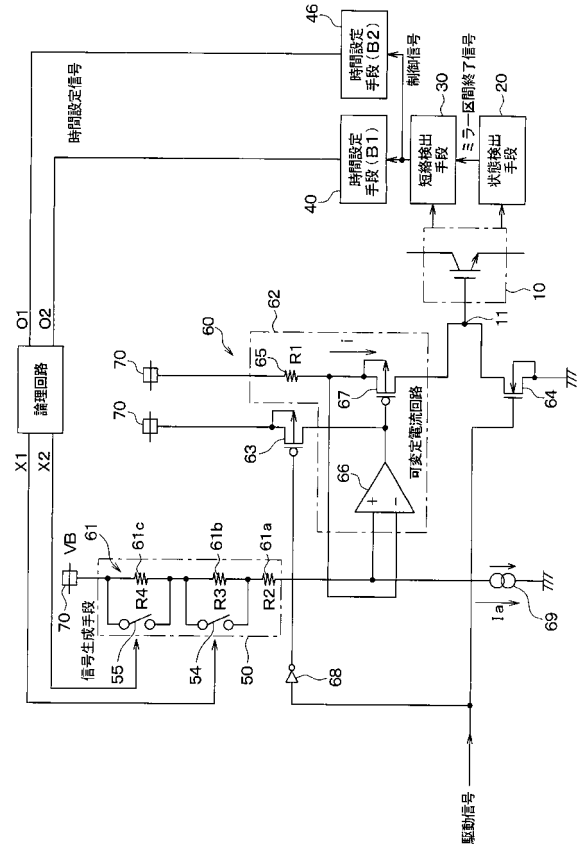
【図6】



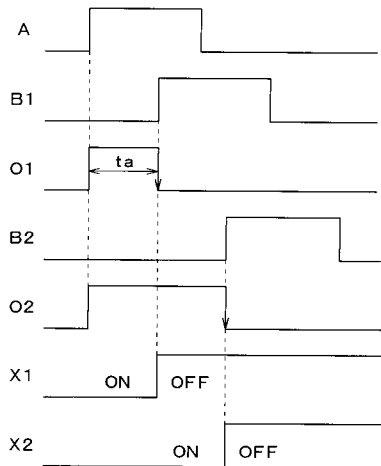
【図7】



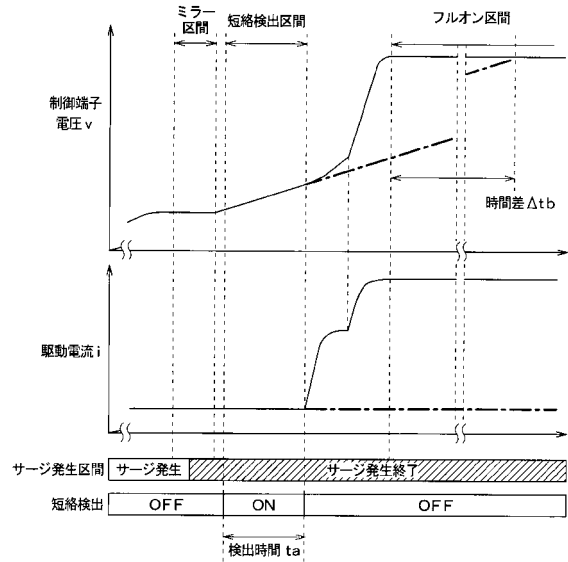
【図8】



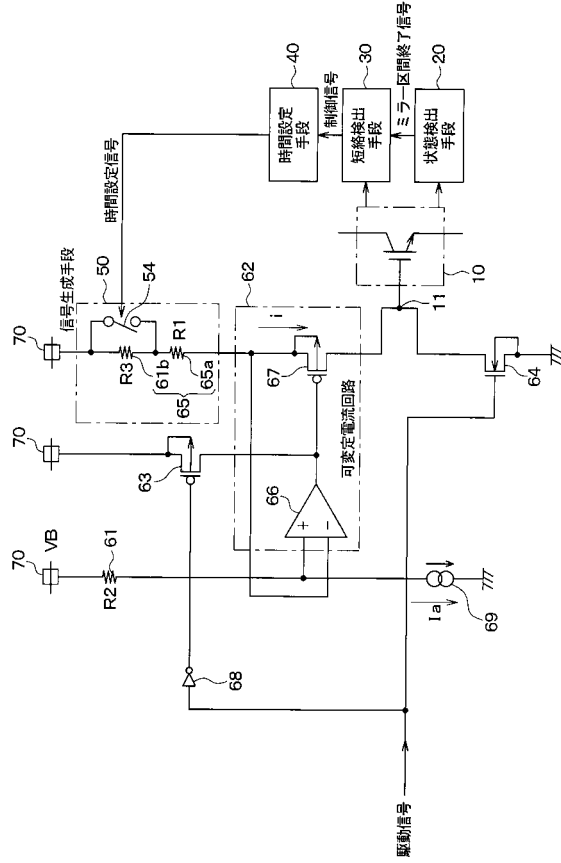
【図9】



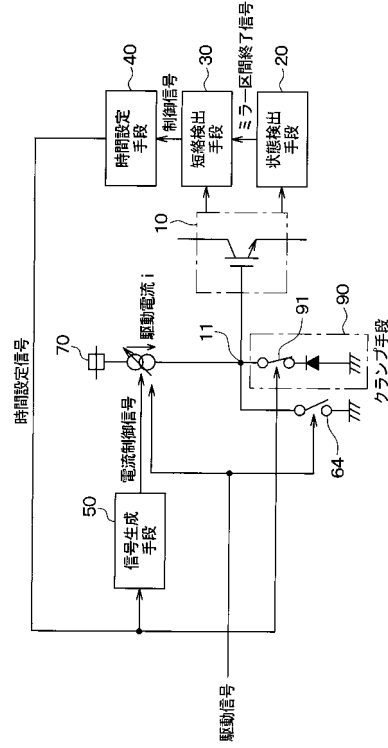
【図10】



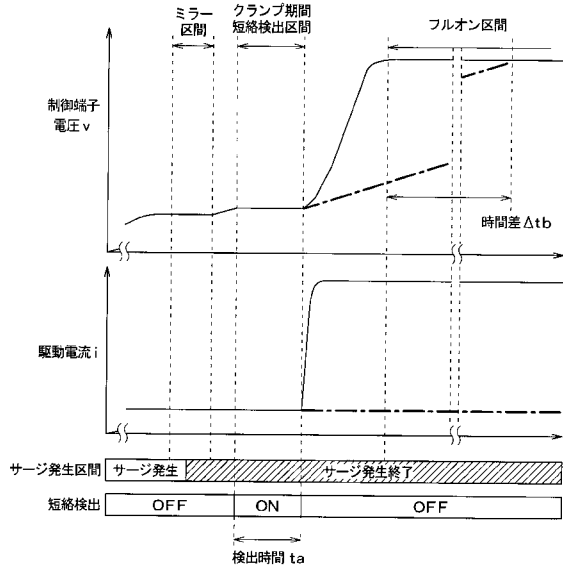
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 濱中 義行
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 栗栖 正和

(56)参考文献 特開2004-253582(JP,A)
特開2009-071956(JP,A)
特開2008-029059(JP,A)
特開2012-204985(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03K 17/00 - 17/70
H02M 1/08