

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-532559
(P2010-532559A)

(43) 公表日 平成22年10月7日(2010.10.7)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 21/336 (2006.01)	HO1L 29/78	616K 4M1O4
HO1L 29/786 (2006.01)	HO1L 29/78	618B 5F11O
HO1L 51/05 (2006.01)	HO1L 29/78	616V
HO1L 21/28 (2006.01)	HO1L 29/78	617J
HO1L 21/288 (2006.01)	HO1L 29/78	617V

審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く

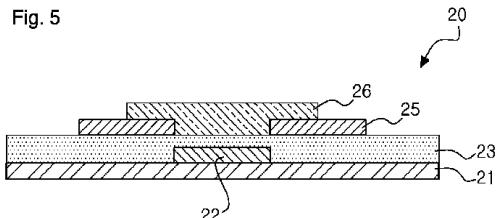
(21) 出願番号	特願2010-514603 (P2010-514603)	(71) 出願人	304059937 コリア・インスティテュート・オブ・マシナリー・アンド・マテリアルズ 大韓民国 305-343 デジョンーシティ エションギ ジャンードン 17 1
(86) (22) 出願日	平成20年5月30日 (2008.5.30)	(74) 代理人	100102668 弁理士 佐伯 豊生
(85) 翻訳文提出日	平成20年10月2日 (2008.10.2)	(74) 代理人	100127133 弁理士 小板橋 浩之
(86) 國際出願番号	PCT/KR2008/003019	(72) 発明者	キム カンデ 大韓民国 614-110 ブサン ブサン ンジング ゲグム 1ドン 554-17 , 27/5
(87) 國際公開番号	W02009/005221		
(87) 國際公開日	平成21年1月8日 (2009.1.8)		
(31) 優先権主張番号	10-2007-0066207		
(32) 優先日	平成19年7月2日 (2007.7.2)		
(33) 優先権主張国	韓国(KR)		

最終頁に続く

(54) 【発明の名称】自己整合型有機薄膜トランジスタ及びその製造方法

(57) 【要約】

本発明は、自己整合型有機薄膜トランジスタ及びその製造方法に関するものである。本発明によれば、基板上にパターニングされた第1導電膜としてゲート電極を形成し、ゲート電極を覆うように基板上にゲート絶縁膜を形成した後、ゲート絶縁膜上に第2導電膜を形成する。次いで、基板の下部側でゲート電極をマスクとして用いて、第2導電膜に紫外線を照射する紫外線背面露光を遂行した後、第2導電膜を現像することで、ゲート電極と自己整合され、ゲート電極と重畠しないソース／ドレイン電極を形成する。次いで、ソース／ドレイン電極の間及び上部に有機半導体膜を形成する。本発明は、リール・トゥ・リール工程を用いて、有機薄膜トランジスタを製造することができ、製造工程が単純になる。



【特許請求の範囲】**【請求項 1】**

基板；

上記基板上にパターニングされ、形成されたゲート電極；
上記基板と上記ゲート電極を覆うゲート絶縁膜；
上記ゲート電極と自己整合され、上記ゲート電極と重畠しないように上記ゲート絶縁膜
上に形成されるソース／ドレイン電極；及び
上記ソース／ドレイン電極の間及び上部に形成される有機半導体膜；
を含む自己整合型有機薄膜トランジスタ。

【請求項 2】

上記ゲート絶縁膜は、紫外線透過が可能な絶縁性物質からなり、上記ソース／ドレイン電極は、紫外線硬化が可能な導電性物質からなることを特徴とする請求項 1 に記載の自己整合型有機薄膜トランジスタ。10

【請求項 3】

基板を提供するステップ；

上記基板上にパターニングされた第 1 導電膜としてゲート電極を形成するステップ；
上記ゲート電極を覆うように上記基板上にゲート絶縁膜を形成するステップ；
上記ゲート絶縁膜上に第 2 導電膜を形成するステップ；
上記基板の下部側より上記ゲート電極をマスクとして用いて上記第 2 導電膜に紫外線を
照射する紫外線背面露光を遂行するステップ；
上記第 2 導電膜を現像することで、上記ゲート電極と自己整合され、上記ゲート電極と
重畠しないソース／ドレイン電極を形成するステップ；及び
上記ソース／ドレイン電極の間及び上部に有機半導体膜を形成するステップ；
を含む自己整合型有機薄膜トランジスタの製造方法。20

【請求項 4】

上記ゲート電極形成ステップは、上記基板にシャドーマスクを覆い、上記第 1 導電膜を熱
蒸着するステップであることを特徴とする請求項 3 に記載の自己整合型有機薄膜トランジ
スタの製造方法。30

【請求項 5】

上記ゲート電極形成ステップは、熱蒸着、電子ビーム蒸着、スパッタリング、マイクロコ
ンタクトプリント、ナノインプリント中のいずれか方法を用いて上記基板に上記第 1 導電
膜を形成するステップを含むことを特徴とする請求項 3 に記載の自己整合型有機薄膜トラン
ジスタの製造方法。

【請求項 6】

上記ゲート絶縁膜形成ステップは、スピニコートまたはラミネート方法を用いて遂行され
ることを特徴とする請求項 3 に記載の自己整合型有機薄膜トランジスタの製造方法。

【請求項 7】

上記ゲート絶縁膜は、紫外線透過が可能な絶縁性物質からなることを特徴とする請求項 3
に記載の自己整合型有機薄膜トランジスタの製造方法。

【請求項 8】

上記ゲート絶縁膜は、ポリ - 4 - ビニルフェノール、ポリイミド、ポリビニルアルコール
、ポリスチレン、無機物／有機物の混成絶縁物のいずれか一つからなることを特徴とする
請求項 3 に記載の自己整合型有機薄膜トランジスタの製造方法。40

【請求項 9】

上記第 2 導電膜形成ステップは、スクリーン印刷、スプレー印刷、インクジェット印刷、
グラビア印刷、オフセット、リバースオフセット、グラビア - オフセット、フレキソのい
ずれか一つの方法を用いて遂行されることを特徴とする請求項 3 に記載の自己整合型有機
薄膜トランジスタの製造方法。

【請求項 10】

上記第 2 導電膜は、紫外線硬化が可能な導電性物質からなることを特徴とする請求項 3 に50

記載の自己整合型有機薄膜トランジスタの製造方法。

【請求項 1 1】

上記第 2 導電膜形成ステップにおいて、上記第 2 導電膜は、導電性物質が粉末状態で、紫外線硬化樹脂に分散されているペースト状またはインク状であることを特徴とする請求項 3 に記載の自己整合型有機薄膜トランジスタの製造方法。

【請求項 1 2】

上記有機半導体膜形成ステップは、熱蒸着またはインクジェット印刷方法を用いて遂行されることを特徴とする請求項 3 に記載の自己整合型有機薄膜トランジスタの製造方法。

【請求項 1 3】

上記有機半導体膜は、ペンタセン、テトラセン、アントラセン、T i p s - ペンタセン [6 , 1 3 - ビス (トリイソプロピルシリルエチニル) ペンタセン] 、P 3 H T [ポリ (3 - ヘキシルチオフェン)] 、F 8 T 2 [ポリ (9 , 9 - ジオクチルフルオレン - c o - ビチオフェン)] 、P Q T - 1 2 [ポリ (3 , 3 ' , ' - ジドデシルクオーター - チオフェン) 及び P B T T T [ポリ (2 , 5 - ビス (3 - テトラデシルチオフェン - 2 - イル) チエノ [3 , 2 - b] チオフェン)] のいずれか一つで形成されることを特徴とする請求項 3 に記載の自己整合型有機薄膜トランジスタの製造方法。

10

【請求項 1 4】

上記基板は、プラスチックまたはガラスからなることを特徴とする請求項 3 に記載の自己整合型有機薄膜トランジスタの製造方法。

20

【請求項 1 5】

上記基板は、リール形態で提供されることを特徴とする請求項 3 に記載の自己整合型有機薄膜トランジスタの製造方法。

【請求項 1 6】

上記ゲート電極形成ステップ、上記ゲート絶縁膜形成ステップ、上記第 2 導電膜形成ステップ、上記紫外線背面露光ステップ、上記ソース / ドレイン電極形成ステップ、上記有機半導体膜形成ステップ中の少なくとも 2 ステップは、上記リール形態の基板が連続的に移送される状態で、連続して進行されることを特徴とする請求項 1 5 に記載の自己整合型有機薄膜トランジスタの製造方法。

20

【発明の詳細な説明】

【技術分野】

30

【0 0 0 1】

本発明は、有機薄膜トランジスタに関する。具体的には、ゲート電極をマスクとして背面露光を遂行し、導電膜を直接パターニングすることで、自己整合ソース / ドレイン電極を形成する自己整合型有機薄膜トランジスタ及びその製造方法に関するものである。

【背景技術】

【0 0 0 2】

近年、半導体材料として有機化合物を利用する研究が活発に行われている中で、薄膜トランジスタ (TFT) 分野でも無機物であるシリコンの代りにペンタセンのような有機半導体を利用する研究が活発化されている。有機半導体は、合成方法が多様であり、繊維やフィルム形態に成形することが容易で、相対的に製造費用が安価である。また、有機半導体を利用すれば、100 以下の温度で素子製造が可能になるので、プラスチック基板の使用が可能になるだけでなく、有機半導体が柔軟性と導電性に優れ、各種フレキシブル素子に有用に適用することができる。

40

【0 0 0 3】

以下、図面を参照し、従来技術に係る有機薄膜トランジスタについて、説明する。図 1 ~ 図 4 は、従来技術に係る有機薄膜トランジスタ及びその製造方法を示す断面図である。

【0 0 0 4】

まず、図 1 で示されるように、基板 1 1 上に、第 1 導電膜を蒸着してパターニングし、ゲート電極 1 2 を形成する。次いで、図 2 で示されるように、ゲート電極 1 2 を覆うように基板 1 1 上にゲート絶縁膜 1 3 を形成する。次ぎに、図 3 で示されるように、ゲート絶

50

縁膜13上に第2導電膜を蒸着してパターニングし、ソース／ドレイン電極14を形成する。その後、図4で示されるように、有機半導体膜15を形成する。

【0005】

このような従来の有機薄膜トランジスタ10において、ソース／ドレイン電極14は、ゲート電極12と一部重畠される部分16を有するようになる。このように、2電極12、14間で生じる重畠部分16は、寄生抵抗と寄生容量を誘発し、これにより、有機薄膜トランジスタ10の電気的特性が低下される問題が発生している。

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

そこで、本発明の目的は、有機薄膜トランジスタにおいて、ソース／ドレイン電極とゲート電極と間に重畠される部分が発生しないようにし、電気的特性を向上させることにある。

【0007】

本発明の他の目的は、有機薄膜トランジスタの製造工程を単純化することにある。

【課題を解決するための手段】

【0008】

20

このような目的を達成するために、本発明は、ゲート電極をマスクとして背面露光を遂行し、導電膜を直接パターニングすることで、自己整合ソース／ドレイン電極を形成する自己整合型有機薄膜トランジスタ及びその製造方法を提供する。さらに、本発明はリール・トウ・リール工程を利用する自己整合型有機薄膜トランジスタの製造方法を提供する。

【0009】

本発明に係る自己整合型有機薄膜トランジスタは、基板と、該基板上にパターニングされ、形成されたゲート電極と、上記基板と上記ゲート電極とを覆うゲート絶縁膜と、上記ゲート電極と自己整合され、上記ゲート電極と重畠しないように上記ゲート絶縁膜上に形成されるソース／ドレイン電極と、上記ソース／ドレイン電極の間及び上部に形成される有機半導体膜とを含んで構成される。

【0010】

30

本発明の自己整合型有機薄膜トランジスタにおいて、上記ゲート絶縁膜は、紫外線透過が可能な絶縁性物質からなっていてもよく、上記ソース／ドレイン電極は、紫外線硬化が可能な導電性物質からなっていてもよい。

【0011】

40

一方、本発明に係る自己整合型有機薄膜トランジスタの製造方法は、基板を提供するステップと、上記基板上にパターニングされた第1導電膜としてゲート電極を形成するステップと、上記ゲート電極を覆うように上記基板上にゲート絶縁膜を形成するステップと、上記ゲート絶縁膜上に第2導電膜を形成するステップと、上記基板の下部側で上記ゲート電極をマスクとして用いて上記第2導電膜に紫外線を照射する紫外線背面露光を遂行するステップと、上記第2導電膜を現像することで、上記ゲート電極と自己整合され、上記ゲート電極と重畠しないソース／ドレイン電極を形成するステップと、上記ソース／ドレイン電極の間及び上部に有機半導体膜を形成するステップとを含んで構成される。

【0012】

本発明の自己整合型有機薄膜トランジスタの製造方法において、上記ゲート電極形成ステップは、上記基板にシャドーマスクを覆い、上記第1導電膜を熱蒸着するステップであってもよい。また、上記ゲート電極形成ステップは、熱蒸着、電子ビーム蒸着、スパッタリング、マイクロコンタクトプリント、ナノインプリントのいずれか一つの工程を用いて、上記基板に上記第1導電膜を形成するステップを含むことができる。

【0013】

50

上記ゲート絶縁膜形成ステップは、スピンドルコートまたはラミネート方法を用いて遂行され得る。上記ゲート絶縁膜は、紫外線透過が可能な絶縁性物質からなることが好ましく、特に、ポリ-4-ビニルフェノール、ポリイミド、ポリビニルアルコール、ポリスチレン

、無機物／有機物の混成絶縁物のいずれか一つからなっていてもよい。

【0014】

上記第2導電膜形成ステップは、スクリーン印刷、スプレー印刷、インクジェット印刷、グラビア印刷、オフセット、リバースオフセット、グラビア・オフセット、フレキソのいずれか一つの方法を用いて遂行され得る。上記第2導電膜は、紫外線硬化が可能な導電性物質からなることが好ましく、特に、導電性物質が粉末状態で紫外線硬化樹脂に分散されているペースト状またはインク状であってもよい。

【0015】

上記有機半導体膜形成ステップは、熱蒸着またはインクジェット印刷方法を用いて遂行され得る。このとき、上記有機半導体膜は、ペンタセン、テトラセン、アントラセン、T ips - ペンタセン [6 , 13 - ビス (トリイソプロピルシリルエチニル) ペンタセン] 、P 3 H T [ポリ (3 - ヘキシルチオフェン)] 、F 8 T 2 [ポリ (9 , 9 - ジオクチルフルオレン - c o - ビチオフェン)] 、P Q T - 1 2 [ポリ (3 , 3 ' , ' - ジドデシルクオーター - チオフェン)] 、P B T T T [ポリ (2 , 5 - ビス (3 - テトラデシルチオフェン - 2 - イル) チエノ [3 , 2 - b] チオフェン)] のいずれか一つで形成されることが好ましい。

10

【0016】

上記基板は、プラスチックまたはガラスからなっていてもよい。

【0017】

一方、上記基板は、リール形態で提供され得る。この場合、上記ゲート電極形成ステップ、上記ゲート絶縁膜形成ステップ、上記第2導電膜形成ステップ、上記紫外線背面露光ステップ、上記ソース／ドレイン電極形成ステップ、上記有機半導体膜形成ステップ中の少なくとも2ステップは、上記リール形態の基板が連続的に移送される状態で、連続して進行され得る。

20

【発明の効果】

【0018】

本発明に係る有機薄膜トランジスタは、ソース／ドレイン電極がゲート電極と自己整合され、形成されることで、互いに重畳しない構造を有する。これに伴い、有機薄膜トランジスタの電気的特性が向上される。

30

【0019】

特に、本発明の有機薄膜トランジスタにおいて、ゲート絶縁膜は紫外線透過が可能な絶縁性物質からなり、ソース／ドレイン電極用第2導電膜は紫外線硬化が可能な導電性物質からなるので、ゲート電極をマスクとして用いて、紫外線背面露光が可能となり、フォトレジストパターンを利用しなければならない伝統的なパターニング方式の代りに第2導電膜の直接パターニングが可能となる。従って、ゲート電極に自己整合されたソース／ドレイン電極の形成が可能になるだけでなく、その工程が簡単になる。さらに、本発明は、リール・トゥ・リール工程を用いて、有機薄膜トランジスタを製造できるので、全体製造工程を単純化することができる。

【発明を実施するための最良の形態】

【0020】

以下、添付図面を参照して本発明の実施例をより詳細に説明する。

40

実施例を説明するに当たって、本発明が属する技術分野で既に知られており、本発明と直接的に関連のない技術内容については、可能な限り説明を省略する。これは不要な説明を省略することによって、本発明の核心を曇らさずに、明確に伝達するためである。

【0021】

一方、添付図面において、一部の構成要素は誇張されるか、省略されるか、または概略的に図示され、各構成要素のサイズは実際サイズを全的に反映したものではない。添付図面をひっくるめて、同一であるか、又は対応する構成要素には同じ符号を付する。

【0022】

自己整合型有機薄膜トランジスタの構造

50

図5は、本発明の実施例に係る自己整合型有機薄膜トランジスタの構造を示す断面図である。

【0023】

図5に示されるように、有機薄膜トランジスタ20は、基板21上にパターニングされ、形成されたゲート電極22と、基板21及びゲート電極22を覆うゲート絶縁膜23と、ゲート電極22と自己整合されてゲート絶縁膜23上に形成されるソース／ドレイン電極25と、ソース／ドレイン電極25の間及び上部に形成される有機半導体膜26とを含む。

【0024】

このような有機薄膜トランジスタ20の構造において、特にソース／ドレイン電極25は、ゲート電極22と自己整合されて形成されるので、重畠される部分が発生しない。従って、従来のような重畠部分(図4の16)で寄生抵抗と寄生容量が発生する問題を防止でき、有機薄膜トランジスタ20の電気的特性を向上することができる。

10

【0025】

以下、有機薄膜トランジスタの製造方法について説明する。以下の説明から、前述した有機薄膜トランジスタの構造は更に明瞭になるはずである。

【0026】

自己整合型有機薄膜トランジスタの製造方法

図6は、本発明の実施例に係る自己整合型有機薄膜トランジスタの製造方法を示すフローチャートであり、図7～図12は、図6に図示された製造方法の各工程ステップを示す断面図である。

20

【0027】

まず、図6と図7で示されるように、基板21を準備する(ステップS1)。基板21はガラス基板またはプラスチック基板である。プラスチック基板の素材にはポリイミド、ポリエチレンナフタレート(PEN)、ポリエチレンテレフタラート(PET)などの高分子化合物が使用可能である。

【0028】

次いで、基板21上に、ゲート電極22を形成する(ステップS2)。ゲート電極22は、基板21上に第1導電膜を蒸着し、パターニングする方法を用いて形成するか、パターニングされたマスクで基板21を覆い、第1導電膜を蒸着する方法を用いて形成することができます。例えば、後者の方法に従って、基板21にシャドーマスクを覆い、熱蒸着工程を遂行する。この場合、例えば、1/sの蒸着速度で400の膜厚まで第1導電膜を蒸着することができる。一方、前者の場合には、よく知られた光リソグラフィー技術を用いて第1導電膜のパターニング工程を遂行することができる。

30

【0029】

このステップ(S2)で、第1導電膜の形成方法としては、熱蒸着の外にも電子ビーム蒸着、スパッタリング、マイクロコンタクトプリント、ナノインプリントなどを利用することができる。ゲート電極は、アルミニウム(A1)、クロム(Cr)、モリブデン(Mo)、銅(Cu)、チタニウム(Ti)、タンタル(Ta)などの各種金属素材からなることが一般的であるが、導電性のある非金属素材からなっていてもよい。

40

【0030】

ゲート電極22を形成した後、図6と図8で示されるように、ゲート電極22を覆うように基板21上にゲート絶縁膜23を形成する(ステップS3)。ゲート絶縁膜23はスピニコートやラミネートのような方法を用いて形成する。一例として、スピニコート工程の場合、1,000 rpmで回転チャックを回転させながら、25mm注入器(syringe)で、30秒間絶縁物を塗布する。このようにして、約5,500の膜厚でゲート絶縁膜23を形成することができる。スピニコートによって塗布した後に、100のオープンで10分間または200のオープンで5分間、ベーキング工程を遂行することができる。

【0031】

50

ゲート絶縁膜23の素材は、紫外線透過が可能な絶縁性物質が使用される。例えば、ポリ-4-ビニルフェノール(PVP)、ポリイミド、ポリビニルアルコール(PVA)、ポリスチレン(PS)などの物質が使用可能であり、酸化アルミニウム/ポリスチレン(A₁₂O₃/PS)のような無機物/有機物の混成絶縁物も使用可能である。

【0032】

例えば、スピンドルコート工程を用いて、PVPでゲート絶縁膜23を形成する場合、PVPは溶媒に架橋剤と共に混合され塗布される。このとき、溶媒には、プロピレングリコールモノメチルエーテルアセテート(PGMEA)、架橋剤には、CLLとして知られたポリメラミン-co-ホルムアルデヒドが、それぞれ使用されていても良く、例えばPGMEAとPVPとCLLの重量比は100:10:5である。

10

【0033】

続いて、図6と図9で示されるように、ゲート絶縁膜23上に、第2導電膜24を形成する(ステップS4)。第2導電膜24は、以降の工程でソース/ドレイン電極にパターニングされる膜であり、ゲート電極22の上部側にゲート電極22と重畳されるように形成する。第2導電膜24の形成方法には、スクリーン印刷、インクジェット印刷、オフセット、リバースオフセット、グラビア-オフセットまたはフレキソ中のいずれか一つの方法が使用され得る。

【0034】

第2導電膜24の素材は、紫外線硬化が可能な導電性物質(UV-curable conductive material)である。この物質は銀(Ag)、金(Au)、亜鉛(Zn)、銅(Cu)、カーボンナノチューブ、導電性ポリマーなどの導電性物質が粉末状態で紫外線硬化樹脂に分散されているペースト状またはインク状であってもよい。紫外線硬化樹脂は、紫外線エネルギーに反応する光開始剤を含有している。

20

【0035】

次に、図6と図10で示されるように、紫外線背面露光を遂行する(ステップS5)。即ち、基板20の下部側よりゲート電極22をマスクとして用いて第2導電膜に紫外線を照射する。例えば、紫外線の照射強度は7mW/cm²であり、照射時間は60分である。第2導電膜のうち、ゲート電極22により紫外線が遮られた部分24aは物性がそのまま保持されるが、ゲート電極22により遮られない部分24bは紫外線によって硬化されながら物性が変わる。第2導電膜は、以降の現像工程で現像液により除去されるが、紫外線により物性が変わった部分24bは現像液によっても除去されない。

30

【0036】

これについて、更に具体的に説明すれば、紫外線エネルギーが紫外線硬化樹脂に含まれていた光開始剤と反応して遊離基を形成し、遊離基は樹脂内のモノマーまたはオリゴマーと反応して瞬間的に重合体であるポリマーが生成される。モノマーとオリゴマーは、正常状態(1気圧、25℃)では液体であるが、この液体が強い紫外線エネルギーを受けると、重合反応が引き起こされ、ポリマーになりながら、外形上固体となる。即ち、硬化反応を引き起こす。

【0037】

紫外線背面露光後、図6と図11で示されるように、第2導電膜を現像してソース/ドレイン電極25を形成する(ステップS6)。現像液は、例えば、イソプロピルアルコール(IPA)を使用する。現像工程の一例として、IPA溶液に2~3分間浸し、流れるIPA溶液で洗浄した後、流れる脱イオン水で洗浄し、120℃の温度で、5分間、ベーキングする。

40

【0038】

このように、ソース/ドレイン電極25は、ゲート電極22をマスクとして露光された第2導電膜24から形成されるので、自己整合によりゲート電極22と重畳しない構造を有する。従って、寄生抵抗と寄生容量を除去することができ、電気的特性を向上することができる。しかも、フォトレジストパターンを用いて導電膜をエッチングする伝統的なパターニング方式の代りに、第2導電膜24を直接パターニングすることが可能となるので

50

、その工程が非常に簡単になる。

【0039】

次いで、図6と図12で示されるように、ソース／ドレイン電極25の間及び上部に有機半導体膜26を形成する（ステップS7）。有機半導体膜26は熱蒸着またはインクジェット印刷方法により形成されることが好ましい。このとき、有機半導体膜26は、ペンタセン、テトラセン、アントラセン、T ips-ペンタセン[6,13-ビス(トリイソプロピルシリルエチル)ペンタセン]のような低分子有機半導体またはP3HT[ポリ(3-ヘキシルチオフェン)]、F8T2[ポリ(9,9-ジオクチルフルオレン-co-ビチオフェン)]、PQT-12[ポリ(3,3'-ジドデシルクオーター-チオフェン)]、PBTTT[ポリ(2,5-ビス(3-テトラデシルチオフェン-2-イル)チエノ[3,2-b]チオフェン]]のような高分子有機半導体中のいずれか一つで形成されることが好ましい。
10

【0040】

一方、以上で説明した自己整合型有機薄膜トランジスタの製造方法は、リール・トウ・リール(reel-to-reel)工程を利用することができる。図13は、図6に図示された製造方法のリール・トウ・リール工程を例示した斜視図である。

【0041】

図13に示されるように、基板21は、リール形態で提供され、全ての工程（少なくとも二以上の工程）は、リール形態の基板21が連続的に移送される状態で連続して進行される。基板21は、第1移送ローラー31に巻かれたまま、提供され、一連の製造工程を経た後、第2移送ローラー32に再び巻かれる。
20

【0042】

ゲート電極22の蒸着工程は、前述した工程中で、例えば、マイクロコンタクトプリントやナノインプリントを利用することができます、ゲート絶縁膜23の形成工程はラミネートを利用することができます。符号‘33’は、絶縁膜をリール形態で提供する第3移送ローラーを表し、符号‘34’は、ラミネート工程を遂行する一対の圧縮ローラーを表す。

【0043】

ソース／ドレイン電極25として使用される第2導電膜24は、スクリーン印刷工程で形成され、符号‘35’は、このときに使われるスクリーン印刷マスクとスクイーザーを表す。紫外線背面露光及び現像工程を経て、ソース／ドレイン電極25が形成されれば、例えば、ディスペンス工程で有機半導体膜26を形成する。符号‘36’は、このときに使われるディスペンサーを表す。
30

【0044】

図13のリール・トウ・リール工程は説明のために例示したものに過ぎなく、主要工程を概略的に示しただけであり、本発明はこれに限定されない。さらに、今まで説明した実施例とそれに使われた用語は、単に、本発明の技術内容を容易に説明し、発明の理解を助けるため的一般的な意味で使用されたものあって、本発明の範囲を限定しようとするものではない。ここに開示された実施例の他にも本発明の技術的思想に基づいた別の変形例などが実施可能であるということは本発明が属する技術分野における通常の知識を有する者は自明である。
40

【産業上の利用可能性】

【0045】

本発明に係る有機薄膜トランジスタは、ソース／ドレイン電極がゲート電極と自己整合され、形成されることによって互いに重畠しない構造を有する。これにより、有機薄膜トランジスタの電気的特性が向上される。

【0046】

特に、本発明の有機薄膜トランジスタで、ゲート絶縁膜は紫外線透過が可能な絶縁性物質かなら、ソース／ドレイン電極用第2導電膜は紫外線硬化が可能な導電性物質から、それぞれ、なっているので、ゲート電極をマスクとして用いて紫外線背面露光が可能となり、フォトレジストパターンを利用しなければならない伝統的なパターニング方式の代りに
50

、第2導電膜の直接パターニングが可能となる。従って、ゲート電極に自己整合されたソース／ドレイン電極の形成が可能であるだけでなく、その工程が簡単になる。しかも、本発明はリール・トゥ・リール工程を用いて有機薄膜トランジスタを製造することができる
ので、全体製造工程を単純化することができる。

【図面の簡単な説明】

【0047】

【図1】図1～図4は、従来技術に係る有機薄膜トランジスタ及びその製造方法を示す断面図である。

【図2】図1～図4は、従来技術に係る有機薄膜トランジスタ及びその製造方法を示す断面図である。
10

【図3】図1～図4は、従来技術に係る有機薄膜トランジスタ及びその製造方法を示す断面図である。

【図4】図1～図4は、従来技術に係る有機薄膜トランジスタ及びその製造方法を示す断面図である。

【図5】図5は、本発明の実施例に係る自己整合型有機薄膜トランジスタの構造を示す断面図である。

【図6】図6は、本発明の実施例に係る自己整合型有機薄膜トランジスタの製造方法を示すフローチャートである。

【図7】図7～図12は、図6に図示された製造方法の各工程ステップを示す断面図である。

【図8】図7～図12は、図6に図示された製造方法の各工程ステップを示す断面図である。

【図9】図7～図12は、図6に図示された製造方法の各工程ステップを示す断面図である。

【図10】図7～図12は、図6に図示された製造方法の各工程ステップを示す断面図である。
20

【図11】図7～図12は、図6に図示された製造方法の各工程ステップを示す断面図である。

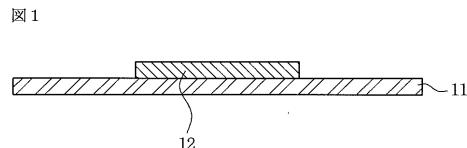
。

【図12】図7～図12は、図6に図示された製造方法の各工程ステップを示す断面図である。

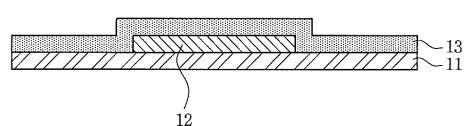
。

【図13】図13は、図12に図示された製造方法のリール・トゥ・リール工程を例示した斜視図である。

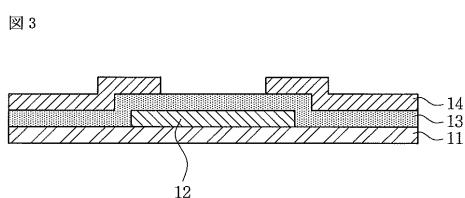
【図1】



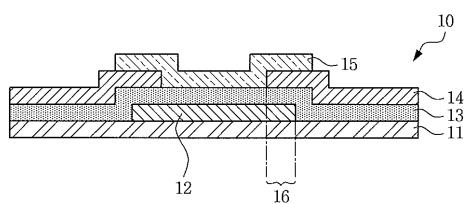
【図2】



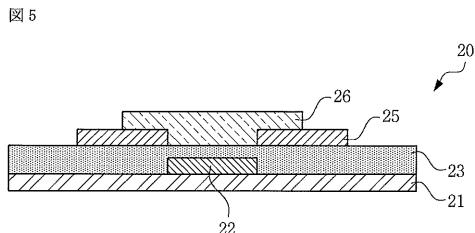
【図3】



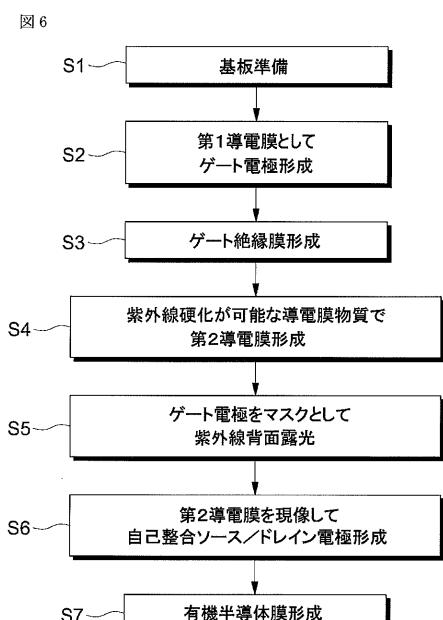
【図4】



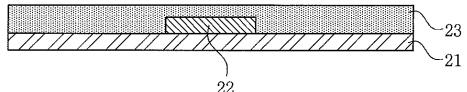
【図5】



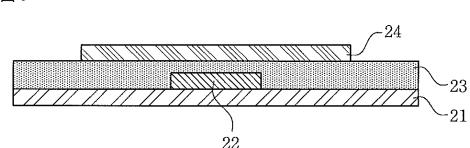
【図6】



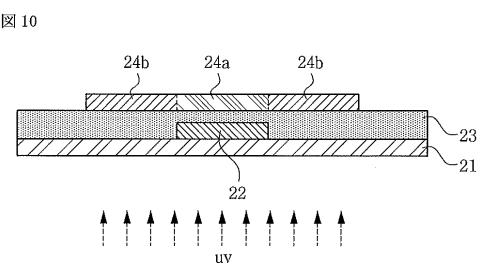
【図8】



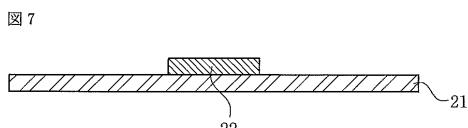
【図9】



【図10】

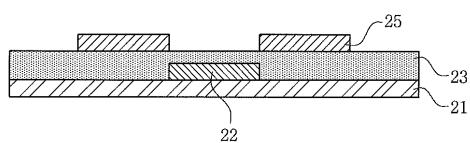


【図7】



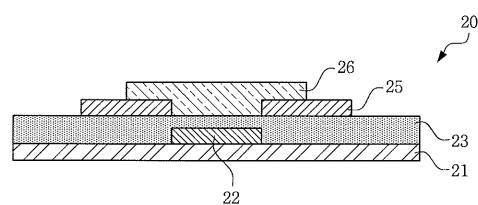
【図 1 1】

図11



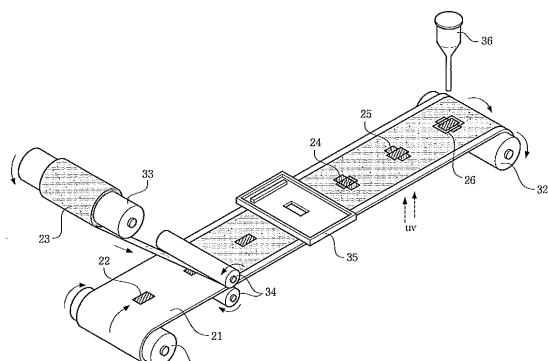
【図 1 2】

図12



【図 1 3】

図13



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/KR2008/003019
A. CLASSIFICATION OF SUBJECT MATTER		
H01L 29/786(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 8 H01L, G02F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean Utility models and applications for Utility models since 1975 Japanese Utility models and applications for Utility models since 1975		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKIPASS (KIPO internal) & keyword : "TFT, thin film transistor", "organic", "self-aligned"		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2005-51199 A (SEIKO EPSON CORP.) 24 February 2005 See Claim 1 and Figure 1.	1 2-16
A	US 5010027 A (GEORGE E. POSSIN et al.) 23 April 1991 See Figures 2A-2B and Column 5, Line 18 - Column 5, Line 44.	1-16
A	US 6335539 B1 (CHRISTOS DIMITRIOS DIMITRAKOPoulos et al.) 1 January 2002 See Abstract and Figure 1.	1-16
A	US 7125742 B2 (CHENG CHUNG HSIEH et al.) 24 October 2006 See Claim 1 and Figures 1A-1D.	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>		
Date of the actual completion of the international search 23 SEPTEMBER 2008 (23.09.2008)	Date of mailing of the international search report 23 SEPTEMBER 2008 (23.09.2008)	
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 139 Seonsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer LEE, CHUNG KEUN Telephone No. 82-42-481-5728 	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/KR2008/003019

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 2005-051199 A	24.02.2005	CN 1702877 A KR 2005-0010494 A TW 284927 A US 2005-029514 AA US 2007-099333 AA	30.11.2005 27.01.2005 01.08.2007 10.02.2005 03.05.2007
US 5010027 A	23.04.1991	None	
US 6335539 B1	01.01.2002	US 2002-045289 A1 US 6569707 BB	18.04.2002 27.05.2003
US 7125742 B2	24.10.2006	US 2005-227407 AA	13.10.2005

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 1 7 T
	H 0 1 L 29/78	6 2 7 B
	H 0 1 L 29/28	1 0 0 A
	H 0 1 L 21/28	D
	H 0 1 L 21/28	3 0 1 B
	H 0 1 L 29/78	6 2 6 C
	H 0 1 L 21/288	Z

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,NO,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,D0,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 リ テクミン

大韓民国 3 0 5 - 3 9 0 デジョン ユソング ジョンミンドン エキスピ・アパート 3 0 1
- 1 1 0 2

(72)発明者 チェ ヒョンチョル

大韓民国 5 3 6 - 9 4 2 ジョルラナムド ヘナムグン ブジルミョン ネドンリ 3 7 3

(72)発明者 キム ドンス

大韓民国 3 0 2 - 2 8 0 デジョン ソグ ウォルピョンドン ヌリ・アパート 1 0 6 - 8 0
2

(72)発明者 チェ ピョンオ

大韓民国 3 0 2 - 7 9 1 デジョン ソグ ウォルピョンドン ヌリ・アパート 1 0 7 - 1 4
0 8

F ターム(参考) 4M104 AA09 AA10 BB02 BB04 BB08 BB09 BB13 BB14 BB16 BB17
BB36 CC01 CC05 DD02 DD51 DD62 DD71 DD73 DD79 DD81
EE03 EE14 EE18 FF02 GG08 HH20
5F110 AA02 AA03 AA16 CC03 DD01 DD02 EE02 EE03 EE04 EE14
EE42 EE43 EE44 FF01 FF27 GG05 GG42 HK01 HK02 HK32
HK42 QQ01 QQ06 QQ09 QQ12