



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I545759 B

(45)公告日：中華民國 105 (2016) 年 08 月 11 日

(21)申請案號：100111805

(22)申請日：中華民國 100 (2011) 年 04 月 06 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2010/04/09 日本

2010-090539

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

CN 101626036A

審查人員：閻濟民

申請專利範圍項數：44 項 圖式數：10 共 82 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

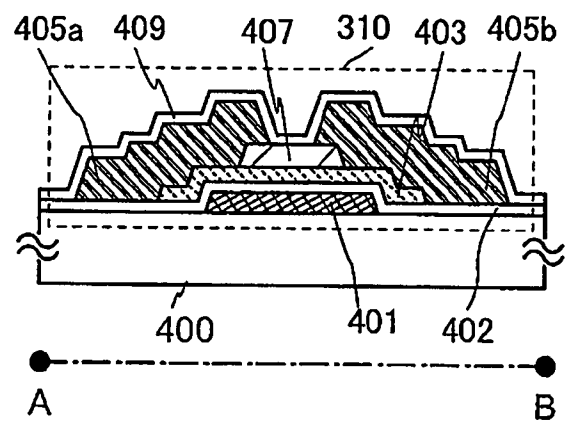
(57)摘要

所公開的發明的目的之一是對使用氧化物半導體的半導體裝置賦予穩定的電特性而高可靠性。所公開的發明提供一種包括氧化物半導體膜的電晶體，其中，在氧化物半導體膜的頂面部層疊有用作通道保護膜的由與氧化物半導體膜同樣種類的成分構成的金屬氧化物膜。此外，用於電晶體的啟動層的氧化物半導體膜藉由利用熱處理從氧化物半導體去除氫、水分、羥基或氫化物等的雜質，且供應在進行雜質的去除製程的同時減少的構成氧化物半導體的主要成分材料的氧，來高純度化且在電性上 i 型(本徵)化。

An object is to provide a semiconductor device using an oxide semiconductor having stable electric characteristics and high reliability. A transistor including the oxide semiconductor film in which a top surface portion of the oxide semiconductor film is provided with a metal oxide film containing a constituent similar to that of the oxide semiconductor film and functioning as a channel protective film is provided. In addition, the oxide semiconductor film used for an active layer of the transistor is an oxide semiconductor film highly purified to be electrically i-type (intrinsic) by heat treatment in which impurities such as hydrogen, moisture, a hydroxyl group, or a hydride are removed from the oxide semiconductor and oxygen which is a major constituent of the oxide semiconductor and is reduced concurrently with a step of removing impurities is supplied.

指定代表圖：

圖 1B



符號簡單說明：

- 310 . . . 電晶體
- 400 . . . 基板
- 401 . . . 閘極電極
- 402 . . . 閘極絕緣膜
- 403 . . . 氧化物半導體膜
- 405a . . . 源極電極
- 405b . . . 汲極電極
- 407 . . . 金屬氧化物膜
- 409 . . . 絕緣膜
- A、B . . . 截面

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100111805

※申請日：100 年 04 月 06 日

※IPC 分類：

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

H01L 29/18 (2006.01)

H01L 29/40 (2006.01)

二、中文發明摘要：

所公開的發明的目的之一是對使用氧化物半導體的半導體裝置賦予穩定的電特性而高可靠性化。所公開的發明提供一種包括氧化物半導體膜的電晶體，其中，在氧化物半導體膜的頂面部層疊有用作通道保護膜的由與氧化物半導體膜同樣種類的成分構成的金屬氧化物膜。此外，用於電晶體的啓動層的氧化物半導體膜藉由利用熱處理從氧化物半導體去除氫、水分、羥基或氫化物等的雜質，且供應在進行雜質的去除製程的同時減少的構成氧化物半導體的主要成分材料的氧，來高純度化且在電性上 i 型（本徵）化。

三、英文發明摘要：

An object is to provide a semiconductor device using an oxide semiconductor having stable electric characteristics and high reliability. A transistor including the oxide semiconductor film in which a top surface portion of the oxide semiconductor film is provided with a metal oxide film containing a constituent similar to that of the oxide semiconductor film and functioning as a channel protective film is provided. In addition, the oxide semiconductor film used for an active layer of the transistor is an oxide semiconductor film highly purified to be electrically i-type (intrinsic) by heat treatment in which impurities such as hydrogen, moisture, a hydroxyl group, or a hydride are removed from the oxide semiconductor and oxygen which is a major constituent of the oxide semiconductor and is reduced concurrently with a step of removing impurities is supplied.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

310：電晶體

400：基板

401：閘極電極

402：閘極絕緣膜

403：氧化物半導體膜

405a：源極電極

405b：汲極電極

407：金屬氧化物膜

409：絕緣膜

A、B：截面

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明

【發明所屬之技術領域】

所公開的發明係關於一種半導體裝置及半導體裝置的製造方法。

注意，在本發明說明中，半導體裝置指的是能夠藉由利用半導體特性而工作的所有裝置，因此電光裝置、半導體電路及電子設備都是半導體裝置。

【先前技術】

近年來，藉由利用形成在具有絕緣表面的基板上的半導體薄膜來構成電晶體的技術受到注目。該電晶體被廣泛地應用於電子裝置諸如積體電路（IC）、影像顯示裝置（顯示裝置）等。作為可以應用於電晶體半導體薄膜，眾所周知矽類半導體材料。但是，作為其他材料，氧化物半導體受到注目。

例如，公開了作為電晶體的啓動層使用電子載子濃度低於 $10^{18}/\text{cm}^3$ 的包含銦（In）、鎵（Ga）及鋅（Zn）的非晶氧化物的電晶體（參照專利文獻 1）。

雖然使用氧化物半導體的電晶體的工作速度比使用非晶矽的電晶體的工作速度快，且與使用多晶矽的電晶體相比更容易製造使用氧化物半導體的電晶體，但是，已知使用氧化物半導體的電晶體具有電特性容易變動而導致其可靠性低的問題。例如，在光 BT 測試的前後，電晶體的臨界值電壓變動。針對於此，在專利文獻 2 及專利文獻 3 中

公開了一種技術，其中爲了抑制使用氧化物半導體的電晶體的臨界值電壓移動，利用設置在氧化物半導體層的上部面及下部面中的至少一個面的介面穩定化層來防止產生在氧化物半導體層的介面的電荷俘獲。

[專利文獻 1]日本專利申請公開第 2006-165528 號公報

[專利文獻 2]日本專利申請公開第 2010-16347 號公報

[專利文獻 3]日本專利申請公開第 2010-16348 號公報

但是，由於專利文獻 2 或專利文獻 3 所公開的電晶體將具有與閘極絕緣層及保護層同樣的性質的層用作介面穩定化層，而不能保持啓動層和介面之間的良好狀態，因此難以抑制產生在啓動層和介面穩定化層之間的電荷俘獲。特別是，當介面穩定化層和啓動層具有同等的帶隙時，容易發生電荷的積累。

因此，還不能說使用氧化物半導體的電晶體具有充分的可靠性。

【發明內容】

鑒於上述問題，所公開的發明的目的之一是使使用氧化物半導體的半導體裝置具有穩定的電特性以使其具有可靠性。

所公開的發明的一個實施例的技術思想是：有與氧化物半導體膜接觸的用作氧化物半導體膜的通道保護膜的金屬氧化物膜，並且該金屬氧化物膜由與氧化物半導體膜同

樣種類的成分構成。也就是說，所公開的發明的一個實施例具備層疊有金屬氧化物膜和氧化物半導體膜的結構。在此，“與氧化物半導體膜同樣種類的成分”是指包含選自氧化物半導體膜的構成元素中的一種或多種金屬元素。

藉由具備這種疊層結構，可以充分地抑制因半導體裝置的工作等而會產生的電荷等被俘獲到上述絕緣膜和氧化物半導體膜之間的介面。因如下機構而獲得該效果：藉由使由與氧化物半導體膜搭配的材料構成的金屬氧化物膜具有與氧化物半導體膜接觸的方式，可以抑制因半導體裝置的工作等而會產生的電荷等被俘獲到氧化物半導體膜和金屬氧化物膜之間的介面。

而且，可以抑制在氧化物半導體膜的介面產生的電荷俘獲的上述效果引起半導體裝置的工作故障的抑制，而能夠提高半導體裝置的可靠性。

再者，最好採用在該疊層結構中的金屬氧化物膜上與其接觸地設置包含與金屬氧化物膜及氧化物半導體膜不同的成分的絕緣膜的結構。也就是說，所公開的發明的一個實施例具備層疊有氧化物半導體膜、金屬氧化物膜及絕緣膜的結構。

像這樣，藉由使由能夠在介面形成電荷的俘獲中心的材料構成的絕緣膜採用與金屬氧化物膜接觸的方式，與氧化物半導體膜和金屬氧化物膜之間的介面相比，可以優先地使金屬氧化物膜和絕緣膜之間的介面俘獲上述電荷。換言之，藉由設置採用與金屬氧化物膜接觸的方式的絕緣

膜，優先在金屬氧化物膜和絕緣膜之間的介面俘獲電荷，從而可以更有效地抑制在氧化物半導體膜和金屬氧化物膜之間的介面產生的電荷俘獲。

而且，因為能夠抑制氧化物半導體膜的介面的電荷俘獲，且使電荷的俘獲中心遠離氧化物半導體膜的上述效果，可以抑制半導體裝置的工作故障，並提高半導體裝置的可靠性。

注意，根據上述機構，金屬氧化物膜較佳具有充分的厚度。其原因是：當金屬氧化物膜薄時，有時被俘獲到金屬氧化物膜和絕緣膜之間的介面的電荷的影響增大。例如，較佳使金屬氧化物膜厚於氧化物半導體膜。

此外，由於以不阻礙源極電極及汲極電極和氧化物半導體膜之間的連接的方式形成具有絕緣性的金屬氧化物膜，因此與在源極電極或汲極電極和氧化物半導體膜之間存在金屬氧化物膜的情況相比，可以防止電阻的增大。因此，可以抑制電晶體的電特性的降低。

另外，當在薄膜形成製程中，因氧過剩或氧不足等而發生化學計量組成的偏差或形成電子給體的氫、水分的混入等時，氧化物半導體的導電率發生變化。對於使用氧化物半導體的電晶體，這種現象成為電特性變動的主要原因。因此，藉由意圖性地從氧化物半導體中去除氫、水分、羥基或氫化物（也稱為氫化合物）等的雜質，並且供應在雜質的去除製程的同時減少的作為構成氧化物半導體的主要成分材料的氧，使氧化物半導體膜高純度化且在電

性上 i 型（本徵）化。

i 型（本徵）的氧化物半導體是指一種氧化物半導體，其中藉由以從氧化物半導體去除 n 型雜質的氫，並儘量不包含氧化物半導體的主要成分之外的雜質的方式進行高純度化，實現 i 型（本徵）的氧化物半導體或無限趨近於 i 型（本徵）的氧化物半導體。

此外，在使氧化物半導體膜 i 型化的製程中，也可以在同時使由與氧化物半導體膜同樣種類的成分構成的金屬氧化物膜 i 型化。在所公開的發明的一個實施例中，設置在氧化物半導體膜的上部面及下部面的金屬氧化物膜較佳為其中充分地減少水分、氫等的雜質，並在電性上 i 型化的金屬氧化物膜。

具有高純度化的氧化物半導體膜的電晶體的電特性諸如臨界值電壓、導通電流等幾乎不呈現溫度依賴性。此外，由於光退化引起的電晶體特性的變動也少。

下面，明確地說明本發明的一個實施例。

所公開的發明的一個實施例是一種半導體裝置，包括：閘極電極；覆蓋閘極電極的閘極絕緣膜；閘極絕緣膜上的設置在與閘極電極重疊的區域的氧化物半導體膜；在氧化物半導體膜上與其接觸地設置的金屬氧化物膜；以及設置在金屬氧化物膜上，且與氧化物半導體膜的一部分接觸的源極電極及汲極電極，其中，金屬氧化物膜包含選自氧化物半導體膜的構成元素中的一種或多種金屬元素的氧化物。

另外，在上述結構中，半導體裝置也可以包括覆蓋源極電極及汲極電極，且在金屬氧化物膜上與其接觸地設置的絕緣膜。在上述結構中，也可以在絕緣膜上包括導電膜。

另外，在上述結構中，也可以採用如下結構：金屬氧化物膜的通道長度方向上的寬度比氧化物半導體膜的通道長度方向上的寬度短，且源極電極及汲極電極與氧化物半導體膜的頂面的一部分接觸；氧化物半導體膜的通道長度方向上的側端部和金屬氧化物膜的通道長度方向上的側端部對準；金屬氧化物膜至少覆蓋氧化物半導體膜，以使氧化物半導體膜的一部分露出的方式設置開口，且源極電極及汲極電極藉由開口與氧化物半導體膜接觸；或者包括在閘極絕緣膜上與其接觸地設置，且與氧化物半導體膜的底面接觸的第二金屬氧化物膜。此外，在上述結構中，金屬氧化物膜較佳用作通道保護膜。

另外，在上述結構中，也可以採用包括在金屬氧化物膜上與其接觸地設置，且其頂面的一部分與源極電極及汲極電極接觸的保護絕緣膜的結構。此外，在此，保護絕緣膜用作當進行源極電極及汲極電極的蝕刻時保護氧化物半導體膜的通道形成區的膜。

在上述結構中，金屬氧化物膜的能隙較佳比氧化物半導體膜的能隙大。此外，金屬氧化物膜的導電帶底部上的能量較佳比氧化物半導體膜的導電帶底部上的能量高。

此外，在上述結構中，金屬氧化物膜有時包含氧化

錄。

此外，在上述結構中，閘極絕緣膜也可以包含氧化矽或氧化鉛。

注意，在上述半導體裝置中，可以將由用作通道保護膜的金屬氧化物膜的通道長度方向上的寬度而決定的電晶體的通道長度 L 設定為 10nm 以上且 $10\mu\text{m}$ 以下，例如設定為 $0.1\mu\text{m}$ 至 $0.5\mu\text{m}$ 。當然，通道長度 L 也可以為 $1\mu\text{m}$ 以上。此外，也可以將通道寬度 W 設定為 10nm 以上。

根據本發明的一個實施例可以製造具有穩定的電特性的電晶體。

此外，根據本發明的一個實施例可以製造具有電特性優良且可靠性高的電晶體的半導體裝置。

【實施方式】

下面，關於本發明的實施方式參照附圖給予詳細的說明。但是，本發明不侷限於下述說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是其方式和詳細內容可以被變換為各種各樣的形式。另外，本發明不應該被解釋為僅限於以下所示的實施方式的記載內容。

注意，為方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。此外，其在本發明說明中不表示用來特定發明的事項的固有名稱。

[實施例 1]

在本實施例中，參照圖 1A 至圖 5C 說明半導體裝置及半導體裝置的製造方法的一個實施例。

〈半導體裝置的結構例〉

在圖 1A 至 1C 中，作為半導體裝置的例子示出底閘型結構中之一的通道保護型（也稱為通道停止型）電晶體的截面圖及平面圖。圖 1A 是平面圖，圖 1B 及 1C 是沿著圖 1A 中的 A-B 截面及 C-D 截面的截面圖。注意，在圖 1A 中，為了簡潔省略電晶體 310 的構成要素的一部分（例如，閘極絕緣膜 402 等）。

圖 1A 所示的電晶體 310 在具有絕緣表面的基板 400 上包括：閘極電極 401；覆蓋閘極電極 401 的閘極絕緣膜 402；閘極絕緣膜 402 上的設置在與閘極電極 401 重疊的區域的氧化物半導體膜 403；在氧化物半導體膜 403 上與其接觸地設置的金屬氧化物膜 407；以及設置在金屬氧化物膜 407 上且與氧化物半導體膜 403 的一部分接觸的源極電極 405a 及汲極電極 405b。在圖 1A 所示的電晶體 310 中，金屬氧化物膜 407 用作通道保護膜。此外，電晶體 310 較佳以覆蓋源極電極 405a 及汲極電極 405b，且在金屬氧化物膜 407 上與其接觸的方式還設置絕緣膜 409。

在此，作為金屬氧化物膜 407，較佳使用由與氧化物半導體膜 403 同樣種類的成分構成的氧化物。明確而言，較佳使用包括選自氧化物半導體膜的構成元素中的一種或多種金屬元素的氧化物的膜。其原因是：因為這種材料與

氧化物半導體膜 403 搭配，所以藉由將這種材料用於金屬氧化物膜 407，可以保持與氧化物半導體膜之間的介面的良好狀態。換言之，藉由將上述材料用於金屬氧化物膜 407，可以抑制氧化物半導體膜和與其接觸的金屬氧化物膜的介面（在此，金屬氧化物膜 407 和氧化物半導體膜 403 之間的介面）的電荷俘獲。

另外，因為將氧化物半導體膜 403 用作啓動層，所以金屬氧化物膜 407 的能隙需要比氧化物半導體膜 403 的能隙大。此外，在金屬氧化物膜 407 和氧化物半導體膜 403 之間，需要形成至少在室溫（ 20°C ）下不使載子從氧化物半導體膜 403 流出的程度的能壘。例如，較佳金屬氧化物膜 407 的導電帶底部上和氧化物半導體膜 403 的導電帶底部上之間的能量差、或者氧化物半導體膜 403 的價電子帶的上端部和金屬氧化物膜 407 的價電子帶的上端部之間的能量差為 0.5eV 以上，更佳為 0.7eV 以上。此外，還較佳為 1.5eV 以下。

明確而言，例如當將 In-Ga-Zn-O 類材料用於氧化物半導體膜 403 時，使用包含氧化鎵的材料等形成金屬氧化物膜 407，即可。另外，使氧化鎵和 In-Ga-Zn-O 類材料彼此接觸時的能壘在傳導帶一側大致為 0.8eV ，在價電子帶一側大致為 0.9eV 。

此外，氧化鎵也表示為 GaO_x ，且較佳以氧量多於化學計量比的方式設定 x 的值。例如，較佳將 x 的值設定為 1.4 以上且 2.0 以下，更佳將 x 的值設定為 1.5 以上且 1.8

以下。當將氧化鎵膜用作金屬氧化物膜 407 時，氧化鎵膜較佳是充分地減少氫、水等的雜質的膜。但是，藉由使氧化鎵膜中包含氫之外的雜質元素諸如釔等的第 3 族元素、鉛等的第 4 族元素、鋁等的第 13 族元素、矽等的第 14 族元素、氮等，也可以擴大氧化鎵的能隙來提高絕緣性。不包含雜質的氧化鎵膜的能隙為 4.9eV ，但是藉由使氧化鎵膜包含超過 0at.%至 20at.%以下左右的上述雜質，可以將氧化鎵膜的能隙擴大為 6eV 左右。

注意，從減少電荷的發生源或俘獲中心的角度來看，較佳充分地減少金屬氧化物膜中的氫、水等的雜質。這個思想與減少氧化物半導體膜中的雜質的思想共通。

此外，由於在與氧化物半導體膜 403 的通道形成區重疊的區域中，設置有用作通道保護膜的金屬氧化物膜 407，因此可以防止對源極電極 405a 及汲極電極 405b 進行的蝕刻給通道形成區帶來的損傷（例如，進行蝕刻時的電漿或蝕刻劑所帶來的損傷）。由此，可以提供具有穩定的電特性的使用氧化物半導體的半導體裝置。

此外，如圖 1B 所示，藉由使金屬氧化物膜 407 的通道長度方向上的寬度短於氧化物半導體膜 403 的通道長度方向上的寬度，源極電極 405a 及汲極電極 405b 與氧化物半導體膜 403 的頂面的一部分接觸。也就是說，藉由縮短金屬氧化物膜 407 的通道長度方向上的寬度，可以縮短電晶體 310 的通道長度，並實現電晶體的高速化及低功耗化。

此外，因為在電晶體 310 中，與不設置有金屬氧化物膜 407 的所謂的通道蝕刻型電晶體相比，減少源極電極 405a 及汲極電極 405b 和氧化物半導體膜 403 之間的接觸面積，所以源極電極 405a 及汲極電極 405b 和氧化物半導體膜 403 之間的介面近旁成為高電阻的區域。由此，可以緩和在電晶體 310 中電場的集中，從而當使電晶體 310 微細化時也可以抑制短通道效應。

此外，當在金屬氧化物膜 407 上與其接觸地設置絕緣膜 409 時，作為絕緣膜 409，較佳使用藉由與金屬氧化物膜 407 接觸，能夠在其介面形成電荷的俘獲中心的材料。藉由將這種材料用於絕緣膜 409，電荷優先被俘獲到絕緣膜 409 和金屬氧化物膜 407 之間的介面，從而可以更有效地抑制在金屬氧化物膜 407 和氧化物半導體膜 403 之間的介面產生的電荷俘獲。但是，由於當在絕緣膜 409 和金屬氧化物膜 407 之間的介面形成大量的電荷的俘獲中心時，可能會導致電晶體特性的惡化，因此，可以說，其俘獲電荷的程度較佳是與氧化物半導體膜 403 和金屬氧化物膜 407 之間的介面相比，稍微容易形成電荷的俘獲中心的程度。

明確而言，作為絕緣膜 409，使用氧化矽、氮化矽、氧化鋁、氮化鋁、這些的混合材料等的單層或疊層，即可。例如，當將包含氧化鎵的材料用於金屬氧化物膜 407 時，作為絕緣膜 409，較佳使用氧化矽或氮化矽等。此外，因為與金屬氧化物膜 407 接觸，所以絕緣膜 409 的能

隙較佳比金屬氧化物膜 407 的能隙大。

注意，如果可以在絕緣膜 409 和金屬氧化物膜 407 之間的介面可以形成電荷的俘獲中心，則絕緣膜 409 的材料不必侷限於上述材料。此外，也可以對絕緣膜 409 和金屬氧化物膜 407 之間的介面進行形成電荷的俘獲中心的處理。作為這種處理，例如有電漿處理或元素的添加處理（離子植入等）。

此外，在電晶體 310 中，金屬氧化物膜 407 形成為島狀，但是金屬氧化物膜 407 不一定必須要形成為島狀。也可以使氧化物半導體膜 403 的通道長度方向上的側端部和金屬氧化物膜 407 的通道長度方向上的側端部對準。當形成絕緣膜 409 時，在氧化物半導體膜 403 的上方，還可以具有第二閘極電極。在此情況下，也可以不設置閘極電極 401 而形成頂閘型電晶體。也可以在閘極絕緣膜 402 上具有與其接觸的第二金屬氧化物膜。也可以以使氧化物半導體膜 403 的通道長度方向上的寬度窄於閘極電極 401 的通道長度方向上的寬度的方式對氧化物半導體膜 403 進行圖案形成。在電晶體 310 上還可以設置有絕緣膜。也可以在閘極絕緣膜 402、金屬氧化物膜 407、絕緣膜 409 等中形成有開口，以使源極電極 405a 及汲極電極 405b 和佈線電連接。另外，較佳將氧化物半導體膜 403 加工為島狀，但是也可以不加工為島狀。

圖 2 是示出上述電晶體 310，即從閘極電極 GE 一側接合絕緣膜、氧化物半導體膜、金屬氧化物膜和絕緣膜的

結構的能帶圖（模式圖），並且 E_F 表示氧化物半導體膜的費米能級。在圖 2 中假定絕緣膜、金屬氧化物膜、氧化物半導體膜的理想狀態都為本徵膜，並示出將氧化矽（ SiO_x ）（帶隙 E_g 為 8eV 至 9eV ）用作絕緣膜，將氧化鎵（ GaO_x ）（帶隙 E_g 為 4.9eV ）用作金屬氧化物膜，並將 In-Ga-Zn-O 類非單晶膜（帶隙 E_g 為 3.15eV ）用作氧化物半導體膜（OS）的情況。另外，氧化矽的真空能級和導電帶底部上之間的能量差為 0.95eV ，氧化鎵的真空能級和導電帶底部上之間的能量差為 3.5eV ， In-Ga-Zn-O 類非單晶膜的真空能級和導電帶底部上之間的能量差為 4.3eV 。

如圖 2 所示，在氧化物半導體膜的閘極電極一側（通道一側）的氧化物半導體膜和絕緣膜之間的介面有大約 3.35eV 及大約 2.5eV 的能壘。同樣地，在氧化物半導體膜的與閘極電極 GE 相反一側（背通道一側）的氧化物半導體膜和金屬氧化物膜之間的介面也有大約 0.8eV 及大約 0.95eV 的能壘。因在氧化物半導體膜和絕緣膜之間的介面及氧化物半導體膜和金屬氧化物之間的介面有這種能壘阻礙載子在氧化物半導體膜和絕緣膜之間的介面及氧化物半導體膜和金屬氧化物膜之間的介面移動，所以載子不從氧化物半導體中移動到絕緣膜中或從氧化物半導體膜中或金屬氧化物中，而在氧化物半導體膜中移動。換言之，藉由將氧化物半導體膜夾在其帶隙比氧化物半導體的帶隙大的材料（在此，金屬氧化物膜及絕緣膜）之間，載子在氧

化物半導體膜 OS 中移動。

圖 3A 至 3C 以及圖 4A 至 4H 示出與圖 1A 至 1C 不同的電晶體的結構例。

圖 3A 至 3C 示出金屬氧化物膜 407 覆蓋氧化物半導體膜 403 的結構的電晶體的截面圖及平面圖。在此，圖 3A 是平面圖，圖 3B 及 3C 是沿著圖 3A 中的 A-B 截面及 C-D 截面的截面圖。此外，在圖 3A 中，爲了避免成爲複雜，而省略電晶體 320 的構成要素的一部分（例如，閘極絕緣膜 402 等）。

圖 3A 至 3C 所示的電晶體 320 在基板 400 上包括：閘極電極 401；閘極絕緣膜 402；氧化物半導體膜 403；金屬氧化物膜 407；源極電極 405a；汲極電極 405b；以及絕緣膜 409，這是圖 3A 至 3C 所示的電晶體 320 與圖 1A 至 1C 所示的電晶體 310 的相同之處。圖 3A 至 3C 所示的電晶體 320 和圖 1A 至 1C 所示的電晶體 310 的不同之處在於金屬氧化物膜 407 覆蓋氧化物半導體膜 403 的點。在此，在電晶體 320 中，藉由以使氧化物半導體膜 403 的一部分露出的方式設置在金屬氧化物膜 407 的開口，源極電極 405a 及汲極電極 405b 與氧化物半導體膜 403 接觸。其他構成要素與圖 1A 至 1C 所示的電晶體 310 的構成要素相同。至於詳細內容，可以參照關於圖 1A 至 1C 的記載。

由於藉由採用這種結構，在電晶體 320 中，與圖 1A 至 1C 所示的電晶體 310 相比減少源極電極 405a 及汲極電

極 405b 和氧化物半導體膜 403 之間的接觸面積，因此源極電極 405a 及汲極電極 405b 和氧化物半導體膜 403 之間的介面近旁成為更高電阻的區域。由此，可以進一步緩和在電晶體 310 中電場集中，從而當使電晶體 310 微細化時也可以更有效地抑制短通道效應。

在圖 4A 及 4B 所示的電晶體 330、電晶體 340 中，與上述電晶體 310、電晶體 320 的結構不同地在絕緣膜 409 上的與氧化物半導體膜 403 的通道形成區重疊的區域設置導電膜 410 的結構。導電膜 410 可以使用與閘極電極 401 同樣的材料及方法形成，即可。其他構成要素與上述電晶體 310、電晶體 320 的構成要素同樣。另外，圖 4C 及 4D 所示的電晶體 350、電晶體 360 是在電晶體 330、電晶體 340 的結構中沒有閘極電極 401 及閘極絕緣膜 402 的結構，而成為頂閘型電晶體。

在圖 4E 及 4F 所示的電晶體 370、電晶體 380 中，與上述電晶體 310、電晶體 320 的結構不同地在閘極絕緣膜 402 上與其接觸地設置金屬氧化物膜 404 的結構。金屬氧化物膜 404 可以使用與金屬氧化物膜 407 同樣的材料及方法形成，即可。此外，最好採用與絕緣膜 409 同樣的材料及方法形成閘極絕緣膜 402。其他構成要素與上述電晶體 310、電晶體 320 的構成要素同樣。

藉由採用這種結構，也可以在氧化物半導體膜 403 的底面部，即氧化物半導體膜 403 和金屬氧化物膜 404 之間的介面抑制電荷的俘獲。再者，作為閘極絕緣膜 402，使

用藉由與金屬氧化物膜 404 接觸，能夠在其介面形成電荷的俘獲中心的材料，從而電荷優先被俘獲到閘極絕緣膜 402 和金屬氧化物膜 404 之間的介面。由此，可以更有效地抑制在金屬氧化物膜 404 和氧化物半導體膜 403 之間的介面產生的電荷俘獲。

在圖 4G 所示的電晶體 390 中，與上述電晶體 310 的不同地以使氧化物半導體膜 403 的通道長度方向上的寬度窄於閘極電極 401 的通道長度方向上的寬度的方式對氧化物半導體膜 403 進行圖案形成。其他構成要素與上述電晶體 310 的構成要素同樣。由於藉由採用這種結構，可以將氧化物半導體膜 403 形成為平坦的形狀，因此可以謀求防止在氧化物半導體膜 403 和閘極絕緣膜 402 之間的介面產生的載子的散亂，或減少介面能級。

在圖 4H 所示的電晶體 500 中，與上述電晶體 310 的結構不同地在金屬氧化物膜 407 上與其接觸地設置保護絕緣膜 419 的結構。也就是說，保護絕緣膜 419 的頂面的一部分與源極電極 405a 及汲極電極 405b 接觸，且保護絕緣膜 419 與金屬氧化物膜 407 一起用作通道保護膜。保護絕緣膜 419 可以使用與絕緣膜 409 同樣的材料及方法形成，即可。其他構成要素與上述電晶體 310 的構成要素同樣。

當採用上述結構時，即使不設置絕緣膜 409 也可以在金屬氧化物膜 407 上與其接觸地設置保護絕緣膜 419，該保護絕緣膜 419 使用當使它接觸到金屬氧化物膜 407 時，能夠在其介面形成電荷的俘獲中心的材料。因此，即使採

用不設置絕緣膜 409 的結構，也與氧化物半導體膜 403 和金屬氧化物膜 407 之間的介面相比，電荷優先被俘獲到保護絕緣膜 419 和金屬氧化物膜 407 之間的介面，由此更有效地抑制在金屬氧化物膜 407 和氧化物半導體膜 403 之間的介面產生的電荷俘獲。

另外，上述各電晶體的結構可以適當地彼此組合而使用。

〈電晶體的製造製程的例子〉

下面，參照圖 5A 至 5D 說明圖 1A 至 1C、圖 3A 至 3C 以及圖 4A 至 4H 所示的電晶體的製造製程的例子。

〈電晶體 310 的製造製程〉

參照圖 5A 至 5E 說明圖 1A 至 1C 所示的電晶體 310 的製造製程的一例。

首先，在具有絕緣表面的基板 400 上形成導電膜，然後藉由第一光微影製程形成閘極電極 401（參照圖 5A）。另外，也可以藉由噴墨法形成抗蝕劑掩模。因為當藉由噴墨法形成抗蝕劑掩模時不使用光掩模，所以可以減少製造成本。

儘管對可用於具有絕緣表面的基板 400 的基板沒有很大的限制，但是該基板至少需要具有能夠承受後面的熱處理程度的耐熱性。例如，可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等的基板。另外，只要具有絕緣表

面，就也可以應用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等，並且也可以在這些基板上設置有半導體元件。

此外，作為基板 400，也可以使用撓性基板。當使用撓性基板時，既可以在撓性基板上直接製造包括氧化物半導體膜 403 的電晶體，也可以在其他製造基板上製造包括氧化物半導體膜 403 的電晶體，然後進行剝離而將其轉置到撓性基板上。另外，為了將包括氧化物半導體膜 403 的電晶體從製造基板剝離而轉置到撓性基板上，較佳在製造基板和包括氧化物半導體膜 403 的電晶體之間設置分離層。

也可以將成為基底膜的絕緣膜設置在基板 400 與閘極電極 401 之間。基底膜有防止雜質元素從基板 400 擴散的功能，而且可以使用選自氮化矽膜、氧化矽膜、氮氧化矽膜以及氧氮化矽膜中的一種或多種膜的疊層結構來形成。

此外，作為閘極電極 401，可以使用鉬、鈦、鉕、鎢、鋁、銅、鈳、鈳等金屬材料或以這些金屬材料為主要成分的合金材料的單層或疊層來形成。

接著，在閘極電極 401 上形成閘極絕緣膜 402（參照圖 5A）。

明確而言，閘極絕緣膜 402 可以使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氮氧化鋁膜、氧化鉛膜或氧化鎘膜等的單層或疊層來形成。

對於閘極絕緣膜 402 的製造方法沒有特別的限制，例如可以使用電漿 CVD 法或濺射法等成膜方法製造閘極絕緣膜 402。

另外，藉由在形成閘極絕緣膜 402 之後，還在閘極絕緣膜 402 上設置金屬氧化物膜 404，可以形成圖 4E 所示的電晶體 370 或圖 4F 所示的電晶體 380。可以採用與下述金屬氧化物膜 407 同樣的材料、製程形成金屬氧化物膜 404。

接著，藉由濺射法在閘極絕緣膜 402 上形成厚度為 3nm 以上且 30nm 以下的氧化物半導體膜 403（參照圖 5A）。如果氧化物半導體膜 403 的厚度過大（例如，厚度為 50nm 以上），則有電晶體成為常導通狀態的憂慮，所以最好採用上述厚度。注意，較佳以不接觸大氣的方式連續地形成閘極絕緣膜 402 及氧化物半導體膜 403。

另外，較佳的是，在藉由濺射法形成氧化物半導體膜 403 之前，進行引入氬氣體產生電漿的反濺射，來去除附著於閘極絕緣膜 402 的表面的粉狀物質（也稱為微粒、塵屑）。反濺射是指如下一種方法，其中對基板施加電壓來在基板附近形成電漿，來對基板一側的表面進行改性。此外，也可以使用氮、氬、氧等的氣體代替氬。

作為用於氧化物半導體膜 403 的氧化物半導體，可以使用四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-

Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體、Sn-Al-Zn-O 類氧化物半導體；二元金屬氧化物的 In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、In-Mg-O 類氧化物半導體、In-Ga-O 類氧化物半導體；單元金屬氧化物的 In-O 類氧化物半導體、Sn-O 類氧化物半導體、Zn-O 類氧化物半導體等。此外，也可以使上述氧化物半導體包含 SiO_2 。在此，例如，In-Ga-Zn-O 類氧化物半導體是指含有銦（In）、鎵（Ga）、鋅（Zn）的氧化物膜，對其組成比沒有特別的限制。此外，也可以包含 In、Ga 及 Zn 以外的元素。

另外，氧化物半導體膜 403 可以使用由化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的薄膜。在此，M 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，具有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

在本實施例中，使用 In-Ga-Zn-O 類氧化物半導體的成膜用靶材並利用濺射法來形成氧化物半導體膜 403。此外，可以在稀有氣體（典型的是氬）氣圍下、氧氣圍下或稀有氣體和氧的混合氣圍下藉由濺射法形成氧化物半導體膜 403。

作為利用濺射法製造用作氧化物半導體膜 403 的 In-Ga-Zn-O 膜所使用的靶材，例如可以使用其組成比為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [摩爾比] 的氧化物半導體的成膜用靶材。另外，不侷限於該靶材的材料及組成，例如

也可以使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [摩爾比] 的氧化物半導體的成膜用靶材。

此外，當作爲氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材的組成比設定爲原子數比爲 $\text{In} : \text{Zn} = 50 : 1$ 至 $1 : 2$ (換算爲摩爾比則爲 $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1$ 至 $1 : 4$)，較佳爲 $\text{In} : \text{Zn} = 20 : 1$ 至 $1 : 1$ (換算爲摩爾比則爲 $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1$ 至 $1 : 2$)，更佳爲 $\text{In} : \text{Zn} = 15 : 1$ 至 $1.5 : 1$ (換算爲摩爾比則爲 $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2$ 至 $3 : 4$)。例如，作爲用於 In-Zn-O 類氧化物半導體的形成的靶材，當原子數比爲 $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ 時，滿足 $Z > 1.5X + Y$ 的關係。

此外，氧化物半導體的成膜用靶材的填充率爲 90% 以上且 100% 以下，較佳爲 95% 以上且 99.9% 以下。藉由使用高填充率的氧化物半導體的成膜用靶材，所形成的氧化物半導體膜 403 可以成爲緻密的膜。

作爲在形成氧化物半導體膜 403 時使用的濺射氣體，較佳使用氫、水、羥基或氫化物等的雜質被去除了的高純度氣體。

在被保持爲減壓狀態的沉積室內保持基板 400，且將基板溫度設定爲 100°C 以上且 600°C 以下，較佳設定爲 200°C 以上且 400°C 以下來形成氧化物半導體膜 403。藉由邊加熱基板 400 邊進行成膜，可以降低所形成的氧化物半導體膜 403 所包含的雜質濃度。另外，減少因濺射產生的氧化物半導體膜 403 的損傷。而且，一邊去除沉積室中的

殘留水分，一邊引入去除了氫及水分的濺射氣體，並使用上述靶材來在基板 400 上形成氧化物半導體膜 403。爲了去除沉積室中的殘留水分，較佳使用吸附型的真空泵，例如低溫泵、離子泵、鈦昇華泵。另外，作爲排氣單元，也可以使用提供有冷阱的渦輪泵。由於利用低溫泵進行了排氣的沉積室中，例如氫原子、水（ H_2O ）等的包含氫原子的化合物（更佳還包括包含碳原子的化合物）等被排出，因此可以降低在該沉積室中形成的氧化物半導體膜 403 所含有的雜質濃度。

作爲成膜條件的一例，應用如下條件：基板和靶材之間的距離爲 100mm；壓力爲 0.6Pa；直流（DC）電源爲 0.5kW；採用氧（氧流量比率爲 100%）氣圍。另外，藉由使用脈衝直流電源，可以減輕在進行成膜時產生的粉狀物質（也稱爲微粒、塵屑），且厚度的不均勻性也減少，所以是較佳的。

然後，較佳對氧化物半導體膜 403 進行熱處理（第一熱處理）。藉由該第一熱處理，可以去除氧化物半導體膜 403 中的過量的氫（包括水及羥基）而改善氧化物半導體膜 403 的結構，而降低能隙中的缺陷能級。將第一熱處理的溫度設定爲 250℃ 以上且 700℃ 以下，較佳設定爲 450℃ 以上且 600℃ 以下。另外，較佳將第一熱處理的溫度設定爲低於基板的應變點。

作爲熱處理，例如，可以將被處理物放入到使用電阻發熱體等的電爐中，並在氮氣圍下以 450℃ 進行 1 個小

時。在該期間，不使氧化物半導體膜 403 接觸大氣，以避免水或氫的混入。

加熱處理裝置不限於電爐，還可以使用利用來自被加熱的氣體等的介質的熱傳達或熱輻射來加熱被處理物的裝置。例如，可以使用 LRTA (Lamp Rapid Thermal Anneal) 裝置、GRTA (Gas Rapid Thermal Anneal) 裝置等的 RTA (Rapid Thermal Anneal) 裝置。LRTA 裝置是藉由從鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光（電磁波）輻射來加熱被處理物的裝置。GRTA 裝置是利用高溫氣體進行熱處理的裝置。作為氣體，使用如氬等的稀有氣體或如氮等的即使進行熱處理也不與被處理物發生反應的惰性氣體。

例如，作為第一熱處理，也可以採用 GRTA 處理，即：將被處理物放入被加熱的惰性氣體氣圍中，在進行幾分鐘的加熱之後，再將被處理物從該惰性氣體氣圍中取出。藉由使用 GRTA 處理，可以在短時間內進行高溫熱處理。另外，即使在溫度條件超過被處理物的耐熱溫度的情況下也可以採用 GRTA 處理。另外，在進行處理時，還可以將惰性氣體轉換為包含氧的氣體。這是因為藉由在包含氧的氣圍下進行第一熱處理，可以降低起因於氧缺陷的能隙中的缺陷能級。

另外，作為惰性氣體氣圍，較佳應用以氮或稀有氣體（氮、氬或氫等）為主要成分且不包含水或氫等的氣圍。例如，較佳將引入到加熱處理裝置中的氮或氮、氬、氫等

的稀有氣體的純度設定為 6N (99.9999%) 以上，較佳設定為 7N (99.99999%) 以上 (即，雜質濃度為 1ppm 以下，較佳為 0.1ppm 以下) 。

在任何情況下，藉由第一熱處理降低雜質，形成 i 型 (本徵) 半導體或無限趨近於 i 型半導體的氧化物半導體膜 403，可以實現具有非常優良的特性的電晶體。

由於上述熱處理 (第一熱處理) 具有去除氫或水等的效果，所以也可以將該熱處理稱為脫水化處理、脫氫化處理等。例如，也可以在將氧化物半導體膜 403 加工為島狀之後，進行該脫水化處理、脫氫化處理。另外，這種脫水化處理、脫氫化處理不侷限於進行一次，而也可以進行多次。

接著，較佳藉由第二光微影製程將氧化物半導體膜 403 加工為島狀的氧化物半導體膜 403 (參照圖 5A)。此外，也可以藉由噴墨法形成用來形成島狀的氧化物半導體膜 403 的抗蝕劑掩模。因為當藉由噴墨法形成抗蝕劑掩模時不使用光掩模，所以可以減少製造成本。作為在此的氧化物半導體膜 403 的蝕刻，可以採用乾蝕刻及濕蝕刻中的一方或兩者。

另外，藉由以使島狀得氧化物半導體膜 403 的通道長度方向上的寬度窄於閘極電極 401 的通道長度方向上的寬度的方式加工氧化物半導體膜 403，來可以形成圖 4G 所示的電晶體 390。

接著，也可以進行使用 N_2O 、 N_2 或 Ar 等的氣體的電

漿處理，來去除附著到露出的氧化物半導體膜 403 的表面的吸附水等。當進行電漿處理時，較佳在該電漿處理之後以不接觸大氣的方式形成與氧化物半導體膜 403 接觸的金屬氧化物膜 407。

接著，覆蓋氧化物半導體膜 403 地形成金屬氧化物膜 427（參照圖 5B）。另外，藉由將金屬氧化物膜 427 加工為島狀，形成金屬氧化物膜 407。

金屬氧化物膜 427（金屬氧化物膜 407）是由與氧化物半導體膜 403 同樣種類的成分構成的膜，且較佳使用包含半導體膜 403 的主要成分材料的氧化物。其原因是：因為這種材料與氧化物半導體膜 403 搭配，所以藉由將這種材料用於金屬氧化物膜 427（金屬氧化物膜 407），可以保持與氧化物半導體膜之間的介面的良好狀態。換言之，藉由將上述材料用於第二金屬氧化物膜 407，可以抑制在第二金屬氧化物膜 407 和氧化物半導體膜 403 之間的介面產生的電荷俘獲。

金屬氧化物膜 407 的能隙需要比氧化物半導體膜 403 的能隙大。此外，在金屬氧化物膜 407 和氧化物半導體膜 403 之間，需要形成至少在室溫（20℃）下不使載子從氧化物半導體膜 403 流出的程度的能壘。

注意，從減少電荷的發生源或俘獲中心的角度來看，較佳充分地減少金屬氧化物膜 407 中的氫、水等的雜質。這個思想與減少氧化物半導體膜中的雜質的思想共通。

最好採用不使水、氫等的雜質混入的方法形成金屬氧

化物膜 427 (金屬氧化物膜 407)。當金屬氧化物膜 427 (金屬氧化物膜 407) 包含氫時，有如下憂慮：因該氫侵入到氧化物半導體膜 403 中或該氫抽出氧化物半導體膜 403 中的氧而使氧化物半導體膜 403 的背通道低電阻化 (n 型化)，因此形成寄生通道。因此，重要的是，在成膜方法中不使用氫，以使金屬氧化物膜 427 (金屬氧化物膜 407) 成為儘量不包含氫的膜。

因此，較佳藉由濺射法形成金屬氧化物膜 427，並且作為形成第二金屬氧化物膜 407 時使用的濺射氣體，較佳使用氫、水、羥基或氫化物等的雜質被去除了的高純度氣體。

另外，為了將電荷的俘獲中心遠離氧化物半導體膜 403，金屬氧化物膜 427 (金屬氧化物膜 407) 較佳具有充分的厚度。明確而言，作為金屬氧化物膜 427 (金屬氧化物膜 407)，最好採用其厚度超過 10nm 且 100nm 以下的膜。

另外，在形成金屬氧化物膜 427 之後，還在金屬氧化物膜 427 上設置保護絕緣膜 419，來可以形成圖 4H 所示的電晶體 500。可以使用與下述的絕緣膜 409 同樣的材料及製程形成保護絕緣膜 419。此外，當在後面的製程中將金屬氧化物 427 形成為金屬氧化物膜 407 的圖案形狀的同時，可以對保護絕緣膜 419 進行圖案形成。當然，也可以在與金屬氧化物膜 427 不同的製程對保護絕緣膜 419 進行圖案形成。

接著，藉由第三光微影製程，在金屬氧化物膜 427 上形成抗蝕劑掩模，並進行蝕刻形成用作通道保護膜的金屬氧化物膜 407，然後去除抗蝕劑掩模（參照圖 5C）。此外，也可以藉由噴墨法形成用來形成金屬氧化物膜 407 的抗蝕劑掩模。因為當藉由噴墨法形成抗蝕劑掩模時不使用光掩模，所以可以減少製造成本。作為在此的金屬氧化物膜 427 的蝕刻，可以採用乾蝕刻及濕蝕刻中的一方或兩者。

對於藉由第三光微影製程形成抗蝕劑掩模時的曝光，較佳使用紫外線、KrF 雷射、ArF 雷射。在後面形成的電晶體的通道長度 L 取決於用作通道保護膜的金屬氧化物膜 407 的通道長度方向上的寬度。另外，在當通道長度 L 短於 25nm 時進行曝光的情況下，例如較佳使用波長極短，即幾 nm 至幾十 nm 的極紫外線（Extreme Ultraviolet）進行藉由第三光微影製程形成抗蝕劑掩模時的曝光。使用極紫外線的曝光的解析度高且其聚焦深度也大。因此，也可以縮短在後面形成的電晶體的通道長度 L 微細化，從而可以實現電路的工作速度的高速化。

在此，藉由以使金屬氧化物膜 407 的通道長度方向上的寬度短於氧化物半導體膜 403 的通道長度方向上的寬度的方式進行圖案形成，在後面的製程中形成的源極電極 405a 及汲極電極 405b 與氧化物半導體膜 403 的頂面的一部分接觸。因此，藉由縮短金屬氧化物膜 407 的通道長度方向上的寬度，可以縮短電晶體的通道長度來謀求電晶體

的高速化及低功耗化。

此外，當在該金屬氧化物膜 427 的蝕刻製程中，金屬氧化物膜 427 和氧化物半導體膜 403 不能獲得充分的蝕刻選擇比時，有時氧化物半導體膜 403 中的不與金屬氧化物膜 427 重疊的區域的一部分被去除。在此情況下，氧化物半導體膜 403 中的不與金屬氧化物膜 427 重疊的區域的厚度減薄。

另外，當在上述製程中，不將氧化物半導體膜 403 加工為島狀時，也可以在此與金屬氧化物膜 427 一起加工為島狀。藉由像這樣在同時對氧化物半導體膜 403 和金屬氧化物膜 427 進行圖案形成，可以縮減光微影製程。此外，藉由使用相同的掩模對氧化物半導體膜 403 和金屬氧化物膜 427 進行圖案形成，氧化物半導體膜 403 的通道長度方向上的側端部和金屬氧化物膜 407 的通道長度方向上的側端部對準。另外，在此情況下，較佳以不使閘極絕緣膜 402、氧化物半導體膜 403 及金屬氧化物膜 427 暴露於外部空氣的方式連續地進行成膜。

此外，不一定必須要將金屬氧化物膜 427 加工為島狀。例如，也可以採用設置有為可以在後面的製程中與源極電極 405a 及汲極電極 405b 電連接而使氧化物半導體膜 403 的一部分露出的開口的結構。藉由採用這種結構，可以形成圖 3A 至 3C 所示的電晶體 320、圖 4B 所示的電晶體 340、圖 4D 所示的電晶體 360、圖 4F 所示的電晶體 380。

接著，覆蓋金屬氧化物膜 407 及氧化物半導體膜 403 地形成用來形成源極電極及汲極電極（包括由與其相同的層形成的佈線）的導電膜。作為用於源極電極及汲極電極的導電膜，例如可以使用包含選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。另外，還可以在 Al、Cu 等的金屬膜的下側及上側的一方或兩者層疊 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）。此外，也可以使用導電金屬氧化物形成用於源極電極及汲極電極的導電膜。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或使這些金屬氧化物材料包含氧化矽的材料。

藉由進行第四光微影製程，在導電膜上形成抗蝕劑掩模，並選擇性地進行蝕刻來形成源極電極 405a、汲極電極 405b，然後去除抗蝕劑掩模（參照圖 5D）。由於當將紫外線、KrF 雷射、ArF 雷射用於藉由第三光微影製程形成抗蝕劑掩模時的曝光時，在金屬氧化物膜 407 上相鄰的源極電極 405a 的下端部和汲極電極 405b 的下端部之間的間隔寬度形成為窄，因此在第四光微影製程中也較佳使用紫外線、KrF 雷射、ArF 雷射。

此外，為了縮減用於光微影製程的光掩模數及製程

數，也可以使用由透過的光成為多種強度的曝光掩模的多色調掩模形成的抗蝕劑掩模進行蝕刻製程。由於使用多色調掩模形成的抗蝕劑掩模成為具有多種厚度的形狀，且藉由進行蝕刻可以進一步改變形狀，因此可以用於加工為不同圖案的多個蝕刻製程。由此，可以使用一個多色調掩模形成至少對應於兩種以上的不同圖案的抗蝕劑掩模。由此，可以縮減曝光掩模數，並還可以縮減與其對應的光微影製程，所以可以實現製程的簡化。

在此，因為在與氧化物半導體膜 403 的通道形成區重疊的區域中，設置有金屬氧化物膜 407，所以可以防止對上述導電膜進行的蝕刻所帶來的損傷（例如，進行蝕刻時的電漿或蝕刻劑所帶來的損傷）。由此，可以提供具有穩定的電特性的使用氧化物半導體的半導體裝置。

接著，以覆蓋源極電極 405a、汲極電極 405b 且在金屬氧化物膜 407 上與其接觸的方式形成絕緣膜 409（參照圖 5E）。作為絕緣膜 409，較佳使用藉由使金屬氧化物膜 407 和絕緣膜 409 接觸，能夠在其介面形成電荷的俘獲中心的材料。藉由將這種材料用於絕緣膜 409，電荷被俘獲到絕緣膜 409 和金屬氧化物膜 407 之間的介面，從而可以充分地抑制在金屬氧化物膜 407 和氧化物半導體膜 403 之間的介面產生的電荷俘獲。

作為絕緣膜 409 使用無機絕緣膜，使用氧化絕緣膜諸如氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜等的單層或疊層，或者氮化絕緣膜諸如氮化矽膜、氮氧化矽膜、

氮化鋁膜、氮氧化鋁膜等的單層或疊層，即可。例如，藉由採用濺射法，從金屬氧化物膜 407 一側按順序層疊地形成氧化矽膜和氮化矽膜。絕緣膜 409 較佳包含與氧化物半導體膜 403 或金屬氧化物 407 不同的成分。另外，在後面的對氧化物半導體膜 403 進行的熱處理製程中，爲了從金屬氧化物膜 407 也高效地去除氫、水分等的雜質，較佳將氧化矽膜用作絕緣膜 409。此外，因爲與金屬氧化物膜 407 接觸，所以絕緣膜 409 的能隙較佳比金屬氧化物膜 407 的能隙大。

注意，如果可以在絕緣膜 409 和金屬氧化物膜 407 之間的介面可以形成電荷的俘獲中心，則絕緣膜 409 的材料不必侷限於上述材料。此外，也可以對絕緣膜 409 和金屬氧化物膜 407 之間的介面進行形成電荷的俘獲中心的處理。作爲這種處理，例如有電漿處理或元素的添加處理（離子植入等）。

接著，較佳的是，在其一部分（通道形成區）與金屬氧化物膜 407 接觸的狀態下對氧化物半導體膜 403 進行第二熱處理。將第二熱處理的溫度設定爲 250℃ 以上且 700℃ 以下，較佳設定爲 450℃ 以上且 600℃ 以下。另外，較佳將第一熱處理的溫度設定爲低於基板的應變點。

在氮、氧、超乾燥空氣（含水量爲 20ppm 以下，較佳爲 1ppm 以下，更佳爲 10ppb 以下的空氣）或稀有氣體（氬、氖等）的氣圍下進行第二熱處理，即可。上述氮、氧、超乾燥空氣或稀有氣體等的氣圍較佳不包含水、氫

等。另外，較佳將引入到加熱處理裝置中的氮、氧或稀有氣體的純度設定為 6N (99.9999%) 以上，較佳設定為 7N (99.99999%) 以上（即，將雜質濃度設定為 1ppm 以下，較佳設定為 0.1ppm 以下）。

在第二熱處理中，在氧化物半導體膜 403 和金屬氧化物膜 407 彼此接觸的狀態下進行加熱。因此，可以由包含氧的金屬氧化物膜 407 向氧化物半導體膜 403 中供應可能因上述脫水化（或脫氫化）處理而同時減少的構成氧化物半導體的主要成分材料中之一種的氧。由此，可以減少氧化物半導體膜 403 中的電荷俘獲中心。藉由上述製程，可以形成高純度化且在電性上 i 型（本徵）化的氧化物半導體膜 403。此外，藉由該熱處理，金屬氧化物膜 407 中的雜質也被同時去除，而被高純度化。

另外，在本實施例中，雖然在形成絕緣膜 409 之後進行第二熱處理，但是進行第二熱處理的時序並不侷限於此，只要是在形成金屬氧化物膜 407 之後進行第二熱處理，即可。例如，也可以在形成金屬氧化物膜 407 之後進行第二熱處理。或者，當例如層疊氧化矽膜和氮化矽膜來形成絕緣膜 409 時，也可以在金屬氧化物膜 407 上形成氧化矽膜之後進行第二熱處理，然後形成氮化矽膜。或者，可以在進行第一熱處理之後連續地進行第二熱處理，在第一熱處理中兼併第二熱處理，或在第二熱處理中兼併第一熱處理。

如上述那樣，藉由應用第一熱處理和第二熱處理中的

至少一方，可以使氧化物半導體膜 403 儘量地不包含其主要成分以外的雜質而被高純度化。在高純度化的氧化物半導體膜 403 中，來自施體的載子極少（近於 0），載子濃度低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳低於 $1 \times 10^{11}/\text{cm}^3$ 。

藉由上述製程形成電晶體 310（參照圖 5E）。電晶體 310 包括其中有意地去除了氫、水分、羥基或氫化物（也稱為氫化合物）等的雜質而被高純度化的氧化物半導體膜 403。因此，電晶體 310 的電特性變動被抑制而在電性上穩定。

此外，在具有金屬氧化物膜 407 的電晶體中，可以防止在氧化物半導體膜 403 的背通道一側產生的寄生通道。再者，藉由在電晶體 310 中，防止在氧化物半導體膜 403 的背通道一側產生的寄生通道，可以抑制臨界值電壓的變動，從而可以形成提高可靠性的電晶體。

另外，藉由在形成絕緣膜 409 之後，還在絕緣膜 409 上的與氧化物半導體膜 403 的通道形成區重疊的區域設置導電膜 410，可以形成圖 4A 所示的電晶體 330 或圖 4B 所示的電晶體 340。再者，藉由採用不設置閘極電極 401 及閘極絕緣膜 402 的結構，可以形成圖 4C 所示的電晶體 350 或圖 4D 所示的電晶體 360。可以藉由使用與閘極電極 401 同樣的材料及製程形成導電膜 410。藉由將導電膜 410 設置在與氧化物半導體膜 403 的通道形成區重疊的位置上，在用來調查電晶體 340 的可靠性的偏壓-熱壓力測

試（以下，稱為 BT 測試）中可以進一步減少 BT 測試前後的電晶體 340 的臨界值電壓的變化量。此外，導電膜 410 的電位可以與閘極電極 401 的電位相同或與閘極電極 401 的電位不同，並且還可以將導電膜 410 用作第二閘極電極。另外，導電膜 410 的電位也可以是 GND、0V 或浮動狀態。

另外，雖然未圖示，還可以以覆蓋電晶體 310 的方式還形成保護絕緣膜。作為保護絕緣膜，可以使用氮化矽膜、氮氧化矽膜或氮化鋁膜等。

此外，也可以在電晶體 310 上設置平坦化絕緣膜。作為平坦化絕緣膜，可以使用具有耐熱性的有機材料如丙烯酸樹脂、聚醯亞胺、苯並環丁烯、聚醯胺、環氧樹脂等。此外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以層疊多個由這些材料形成的絕緣膜。

如上所述，在根據本實施例的電晶體中，在氧化物半導體膜的頂面部層疊有由與氧化物半導體膜同樣種類的成分構成的金屬氧化物膜。像這樣，藉由使由與氧化物半導體膜搭配的材料構成的金屬氧化物膜具有與氧化物半導體膜接觸的方式，充分地抑制因半導體裝置的工作等而會產生的電荷等被俘獲到氧化物半導體膜和金屬氧化物膜之間的介面。由此，可以緩和電荷給氧化物半導體膜帶來的影響，因此可以抑制因氧化物半導體膜介面的電荷俘獲而產

生的電晶體的臨界值變動。

再者，在金屬氧化物膜中的面向接觸到氧化物半導體膜的面的面上與其接觸地設置有包含與金屬氧化物膜及氧化物半導體膜不同的成分的絕緣膜。像這樣，藉由使利用在介面會形成電荷的俘獲中心的材料構成的絕緣物具有與金屬氧化物膜接觸的方式，與氧化物半導體膜和金屬氧化物膜之間的介面相比，可以在金屬氧化物膜和絕緣物之間的介面優先地俘獲上述電荷。由此，可以進一步緩和電荷給氧化物半導體膜帶來的影響，因此可以更有效地抑制因氧化物半導體膜介面的電荷俘獲而產生的電晶體的臨界值變動。

此外，用於電晶體的啓動層的氧化物半導體膜藉由利用熱處理從氧化物半導體去除氫、水分、羥基或氫化物（也稱為氫化合物）等的雜質，且供應在進行雜質的去除製程的同時減少的構成氧化物半導體的主要成分材料的氧，來使氧化物半導體膜高純度化且在電性上 i 型（本徵）化。包括這種高純度化的氧化物半導體膜的電晶體的電特性變動被抑制，而該電晶體在電性上穩定。

注意，當在氧化物半導體膜的介面電荷被俘獲時，電晶體的臨界值電壓移動（例如，當在背通道一側正電荷被俘獲時，電晶體的臨界值電壓移動到負方向）。作為這種電荷俘獲的主要原因中之一，可以假定陽離子（或成為其原因的原子）的移動及俘獲的模型。而且，在使用氧化物半導體的電晶體中，作為這種陽離子源可以考慮氫原子。

在所公開的發明中，由於使用高純度化的氧化物半導體，且採用該氧化物半導體與金屬氧化物膜和絕緣膜的疊層結構接觸的結構，因此還可以抑制在上述模型中假設的因氫而產生的電荷俘獲。注意，上述模型被認為在氫的離子化率例如為 10%左右的情況下會實現。

如上所述，可以提供使用具有穩定的電特性的氧化物半導體的半導體裝置。因此，可以提供可靠性高的半導體裝置。

如上所述，本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

[實施例 2]

可以藉由使用在實施例 1 中例示的電晶體製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或全部與像素部一起形成在與該像素部相同的基板上，可以形成系統化面板（system-on-panel）。

在圖 6A 中，以圍繞設置在第一基板 4001 上的像素部 4002 的方式設置密封材料 4005，並且，使用第二基板 4006 進行密封。在圖 6A 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的掃描線驅動電路 4004、信號線驅動電路 4003。此外，由 FPC（撓性印刷電路）4018a、FPC4018b 向另行形成的信號線

驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 供應各種信號及電位。

在圖 6B 和 6C 中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002、掃描線驅動電路 4004 與顯示元件一起由第一基板 4001、密封材料 4005 以及第二基板 4006 密封。在圖 6B 和 6C 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的信號線驅動電路 4003。在圖 6B 和 6C 中，由 FPC4018 向另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 供應各種信號及電位。

此外，圖 6B 和 6C 示出另行形成信號線驅動電路 4003 並且將該信號線驅動電路 4003 安裝到第一基板 4001 的實例，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以另行僅形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG（玻璃覆晶封裝）方法、引線接合方法或者 TAB（卷帶式自動接合）方法等。圖 6A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 6B 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 6C 是藉由 TAB 方法安裝信號線驅

動電路 4003 的例子。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。

注意，本發明說明中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明裝置）。另外，顯示裝置還包括：安裝有連接器諸如 FPC、TAB 膠帶或 TCP 的模組；在 TAB 膠帶或 TCP 的端部上設置有印刷線路板的模組；藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

此外，設置在第一基板上的像素部及掃描線驅動電路包括多個電晶體，並且，可以應用在實施例 1 中示出一例的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（電致發光）、有機 EL 等。此外，也可以應用電子墨水等由於電作用而改變對比度的顯示媒體。

參照圖 7 至圖 9 而說明半導體裝置的一種實施例。圖 7 至圖 9 相當於沿著圖 6B 的 M-N 的截面圖。

如圖 7 至圖 9 所示，半導體裝置包括連接端子電極 4015 及端子電極 4016，並且，連接端子電極 4015 及端子電極 4016 藉由各向異性導電膜 4019 電連接到 FPC4018 所包括的端子。

連接端子電極 4015 由與第一電極層 4030 相同的導電膜形成，並且，端子電極 4016 由與電晶體 4010、電晶體 4011 的源極電極及汲極電極相同的導電膜形成。

此外，設置在第一基板 4001 上的像素部 4002、掃描線驅動電路 4004 包括多個電晶體，並且，在圖 7 至圖 9 中例示像素部 4002 所包括的電晶體 4010、掃描線驅動電路 4004 所包括的電晶體 4011。

在本實施例中，作為電晶體 4010、電晶體 4011，可以應用在實施例 1 中示出的電晶體。電晶體 4010、電晶體 4011 的電特性變動被抑制，所以在電性上是穩定的。因此，作為圖 7 至圖 9 所示的本實施例的半導體裝置，可以提供可靠性高的半導體裝置。

設置在像素部 4002 中的電晶體 4010 電連接到顯示元件，構成顯示面板。只要可以進行顯示就對顯示元件沒有特別的限制，而可以使用各種各樣的顯示元件。

圖 7 示出作為顯示元件的使用液晶元件的液晶顯示裝置的實例。在圖 7 中，作為顯示元件的液晶元件 4013 包括第一電極層 4030、第二電極層 4031 以及液晶層 4008。注意，以夾持液晶層 4008 的方式設置有用作對準膜的絕緣膜 4032、絕緣膜 4033。第二電極層 4031 設置在第二基板 4006 一側，並且，第一電極層 4030 和第二電極層 4031 夾著液晶層 4008 而層疊。

此外，藉由對絕緣膜選擇性地進行蝕刻可以獲得柱狀間隔物 4035，並且它是為控制液晶層 4008 的厚度（單元

間隙)而設置的。另外，還可以使用球狀間隔物。

當作爲顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、聚合物分散型液晶、鐵電液晶、反鐵電液晶等。上述液晶材料根據條件而呈現膽固醇相、近晶相、立方相、手徵向列相、均質相等。

另外，還可以使用不使用對準膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以爲了改善溫度範圍而將混合有幾 wt% 以上的手性試劑的液晶組成物用於液晶層。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，即爲 1 msec 以下，並且其具有光學各向同性，所以不需要對準處理，從而視角依賴性小。另外，由於不需要設置對準膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製造製程中的液晶顯示裝置的故障、破損。從而，可以提高液晶顯示裝置的生產率。

此外，液晶材料的固有電阻率爲 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上，較佳爲 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上，更佳爲 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。注意，本發明說明中的固有電阻率的值爲以 20°C 測量的值。

考慮到配置在像素部中的電晶體的洩漏電流等而以能夠在指定期間中保持電荷的方式設定設置在液晶顯示裝置中的存儲電容器的大小。藉由使用具有高純度的氧化物半導體膜的電晶體，設置具有各像素中的液晶電容的三分之

一以下，較佳為五分之一以下的電容的大小的存儲電容器，就足夠了。

在本實施例中採用的使用高純度化的氧化物半導體膜的電晶體可以降低截止狀態下的電流值（截止電流值）。因此，可以延長視頻信號等的電信號的保持時間，並且，還可以延長電源導通狀態下的寫入間隔。因此，可以降低刷新工作的頻度，所以可以發揮抑制耗電量的效果。

此外，因為在本實施例中使用的具有高純度化的氧化物半導體膜的電晶體可以得到較高的電場效應遷移率，所以可以進行高速驅動。由此，藉由將上述電晶體用於液晶顯示裝置的像素部，可以提供高圖像品質的圖像。此外，使用上述電晶體可以在同一個基板上分別製造驅動電路部、像素部，所以可以削減液晶顯示裝置的零部件數。

液晶顯示裝置可以採用 TN（Twisted Nematic，扭曲向列）模式、IPS（In-Plane-Switching，平面內轉換）模式、FFS（Fringe Field Switching，邊緣電場轉換）模式、ASM（Axially Symmetric aligned Micro-cell，軸對稱排列微單元）模式、OCB（Optical Compensated Birefringence，光學補償彎曲）模式、FLC（Ferroelectric Liquid Crystal，鐵電性液晶）模式、以及 AFLC（Anti Ferroelectric Liquid Crystal，反鐵電性液晶）模式等。

此外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向（VA）模式的透過型液晶顯示裝置。在此，垂直配向模式是指控制液晶顯示面板的液晶分子的排列的方式

的一種，是當不施加電壓時液晶分子朝向垂直於面板表面的方向的方式。作為垂直配向模式，可以舉出幾個例子，例如可以使用 MVA（Multi-domain Vertical Alignment：多象限垂直配向）模式、PVA（Patterned Vertical Alignment：垂直對準構型）模式、ASV（Advanced Super View：高級超視覺）模式等。此外，也可以使用將像素（pixel）分成幾個區域（子像素），並且使分子分別倒向不同方向的稱為多疇化或者多域設計的方法。

此外，在顯示裝置中，適當地設置黑底（遮光層）、偏振構件、相位差構件、抗反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光燈、側光燈等。

此外，也可以作為背光燈利用多個發光二極體（LED）來進行分時顯示方式（場序制驅動方式）。藉由應用場序制驅動方式，可以不使用濾光片地進行彩色顯示。

此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，當進行彩色顯示時在像素中受到控制的顏色因素不侷限於 RGB（R 顯示紅色，G 顯示綠色，B 顯示藍色）的三種顏色。例如，也可以採用 RGBW（W 顯示白色）、或者對 RGB 追加黃色、青色、品紅色等中的一種顏色以上的顏色。注意，也可以按每個顏色因素的點使其顯示區的大小不同。但是，本發明不侷限

於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

此外，作為顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物被區別，通常，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括具有發光性的有機化合物的層，以流過電流。並且，這些載子（電子及電洞）重新結合，發光性的有機化合物形成激發狀態，當從該激發狀態回到基態時發光。由於這種機理，這種發光元件被稱為電流激發型發光元件。

無機 EL 元件根據其元件結構而分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料的微粒分散在黏合劑中，並且其發光機理是利用施主能級和受主能級的施主-受主複合型發光。薄膜型無機 EL 元件具有一種結構，其中發光層夾在介電層之間，並且該夾著發光層的介電層由電極夾住，其發光機理是利用金屬離子的內殼層電子躍遷的定域類型發光。注意，這裏將有機 EL 元件用作發光元件而進行說明。

為了取出發光，使發光元件的一對電極中的至少一個為透明即可。並且，在基板上形成電晶體及發光元件，作為發光元件，有從與基板相反一側的表面取出發光的頂部

發射；從基板一側的表面取出發光的底部發射；從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 8 示出作為顯示元件的使用發光元件的發光裝置的實例。作為顯示元件的發光元件 4513 電連接到設置在像素部 4002 中的電晶體 4010。注意，發光元件 4513 的結構是由第一電極層 4030、電致發光層 4511、第二電極層 4031 構成的疊層結構，但是，不侷限於該結構。根據從發光元件 4513 取出的光的方向等，可以適當地改變發光元件 4513 的結構。

分隔壁 4510 使用有機絕緣材料或者無機絕緣材料形成。尤其是，使用感光樹脂材料，在第一電極層 4030 上形成開口部，並且將該開口部的側壁形成為具有連續曲率的傾斜面。

電致發光層 4511 可以使用一個層構成，也可以使用多個層的疊層構成。

為了防止氧、氫、水分、二氧化碳等侵入發光元件 4513 中，而也可以在第二電極層 4031 及分隔壁 4510 上形成保護膜。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC（類金鋼石碳）膜等。此外，在由第一基板 4001、第二基板 4006 以及密封材料 4005 密封的空間中設置有填充材料 4514 並被密封。如此，為了不暴露於外氣，而較佳使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（封

入)。

作為填充材料 4514，除了氮或氬等惰性氣體以外，還可以使用紫外線固化樹脂、熱固化樹脂，並且，可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或者 EVA（乙烯-醋酸乙烯酯）。例如，作為填充材料而使用氮，即可。

另外，如果需要，則可以在發光元件的射出表面上適當地設置諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 板， $\lambda/2$ 板）、濾色片等的光學膜。此外，也可以在偏光板、圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光而可以降低眩光的處理。

此外，作為顯示裝置，也可以提供使電子墨水驅動的電子紙。電子紙也稱為電泳顯示裝置（電泳顯示器），並且，具有如下優點：與紙同樣的易讀性；其耗電量比其他顯示裝置的耗電量低；形狀薄且輕。

作為電泳顯示裝置，有各種各樣的形式，但是它是多個包括具有正電荷的第一微粒和具有負電荷的第二微粒的微膠囊分散在溶劑或溶質中，並且，藉由對微膠囊施加電場，使微膠囊中的微粒彼此移動到相對方向，以只顯示集合在一方側的微粒的顏色的裝置。注意，第一微粒或者第二微粒包括染料，並且，當沒有電場時不移動。此外，第一微粒的顏色和第二微粒的顏色不同（包括無色）。

如此，電泳顯示裝置是利用介電常數高的物質移動到高電場區，即所謂的介電泳效應（dielectrophoretic effect）的顯示器。

分散有上述微囊的溶劑被稱為電子墨水，並且該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用濾色片、具有色素的微粒來進行彩色顯示。

此外，作為微囊中的第一微粒及第二微粒，使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的一種材料或這些的材料之複合材料即可。

此外，作為電子紙，還可以應用使用旋轉球顯示方式的顯示裝置。旋轉球顯示方式是如下方法，即將分別塗為白色和黑色的球形微粒配置在用於顯示元件的電極層的第一電極層與第二電極層之間，使第一電極層與第二電極層之間產生電位差來控制球形微粒的方向，以進行顯示。

圖 9 示出半導體裝置的一個實施例的主動矩陣型電子紙。圖 9 所示的電子紙是使用旋轉球顯示方式的顯示裝置的實例。

在連接到電晶體 4010 的第一電極層 4030 與設置在第二基板 4006 上的第二電極層 4031 之間設置有具有黑色區 4615a 及白色區 4615b 並且在該黑色區 4615a 及白色區 4615b 的周圍包括填充有液體的空洞 4612 的球形微粒 4613，並且，球形微粒 4613 的周圍填充有樹脂等填充材

料 4614。第二電極層 4031 相當於公共電極（對置電極）。第二電極層 4031 電連接到公共電位線。

注意，在圖 7 至圖 9 中，作為第一基板 4001、第二基板 4006，除了玻璃基板以外，還可以使用具有撓性的基板。例如，可以使用具有透光性的塑膠基板等。作為塑膠基板，可以使用 FRP（玻璃纖維強化塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，也可以使用具有由 PVF 薄膜或聚酯薄膜夾住鋁箔的結構的薄片。

絕緣層 4021 可以使用無機絕緣材料或者有機絕緣材料來形成。注意，當使用丙烯酸樹脂、聚醯亞胺、苯並環丁烯樹脂、聚醯胺、環氧樹脂等具有耐熱性的有機絕緣材料時，適於用作平坦化絕緣膜。此外，除了上述有機絕緣材料以外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。注意，也可以藉由層疊多個由這些材料形成的絕緣膜，來形成絕緣層。

對絕緣層 4021 的形成方法沒有特別的限制，可以根據其材料而應用濺射法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）等。也可以利用輥塗、幕式塗布、刮刀式塗布等形成絕緣層 4021。

顯示裝置藉由透過來自光源或顯示元件的光來進行顯示。因此，設置在透過光的像素部中的基板、絕緣膜、導電膜等的薄膜全都對可見光的波長區的光具有透光性。

關於對顯示元件施加電壓的第一電極層及第二電極層（也稱為像素電極層、公共電極層、對置電極層等），根據取出光的方向、設置電極層的地方以及電極層的圖案結構而選擇其透光性、反射性，即可。

作為第一電極層 4030、第二電極層 4031，可以使用包括氧化鎢的氧化銦、包括氧化鎢的氧化銦鋅、包括氧化鈦的氧化銦、包括氧化鈦的氧化銦錫、氧化銦錫（下面，表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等具有透光性的導電材料。

此外，第一電極層 4030、第二電極層 4031 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等的金屬、其合金或者其氮化物中的一種或多種來形成。

此外，第一電極層 4030、第二電極層 4031 可以使用包括導電高分子（也稱為導電聚合體）的導電組成物來形成。作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由苯胺、吡咯和噻吩中的兩種以上構成的共聚物或其衍生物等。

此外，由於電晶體容易受到靜電等的破壞，所以較佳設置驅動電路保護用的保護電路。保護電路較佳使用非線性元件構成。

如上所述，藉由應用在實施例 1 中例示的電晶體，可以提供可靠性高的半導體裝置。另外，不僅將實施例 1 所例示的電晶體應用於具有上述顯示功能的半導體裝置，而且還可以將它應用於具有各種功能的半導體裝置諸如安裝在電源電路中的功率裝置、LSI 等的半導體積體電路、具有讀取物件物的資訊的圖像感測器功能的半導體裝置等。

本實施例可以與其他實施例所示的結構適當地組合而實施。

[實施例 3]

可將本發明說明中公開的半導體裝置應用於多種電子設備（還包括遊戲機）。作為電子設備，例如可以舉出電視裝置（也稱為電視或電視接收機）、用於電腦等的監視器、數位相機、數位攝像機等影像拍攝裝置、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、移動資訊終端、聲音再現裝置、彈子機等大型遊戲機等。對具備在上述實施例中說明的半導體裝置的電子設備的例子進行說明。

圖 10A 示出筆記本個人電腦，由主體 3001、框體 3002、顯示部 3003 以及鍵盤 3004 等構成。藉由應用實施例 1 或實施例 2 所示的半導體裝置，可以提供高可靠性筆記本個人電腦。

圖 10B 示出可攜式資訊終端（PDA），在主體 3021 中設置有顯示部 3023、外部介面 3025 以及操作按鈕 3024

等。另外，還具備操作可攜式資訊終端的觸控螢幕筆 3022。藉由應用實施例 1 或實施例 2 所示的半導體裝置，可以提供高可靠性可攜式資訊終端（PDA）。

圖 10C 示出電子書閱讀器的一例。例如，電子書閱讀器 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉工作。藉由採用這種結構，可以進行如紙的書籍那樣的工作。

框體 2701 組裝有顯示部 2705，而框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連螢幕畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如在右邊的顯示部（圖 10C 中的顯示部 2705）中可以顯示文章，而在左邊的顯示部（圖 10C 中的顯示部 2707）中可以顯示圖像。藉由應用實施例 1 或實施例 2 所示的半導體裝置，可以提供高可靠性電子書閱讀器 2700。

此外，在圖 10C 中示出框體 2701 具備操作部等的例子。例如，在框體 2701 中具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。注意，在與框體的顯示部相同的平面上可以設置鍵盤、定位裝置等。另外，也可以採用在框體的背面或側面具備外部連接端子（耳機端子、USB 端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，電子書閱讀器 2700 也可以採用能夠以無線的

方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

圖 10D 示出行動電話，由框體 2800 及框體 2801 的兩個框體構成。框體 2801 具備顯示面板 2802、揚聲器 2803、麥克風 2804、定位裝置 2806、影像拍攝用透鏡 2807、外部連接端子 2808 等。此外，框體 2800 具備對行動電話進行充電的太陽能電池 2810、外部儲存槽 2811 等。另外，在框體 2801 內組裝有天線。藉由應用實施例 1 或實施例 2 所示的半導體裝置，可以提供高可靠性行動電話。

另外，顯示面板 2802 具備觸控螢幕，在圖 10D 中，使用虛線示出作為映射而被顯示出來的多個操作鍵 2805。另外，還安裝有用來將由太陽能電池 2810 輸出的電壓升壓到各電路所需的電壓的升壓電路。

顯示面板 2802 根據使用方式適當地改變顯示的方向。另外，由於在與顯示面板 2802 同一面上設置影像拍攝用透鏡 2807，所以可以實現可視電話。揚聲器 2803 及麥克風 2804 不侷限於音頻通話，還可以進行可視通話、錄音、再生等。再者，滑動框體 2800 和框體 2801 而可以處於如圖 10D 那樣的展開狀態和重疊狀態，所以可以實現適於攜帶的小型化。

外部連接端子 2808 可以與 AC 適配器及各種電纜如 USB 電纜等連接，並可以進行充電及與個人電腦等的資料通訊。另外，藉由將記錄媒體插入外部儲存槽 2811 中，

可以對應於更大量資料的保存及移動。

另外，也可以是除了上述功能以外還具有紅外線通信功能、電視接收功能等的行動電話。

圖 10E 示出數位攝像機，其由主體 3051、顯示部 A 3057、取景器 3053、操作開關 3054、顯示部 B 3055 以及電池 3056 等構成。藉由應用實施例 1 或實施例 2 所示的半導體裝置，可以提供高可靠性數位攝像機。

圖 10F 示出電視裝置的一例。在電視裝置 9600 中，框體 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示映射。此外，在此示出利用支架 9605 支撐框體 9601 的結構。藉由應用實施例 1 或實施例 2 所示的半導體裝置，可以提供高可靠性電視裝置。

可以藉由利用框體 9601 所具備的操作開關或另行提供的遙控操作機進行電視裝置 9600 的操作。或者，也可以採用在遙控操作機中設置顯示部的結構，該顯示部顯示從該遙控操作機輸出的資訊。

另外，電視裝置 9600 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，從而也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

本實施例可以與其他實施例所示的結構適當地組合而實施。

【圖式簡單說明】

在附圖中：

圖 1A 至 1C 是示出半導體裝置的一個實施例的平面圖及截面圖；

圖 2 是具有氧化物半導體膜及金屬氧化物膜的電晶體中的能帶圖；

圖 3A 至 3C 是示出半導體裝置的一個實施例的平面圖及截面圖；

圖 4A 至 4H 是示出半導體裝置的一個實施例的圖；

圖 5A 至 5E 是示出半導體裝置的製造製程的一例的圖；

圖 6A 至 6C 是說明半導體裝置的一個實施例的圖；

圖 7 是說明半導體裝置的一個實施例的圖；

圖 8 是說明半導體裝置的一個實施例的圖；

圖 9 是說明半導體裝置的一個實施例的圖；以及

圖 10A 至 10F 是示出電子設備的圖。

【主要元件符號說明】

310：電晶體

320：電晶體

330：電晶體

340：電晶體

350：電晶體

360：電晶體

370：電晶體
380：電晶體
390：電晶體
400：基板
401：閘極電極
402：閘極絕緣膜
403：氧化物半導體膜
404：金屬氧化物膜
405a：源極電極
405b：汲極電極
407：金屬氧化物膜
409：絕緣膜
410：導電膜
419：保護絕緣膜
427：金屬氧化物膜
500：電晶體
2700：電子書閱讀器
2701：框體
2703：框體
2705：顯示部
2707：顯示部
2711：軸部
2721：電源
2723：操作鍵

2725：揚聲器

2800：框體

2801：框體

2802：顯示面板

2803：揚聲器

2804：麥克風

2805：操作鍵

2806：定位裝置

2807：影像拍攝用透鏡

2808：外部連接端子

2810：太陽能電池

2811：外部儲存槽

3001：主體

3002：框體

3003：顯示部

3004：鍵盤

3021：主體

3022：觸控螢幕筆

3023：顯示部

3024：操作按鈕

3025：外部介面

3051：主體

3053：取景器

3054：操作開關

3055：顯示部 B
3056：電池
3057：顯示部 A
4001：基板
4002：像素部
4003：信號線驅動電路
4004：掃描線驅動電路
4005：密封材料
4006：基板
4008：液晶層
4010：電晶體
4011：電晶體
4013：液晶元件
4015：連接端子電極
4016：端子電極
4018：FPC
4018a：FPC
4018b：FPC
4019：各向異性導電膜
4021：絕緣層
4030：電極層
4031：電極層
4032：絕緣膜
4033：絕緣膜

4035 : 間隔物

4510 : 分隔壁

4511 : 電致發光層

4513 : 發光元件

4514 : 填充材料

4612 : 空洞

4613 : 球形微粒

4614 : 填充材料

4615a : 黑色區

4615b : 白色區

9600 : 電視裝置

9601 : 框體

9603 : 顯示部

9605 : 支架

七、申請專利範圍

1. 一種半導體裝置，包含：

閘極電極；

該閘極電極上的閘極絕緣膜；

該閘極絕緣膜上的第一金屬氧化物膜；

該第一金屬氧化物膜上的氧化物半導體膜；

該氧化物半導體膜上的第二金屬氧化物膜；

該第二金屬氧化物膜上的源極電極；以及

該第二金屬氧化物膜上的汲極電極，

其中，該源極電極與該氧化物半導體膜接觸，

其中，該汲極電極與該氧化物半導體膜接觸，

其中，該第一金屬氧化物膜及該第二金屬氧化物膜中的至少一者含有選自該氧化物半導體膜的構成元素中的至少一種金屬元素，以及

其中，該源極電極和該汲極電極藉由該第二金屬氧化物膜的開口而與該氧化物半導體膜接觸。

2. 根據申請專利範圍第 1 項所述的半導體裝置，還包含：

該第二金屬氧化物膜、該源極電極及該汲極電極上的絕緣膜；以及

該絕緣膜上的導電膜。

3. 根據申請專利範圍第 1 項所述的半導體裝置，

其中該氧化物半導體膜不延伸超過該閘極電極。

4. 根據申請專利範圍第 1 項所述的半導體裝置，還包

含該第二金屬氧化物膜上的保護絕緣膜，

其中該源極電極及該汲極電極形成在該保護絕緣膜上。

5.根據申請專利範圍第 1 項所述的半導體裝置，

其中該第二金屬氧化物膜具有比該氧化物半導體膜的能隙大的能隙。

6.根據申請專利範圍第 1 項所述的半導體裝置，

其中該第二金屬氧化物膜的導電帶的底部上的能量比該氧化物半導體膜的導電帶的底部上的能量高。

7.根據申請專利範圍第 1 項所述的半導體裝置，

其中該第二金屬氧化物膜包含氧化鎵。

8.根據申請專利範圍第 1 項所述的半導體裝置，

其中該閘極絕緣膜含有氧化矽或氧化鋁。

9.根據申請專利範圍第 1 項所述的半導體裝置，

其中該源極電極與該第二金屬氧化物膜接觸，以及

其中該汲極電極與該第二金屬氧化物膜接觸。

10.一種半導體裝置，包含：

閘極電極；

該閘極電極上的閘極絕緣膜；

該閘極絕緣膜上的第一金屬氧化物膜；

該第一金屬氧化物膜上的氧化物半導體膜；

該氧化物半導體膜上的第二金屬氧化物膜；以及

該第二金屬氧化物膜上的源極電極及汲極電極，

其中，該源極電極及該汲極電極與該氧化物半導體膜

接觸，以及

其中，該第一金屬氧化物膜及該第二金屬氧化物膜中的至少一個含有選自該氧化物半導體膜的構成元素中的至少一種金屬元素。

11.根據申請專利範圍第 10 項所述的半導體裝置，

其中該源極電極及該汲極電極藉由該第二金屬氧化物膜的開口與該氧化物半導體膜接觸。

12.根據申請專利範圍第 10 項所述的半導體裝置，

其中該第一金屬氧化物膜及該第二金屬氧化物膜中的至少一個具有比該氧化物半導體膜的能隙大的能隙。

13.根據申請專利範圍第 10 項所述的半導體裝置，

其中該第一金屬氧化物膜的導電帶的底部上的能量及該第二金屬氧化物膜的導電帶的底部上的能量中的至少一個比該氧化物半導體膜的導電帶的底部上的能量高。

14.根據申請專利範圍第 10 項所述的半導體裝置，

其中該第一金屬氧化物膜及該第二金屬氧化物膜中的至少一個含有氧化鎵。

15.根據申請專利範圍第 10 項所述的半導體裝置，

其中該閘極絕緣膜含有氧化矽或氧化鋁。

16.一種半導體裝置，包含：

氧化物半導體膜；

該氧化物半導體膜上的金屬氧化物膜；

該金屬氧化物膜上的源極電極及汲極電極；

該金屬氧化物膜、該源極電極及該汲極電極上的閘極

絕緣膜；以及

該閘極絕緣膜上的閘極電極，

其中，該源極電極及該汲極電極與該氧化物半導體膜接觸，

其中，該金屬氧化物膜含有選自該氧化物半導體膜的構成元素中的至少一種金屬元素，以及

其中，該源極電極和該汲極電極藉由該金屬氧化物膜的開口而與該氧化物半導體膜接觸。

17.根據申請專利範圍第 16 項所述的半導體裝置，

其中該金屬氧化物膜具有比該氧化物半導體膜的能隙大的能隙。

18.根據申請專利範圍第 16 項所述的半導體裝置，

其中該金屬氧化物膜的導電帶的底部上的能量比該氧化物半導體膜的導電帶的底部上的能量高。

19.根據申請專利範圍第 16 項所述的半導體裝置，

其中該金屬氧化物膜含有氧化鎵。

20.一種顯示裝置，包含：

像素電極；以及

電晶體，

其中該電晶體包含：

包括通道形成區的氧化物半導體膜；

該氧化物半導體膜上的金屬氧化物膜；

該氧化物半導體膜和該金屬氧化物膜上且與其接觸的源極電極和汲極電極，

該氧化物半導體膜、該金屬氧化物膜、該源極電極和該汲極電極上的閘極絕緣膜；以及

該閘極絕緣膜上的閘極電極，

其中該金屬氧化物膜與該通道形成區重疊，

其中該氧化物半導體膜含有一個或多個金屬元素，以及

其中該金屬氧化物膜含有包含在該氧化物半導體膜中的金屬元素中的至少一個，以及

其中該像素電極電連接到該源極電極和該汲極電極中的一個。

21.根據申請專利範圍第 20 項所述的顯示裝置，

其中該氧化物半導體膜的側緣與該金屬氧化物膜的側緣對齊。

22.根據申請專利範圍第 20 項所述的顯示裝置，

其中該氧化物半導體膜的側面與該金屬氧化物膜接觸。

23.根據申請專利範圍第 20 項所述的顯示裝置，

其中該金屬氧化物膜具有比該氧化物半導體膜的帶隙大的帶隙。

24.根據申請專利範圍第 20 項所述的顯示裝置，

其中該氧化物半導體膜含有銦、鎵、和鋅，以及

其中該金屬氧化物膜含有至少鎵。

25.一種顯示裝置，包含：

像素電極；以及

電晶體，

其中該電晶體包含：

閘極電極；

該閘極電極上的閘極絕緣膜；

該閘極絕緣膜上的第一金屬氧化物膜；

該第一金屬氧化物膜上的包括通道形成區的氧化物半導體膜；

該氧化物半導體膜上的第二金屬氧化物膜；以及

該氧化物半導體膜和該第二金屬氧化物膜上且與其接觸的源極電極和汲極電極，

其中該通道形成區介於該第一金屬氧化物膜和該第二金屬氧化物膜間，

其中該氧化物半導體膜含有一個或多個金屬元素，以及

其中該第一金屬氧化物膜和該第二金屬氧化物膜含有包含在該氧化物半導體膜中的金屬元素中的至少一個，以及

其中該像素電極電連接到該源極電極和該汲極電極中的一個。

26.根據申請專利範圍第 25 項所述的顯示裝置，

其中該氧化物半導體膜的側緣與該第二金屬氧化物膜的側緣對齊。

27.根據申請專利範圍第 25 項所述的顯示裝置，

其中該氧化物半導體膜的側面與該第二金屬氧化物膜

接觸。

28.根據申請專利範圍第 25 項所述的顯示裝置，

其中該第一金屬氧化物膜和該第二金屬氧化物膜各個具有比該氧化物半導體膜的帶隙大的帶隙。

29.根據申請專利範圍第 25 項所述的顯示裝置，

其中該氧化物半導體膜含有銦、鎵、和鋅，以及

其中該第一金屬氧化物膜和該第二金屬氧化物膜含有至少鎵。

30.根據申請專利範圍第 20 或 25 項所述的顯示裝置，

其中該源極電極和該汲極電極包含選自鋁、鉻、銅、鈮、鉬、和鎢中的金屬。

31.一種電子設置，包含根據申請專利範圍第 20 或 25 項所述的顯示裝置。

32.一種形成半導體裝置的方法，其包含步驟：

形成閘極電極；

在該閘極電極上形成閘極絕緣膜；

在該閘極絕緣膜上形成包含通道形成區的氧化物半導體膜；

在該氧化物半導體膜上形成金屬氧化物膜，且該金屬氧化物膜與該氧化物半導體膜接觸；

在形成該金屬氧化物膜之後執行熱處理；

在該金屬氧化物膜上形成源極電極和汲極電極，該源極電極和該汲極電極與該氧化物半導體膜接觸；以及

在該金屬氧化物膜上形成電極，且該電極與該閘極電極重疊，

其中該氧化物半導體膜含有一個或多個金屬元素，

其中該金屬氧化物膜含有包含在該氧化物半導體膜中的該些金屬元素中的至少一個，以及

其中該氧化物半導體膜的側面與該金屬氧化物膜接觸。

33. 一種形成半導體裝置的方法，其包含步驟：

形成包含通道形成區的氧化物半導體膜；

在該氧化物半導體膜上形成金屬氧化物膜，且該金屬氧化物膜與該氧化物半導體膜接觸；

在形成該金屬氧化物膜之後執行熱處理；

在該金屬氧化物膜上形成源極電極和汲極電極，該源極電極和該汲極電極與該氧化物半導體膜接觸；以及

在該金屬氧化物膜上形成電極，

其中該電極與該通道形成區重疊，其間插入有該金屬氧化物膜；

其中該氧化物半導體膜含有一個或多個金屬元素，

其中該金屬氧化物膜含有包含在該氧化物半導體膜中的該些金屬元素中的至少一個，以及

其中該氧化物半導體膜的側面與該金屬氧化物膜接觸。

34. 根據申請專利範圍第 32 或 33 項所述的形成半導體裝置的方法，

其中在該熱處理步驟中，氧從該金屬氧化物膜供應至該氧化物半導體膜，以及

其中該通道形成區在該熱處理後包含本徵氧化物半導體。

35. 根據申請專利範圍第 32 或 33 項所述的形成半導體裝置的方法，

其中該氧化物半導體膜和該金屬氧化物膜的各者係使用濺射法形成。

36. 根據申請專利範圍第 32 或 33 項所述的形成半導體裝置的方法，

其中該金屬氧化物膜具有比該氧化物半導體膜的帶隙大的帶隙。

37. 根據申請專利範圍第 32 或 33 項所述的形成半導體裝置的方法，

其中該氧化物半導體膜含有銦、鎵、和鋅，以及

其中該金屬氧化物膜含有至少鎵。

38. 一種形成半導體裝置的方法，其包含步驟：

形成閘極電極；

在該閘極電極上形成閘極絕緣膜；

在該閘極絕緣膜上形成第一金屬氧化物膜；

在該第一金屬氧化物膜上形成包含通道形成區的氧化物半導體膜；

在該氧化物半導體膜上形成第二金屬氧化物膜，且該第二金屬氧化物膜與該氧化物半導體膜接觸；

在形成該第二金屬氧化物膜之後執行熱處理；

在該第二金屬氧化物膜上形成源極電極和汲極電極，
該源極電極和汲極電極與該氧化物半導體膜接觸，

其中該氧化物半導體膜含有一個或多個金屬元素，

其中該第一金屬氧化物膜和該第二金屬氧化物膜的各者含有包含在該氧化物半導體膜中的該些金屬元素中的至少一個，以及

其中該氧化物半導體膜的側面與該第二金屬氧化物膜接觸。

39. 根據申請專利範圍第 32、33 或 38 項所述的形成半導體裝置的方法，更包含步驟：

在該氧化物半導體膜上執行脫水化處理或脫氫化處理，

其中該脫水化處理或該脫氫化處理係在 250℃ 至 700℃ 的溫度被執行。

40. 根據申請專利範圍第 38 項所述的形成半導體裝置的方法，

其中在該熱處理步驟中，氧從該第一金屬氧化物膜和該第二金屬氧化物膜供應至該氧化物半導體膜，以及

其中該通道形成區在該熱處理後包含本徵氧化物半導體。

41. 根據申請專利範圍第 38 項所述的形成半導體裝置的方法，

其中該氧化物半導體膜、該第一金屬氧化物膜和該第

二金屬氧化物膜的各者係使用濺射法形成。

42. 根據申請專利範圍第 38 項所述的形成半導體裝置的方法，

其中該第一金屬氧化物膜和該第二金屬氧化物膜的各者具有比該氧化物半導體膜的帶隙大的帶隙。

43. 根據申請專利範圍第 38 項所述的形成半導體裝置的方法，

其中該氧化物半導體膜含有銦、鎵、和鋅，以及

其中該第一金屬氧化物膜和該第二金屬氧化物膜的各者含有至少鎵。

44. 根據申請專利範圍第 38 項所述的形成半導體裝置的方法，更包含步驟：

在該第二金屬氧化物膜上形成電極，且該電極與該閘極電極重疊。

圖 1A

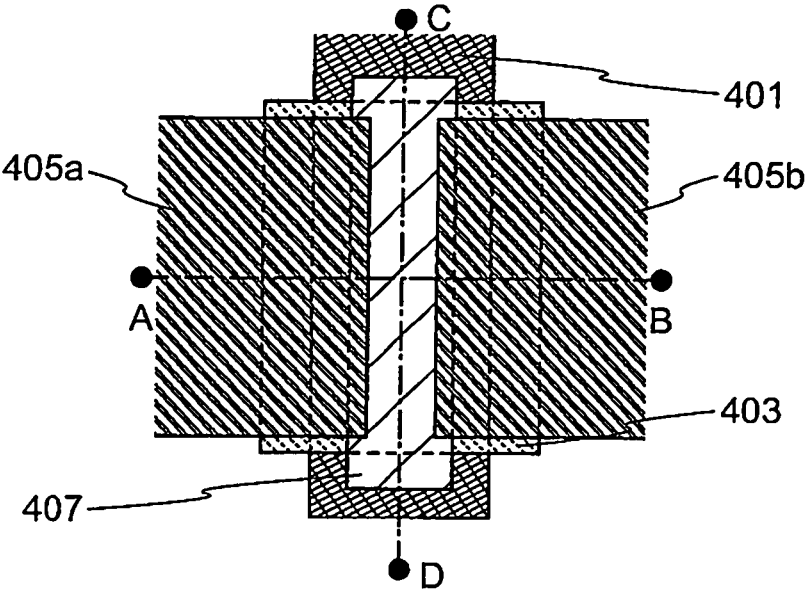


圖 1B

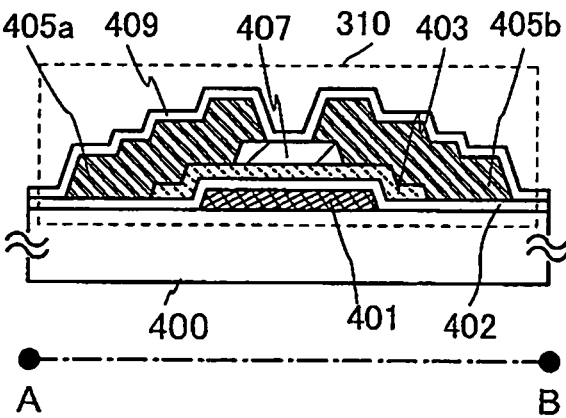


圖 1C

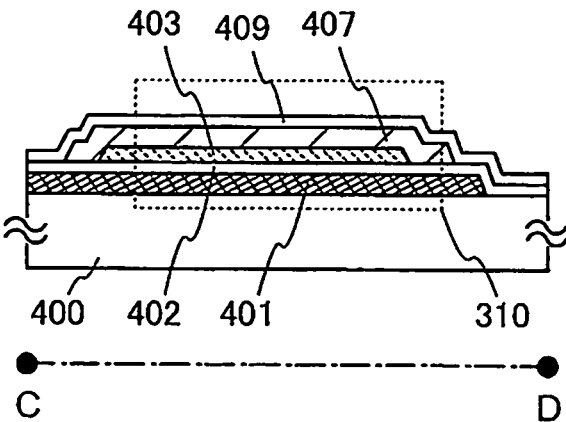


圖2

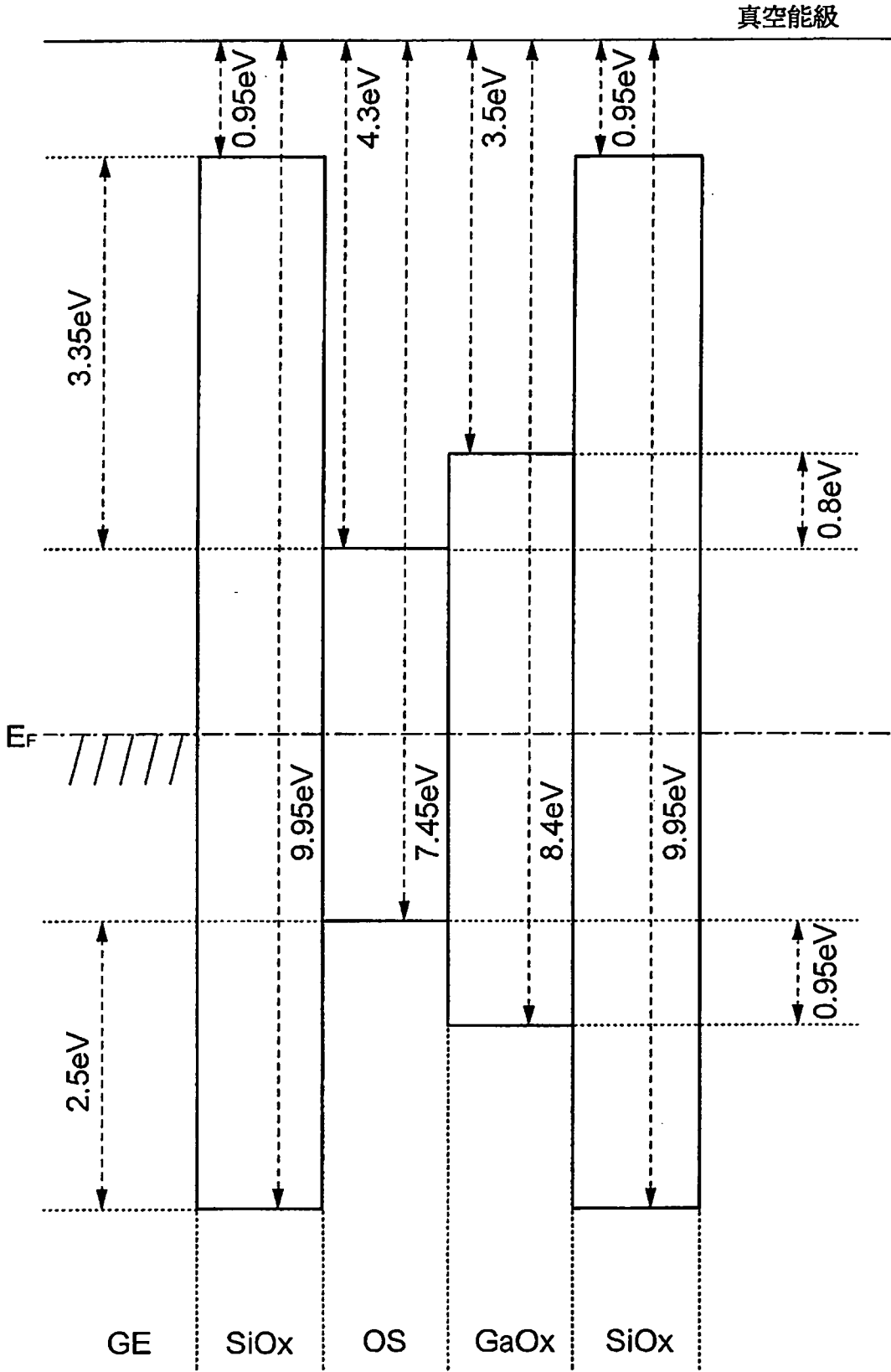


圖 3A

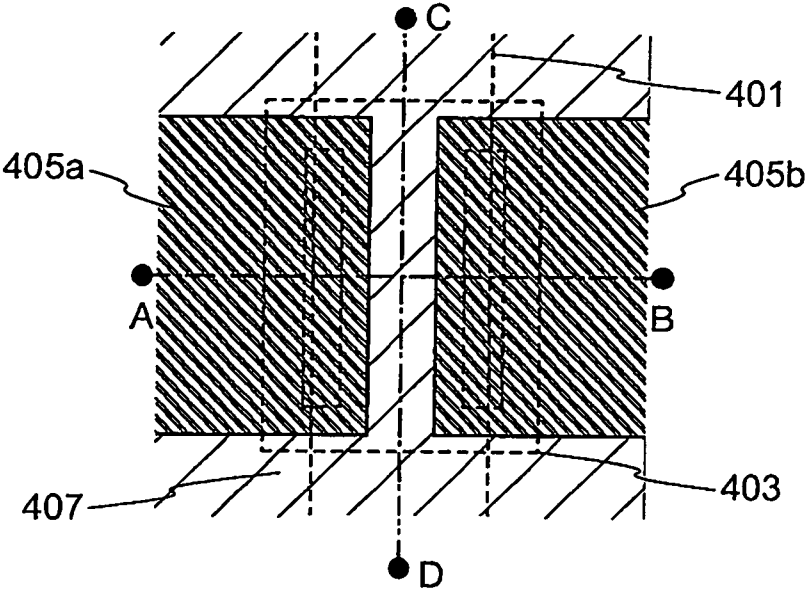


圖 3B

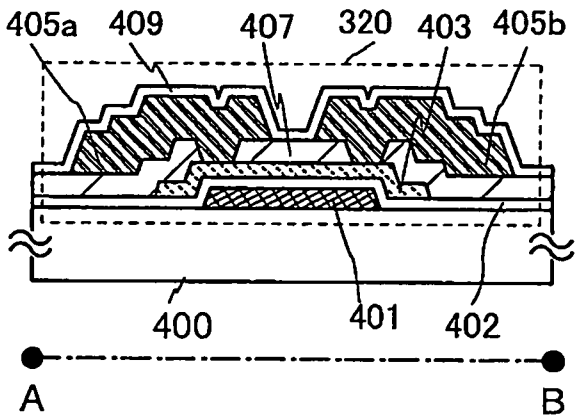


圖 3C

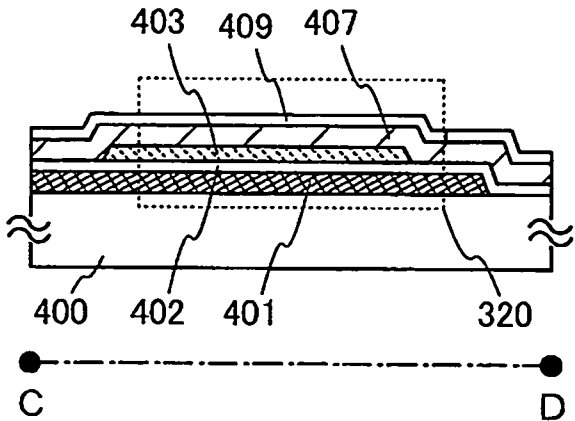


圖 4A

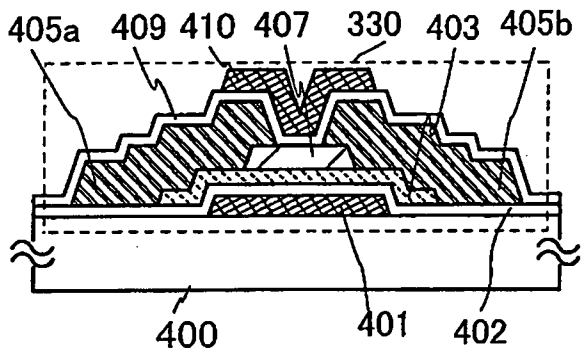


圖 4B

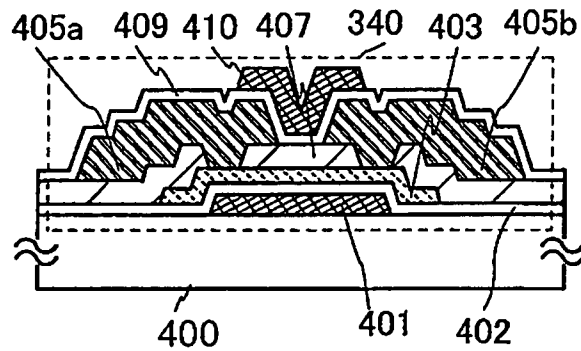


圖 4C

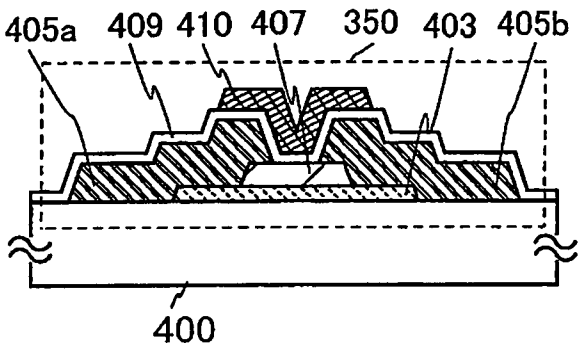


圖 4D

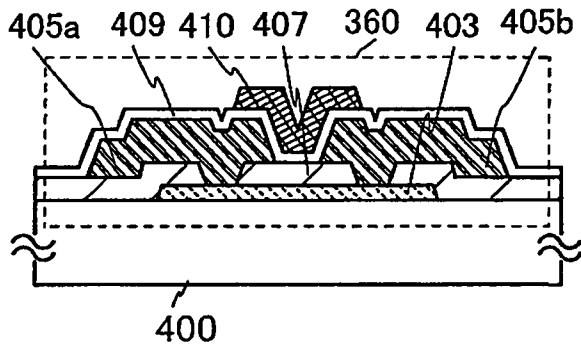


圖 4E

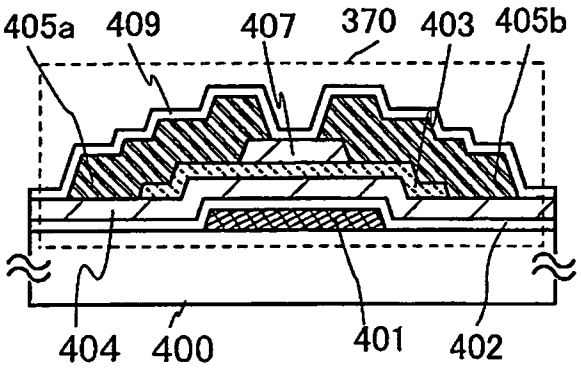


圖 4F

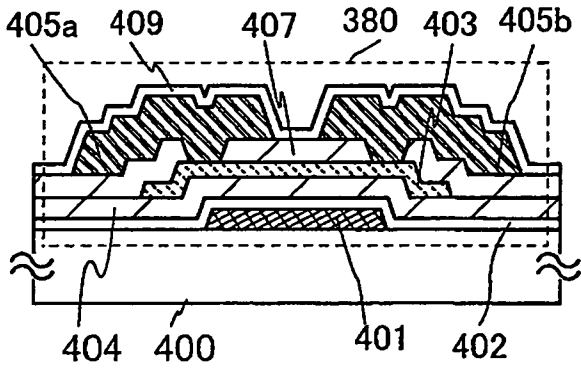


圖 4G

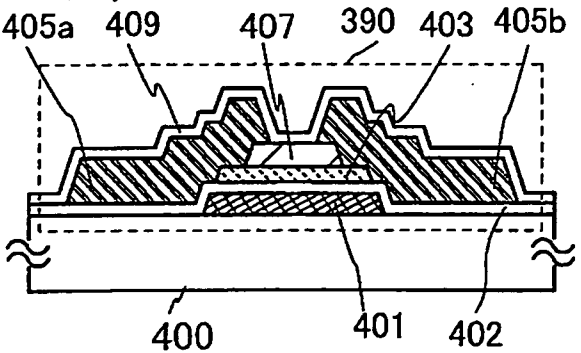


圖 4H

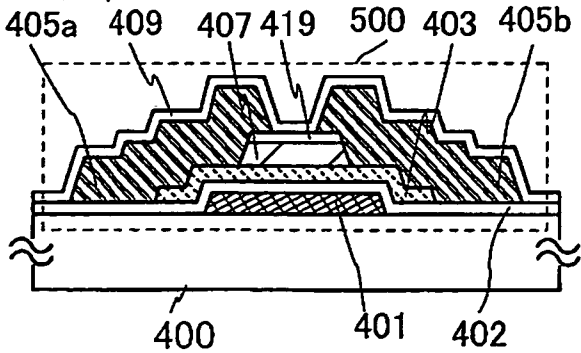


圖 5A

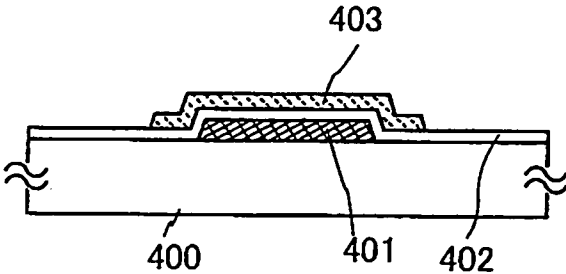


圖 5B

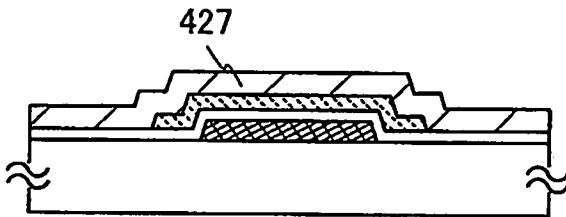


圖 5C

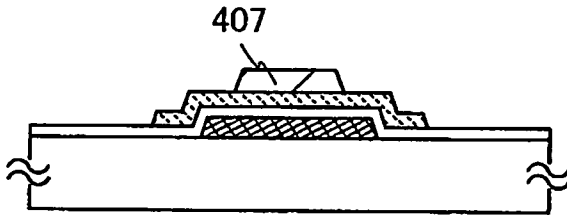


圖 5D

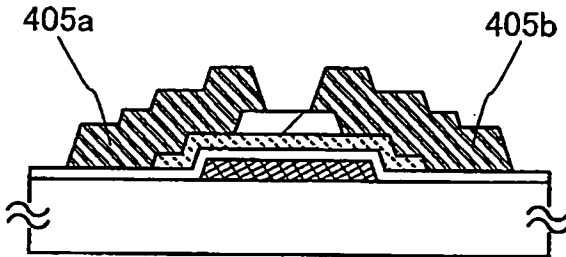


圖 5E

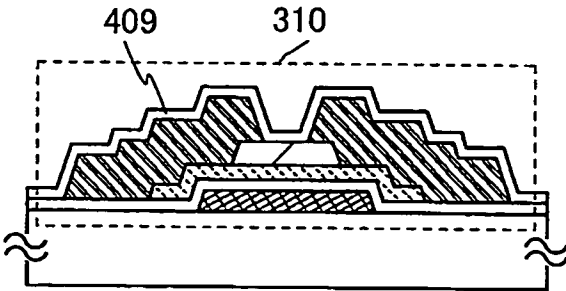


圖 6A

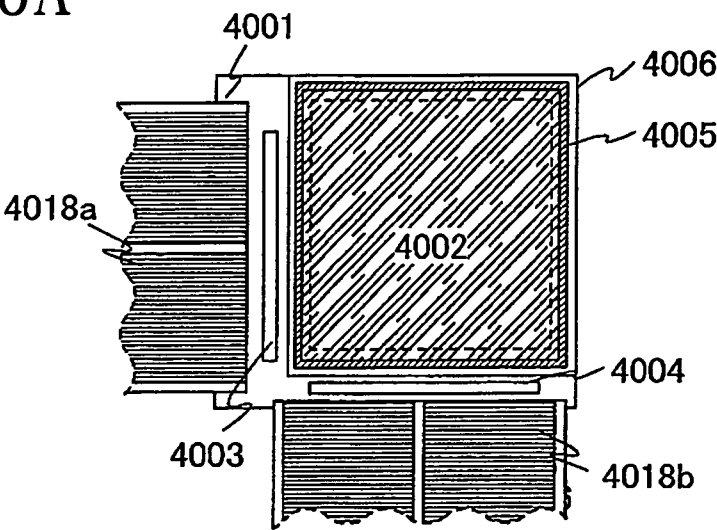


圖 6B

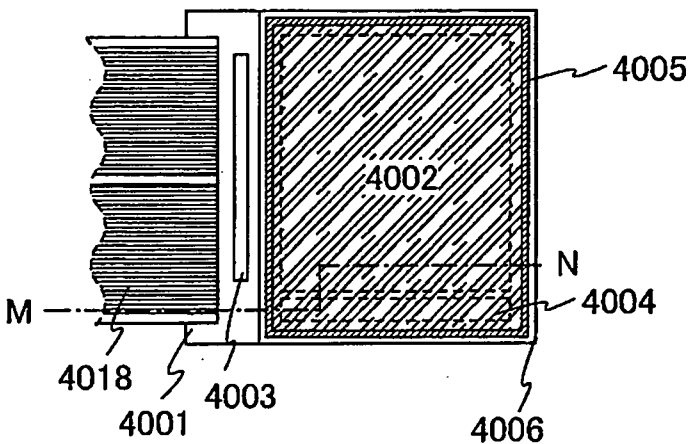


圖 6C

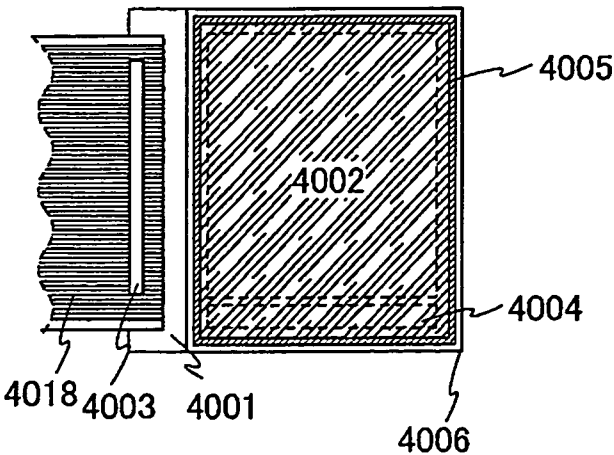


圖7

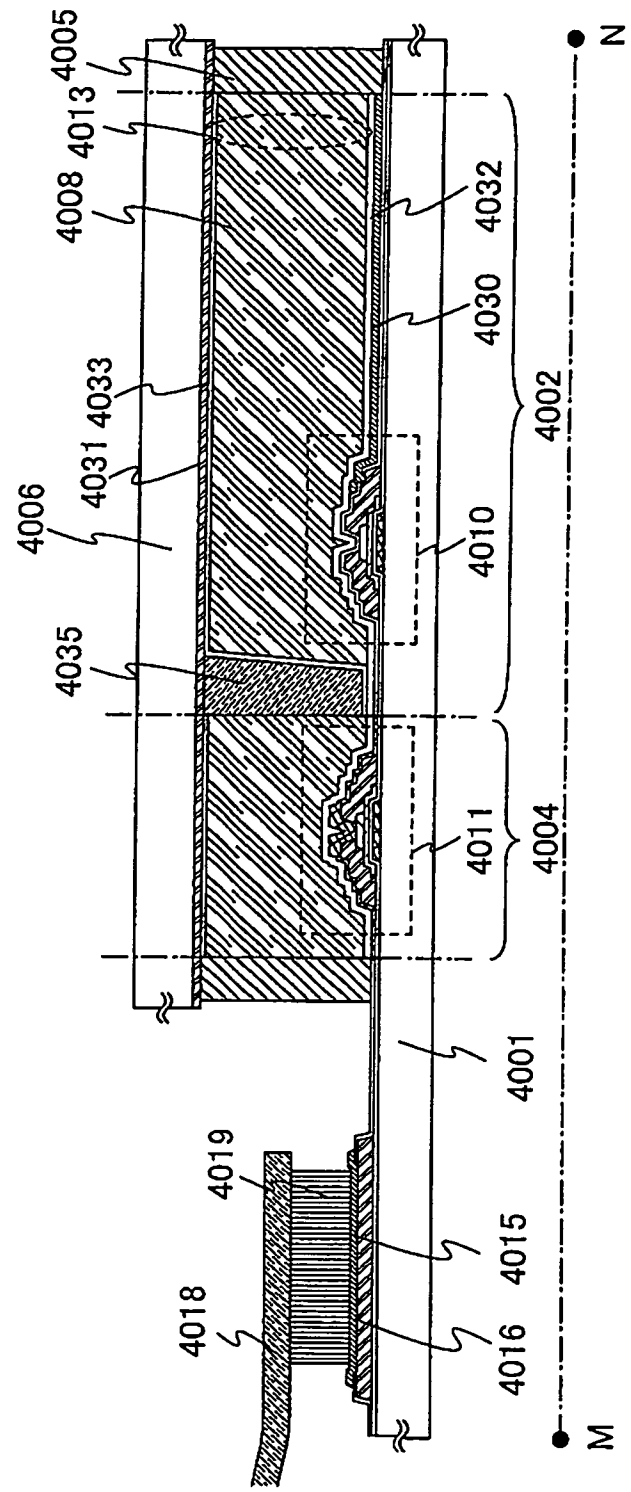


圖8

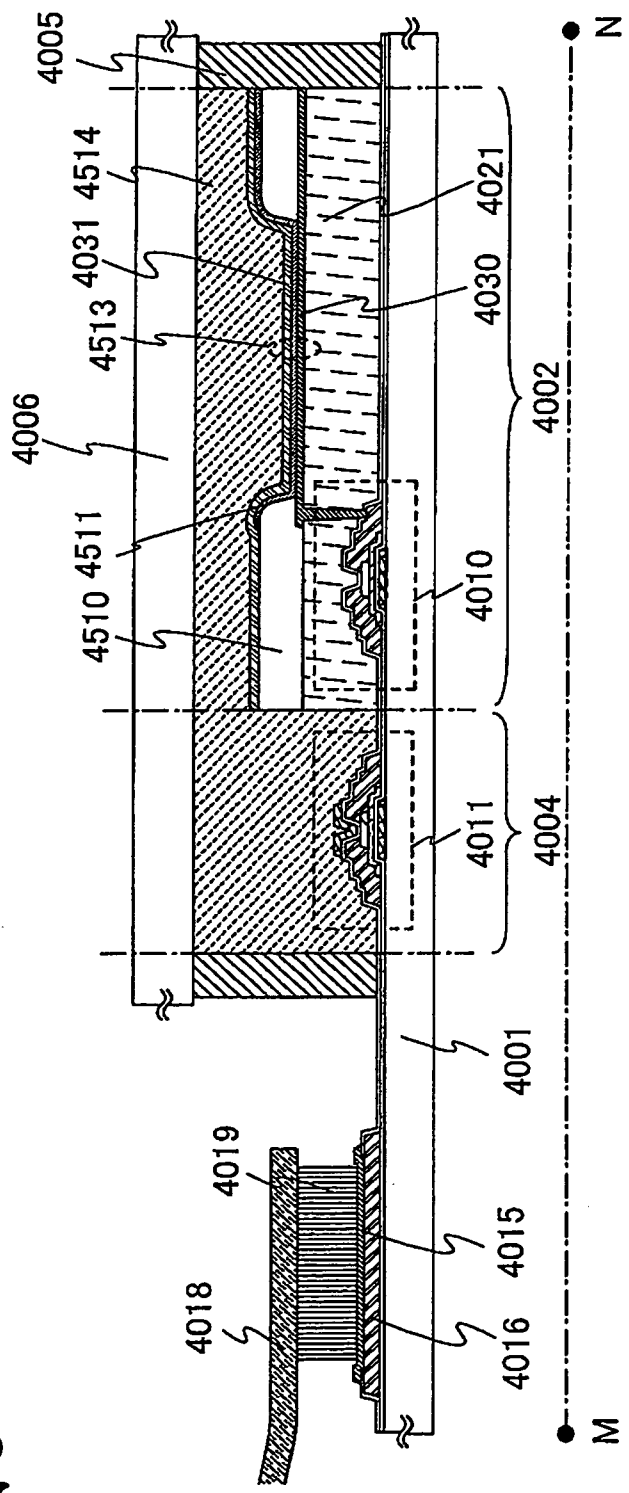


圖9

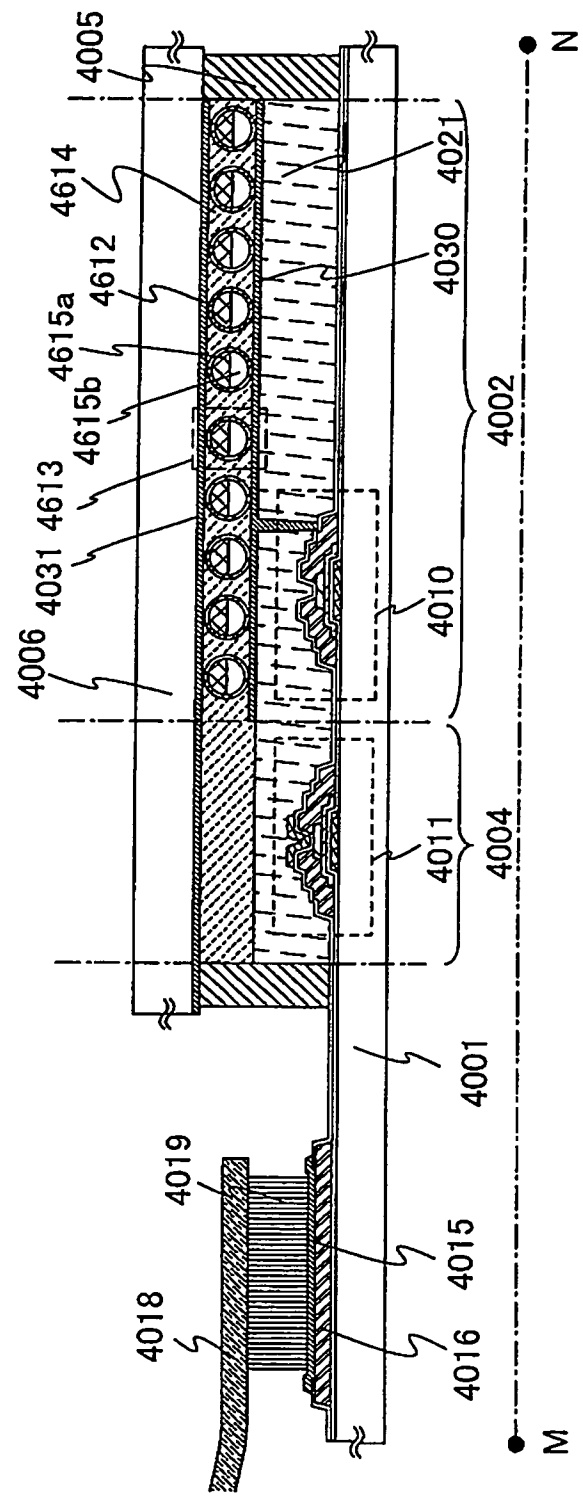


圖 10A

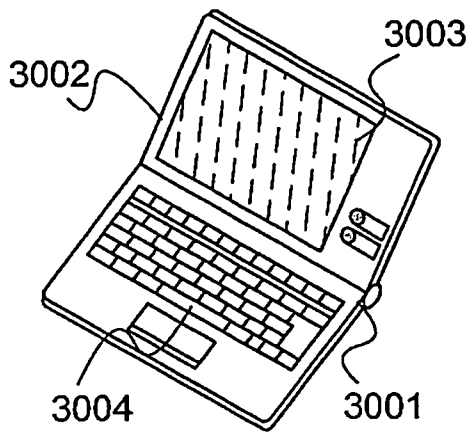


圖 10B

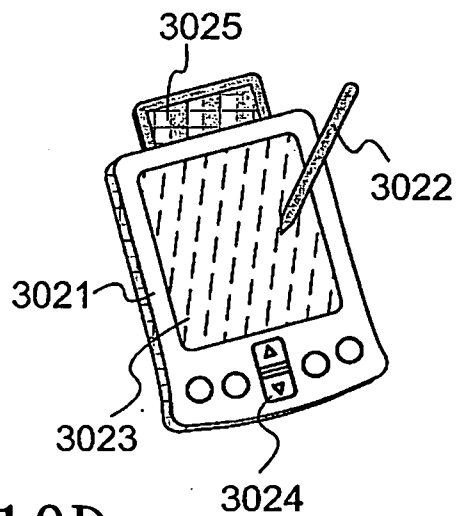


圖 10C

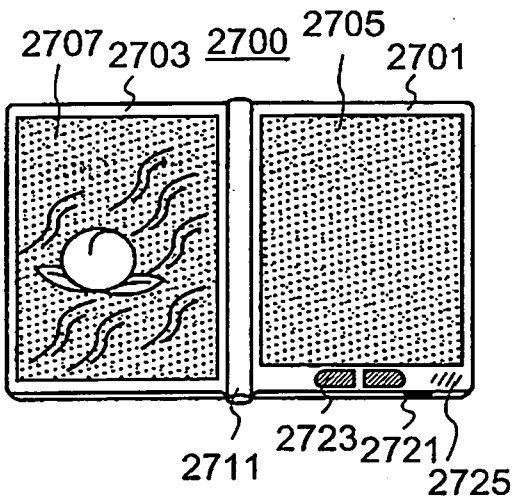


圖 10D

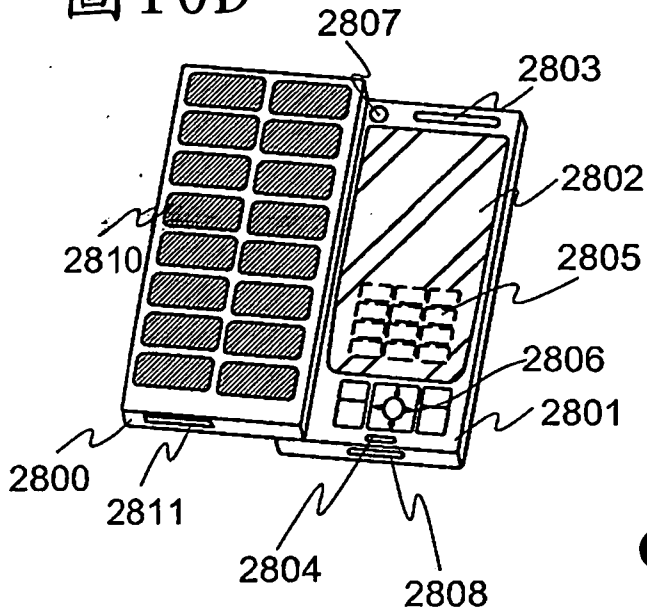


圖 10E

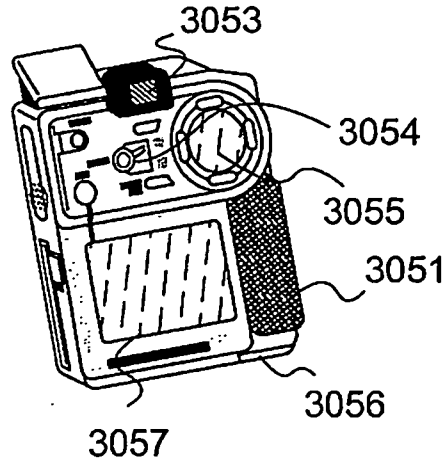


圖 10F

