

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

64267

Patent dodatkowy
do patentu _____

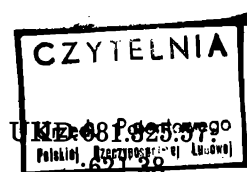
Zgłoszono: 21.XI.1968 (P 130 176)

Pierwszeństwo: 22.XI.1967 Niemiecka
Republika
Demokratyczna

Opublikowano: 30.XI.1971

Kl. 42 m³, 7/52

MKP G 06 f, 7/52



Współtwórcy wynalazku: Klaus Greiner, Gerhard Christiansmeier
Właściciel patentu: VEB Elektronische Rechenmaschinen Wissenschaft-
licher Industriebetrieb Karl-Marx-Stadt
Karl-Marx-Stadt (Niemiecka Republika Demokra-
tyczna)

Sposób dzielenia dwójkowego oraz urządzenie do stosowania tego sposobu

1

Przedmiotem wynalazku jest sposób dzielenia dwójkowego oraz urządzenie do stosowania tego sposobu, a dokładniej sposobu dwójkowego dzielenia nierestytucyjnego liczb n -bitowych przy jednoczesnym wyznaczeniu reszty końcowej, w którym liczby ujemne wyrażane są w postaci uzupełnień dwójkowych, a oba argumenty operacji dzielenia zawarte są w przedziale $2^{n-1} - 1 \geq x \geq -2^{n-1}$, oraz urządzenie do stosowania tego sposobu.

Znane są sposoby szybkiego dzielenia dwójkowego, w których zakłada się, że dzielne są dodatnie. Jeżeli założenie takie jest niedopuszczalne, to tworzy się wartość bezwzględna dzielnej wykonując specjalne operacje przed właściwą operacją dzielenia. Iloraz wyznacza się jako wynik ciągu odejmowań, dodawań i przesunięć dzielnej względnie reszt częściowych w kierunku miejsc bardziej znaczących.

Sposób wyznaczania ilorazu jest w zasadniczych zarysach następujący:

Iloraz tworzy się krok po kroku poczynając od miejsc najbardziej znaczących. Niech dla uproszczenia dzielnik jest pozbawiony zer na bardziej znaczących miejscach, przed najbardziej znaczącą jedyneką. Dzielna, względnie reszta częściowa zostaje przesunięta w lewo, w kierunku miejsc bardziej znaczących o tyle miejsc, ile miała zer na miejscach bardziej znaczących przed pierwszą jedyneką. Przesunięte o jedno miejsce towarzyszy ustawienie zera jako kolejnej cyfry ilorazu, po

2

czym odejmuje się dzielnik od dzielnej, względnie od reszty częściowej. Następnie przesuwamy się resztę częściową o jedno miejsce i wyznaczamy kolejną cyfrę ilorazu. Cyfrą tą jest zero, jeżeli reszta częściowa jest ujemna, a w przeciwnym przypadku jedynka. Jeżeli reszta częściowa jest ujemna, to przesuwamy się ją o jedynkę znajdującą się na miejscach bardziej znaczących niż miejsce pierwszego zera. Przesunięciu o jedno miejsce towarzyszy ustawienie jedynki jako kolejnej cyfry ilorazu i następnie dodanie dzielnika do reszty częściowej. Dalej postępuje się tak samo, jak i po odejmowaniu.

Wadą tych sposobów jest to, że połączone są one ze stosowaniem czasochłonnych operacji uzupełnienia, które mogą być wykonane tylko przez rozbudowane układy sterowania. Operacje uzupełnienia muszą być stosowane zawsze w przypadku, gdy ujemne dzielne, reszty końcowe i ilorazy są przedstawione w postaci uzupełnień dwójkowych.

Celem niniejszego wynalazku jest podanie ulepszonego sposobu dzielenia, realizowanego bez rozbudowanego układu sterowania, a zadaniem wynalazku jest podanie takiego sposobu dzielenia dodatkich liczb dwójkowych oraz ujemnych liczb dwójkowych przedstawionych w postaci uzupełnień dwójkowych, w których nie wykonuje się operacji uzupełnienia dzielnej przed wykonaniem pierwszego kroku dzielenia, ani uzupełnienia reszty końcowej po ostatnim kroku dzielenia, a po-

nadto zbudowanie urządzenia do stosowania tego sposobu.

Cel ten osiągnięto według wynalazku dzięki temu, że dzielna, względnie reszta częściowa jest przesuwana wtedy, gdy jej dwa najbardziej znaczące bity są równe, przy czym na każdy bit przesunięcia wyznacza się jeden bit ilorazu w zależności od znaku dzielnej, względnie reszty i w zależności od znaku dzielnika. Bit ten jest jedynką, jeżeli znaki te są różne. Jeżeli jednak dwa najbardziej znaczące bity dzielnej względnie reszty częściowej są różne, to przy różnych znakach dzielnej względnie reszty i dzielnika następną operacją jest dodawanie, a w przeciwnym przypadku odejmowanie dzielnika. Z kolei następuje przesunięcie reszty częściowej o jeden bit i wyznaczenie bitu ilorazu. Jeżeli reszta częściowa i dzielnik mają jednakowe znaki, to bitem tym jest jedynka, a jeżeli wyznaczeniu podlegał ostatni bit ilorazu, to po jego wyznaczeniu iloraz powiększa się o jeden przy pomocy sumatora w przypadku, gdy dzielnik jest ujemny i reszta końcowa równa zero, a także w przypadku, gdy dzielna i dzielnik mają różne znaki, a reszta końcowa jest różna od zera.

Cel podany osiąga się według wynalazku także w inny sposób dzięki temu, że przesunięcie dzielnej, względnie reszty częściowej następuje wtedy, gdy dwa najbardziej znaczące bity dzielnej, względnie reszty są równe. Jednocześnie przy każdym przesunięciu wyznaczony zostaje jeden bit ilorazu w zależności od znaków dzielnej i reszty. Bitem tym jest jedynka, jeżeli znaki te są różne. W przypadku jednak, gdy dwa najbardziej znaczące bity dzielnej, względnie reszty częściowej są różne, to przy różnych znakach dzielnej względnie reszty częściowej i dzielnika kolejno wykonywaną operacją jest dodawanie, a w przeciwnym przypadku — odejmowanie. Z kolei następuje przesunięcie reszty częściowej o jeden bit, przy czym wyznaczony zostaje jeden bit ilorazu. Bitem tym jest jedynka, jeżeli dzielna i reszta częściowa mają jednakowe znaki. Po wyznaczeniu ostatniego bitu ilorazu tworzy się jego następnik przy pomocy sumatora, jeżeli dzielna była ujemna, a reszta końcowa równa zero, przy czym wyznaczone w ten sposób bity ilorazu odpowiadają modułowi ilorazu. Dlatego przy różnych znakach dzielnika i dzielnej wykonane zostaje uzupełnienie ilorazu za pomocą sumatora.

Dla obydwóch opisanych sposobów wspólny jest fakt, że w ostatnim kroku dzielenia, w którym wyznaczona zostaje jedna cyfra ilorazu następuje jedno dodawanie lub odejmowanie dzielnika, po którym nie następuje przesunięcie. W wyniku tej operacji obliczona zostaje reszta nieskorygowana. Wyznaczenie reszty końcowej wykonywane jest w następnej operacji, o ile reszta nieskorygowana nie jest równa zero. W tej ostatniej operacji nie wyznacza się już żadnej cyfry ilorazu i polega ona na obliczeniu reszty skorygowanej przez wykonanie dodawania, względnie odejmowania dzielnika w tym przypadku, gdy dzielna jest dodatnia, a nieskorygowana reszta ujemna, a także gdy dzielna jest ujemna, a reszta nieskorygowana różna od zera. Przy tym, jeżeli dzielna jest ujemna i jedno-

częściej nieskorygowana reszta jest ujemna, to wówczas reszta ta jest resztą końcową, o ile skorygowana reszta nie jest równa zero, gdyż w tym przypadku do rejestru reszty końcowej zostaje wprowadzone zero.

W skład urządzenia do stosowania sposobu według wynalazku wchodzi przesuwany rejestr dzielnej względnie reszty częściowej i ilorazu, rejestr dzielnika oraz sumator równoległy do wykonywania operacji dodawania, względnie odejmowania dzielnika od dzielnej względnie od reszty częściowej.

W skład urządzenia wchodzi ponadto pierwszy układ logiczny, którego wejście połączone jest z najbardziej znaczącym bitem rejestru dzielnika, albo z tym bitem dzielnika i z rejestrem do przechowywania znaku dzielnej, a także z dwoma najbardziej znaczącymi bitami rejestru dzielnej i reszty częściowej. Ten pierwszy układ logiczny służy do wytwarzania sygnałów sterujących dodawaniem, odejmowaniem i przesunięciem, co pozwala na obliczenie bitów ilorazu.

Kolejnym elementem wchodzącym w skład urządzenia według wynalazku jest drugi układ logiczny. Wejścia tego układu logicznego połączone są z najbardziej znaczącym bitem rejestru dzielnika, albo z rejestrem znaku dzielnej i z najbardziej znaczącym bitem wyjścia sumatora. Układ ten służy do wytwarzania sygnałów sterujących tworzeniem bitów ilorazu. Następnym elementem urządzenia według wynalazku jest układ rozpoznający, którego wyjścia są połączone z częścią rejestru reszty częściowej. Układ ten służy do wytwarzania sygnałów w przypadku, gdy reszta częściowa, lub reszta końcowa jest równa zero. Ponadto w skład urządzenia według wynalazku wchodzi inne układy logiczne, których wejścia są połączone z najbardziej znaczącymi bitami rejestrów dzielnika i dzielnej, z wyjściem układu rozpoznającego oraz z wyjściem rejestru znaku dzielnej. Układy te służą do wytwarzania sygnałów do korekcji ilorazu i reszty w ostatnim kroku dzielenia.

Wynalazek pozwala na uniknięcie uzupełniania dzielnej i reszty końcowej. Pozwala to na skrócenie czasu dzielenia dwójkowego bez znaczącego rozbudowywania układu.

Wynalazek jest przykładowo wyjaśniony na podstawie rysunku, na którym przedstawiono schemat blokowy układu do wykonywania dzielenia.

W dalszym opisie termin „normalizacja” jest używany dla oznaczenia operacji przesunięcia w lewo, to znaczy w kierunku bitów bardziej znaczących o tyle bitów, aby dwa najbardziej znaczące bity były różne. Dla uproszczenia zakłada się, że dzielnik jest znormalizowany. Określenie „krok dzielenia” oznacza operację wyznaczania jednego bitu ilorazu, a określenie „liczba dodatków” oznacza liczbę, której reprezentacja ma zero na najbardziej znaczącym bicie, a zatem oznacza liczbę większą, lub równą zero.

Sposób dzielenia według wynalazku jest następujący: dzielna, względnie reszta częściowa jest normalizowana w przesuwanym układzie pamięciowym. Jeżeli na najbardziej znaczących bitach zapisane są zera, to na każdy bit przesunięcia jako

kolejny bit ilorazu zostaje zapisane zero, jeżeli dzielnik jest dodatni, a jedynka jeżeli dzielnik jest ujemny. Jeżeli na najbardziej znaczących bitach zapisane są jedynki, to na każdy bit przesunięcia kolejnym bitem ilorazu jest jedynka, jeżeli dzielnik jest dodatni, a zero, jeżeli dzielnik jest ujemny.

Jeżeli dalsza normalizacja nie jest możliwa, to kolejną operacją jest dodawanie lub odejmowanie dzielnika od najbardziej znaczących bitów dzielnej względnie reszty częściowej. To dodawanie względnie odejmowanie następuje w sumatorze. Jeżeli znormalizowana dzielna względnie reszta częściowa jest dodatnia, to dzielnik jest odejmowany jeżeli jest dodatni, a dodawany, jeżeli jest ujemny. Jeżeli natomiast znormalizowana dzielna względnie reszta częściowa jest ujemna, to przeciwnie — jeżeli dzielnik jest dodatni, to jest dodawany, a jeżeli dzielnik jest ujemny, to jest odejmowany. Jeżeli reszta częściowa otrzymana przez odejmowanie względnie dodawanie dzielnika jest dodatnia, to kolejnym bitem ilorazu jest jedynka, jeżeli dzielnik jest dodatni, a zero, jeżeli dzielnik jest ujemny. Jeżeli natomiast reszta ta jest ujemna, to kolejnym bitem ilorazu jest zero, jeżeli dzielnik jest dodatni, a jedynka, jeżeli dzielnik jest ujemny. Następną operacją po dodawaniu względnie odejmowaniu jest przesunięcie reszty częściowej o jeden bit.

Z kolei następuje normalizacja, a jeżeli nie jest ona możliwa, do wykonania, to następuje dodawanie, względnie odejmowanie.

Iloraz obliczony według sposobu według wynalazku jest poprawny, jeżeli dzielna i dzielnik są dodatnie, albo jeżeli dzielna jest ujemna, dzielnik dodatni, a reszta końcowa równa zero, albo jeżeli dzielna jest ujemna i dzielnik jest ujemny, a reszta końcowa nie jest równa zero.

W przeciwnym przypadku tak obliczony iloraz wymaga skorygowania przez dodanie jedynki. Korekcja ta jest wykonana w sumatorze na przykład przez podanie impulsu przeniesienia na dodatkové wejście przeniesienia pierwszego z prawej bitu sumatora.

Aby uzyskać resztę końcową, ostatnią operacją w ostatnim kroku dzielenia jest dodawanie, względnie odejmowanie bez następującego przesunięcia. Otrzymaną w tym kroku resztę należy skorygować w trzech przypadkach. Jeżeli dzielna jest dodatnia, a reszta ujemna, to korekcja polega na dodaniu dzielnika, jeżeli jest on dodatni, a na odjęciu dzielnika, jeżeli jest on ujemny. Jeżeli dzielna jest ujemna, a reszta większa od zera, to korekcja polega na odjęciu dzielnika, jeżeli jest on dodatni, a na dodaniu dzielnika, jeżeli jest ujemny. Jeżeli natomiast dzielna jest ujemna, a reszta jest mniejsza od zera, to korekcja polega na dodaniu dzielnika, jeżeli jest dodatni, a na odjęciu dzielnika, jeżeli jest ujemny. W tym ostatnim przypadku, jeżeli skorygowana reszta jest różna od zera, to za resztę końcową przyjmuje się jednak resztę nieskorygowaną.

Trzy przykłady dzielenia według wynalazku przedstawione są na podanych niżej tabelach.

Te trzy przykłady dotyczą pierwszego z dwóch

opisanych sposobów dzielenia według wynalazku.

Tabela 1 przedstawia I przykład dzielenia według wynalazku. W tym przykładzie dzielna ma wartość -37 , a dzielnik 6. Ponieważ dzielna jest znormalizowana, a znak dzielnej jest różny od znaku dzielnika, więc pierwszą operacją jest dodawanie dzielnika do najbardziej znaczących bitów dzielnej połączone z przesunięciem wyniku o jeden bit w lewo.

Tabela 1

Przykład I. $1011011:0110=1010$ reszta 1111 ($-37:6=-6$ reszta -1)

Operacja	Dzielna lub reszta 1011011	Iloraz
dodawanie i przesunięcie	001011	1
przesunięcie	01011	10
odejmowanie i przesunięcie	1111	100
dodawanie	0101	1001
odejmowanie	1111 reszta końcowa	
utworzenie następnika ilorazu		1010

Przy tym przesunięciu gubi się wartość najbardziej znaczącego bitu sumy. W wyniku przesunięcia otrzymuje się resztę częściową. Jednocześnie jako pierwszy bit ilorazu zapisuje się jedynkę, gdyż bit znaku reszty częściowej jest taki sam, jak i bit znaku dzielnika (zero). Ponieważ dwa najbardziej znaczące bity reszty częściowej są równe, więc kolejną operacją jest normalizacja (przesunięcie) reszty częściowej. Normalizacja prowadzi do zgubienia najbardziej znaczącego bitu reszty częściowej i towarzyszy jej zapisanie zera jako kolejnego bitu ilorazu, gdy bity znaku dzielnika i reszty częściowej są jednakowe. Ponieważ dwa najbardziej znaczące bity reszty częściowej są różne, więc kolejną operacją nie jest normalizacja, lecz odejmowanie, gdyż bity znaku reszty częściowej i dzielnika są jednakowe. Odejmowanie połączone jest z przesunięciem reszty częściowej o jeden bit w lewo, wskutek czego gubi się najbardziej znaczący bit różnicy. Ponieważ bit znaku nowej reszty częściowej (jedynka) jest różny od bitu znaku dzielnika (zero), więc jako kolejny bit ilorazu zostaje zapisane zero. Ponieważ długość reszty częściowej jest już równa długości dzielnika, więc kolejną operacją jest ostatni krok dzielenia.

Ponieważ bity znaków reszty częściowej i dzielnika są różne, więc operacją tą jest dodawanie. W ostatnim kroku dzielenia nie następuje przesunięcie ostatniej reszty częściowej, czyli reszty nieskorygowanej. Ponieważ bit znaku nowej reszty, reszty nieskorygowanej jest taki sam, jak bit znaku dzielenia, więc kolejnym bitem ilorazu jest jedynka. Z kolei oblicza się resztę skorygowaną, gdyż bit znaku dzielnej jest jedynką, a nieskorygowana reszta nie jest równa zero. Reszta skorygowana utworzona jest przez odjęcie dzielnika od reszty nieskorygowanej, gdyż dzielna jest ujemna, nieskorygowana reszta jest dodatnia, a dzielnik

7

dodatni. Tak obliczona reszta skorygowana jest resztą końcową. Znajac resztę końcową, która jest różna od zera, można stwierdzić, że konieczna jest korekcja ilorazu przez dodanie jedynki, gdyż dzielnik jest dodatni. Ta korekcja ilorazu kończy dzielenie.

Przykład II przedstawiony na tabeli 2 przedstawia przypadek, w którym nie oblicza się reszty końcowej, gdyż reszta nieskorygowana, to jest reszta w ostatnim kroku dzielenia jest równa zeru. Zbędna jest także korekcja ilorazu, gdyż dzielnik jest dodatni, dzielna ujemna, a reszta końcowa równa zeru.

Tabela 2

Przykład II. $1011100 : 0110 = 1010$ reszta 0000
($-36 : 6 = -6$ reszta 0)

Operacja	Dzielną lub resztą 1011100	Iloraz
dodawanie i przesunięcie	001100	1
przesunięcie	01100	10
odejmowanie i przesunięcie	0000	101
odejmowanie	1010	1010
dodawanie	0000 reszta końcowa	

Przykład III przedstawiony na tabeli 3 przedstawia przypadek, w którym oblicza się wprowadzie resztę skorygowaną, ale w którym reszta końcowa jest równa reszcie nieskorygowanej. Także i w tym przypadku następuje korekcja ilorazu przez dodanie jedynki.

Tabela 3

Przykład III. $1011101 : 0110 = 1011$ reszta 1011
($-35 : 6 = -5$ reszta -5)

Operacja	Dzielną lub resztą 1011101	Iloraz
dodawanie i przesunięcie	001101	1
przesunięcie	01101	10
odejmowanie i przesunięcie	0001	101
odejmowanie	1011 reszta końcowa	
dodawanie	0001	
utworzenie następnika ilorazu		1011

Schemat blokowy urządzenia do stosowania sposobu według wynalazku przedstawiony jest na załączonym rysunku. Rejestr **R1** jest dwójkowym układem pamięciowym do przechowywania n-bitowego dzielnika. Rejestr **R2** jest k-bitowym układem pamięciowym, przesuwającym, w którym zawartość pozycji przesuwa się w lewo, w kierunku bitów bardziej znaczących. Na początku dzielenia rejestr **R2** służy do przechowywania dzielnej na najbardziej znaczących bitach.

Bity rejestru **R1** oznaczone są kolejno poczynając od najbardziej znaczących jako 0, 1, ..., n-1. Bity rejestru **R2** oznaczone są podobnie jako 0, 1, ..., k-1. Sygnały odpowiadające tym bitom są oznaczone odpowiednio jako **R1₀**, ..., **R1_{n-1}**, względnie **R2₀**, **R2₁**, ..., **R2_{k-1}**. Wiązka przewodów **12** służy do przenoszenia dzielnej względnie reszty części-

8

wej z bitów 0, ..., n-1 rejestru **R2** do równoległego sumatora **AS**. Z drugiej strony wiązka przewodów **11** służy do przenoszenia dzielnika z rejestru **R1** do sumatora **AS**. Wyjście sumatora **AS** połączone jest wiązką przewodów **13** z bitami 0, ..., n-1 rejestru **R2** oraz wiązką **23** z bitami k-n, ..., k-1 rejestru **R2**. Bity k-n, ..., k-1 połączone są wiązką przewodów **22** z jednym z wejść sumatora **AS**, który posiada także wejścia dla sygnałów **A**, **S** i **K1**, oraz wyjście dla sygnału **AS₀**, który odpowiada sygnałowi z najbardziej znaczącego bitu wyjścia dla wyniku działania. Wyjścia bitów 1, ..., k-1 rejestru **R2** są połączone wiązką **14** z wejściami bitów 0, ..., k-2, co pozwala na realizację przesuwania w lewo.

W skład urządzenia według wynalazku wchodzi układ przełączający **QEV**, który posiada wyjście dla sygnałów **V**, **Q₁**, **Q₂**, **A** i **S**, a także wejścia dla sygnałów **R1₀**, **R2₀**, **R2₁**. Układ **QEV** scharakteryzowany jest tablicą przedstawioną na tabeli 4.

Tabela 4

Tablica logiczna układu przełączającego **QEV**

R1 ₀	R2 ₀	R2 ₁	Stan wyjść
0	0	0	V i Q ₁
0	0	1	S
0	1	0	A
0	1	1	V i Q ₂
1	0	0	V i Q ₂
1	0	1	A
1	1	0	S
1	1	1	V i Q ₁

W skład układu do stosowania według wynalazku wchodzi ponadto układ logiczny **QE**, którego wejścia są połączone z wyjściem sumatora dla sygnału **AS₀** i z wyjściem rejestru **R1** dla sygnału **R1₀**. Układ **QE** posiada wyjścia dla sygnałów **Q₃** i **Q₄**. Układ ten jest opisany przez tablicę logiczną przedstawioną na tabeli 5.

Tabela 5

Tablica logiczna układu przełączającego **QE**

R1 ₀	AS ₀	Stan wyjścia
0	0	Q ₄
0	1	Q ₃
1	0	Q ₃
1	1	Q ₄

W skład urządzenia wchodzi ponadto układ rozpoznający **NU**. Wejście tego układu jest połączone wiązką **21** z pozycjami 0, ..., n-1 rejestru **R2**. Układ **NU** służy do wytwarzania sygnału **N** po wyznaczeniu wszystkich bitów ilorazu, jeżeli reszta z dzielenia, która jest zapisana w rejestrze **R2** jest równa zeru. Wyjście układu **NU** połączone jest z wejściem układu przełączającego **KA1**, którego dwa pozostałe wejścia połączone są z wyjściami sygnałów **R1₀** w rejestrze **R1** i sygnału **VO** w rejestrze **DV**, który służy do przechowywania znaku dzielnej. Układ **KA1** służy do wytwarzania na wyjściu sygnału **K1** zgodnie z tablicą logiczną przedstawioną na tabeli 6, a jego wyjście jest połączone z wejściem sumatora. Wyjście rejestru **DV** do przechowywania znaku dzielnej jest dołączone do wejścia układu logicznego **KA2**. Do pozostałych

wejść tego układu **KA2** są przyłączone wyjścia do wyprowadzenia sygnału **N** z układu rozpoznającego **NU** oraz wyjścia z sygnału **R2₀**. Układ **KA2** służy do wytwarzania sygnału **K2** zgodnie z tabelicą logiczną przedstawioną na tabeli 7 i służy do korekcji reszty końcowej.

Na początku dzielenia na najbardziej znaczących bitach rejestru **R2** jest zapisana dzielna. W rejestrze **R1** jest zapisany dzielnik. W czasie przeprowadzania operacji dzielenia na najbardziej znaczących bitach rejestru **R2** są zapisane kolejne reszty częściowe. Dzielna, względnie reszta częściowa jest przenoszona wiązką przewodów **12** do równoległego sumatora **AS**. Do sumatora **AS** doprowadzony jest także dzielnik z rejestru **R1** poprzez wiązkę **11**. Sygnały **R1₀**, **R2₀**, **R2₁** są doprowadzane na wejścia układu przełączającego **QEV**, którego działanie opisuje tablica logiczna w postaci tabeli 4. Sygnały **R1₀** i **R2₀** uzależnione są od wartości najbardziej znaczących bitów rejestrów **R1** i **R2** i odpowiadają znakom dzielnika i dzielnej względnie reszty częściowej. Sygnały **R2₀** i **R2₁** służą do rozpoznawania, czy zawartości bitów **0** i **1** rejestru **R2** są jednakowe, czy nie.

Pojawienie się sygnału **V** powoduje, że w przypadku jednoczesnego pojawienia się sygnału **Q₁**, na bit **k-1** rejestru **R2** zostaje zapisane zero, a w przypadku pojawienia się sygnału **Q₂** zapisana zostaje jedynka. Z kolei następuje przesunięcie zawartości rejestru **R2** o jeden bit w kierunku bitów bardziej znaczących za pośrednictwem wiązki przewodów **14**. Pojawienie się sygnałów **A** powoduje, że sumator **AS** wykonuje operację dodawania, a pojawienie się sygnału **S** powoduje, że sumator wykonuje operację odejmowania. Sygnał **A** powoduje dodanie w sumatorze **AS** zawartości bitów **0, ..., n-1** rejestru **R2** i rejestru **R1**, w którym zapisany jest dzielnik, a sygnał **S** powoduje odjęcie. Tak uzyskana suma względnie różnica jest przesyłana wiązką przewodów **13** na bity **0, ..., n-1** rejestru **R2**. Odpowiedni bit ilorazu jest przesyłany na bit **k-1** rejestru **R2**, po czym zawartość rejestru **R2** ulega przesunięciu o jeden bit.

Dla określenia bitu ilorazu, który należy zapisać na bit **k-1** rejestru **R2** na wejście układu logicznego **QE** podany zostaje najbardziej znaczący bit sumy względnie różnicy utworzonej w sumatorze **AS**. Bitowi temu odpowiada sygnał **AS₀**. Sygnały **R1₀** i **AS₀** są podawane na wejście układu przełączającego **QE**, który wytwarza na wyjściu sygnał **Q₃** względnie **Q₄** zgodnie z tabelicą logiczną przedstawioną w tabeli 5. Pojawienie się sygnału **Q₃** powoduje wpisanie zera, a pojawienie się sygnału **Q₄** powoduje wpisanie jedynki na bit **k-1** rejestru **R2**, po czym powtarza się opisane operacje.

Po obliczeniu wszystkich bitów ilorazu i ewentualnym dokonaniu korekty reszty układ rozpoznający **NU** wytwarza sygnał **N** w przypadku, gdy równa jest zeru reszta z dzielenia zapisana na bitach **1, ..., n-1** rejestru **R2**, która doprowadzona jest do niego wiązką **21**. Sygnały **N**, **R1₀** i **VO**, ten ostatni z rejestru **DV**, w którym zapisany jest znak dzielnej, są doprowadzone do wejść układu przełączającego **KA1**.

Tabela 6

Tablica logiczna układu przełączającego **KA1**

N	R1 ₀	VO	Stan wyjścia
0	0	0	
0	0	1	K1
0	1	0	K1
0	1	1	
1	0	0	
1	0	1	
1	1	0	K1
1	1	1	K1

Na wyjściu układu **KA1** pojawia się sygnał **K1** zgodnie z tabelą 6. Pojawienie się sygnału **K1** powoduje przesłanie ilorazu do sumatora **AS** poprzez wiązkę **22**, utworzenie następnika ilorazu i przesłanie go wiązką **23** z powrotem na pozycje **k-n, ..., k-1** rejestru **R2**. Sygnały **R2₀**, **N** i **VO** są utworzone po wykonaniu ostatniego kroku dzielenia częściowego z ustaleniem pewnej liczby ilorazu na wejście układu **KA2**. Jest rzeczą oczywistą, że korekcja reszty nastąpić musi przed korekcją ilorazu. Sygnał **K1** może być utworzony dopiero wtedy, gdy ewentualnie niezbędna korekcja reszty (patrz **K2**) miała już miejsce. Istnieją wypadki, w których skorygowana reszta nie stanowi obowiązującej reszty końcowej (patrz przykład 3). Przy tym ta reszta przed korekcją stanowi obowiązującą resztę końcową, która ma wpływ na korekcję ilorazu.

Układ **KA2** wytwarza na wyjściu pewien sygnał **K2** zgodnie z tabelą 7.

Tabela 7

Tablica wyjść układu przełączającego **KA2**

N	R2 ₀	VO	Stan wyjścia
0	0	0	
0	0	1	K2
0	1	0	K2
0	1	1	K2
1	0	0	
1	0	1	

Sygnał **K2** powoduje skorygowanie reszty otrzymanej w ostatnim kroku dzielenia. Ta skorygowana reszta nie jest przeznaczona do rejestru **R2** jako reszta końcowa w przypadku gdy dzielna i nieskorygowana reszta są ujemne, a skorygowana reszta jest różna od zera.

Dla jeszcze szybszego wykonywania operacji można w jednostce czasu wykonywać przesunięcie o więcej niż o jeden bit pod warunkiem, że spełniony jest warunek normalizacji. Można też zastosować nieco inny układ, który w pewnych przypadkach pozwala uniknąć tworzenia następnika ilorazu przy pomocy sumatora. W tym celu przy wyznaczaniu ostatniego bitu ilorazu, w przypadku wyznaczenia tego bitu jako jedynki i przy pojawieniu się sygnału **K1** należy na ostatnią cyfrę ilorazu przyjąć nie zero, a jedynkę.

Oczywiście sposób dzielenia według wynalazku można zrealizować także w innym urządzeniu, różniącym się od opisanego. W szczególności wy-

nalazek nie jest ograniczony do takiego urządzenia, w którym znak ilorazu zostaje określony prawidłowo. Może być korzystne na przykład obliczenie modułu ilorazu, albo uzupełnienia modułu ilorazu niezależnie od znaku dzielnika i dzielnej. Znak ilorazu określa się w tym przypadku bezpośrednio na podstawie znaku dzielnej i znaku dzielnika. Pozwala to na przykład na łatwiejsze rozpoznanie nadmiaru ilorazu. Przy takim sposobie iloraz w razie potrzeby ulega uzupełnieniu.

Jeżeli opisane urządzenie zmienić na przykład w ten sposób, aby na wejścia układów **QEV** i **QE** podawać sygnał **VO** zamiast sygnału **R1₀**, przez co sygnały **Q₁**, **Q₂**, **Q₃** i **Q₄** byłyby wytwarzane w innych stanach układu, a ponadto jeśli by zmienić konstrukcję układu **KA1** tak, aby wytwarzał sygnał **K1** tylko po podaniu na jego wejście sygnałów **VO** i **N**, to wówczas zostanie obliczony moduł ilorazu, który następnie służy do wyznaczania uzupełnienia w przypadku, gdy dzielna i dzielnik mają różne znaki.

Dla **Q₁** i **Q₂** ważna jest poniższa tabela (Tabela 8).

VO	R2 ₀	R2 ₁	
0	0	0	Q ₁
0	1	1	Q ₂
1	0	0	Q ₂
1	1	1	Q ₁

Dla **Q₃** i **Q₄** odpowiada:

VO	AS ₀	
0	0	Q ₄
0	1	Q ₃
1	0	Q ₃
1	1	Q ₄

Zastrzeżenia patentowe

1. Sposób dwójkowego dzielenia nierestytucyjnego w elektronicznych maszynach cyfrowych, przy którym reprezentacją liczby ujemnej jest jej uzupełnienie dwójkowe, przy czym podstawowa operacja przesunięcia dzielnej, względnie reszty jest wykonywana w urządzeniu pamięciowym przesuwanym w kierunku bitów bardziej znaczących, a dodawanie względnie odejmowanie dzielnika od reszty względnie od najwyższych bitów dzielnej następuje w sumatorze, **znamienny tym**, że przesunięcie następuje wtedy, gdy równe są sobie dwa najbardziej znaczące bity dzielnej względnie reszty częściowej, przy czym na każdy bit przesunięcia wyznaczony zostaje jeden bit ilorazu w zależności od znaku dzielnej względnie reszty oraz dzielnika i że bitem tym jest jedynka, jeżeli te znaki są różne, jeżeli jednak zawartości dwóch najbardziej znaczących bitów dzielnej względnie reszty są różne, to przy niejednakowych znakach dzielnej względnie reszty i dzielnika następuje dodawanie, a w przypadku przeciwnym odejmowanie dzielnika połączone z następującym po nim przesunięciem reszty o jeden bit, przy czym wyznaczony zostaje jeden bit ilorazu, a bitem tym jest jedynka, jeżeli reszta i dzielnik mają jedna-

kowe znaki, i że po obliczeniu ostatniego bitu ilorazu zostaje utworzony następnik ilorazu przy pomocy sumatora w przypadku, gdy dzielnik jest ujemny i reszta końcowa równa zero, a także w przypadku, gdy dzielna i dzielnik mają różne znaki, a reszta końcowa jest różna od zera.

2. Sposób według zastrz. 1, **znamienny tym**, że przesunięcie następuje wtedy, gdy dwa najbardziej znaczące bity dzielnej względnie reszty częściowej są jednakowe, przy czym na każdy bit przesunięcia wyznaczony zostaje jeden bit ilorazu na podstawie znaku reszty częściowej i dzielnej i że bitem tym jest jedynka, jeżeli znaki te są różne, jeżeli jednak dwa najbardziej znaczne bity dzielnej względnie reszty częściowej są różne, to przy różnych znakach dzielnej względnie reszty częściowej i dzielnika następuje dodawanie, a w przeciwnym przypadku odejmowanie dzielnika połączone z następującym po tej operacji przesunięciem reszty o jeden bit, przy czym wyznaczony zostaje jeden bit ilorazu, który jest jedynką jeżeli reszta i dzielna mają jednakowe znaki i że po obliczeniu ostatniego bitu ilorazu utworzony zostaje następnik ilorazu przy pomocy sumatora w przypadku, gdy reszta końcowa jest równa zero i dzielna jest ujemna, że zawartość bitów ilorazu odpowiada modułowi ilorazu i że przy różnych znakach dzielnej i dzielnika wykonywane jest dodatkowo jedno uzupełnienie ilorazu przy pomocy sumatora.

3. Sposób według zastrz. 1 i 2, **znamienny tym**, że w ostatnim kroku dzielenia, w którym wyznaczony zostaje jeden bit ilorazu, wykonywana jest operacja dodawania lub odejmowania dzielnika, której nie towarzyszy następujące po niej przesunięcie, i że przy obliczaniu reszty końcowej wykonywana jest jeszcze jedna operacja, która polega na dodaniu względnie na odjęciu dzielnika i że operacja ta następuje w przypadku, gdy dzielna jest dodatnia i nieskorygowana reszta ujemna, a także w przypadku, gdy dzielna jest ujemna, a nieskorygowana reszta różna od zera, przy czym jeżeli dzielna jest ujemna, a nieskorygowana reszta jest także ujemna, to ta nieskorygowana reszta jest zawsze resztą końcową, o ile tylko reszta skorygowana nie jest równa zero, gdyż w tym przypadku do miejsca pamięci do przechowywania reszty końcowej wprowadzone zostaje zero.

4. Urządzenie do stosowania sposobu według zastrz. 1—3, w skład którego wchodzi przesuwany rejestr do przechowywania dzielnej względnie reszty i ilorazu, rejestr do przechowywania dzielnika i równoległy sumator do wykonywania dodawania lub odejmowania dzielnika od dzielnej względnie reszty częściowej, **znamienny tym**, że posiada pierwszy układ logiczny (**QEV**), którego wejścia są połączone z najbardziej znaczącymi bitami rejestru (**R1**) dzielnika, albo z tym bitem i z rejestrem (**DV**) znaku dzielnej, a także z dwoma najbardziej znaczącymi bitami rejestru (**R2**) dzielnej, i że układ ten służy do wytwarzania sygnałów do sterowania sumatora, sygnałów do przesuwania i sygnałów do tworzenia bitów ilorazu, oraz posiada drugi układ logiczny (**QE**), któ-

13

rego wejścia połączone są z najbardziej znaczącym bitem rejestru (**R1**) dzielnika, albo z rejestrem (**DV**) znaku dzielnej i z najbardziej znaczącym bitem wyjścia sumatora (**AS**), a układ ten służy do wytwarzania dalszych sygnałów do sterowania tworzenia cyfr ilorazu, a ponadto posiada układ rozpoznający (**NU**), którego wejścia połączone są z częścią rejestru (**R2**) reszty częściowej, przy czym układ (**NU**) służy do wytwa-

14

rzania sygnału sterującego w przypadku, gdy reszta końcowa jest równa zeru, jak również posiada dalsze układy (**KA1**, **KA2**) logiczne, których wejścia są połączone z najbardziej znaczącymi bitami rejestrów (**R1**, **R2**) dzielnika i dzielnej, z wyjściem układu rozpoznającego (**NU**) i z wyjściem rejestru (**DV**) znaku dzielnej, które to układy służą do wytwarzania sygnałów sterujących korekcją ilorazu i reszty z ostatniego kroku dzielenia.

