

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：09134209

※ 申請日期：09.9.5

※ IPC 分類：G06F 1/32(2006.01)

## 一、發明名稱：(中文/英文)

多處理器系統及其進入省電模式方法  
MULTI-PROCESSOR SYSTEM AND METHOD  
THEREOF TO ENTER POWER-SAVING MODE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

威盛電子股份有限公司/VIA TECHNOLOGIES, INC.

代表人：(中文/英文) 王雪紅/HSIUEH-HONG WANG

住居所或營業所地址：(中文/英文)

台北縣新店市中正路 535 號 8 樓/8F, NO. 535, CHUNG-CHENG RD.,  
HSIN-TIEN CITY, TAIPEI HSIEN, TAIWAN, R. O. C.

國籍：(中文/英文) 中華民國/TW

## 三、發明人：(共 2 人)

姓名：(中文/英文)

1. 張欽漢 / CHANG, CHIN-HAN

2. 黃宗慶 / HUANG, CHUNG-CHING

國籍：(中文/英文) 1-2 中華民國/TW

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

一種多處理器系統及其進入省電模式方法。此方法首先偵測多個處理器；若其中一個處理器進入閒置狀態，則前述進入閒置狀態的處理器發出第一讀取要求以獲得辨識值，並觸發中斷事件，使每一處理器進入「系統管理模式」。然後檢查每一處理器是否具有該辨識值。若具有該辨識值，則使具有辨識值的處理器保持於系統管理模式中；若反之，則使不具有辨識值得處理器結束系統管理模式。若每一個處理器皆具有辨識值，則依第二讀取要求，觸發全部該些處理器進入省電模式。

## 六、英文發明摘要：

A multi-processor system and a method thereof to enter power-saving mode are provided. The method detects the processors. If one of the processors enters into an idle state, the processor in the idle state generates a first read cycle for obtaining an identifying value, and an interrupt event is triggered, so as to enter a system management mode (SMM). The content of the processors are checked. The processor(s) having the identifying value is/are kept in the SMM, and the other processor(s) depart from the SMM. If each processor has the identifying value, the processors are triggered to enter into a power-saving mode in accordance of a second read cycle.

**七、指定代表圖：**

(一)本案指定代表圖為：圖 2。

(二)本代表圖之元件符號簡單說明：

S205~S245：本發明實施例之步驟

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種多處理器(multi-processor)系統，且特別是有關於一種多處理器系統及其進入省電模式之方法。

### 【先前技術】

電腦系統的電源管理向來是重要課題。為了實現電源管理的功能，便發展出許多電源管理的技術與工業標準。例如，1992年美國環保署(Environmental Protection Agency, EPA)所推行的能源之星(Energy Star)計畫、先進電源管理(Advanced Power Management, APM)、或是先進組態與電源介面(Advanced Configuration and Power Interface, ACPI)等規範各自定義了各種不同的省電模式，都是為了實現電源管理的功能。

以ACPI為例，此工業標準制定了「ACPI Processor Power State」做為其省電模式。一般系統要支援ACPI Processor Power State，必須要在單一處理器的系統下才能運行ACPI Processor Power State。對於傳統技術而言，多處理器系統是無法支援ACPI Processor Power State。以下說明其原因。

圖1是說明傳統多處理器系統無法支援ACPI Processor Power State的示意圖。為求圖式清晰，圖1中省略了功率源、時脈源等周邊電路。另外，圖1是以單一封裝的雙核心中央處理單元(Central Processing Unit, CPU)

110 做為說明範例。多封裝的多處理器系統(例如處理器 111 與處理器 112 各自單獨封裝)一樣有類似的問題。

請參照圖 1，當作業系統(Operating System, OS)偵測到處理器 111 處於閒置(IDLE)狀態，代表處理器 111 可以進入省電模式「ACPI Processor Power State」，此時作業系統會讓處理器 111 發出一個位址為 P\_LVLx 的讀取要求(I/O read cycle)給晶片組 120。晶片組 120 接到這筆讀取要求後，就會觸發(trigger)「ACPI Processor Power State」的相關信號到雙核中央處理單元 110。這些「ACPI Processor Power State」的相關信號是用來降低雙核中央處理單元 110 的電壓或是停止時脈頻率。換言之，處理器 111 與處理器 112 的電壓都會因此而降低；處理器 111 與處理器 112 的時脈頻率會因此而停止。然而，處理器 112 此時可能是處於忙碌(busy)的狀態，所以若是降低電壓或是停止時脈頻率就會造成處理器 112 無法繼續完成工作。在處理器 112 處於忙碌狀態下驟然降低電壓或是停止時脈頻率，會使系統發生不可預期的結果。上述是多處理器系統受到硬體限制而無法完整地支援省電模式「ACPI Processor Power State」的原因。

基於上述原因，必須改變硬體上的設計，才能支援省電模式「ACPI Processor Power State」，例如在處理器 111 與處理器 112 之間配置邏輯晶片，分別對處理器 111 與處理器 112 作電源管理。然而，改動硬體需要額外的成本，也必須承擔變更硬體的風險。

**【發明內容】**

本發明提供一種多處理器系統及其進入省電模式方法，可以在不改動硬體的情況下，以軟體或韌體的方式在多處理器系統下依然可以支援諸如 ACPI Processor Power State 等省電模式，來達到省電的功能。

本發明提出一種多處理器系統之進入省電模式方法，包括下述步驟。首先偵測多個處理器；若其中一個處理器進入閒置狀態，則前述進入閒置狀態的處理器發出第一讀取要求，以使發出第一讀取要求的處理器獲得辨識值，並觸發中斷事件，使每一處理器各自進入「系統管理模式」。檢查每一處理器是否具有辨識值，其中若具有辨識值，則使具有辨識值的處理器保持於系統管理模式中；反之若不具有辨識值，則使不具有辨識值的處理器結束系統管理模式。若每一個處理器皆具有辨識值，則依第二讀取要求，觸發全部處理器進入省電模式。

本發明另提出一種內儲程式之電腦可讀取儲存媒體，以及一種內儲且用於使多處理器系統之進入省電模式之電腦程式產品。當電腦載入程式(或電腦程式)並執行後，可完成上述多處理器系統之進入省電模式方法。

本發明另提出一種多處理器系統，包括多個處理器以及晶片組。若這些處理器之一者進入閒置狀態，則進入閒置狀態的處理器發出第一讀取要求。晶片組依據第一讀取要求，提供辨識值給發出第一讀取要求的處理器，並觸發中斷事件，使每一處理器各自進入系統管理模式，以檢查

每一處理器是否具有該辨識值。其中，若具有該辨識值，則使具有辨識值的處理器保持於系統管理模式中；若不具有該辨識值，則使不具有辨識值的處理器結束系統管理模式；以及若這些處理器之全部皆具有辨識值，則依第二讀取要求，觸發全部處理器進入省電模式。

本發明因當偵測到某一處理器處於閒置狀態時，讓處於閒置狀態的處理器發出一個第一讀取要求給晶片組，直到所有處理器均處於閒置狀態，才依第二讀取要求，觸發該些處理器進入省電模式。因此可以在不改動硬體的情況下，以軟體或韌體的方法在多處理器系統下依然可以支援諸如 ACPI Processor Power State 等省電模式，來達到省電的功能。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

圖 2 是依據本發明實施例說明一種多處理器系統之進入省電模式方法的流程圖。前述省電模式可以是符合任何標準規範書所定義的省電模式、睡眠模式、或待機模式等，或是任何非標準定義的省電模式、睡眠模式、或待機模式等。以下將以先進組態與電源介面(Advanced Configuration and Power Interface, ACPI) 規範所定義的「ACPI Processor Power State」做為前述「省電模式」的應用例。

圖 3A~3E 是依據本發明實施例說明多處理器系統支援 ACPI Processor Power State 的示意圖。為求圖式清晰，



圖 3A~3E 中省略了功率源、時脈源等周邊電路。另外，圖 3A~3E 是以單一封裝的雙核心中央處理單元 110 做為說明範例。所屬領域具有通常知識者，可以將本實施例之教示類推應用至四核心或其他類型的多核心中央處理單元。另外，本發明之應用亦不限於單一封裝。多封裝的多處理器系統(例如處理器 111 與處理器 112 各自單獨封裝)一樣適用本發明所揭露的技術。圖 3A~3E 包含雙核心中央處理單元 110 (內含處理器 111 與 112)、晶片組 120、基本輸入輸出系統(Basic Input/Output System, BIOS) 330、以及系統記憶體 340。雙核心中央處理單元 110 可以透過晶片組 120 去提取/執行 BIOS 330 所存放的指令。在電腦正常運作過程中，雙核心中央處理單元 110 可以透過晶片組 120 去存取系統記憶體 340。

請同時參照圖 2 與圖 3A，在電腦正常運作過程中，圖 3A 之電腦系統在步驟 S205 中去偵測多個處理器 111 與 112 的運行狀態。前述偵測各個處理器的步驟，可以由作業系統(Operating System, OS)來進行。在其他實施例中，可能會以硬體方式偵測各個處理器的運行狀態。若作業系統偵測到各處理器 111 與 112 中有任何一個進入閒置狀態，則作業系統會使前述進入閒置狀態的處理器(在此假設是處理器 111)發出第一讀取要求(I/O read cycle)給晶片組 120 (步驟 S210)，以使發出第一讀取要求的處理器 111 獲得一辨識值(步驟 S215)。在本實施例中，假設第一讀取要求帶有一觸發位址，並假設此觸發位址為「偽電源管理觸發位

址」。前述「偽電源管理觸發位址」可以是任何預設位址，只要是不同於用來觸發處理器進入省電模式的「真電源管理觸發位址」且不會與系統中其他裝置位址相衝突即可。

在本實施例晶片組 120 是南北橋整合之晶片組；而在另一實施例中，晶片組 120 可以是針對具有電源管理功能之南橋晶片。晶片組 120 在接獲帶有「偽電源管理觸發位址」的第一讀取要求後，會回傳對應的辨識值給處理器 111。前述辨識值可以是任何預設值，例如可以將辨識值設定為「123」。此外，前述辨識值是存放於晶片組 120 中的記憶空間 121。當晶片組 120 在接獲帶有「偽電源管理觸發位址」的第一讀取要求，會對具有「偽電源管理觸發位址」的記憶空間中，所存放的辨識值進行讀取，並回傳對應的辨識值給發出「偽電源管理觸發位址」讀取要求的處理器 111。

接下來請同時參照圖 2 與圖 3B，晶片組 120 依據帶有「偽電源管理觸發位址」的第一讀取要求，除了會回傳對應的辨識值給對應的處理器 111 之外，晶片組 120 還會觸發一中斷事件(步驟 S220)。此中斷事件可以是任何一種形式的中斷，在本實施例中例如系統管理中斷事件(System Management Interrupt, SMI)等。在步驟 S225 中，前述系統管理中斷事件 SMI 會使每一處理器 111 與 112 分別進入各自的系統管理模式(System Management Mode, SMM)，以各自進行中斷服務程式(SMI handler)。另外，處理器 111 與 112 在進入系統管理模式 SMM 之前，會各自將其內部各

個暫存器的內容備份在專用的系統管理記憶體 SMRAM1 與 SMRAM2 中，其中 SMRAM 是指系統管理隨機存取記憶體。於本實施例中，可以在系統記憶體 340 中定義二塊記憶空間做為前述系統管理記憶體 SMRAM1 與 SMRAM2，以便分別存放處理器 111 與 112 的內容。然而，系統管理記憶體的實施方式不應因本實施例而受限制。

因此，BIOS 330 可以利用存放在晶片組 120 的記憶空間 121 中的辨識值，從系統記憶體 340 中的系統管理記憶體 SMRAM1 與 SMRAM2 檢查處理器 111 與 112 中何者具有辨識值，而進一步判定是否所有的處理器都進入系統管理模式 SMM (步驟 S230)。若 BIOS 330 檢查處理器 111 與 112 之一者具有辨識值，表示具有辨識值的處理器為閒置狀態，則使此閒置的處理器保持於系統管理模式 SMM 中。反之，若 BIOS 330 檢查處理器 111 與 112 之一者不具有辨識值，表示不具有辨識值的處理器為非閒置狀態(例如忙碌狀態)，則使此非閒置的處理器結束系統管理模式 SMM (步驟 S235)。

接下來請同時參照圖 2 與圖 3C，由於先前是處理器 111 發出帶有「偽電源管理觸發位址」的第一讀取要求給晶片組 120，因此只有處理器 111 會將由晶片組 120 回傳的辨識值存放於暫存器中，並於觸發系統管理中斷事件 SMI 之後、進入系統管理模式 SMM 之前，將存放於暫存器中的辨識值存放在對應的系統管理記憶體 SMRAM1 中。由於 BIOS 330 可以從系統記憶體 340 中的系統管理

記憶體 SMRAM1 檢查到處理器 111 具有辨識值，因此在步驟 S235 中，因為處理器 111 有該辨識值，所以 BIOS 330 會使處理器 111 保持於系統管理模式 SMM 中。反之，由於系統管理記憶體 SMRAM2 不具有辨識值(也就是處理器 112 不具有辨識值)，則 BIOS 330 會使處理器 112 結束系統管理模式 SMM。離開系統管理模式 SMM 的處理器 112 會從系統管理記憶體 SMRAM2 中載回原先的內容，然後繼續進行中斷前的工作(回復至忙碌狀態)。

完成步驟 S235 後，回到步驟 S205 以繼續偵測多個處理器 111 與 112 的運行狀態。請同時參照圖 2 與圖 3D，若在完成步驟 S235 後，作業系統偵測到另一處理器 112 進入閒置狀態(步驟 S210)，則作業系統會使處理器 112 發出第一讀取要求給晶片組 120 (步驟 S215)，此第一讀取要求例如是與上述相同之帶有「偽電源管理觸發位址」的讀取要求。晶片組 120 在接獲帶有「偽電源管理觸發位址」的第一讀取要求後，會回傳對應的辨識值給處理器 112。然後再一次進行了步驟 S220~S230，其過程與上述類似，故不再贅述。

由於先前處理器 112 發出帶有「偽電源管理觸發位址」的第一讀取要求給晶片組 120，因此處理器 112 也會將辨識值存放在對應的系統管理記憶體 SMRAM2 中。此時，BIOS 330 便可以從系統記憶體 340 中的系統管理記憶體 SMRAM1 與 SMRAM2 檢查出處理器 111 與 112 都具有辨識值(步驟 S230)。更進一步的說明是，由於處理器 111 已

因先前具有辨識值，而保持於系統管理模式 SMM (亦即表示處理器 111 處於閒置狀態)，所以若在步驟 S230 中，當檢查出處理器 112 也具有辨識值時，則表示處理器 111 與 112 此時皆具有辨識值，即處理器 111 與 112 皆處於閒置狀態。

當全部處理器 111 與 112 皆具有辨識值，表示處理器 111 與 112 皆處於閒置狀態，則 BIOS 330 會發出第二讀取要求給晶片組 120 (步驟 S240)。在本實施例中，假設第二讀取要求帶有另一觸發位址(不同於第一讀取要求帶有的觸發位址)，並假設此觸發位址為「真電源管理觸發位址」。如前所述，「真電源管理觸發位址」可以觸發所有處理器進入省電模式。在此「真電源管理觸發位址」可以是 P\_LVLx。換言之，在晶片組 120 接到位址為 P\_LVLx 的第二讀取要求後，就會觸發(trigger)包含處理器 111 與 112 的系統進入省電模式「ACPI Processor Power State」(步驟 S245)。更進一步的說明是，晶片組 120 會傳送「ACPI Processor Power State」的相關信號到雙核心中央處理單元 110。這些「ACPI Processor Power State」的相關信號是用來降低雙核心中央處理單元 110 的電壓或是停止時脈頻率。換言之，處理器 111 與處理器 112 的電壓都會因此而降低；處理器 111 與處理器 112 的時脈頻率會因此而停止。因此，系統將進入省電模式「ACPI Processor Power State」。

本發明所屬領域之通常技藝者可以依其應用需求而修改上述實施例。例如，圖 4 是依據本發明另一實施例說明

一種多處理器系統之進入省電模式方法的流程圖。前述省電模式可以是符合任何標準規範書所定義的省電模式、睡眠模式、或待機模式等，或是任何非標準定義的省電模式、睡眠模式、或待機模式等。以下亦以先進組態與電源介面 (ACPI) 規範所定義的「ACPI Processor Power State」做為前述「省電模式」的應用例。

請同時參照圖 4 與圖 3A。於開機後，在步驟 S405 中，BIOS 330 於晶片組 120 中設定一輸入輸出陷阱(I/O Trap)，此輸入輸出陷阱的觸發位址例如是某個預設的「偽電源管理觸發位址」。在本實施例中，這個預設的「偽電源管理觸發位址」同時也是一預設的「中斷事件觸發位址」。此「偽電源管理觸發位址」可以是任何預設位址，只要是不同於用來觸發處理器進入省電模式的「真電源管理觸發位址」，且不會與系統中其他裝置位址相衝突即可。因此，只要系統中有此位址的讀取要求(cycle)時，就會發生 I/O Trap 而產生中斷事件。在本實施例中，中斷事件例如是系統管理中斷事件 SMI。

另外在步驟 S405 中，BIOS 330 亦在晶片組 120 中設定「第一讀取要求」的回傳值為「辨識值」。此「第一讀取要求」的讀取位址是「偽電源管理觸發位址」。前述「辨識值」可以是任何預設值，例如可以將「辨識值」設定為「456」。此外，前述「辨識值」是存放於晶片組 120 中的記憶空間 121。在對晶片組 120 完成設定後，晶片組 120

在接獲帶有「偽電源管理觸發位址」的第一讀取要求時，會回傳此辨識值。

接下來在步驟 S410 中執行 ACPI 原始語言(ACPI Source Language, ASL)碼，藉由 BIOS 330 中的 ASL 碼去將系統中「觸發電源管理位址」設定為「偽電源管理觸發位址」。因此，當作業系統(OS)偵測到其中一顆處理器為閒置(idle)狀態時，可以發出帶有「偽電源管理觸發位址」的第一讀取要求給晶片組 120。在完成步驟 S410 後，接下來繼續進行其他的開機程序。

在完成開機後，作業系統會去偵測多個處理器 111 與 112 的運行狀態，確認是否有任一個處理器進入閒置狀態(步驟 S415)。若作業系統偵測到各處理器中有任何一個進入閒置狀態，則進行步驟 S420。於步驟 S420 中，基於步驟 S410 的設定，作業系統會使前述進入閒置狀態的處理器(在此假設是處理器 111)發出帶有「偽電源管理觸發位址」的第一讀取要求(I/O read cycle)給晶片組 120。晶片組 120 在接獲帶有「偽電源管理觸發位址」的第一讀取要求後，基於步驟 S405 的設定，會回傳對應的辨識值給發出第一讀取要求的處理器 111(步驟 S425)。因此，前述進入閒置狀態的處理器 111 可以獲得辨識值，並將此辨識值存放在其內部 EAX 暫存器中。此處之步驟 S420 與 S425 除了可以參照上述說明外，也可以參照圖 2 的步驟 S210 與 S215 的相關說明，在此不予贅述。

另外，晶片組 120 在接獲帶有「偽電源管理觸發位址」的第一讀取要求後，基於前述步驟 S405 所設定的輸入輸出陷阱而產生系統管理中斷事件 SMI (步驟 S220')。此處之圖 4 的步驟 S220' 類似圖 2 的步驟 S220。此時因為「偽電源管理觸發位址」不是「真電源管理觸發位址」，所以晶片組 120 不會去觸發「ACPI Processor Power State」的相關信號。

請同時參照圖 4 與圖 3B，因為系統產生系統管理中斷事件 SMI，所以所有的處理器(例如圖 3B 的處理器 111 與 112)會進入各別相對應的系統管理模式 SMM 中。處理器 111 與 112 在進入系統管理模式 SMM 之前，會各自將其內部各個暫存器的內容存放於相對應的系統管理記憶體 SMRAM1 與 SMRAM2 中。更進一步的說明是，處理器 111 內的 EAX 暫存器的內容會被存放在系統管理記憶體 SMRAM1 中(即系統記憶體 340 中的 SMBASE1 + 7FF0H 的位址)，而處理器 112 內的 EAX 暫存器的內容則會被存放在系統管理記憶體 SMRAM2 中(即系統記憶體 340 中的 SMBASE2 + 7FF0H 的位址(步驟 S225'))。此處之圖 4 的步驟 S225' 類似圖 2 的步驟 S225。另外，前述位址中的“SMBASE1”與“SMBASE2”分別是指向系統管理記憶體 SMRAM1 與 SMRAM2 的基底指標。由於每一個處理器需要有專屬的系統管理記憶體(SMRAM)，因此需要利用基底指標 SMBASE1 與 SMBASE2 定義出各個處理器相對應的系統管理記憶體的基底位址。



接下來進行步驟 S230'，確認是否所有的處理器處於閒置狀態。此處步驟 S230'類似圖 2 的步驟 S230，因此可以參照圖 2 的步驟 S230 與其相關說明，在此不予贅述。於本實施例中，步驟 S230'可包含子步驟 S430 與 S435。在步驟 S430 中，BIOS 330 從系統記憶體 340 中 SMBASE1 + 7FF0H 與 SMBASE2 + 7FF0H 的位址檢查各個處理器中何者具有辨識值。在步驟 S435 中，BIOS 330 將會判斷是否所有的處理器中 EAX 暫存器的內容(即系統記憶體 340 中 SMBASE1 + 7FF0H 與 SMBASE2 + 7FF0H 的位址的內容)是否皆為辨識值。若尚有部分處理器的 EAX 暫存器的內容不是辨識值，則進行步驟 S440。

由於 BIOS 330 可以從系統管理記憶體 SMRAM1 與 SMRAM2 檢查到各個處理器 111 與 112 是否具有該辨識值，因此在步驟 S440 中，BIOS 330 會使閒置狀態的處理器(即 EAX 暫存器的內容是辨識值的處理器)保持於系統管理模式 SMM 中。相反地，在步驟 S440 中，BIOS 330 會使其他處理器(EAX 暫存器的內容不是辨識值的處理器)結束系統管理模式 SMM。離開系統管理模式 SMM 的處理器(例如處理器 112)會從系統管理記憶體(例如 SMRAM2)中載回原先的內容，然後繼續進行中斷前的工作(回復至忙碌狀態)，如圖 3C 所示。完成步驟 S440 後，回到步驟 S415 以繼續偵測每一個處理器的運行狀態。完成步驟 S440 後，再重複步驟 S415~S435 的進行過程類似圖 3D 及上述相關說明所述，故不再贅述。

如前述假設，在前一次步驟 S435 的判斷中，處理器 111 已因具有辨識值，而持續處於系統管理模式 SMM。因此當步驟 S415 偵測到處理器 112 處於閒置狀態時，會再一次進行步驟 S420~S430，使得系統記憶體 340 中 SMBASE1 + 7FF0H 與 SMBASE2 + 7FF0H 的位址都具有辨識值。由於步驟 S435 的判斷結果為全部處理器 111 與 112 皆具有辨識值，表示處理器 111 與 112 皆處於閒置狀態，所以接下來進行步驟 S240'。類似圖 2 的步驟 S240，在圖 4 的步驟 S240' 中，BIOS 330 會發出帶有「真電源管理觸發位址」的第二讀取要求給晶片組 120，其中「真電源管理觸發位址」可以是 P\_LVLx。晶片組 120 接到位址為 P\_LVLx 的讀取要求後，晶片組 120 會傳送「ACPI Processor Power State」的相關信號到雙核心中央處理單元 110，如圖 3E 所示。這些「ACPI Processor Power State」的相關信號是用來降低雙核心中央處理單元 110 的電壓或是停止時脈頻率。換言之，處理器 111 與處理器 112 的電壓都會因此而降低；處理器 111 與處理器 112 的時脈頻率會因此而停止。因此，會觸發所有處理器進入省電模式「ACPI Processor Power State」(步驟 S245')。此處步驟 S245' 類似圖 2 的步驟 S245，因此可以參照圖 2 的步驟 S245 與其相關說明，在此不予贅述。

綜上所述，上述實施例中作業系統偵測到某一處理器處於閒置狀態時，會讓該處理器發出第一讀取要求給晶片組，以使發出第一讀取要求的處理器獲得一辨識值，並觸

發中斷事件，使得所有處理器都進入系統管理模式 SMM 中。然後，檢查每一處理器是否具有該辨識值。具有該辨識值的處理器保持在系統管理模式 SMM 中，而其他處理器則結束 SMM 去繼續進行之前未完成的工作。重複上述過程，直到所有處理器均具有辨識值，才依第二讀取要求，觸發全部處理器進入省電模式。因此，上述實施例可以在不改動硬體的情況下，以軟體或韌體的方法在多處理器系統下依然可以支援諸如 ACPI Processor Power State 等省電模式，來達到省電的功能。此外，上述實施例僅以兩個處理器作說明，但並非限定於此。本發明之方法亦可應用於兩個以上之處理器。

本領域具通常知識者可以依其需求，而以任何形式實現上述諸實施例。例如，可以內儲程式之電腦可讀取儲存媒體來實現上述諸實施例。也就是說，上述諸實施例可以用程式(電腦軟體)形式實現之，而將此程式儲存在硬碟、軟碟、CD-ROM 等電腦可讀取儲存媒體中。

由於網路之普及，上述程式(電腦軟體)除可儲存於電腦可讀取儲存媒體外，亦可在網路上直接傳輸提供，而無須藉由儲存於儲存媒體上提供該程式。因此，本領域具通常知識者可以依其需求，而以「電腦程式產品」型式實現上述諸實施例。所謂電腦程式產品，係載有電腦可讀取之程式且不限外在形式之物。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不

脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

圖 1 是說明傳統多處理器系統無法支援 ACPI Processor Power State 的示意圖。

圖 2 是依據本發明實施例說明一種多處理器系統之進入省電模式方法的流程圖。

圖 3A~3E 是依據本發明實施例說明多處理器系統支援 ACPI Processor Power State 的示意圖。

圖 4 是依據本發明另一實施例說明一種多處理器系統之進入省電模式方法的流程圖。

#### 【主要元件符號說明】

110：單一封裝的雙核心中央處理單元

111、112：處理器

120：晶片組

S205~S245、S220'~S245'、S405~S440：本發明實施

例之步驟

330：基本輸入輸出系統(BIOS)

340：系統記憶體

## 十、申請專利範圍：

1. 一種多處理器系統之進入省電模式方法，包括：  
偵測多個處理器；

若該些處理器之一者進入一閒置狀態，則進入該閒置狀態的該處理器發出一第一讀取要求，以使發出該第一讀取要求的該處理器獲得一辨識值，並觸發一中斷事件，使每一該些處理器各自進入一系統管理模式；以及

檢查每一該些處理器是否具有該辨識值，其中：

若具有該辨識值，則使具有該辨識值的該處理器保持於該系統管理模式中；

若不具有該辨識值，則使不具有該辨識值的該處理器結束該系統管理模式；以及

若該些處理器之全部皆具有該辨識值，則依一第二讀取要求，觸發全部該些處理器進入一省電模式。

2. 如申請專利範圍第1項所述多處理器系統之進入省電模式方法，其中該第一讀取要求帶有一觸發位址，在偵測該些處理器之前，更包括：

於一晶片組中，設定對應該觸發位址的陷阱；以及

於該晶片組中，將該第一讀取要求的回傳值設定為該辨識值。

3. 如申請專利範圍第1項所述多處理器系統之進入省電模式方法，其中該第一讀取要求中帶有一觸發位址，而獲得該辨識值之步驟包括：

使進入該閒置狀態的該處理器發出帶有該觸發位址的該第一讀取要求給一晶片組；以及

該晶片組回傳該辨識值給發出該第一讀取要求的該處理器。

4. 如申請專利範圍第1項所述多處理器系統之進入省電模式方法，其中觸發該中斷事件之步驟包括：

依據該第一讀取要求，一晶片組觸發一系統管理中斷；將每一該些處理器的內容存放於一系統管理記憶體中；以及

使每一該些處理器各自進入該系統管理模式。

5. 如申請專利範圍第4項所述多處理器系統之進入省電模式方法，其中該第一讀取要求中帶有一觸發位址，且依據帶有該觸發位址的該第一讀取要求，該晶片組觸發該系統管理中斷。

6. 如申請專利範圍第4項所述多處理器系統之進入省電模式方法，其中在檢查每一該些處理器是否具有該辨識值的步驟中是由一基本輸入輸出系統(BIOS)從該系統管理記憶體中檢查該些處理器中何者具有該辨識值。

7. 如申請專利範圍第1項所述多處理器系統之進入省電模式方法，其中該第一讀取要求帶有一偽電源管理觸發位址。

8. 如申請專利範圍第1項所述多處理器系統之進入省電模式方法，其中該第二讀取要求帶有一真電源管理觸發位址。

9. 如申請專利範圍第1項所述多處理器系統之進入省電模式方法，其中該中斷事件為一系統管理中斷(SMI)事件。

10. 一種多處理器系統，包括：

一處理單元，具有多個處理器，若該些處理器之一者進入一閒置狀態，則進入該閒置狀態的該處理器發出一第一讀取要求；以及

一晶片組，與該處理單元連接，該晶片組依據該第一讀取要求，提供一辨識值給發出該第一讀取要求的該處理器，並觸發一中斷事件，使每一該些處理器各自進入一系統管理模式，以檢查每一該些處理器是否具有該辨識值，其中：

若具有該辨識值，則使具有該辨識值的該處理器保持於該系統管理模式中；

若不具有該辨識值，則使不具有該辨識值的該處理器結束該系統管理模式；以及

若該些處理器之全部皆具有該辨識值，則依一第二讀取要求，觸發全部該些處理器進入一省電模式。

11. 如申請專利範圍第10項所述多處理器系統，其中該第一讀取要求帶有一觸發位址，而在該晶片組中，設定對應該觸發位址的陷阱以及將該第一讀取要求的回傳值設定為該辨識值。

12. 如申請專利範圍第10項所述多處理器系統，其中該第一讀取要求中帶有一觸發位址，而進入該閒置狀態的

該處理器發出帶有該觸發位址的該第一讀取要求給該晶片組，以及該晶片組回傳該辨識值給發出該第一讀取要求的該處理器。

13. 如申請專利範圍第 10 項所述多處理器系統，其中該中斷事件包括一系統管理中斷事件，而該多處理器系統更包括：

一系統管理記憶體，與該晶片組連接，其中若發生該系統管理中斷時，每一該些處理器將其內容存放於該系統管理記憶體中，以及每一該些處理器各自進入該系統管理模式。

14. 如申請專利範圍第 13 項所述多處理器系統，其中該第一讀取要求中帶有一觸發位址，且依據帶有該觸發位址的該第一讀取要求，該晶片組觸發該系統管理中斷。

15. 如申請專利範圍第 13 項所述多處理器系統，更包括：

一基本輸入輸出系統，該基本輸入輸出系統從該系統管理記憶體中檢查該些處理器中何者具有該辨識值。

16. 如申請專利範圍第 10 項所述多處理器系統，其中該第一讀取要求帶有一偽電源管理觸發位址。

17. 如申請專利範圍第 10 項所述多處理器系統，其中該第二讀取要求帶有一真電源管理觸發位址。

18. 如申請專利範圍第 10 項所述多處理器系統，其中該中斷事件為一系統管理中斷事件。



28676TW\_T

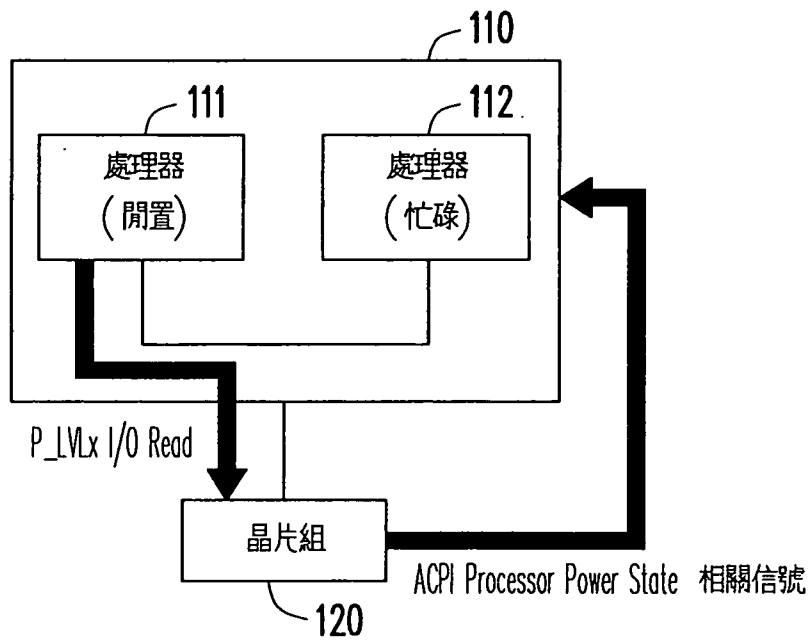


圖 1

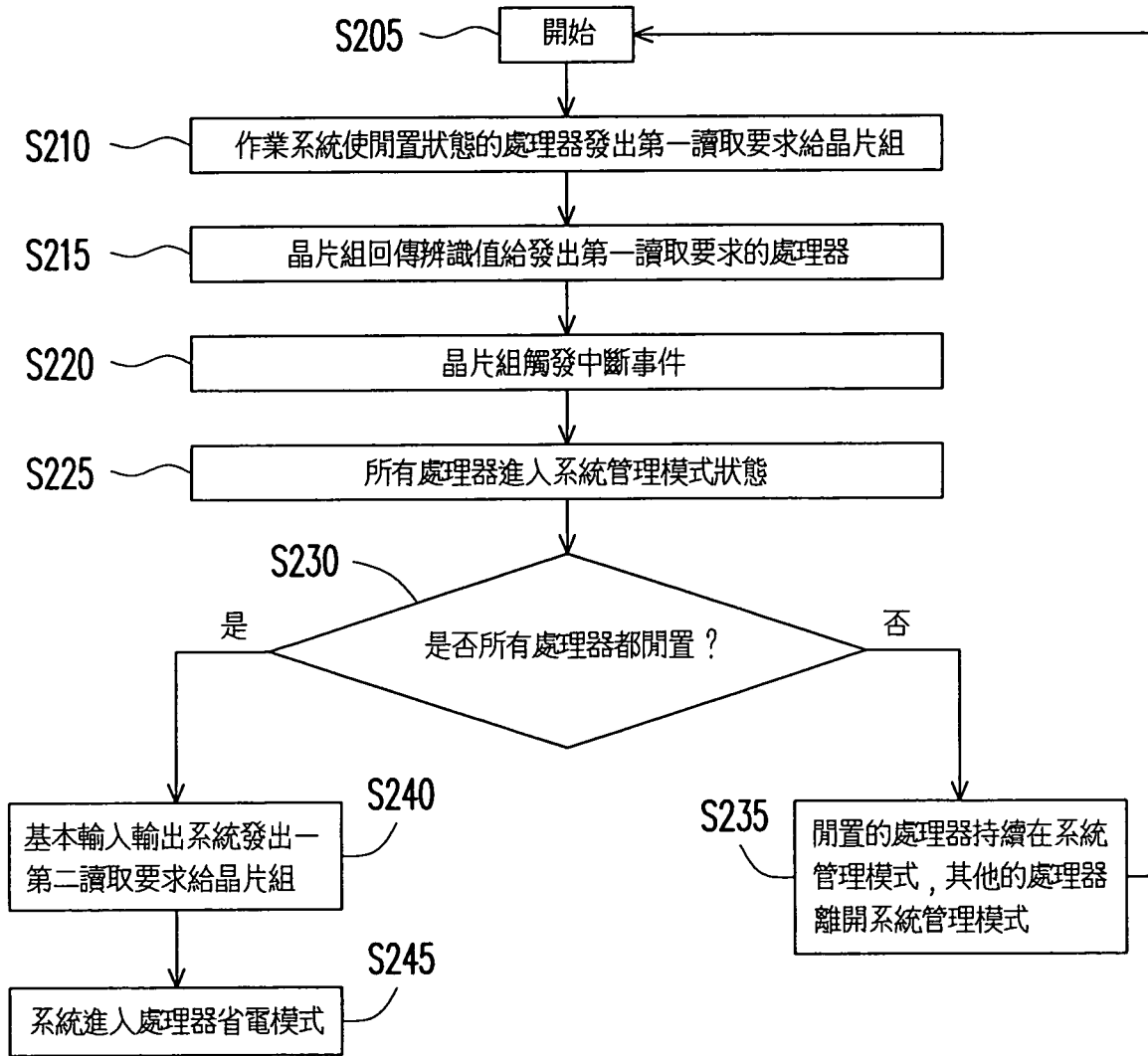


圖 2

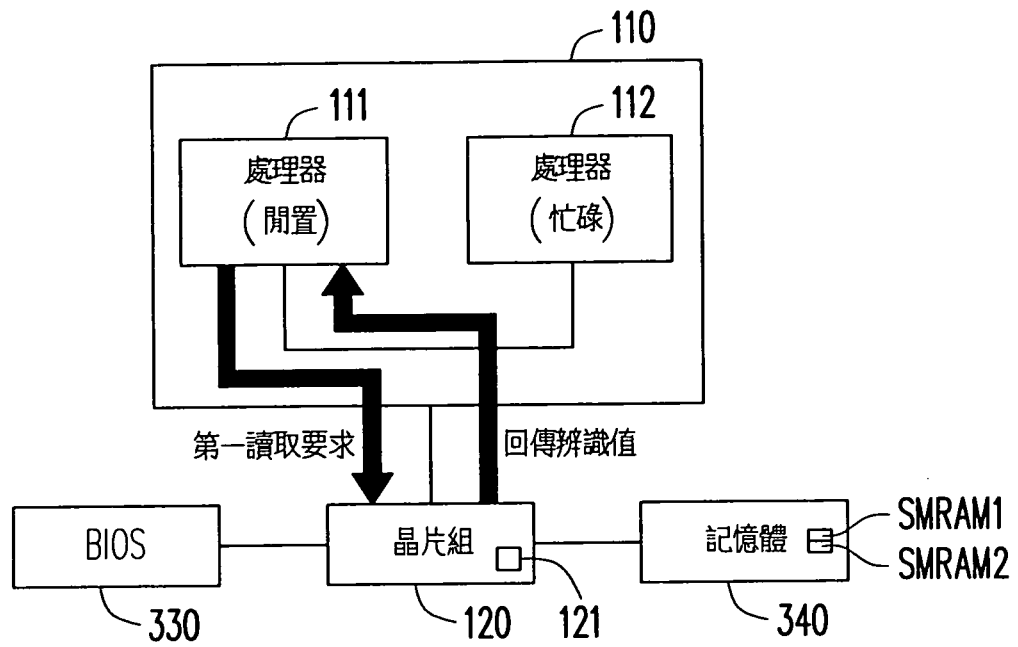


圖 3A

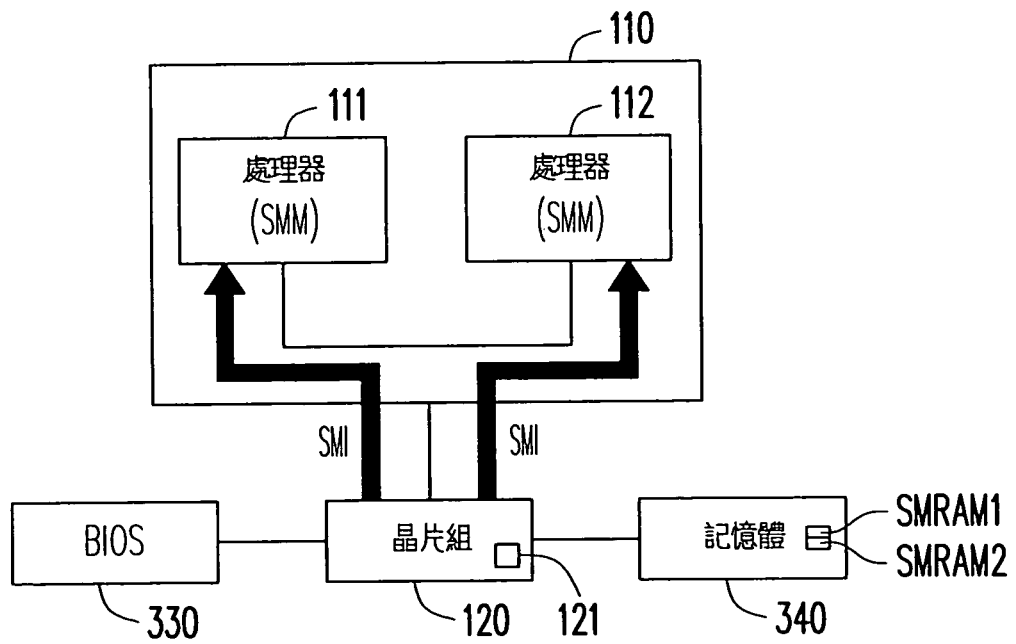


圖 3B

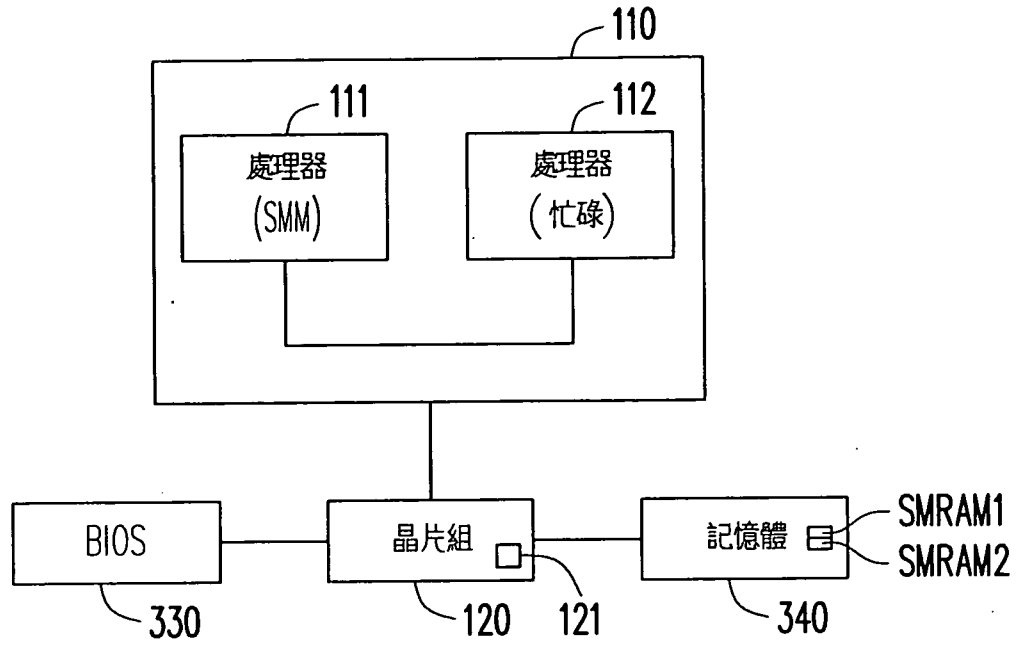


圖 3C

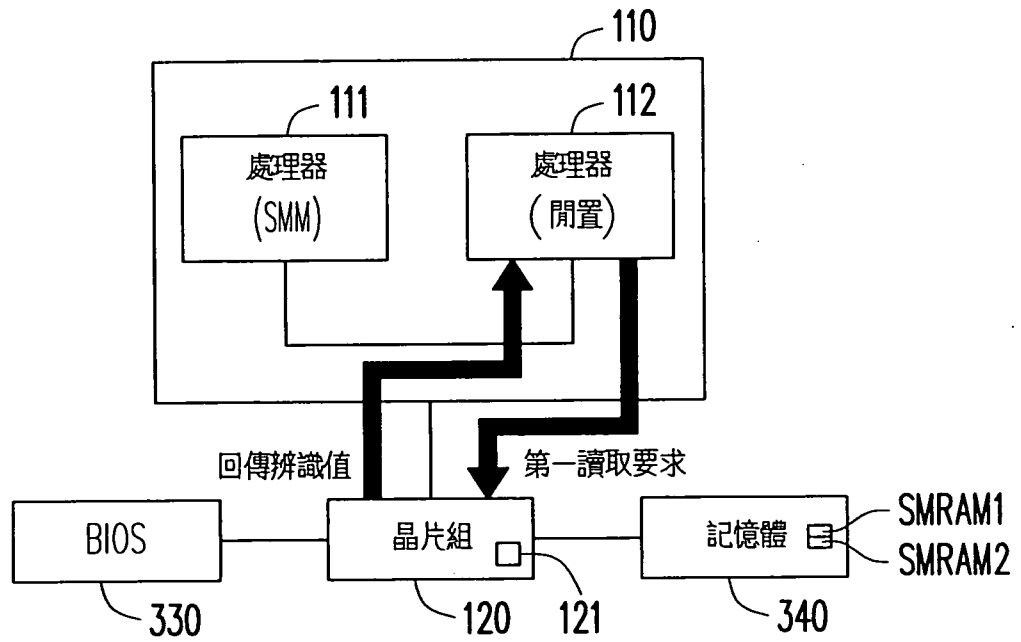


圖 3D

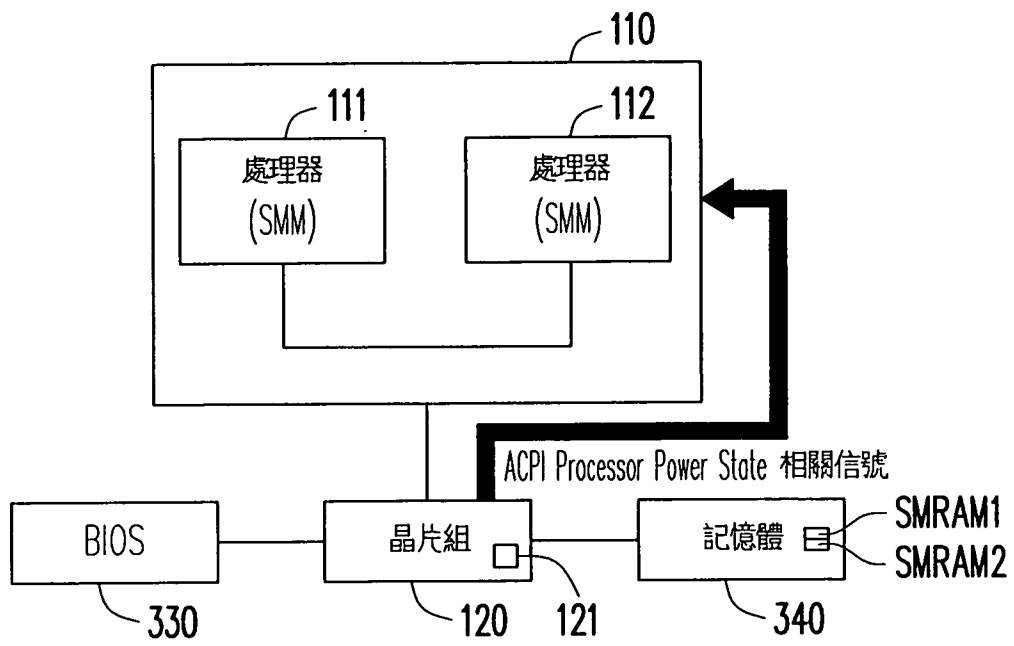


圖 3E

28676TW\_T

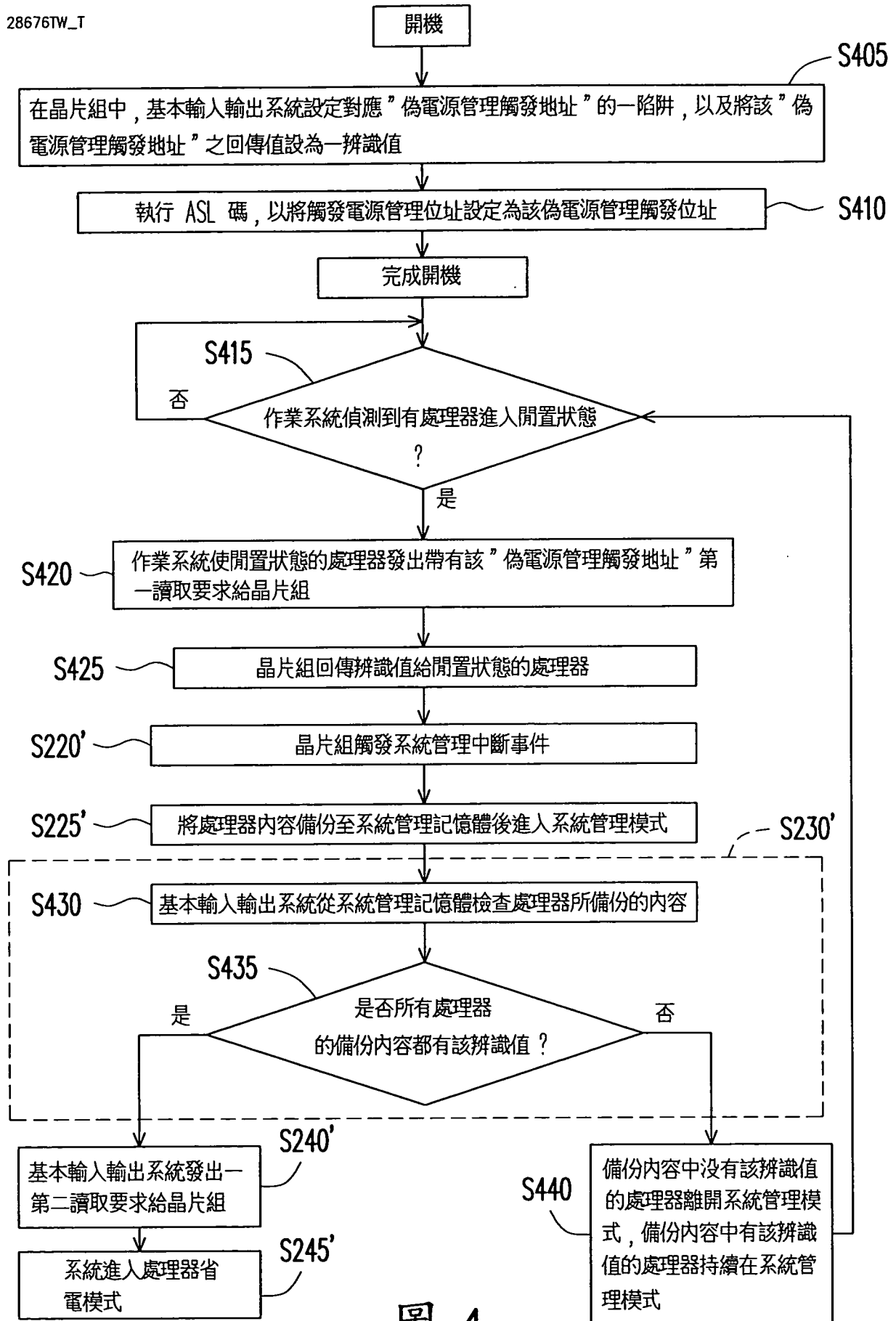


圖 4