

發明專利說明書

100年6月23日修正替換頁

中文說明書替換頁(100年6月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096114906

※ 申請日期：96.4.27

※IPC 分類：H01L 27/06 (2006.01)

公告本

一、發明名稱：(中文/英文)

具有低串音之P型金屬氧化半導體像素結構

PMOS PIXEL STRUCTURE WITH LOW CROSS TALK

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商豪威科技股份有限公司

OMNIVISION TECHNOLOGIES, INC.

代表人：(中文/英文)

薇琪 周

CHOU, VICKY

住居所或營業所地址：(中文/英文)

美國加州聖塔克拉樂市波頓道4275號

4275 BURTON DR., SANTA CLARA, CA 95054, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 艾瑞克 G 史蒂文斯
STEVENS, ERIC G.

2. 小森 弘文
KOMORI, HIROFUMI

國 籍：(中文/英文)

1. 美國 U.S.A.

2. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年06月20日；11/455,985

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種影像感測器，其影像區域具有複數個像素，每一像素具有一第一導電率類型之一光偵測器與一基板，及形成於該基板與該等光偵測器間之一第二導電率類型的一第一層。該第一層涵跨該影像區域，並以相對於該基板之預定電位偏壓之，以驅動過量之載子進入該基板來減少串音。一或多個相鄰之主動式電子組件可被佈置於每一像素內之該第一層中及可被佈置於該影像區域外之基板內的電子電路。

六、英文發明摘要：

An image sensor with an image area having a plurality of pixels with each pixel having a photodetector and a substrate of a first conductivity type and a first layer of a second conductivity type formed between the substrate and the photodetectors. The first layer spans the image area and is biased at predetermined potential with respect to the substrate for driving excess carriers into the substrate to reduce cross talk. One or more adjacent active electronic components can be disposed in the first layer within each pixel and electronic circuitry can be disposed in the substrate outside of the image area.

七、指定代表圖：

(一)本案指定代表圖為：第 (4a) 圖。

(二)本代表圖之元件符號簡單說明：

10	釘扎光二極體
20	n+釘扎層
30	p型埋入式儲存區域
40	n型井
50	p-/p++磊晶基板
60	n型隔離植入

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明一般說來係關於影像感測器領域，特定來說係關於主動式像素影像感測器，其具有可減少串音的一n型釘扎層(pinning layer)及位於一n型井中之一p型收集區域。

【先前技術】

近來，主動式像素影像感測器典型上係建構在p型或n型矽基板上。主動式像素感測器係指感測器之每一像素具有或連接至一主動式電路元件，例如一種放大器。CMOS係指"互補式金屬氧化矽"電晶體，其具有以一種互補的方式結合在一起的兩個電晶體，該二電晶體具相反摻雜物(一為p型，另一為n型)。主動式像素感測器典型上也使用CMOS電晶體，因此，吾人將該兩種名詞交互使用。

該建構在p型基板上的CMOS感測器典型地具備晶片上的高度電路整合，此乃由於該製程係源自標準CMOS的事實，其已發展成熟且包含支援此高度整合之所有必要裝置與電路庫。不幸地，該等感測器具有高度之像素對像素串音的問題，其原因為少數載子在p型基板內的橫向擴散，其中該等少數載子係建構在p型基板上。另一方面，使用源自典型跨線CCD影像感測器製程所製的CMOS影像感測器(其中該焦點平面建構在一n型基板上之一p井內)即具有極低之串音，其係因為其垂直溢流汲極(VOD)之結構消除了橫向載子擴散。對該等裝置而言，色彩上的串音主要來自於光學因素，該因素受所覆蓋之CFA的透光率限制。

儘管近來已有數種針對建構於p型基板上之CMOS感測器的構想，以減少該矽基板內之該種電子串音，(美國臨時申請案號0/721,168與60/721,175，均於2005年9月28日提出申請)，利用該等技術無法在特定應用上將該串音降至足夠低。且雖然吾人可開發一種於n型基板上製成CMOS的製程，但該製程將需要吾人完全再造所有該等支援電路與裝置。該種CMOS也將需要於AC接地平面(在此例中為該基板)上施加與VDD供應電壓相同的偏壓，而這在雜訊(noise)的考量上並非吾人所樂見。N型基板之載子也較p型基板不易吸附消除，因此會造成較高的暗電流缺陷。

因此，此領域需要一種減小串音的CMOS影像感測器，其同時仍保有所有現有主流CMOS製程之優點與發展水準。

【發明內容】

本發明係關於克服上述該等問題之一或多個問題。簡單總結之，根據本發明之一方面，本發明為一種影像感測器，其影像區域具有複數個像素，每一像素具有一第一導電率類型的一光偵測器，該影像感測器包含：具該第一導電率類型的一基板；位於該基板與該等光偵測器間的第二導電率類型之一第一層，其涵跨該影像區域並以相對於該基板之預定電位偏壓之，以驅動過量之載子進入該基板以減少串音；一或多個相鄰之主動式電子組件，其佈置於每一像素的該第一層中；以及佈置於該影像區域外之該基板內的電子電路。

閱讀該等較佳具體實施例及隨附申請專利範圍之下列詳細說明，且參考該等附圖，吾人將更清楚地明白並瞭解本發明之該些及其他方面、目的、特徵及優點。

本發明的優點

本發明具有減少串音與暗電流中之體擴散分量的優點，而仍保留使用整合在p型基板上之主流標準CMOS的所有優點。

【實施方式】

長久以來，電荷耦合裝置(CCD)型影像感測器主要使用電子作為信號電荷載子，因其高移動率之優點可在高資料率下維持良好之傳輸效率。為減少色彩上之串音與混雜，且提供模糊(blooming)保護，CCD影像器典型上也建構在一井中，或垂直溢流汲極(VOD)結構內(參見例如美國專利4,527,182)。因此，製造一種需要一n通道之VOD結構必須於一n型基板中形成一p井。

CMOS型影像感測器已較為普遍。近來CMOS影像感測器典型上建構在p型或n型矽基板上。建構於p型基板上之該等感測器係使用主流之CMOS製程，其包含高度之電路整合，但具高度色彩串音的問題。使用一典型之類CCD式製程建構於n型基板上之感測器(參考文獻：S. Inoue等人之"一種3.25 M像素APS-C尺寸CMOS影像感測器"，"科技報告，影像資訊與電視工程師學會(Eizojo Media Gakkai Gijutsu Hokoku Eijogakugiho)"，第25冊，第28號，第37-41頁，2001年3月；ISSN 1342-6893)，其具有較低之色彩

串音，但仍有前述之其它缺點。

CMOS影像感測器不像CCD影像感測器，其僅有自該光二極體至該浮動擴散的一種傳輸。因此，CMOS影像感測器不需要高的電荷載子移動率。同樣地，電洞之低移動率也非CMOS影像感測器之缺點。因此本發明之一項目的為揭露一種使用一PMOS(p通道)像素結構之CMOS影像感測器，其係使用電洞作為信號電荷載子。本發明之該種PMOS結構將該像素建構在p型磊晶上之一n型井內，以減少像素對像素之串音。然而，不像一典型之CCD型影像感測器，該井僅用在該感測器之影像區段下方，或涵跨該影像區段。所有整合在該晶片上之數位及類比CMOS支援電路於該p型磊晶內形成(參見圖4b，即類比或數位電路80、數位邏輯90、列解碼器100、及行解碼器110)。此係意指其保留了該晶片之標準CMOS電路部份之裝置的所有物理方面。此外，不像建構於一井中之CCD影像感測器，其中該井偏壓為接地電位且基板為某正電位，在本發明結構中的n型井施加VDD電位的偏壓可使CMOS電路之接地平面(即該p型磊晶基板)維持在0 V。此係意指也保留了該晶片之標準CMOS電路部份的所有電子方面。僅有該數位與類比區段中一些邏輯脈衝與信號擺動之方向需要適當之反轉，熟習此種技術者可輕易地實現此種反轉。因此，本發明保留了所有於之前先前技術中所述及之p型基板的優點。由於該種井型結構去除了來自該基板的擴散分量，其暗電流也隨之減少。

圖 1 為一種典型之先前技術 CMOS 影像感測器像素之俯視圖。該典型像素包括：一光二極體 (PD)；自該光二極體讀取電荷之一傳輸閘極 (TG)；將信號電荷轉換成一伏特信號之一浮動擴散 (FD)；作為一信號緩衝器之一源極隨耦器電晶體 (SF)，其閘極電連接至 FD；一列選擇電晶體 (RS)，其選擇性地將該等源極隨耦器電晶體之輸出埠連接至行輸出電路 (圖 1 未示出)；及重置該浮動擴散之電位的一重置閘極 (RG)。吾人使用一種電源供應電壓 (VDD) 來提供該源極隨耦器電力，並於其重置操作時洩出因浮動擴散所產生的信號電荷。

一種典型之先前技術 CMOS 影像感測器像素包含具一 p+ 型釘扎層及一 n 型儲存區域之一釘扎光二極體，其係建構在如圖 2a 至 2c 所舉範例之 p-/p++ 磊晶矽晶圓上。該空耗區域深度 (如圖 2a 與 2c 所示) 界定該光二極體之收集邊界。圖 2b 顯示通過該先前技術之光二極體中央的截面上之範例摻雜分佈。擷取產生自於該收集區域 (即空耗區域邊界) 內製造出之較短波長光的電荷載子 (電子)，並儲存為信號電荷。在該空耗深度外由較長波長所產生之電荷載子可自由地向所有方向經由熱擴散而擴散。橫向擴散且由相鄰像素收集之任何電荷稱為電子串音。

可藉由定義串音為非發光像素對發光像素之信號比而量化該串音，且可以分數或百分比表示。因此，串音表示未被像素收集之信號的相對量，該信號產生於該像素下方。圖 3 說明範例先前技術之像素之串音與空耗深度的相依

性。該串音之計算係假設沿一線每隔一像素發光(而其間之像素則未發光)。假設波長為650 nm，因為串音在較長波長時問題較多，這係因為於較長波長處其光學吸收係數較低(即其光子被吸收的較深)。由該圖可發現雖然增加空耗深度可減少串音，但即使將空耗深度加至3 μm ，仍無法將串音降至零，該深度在矽的吸收係數為650 nm時接近1。

圖4a為本發明之PMOS像素架構的一橫截面圖。圖4b為包含該像素結構之一範例CMOS影像感測器的俯視圖。圖4c為通過該光二極體之中央的一範例摻雜分佈。圖4d為一通過該光二極體中央的截面上的範例電位分佈。如圖4a與4c所示，本發明之釘扎光二極體10包含一n+釘扎層20與p型埋入式儲存區域30，其建構於一p-/p++磊晶基板50上之一n型井40內。由於本發明之光二極體的表面釘扎層20為n型，因此本發明可使用砷。由於砷比硼具有較短的植入範圍，其較易於製造一種淺的釘扎層。(該先前技術結構具有典型上使用硼的一p型釘扎層)。此外，因為該光二極體的儲存區域30現為p型而非n型，因此使用硼(硼比磷或砷具有較長的植入範圍，其為先前技術結構之儲存區域所需)，使得深度植入較為容易。圖4a說明該n+釘扎層20經由圍繞該典型淺溝渠隔離(STI)區域之n+型隔離植入物60而電連接至該n型井40。該釘扎層20使該二極體表面維持在(電子)累積態。信號電荷以電洞之形式儲存在該釘扎光二極體10之p型埋入式儲存區域30中。該n型井40僅於該影像區域70形成，其具有如圖4b之俯視圖所示之複數個像

素。藉由僅在該影像區域70中形成此井40，該影像感測器75使用標準主流CMOS裝置，及在類比或數位電路80、數位邏輯90、列解碼器100、及行解碼器110中的電路系統，且仍保留p型基板的所有益處。此n型井40較佳地在該程序開始時形成，因此其形成不影響其它裝置結構。例如，若該井經由一植入與熱驅動步驟形成，則於標準CMOS程序前進行該步驟可使該熱驅動步驟不致造成淺接面區域之擴散，其為使用在圍繞該影像區域之CMOS支援電路內之裝置所需。當此n型井40形成時，該像素之傳輸閘極(TG)、重置閘極(RG)、及源極隨耦器(SF)電晶體均最好為p型金屬氧化矽(吾人應注意該閘極通常不是金屬，而是多晶矽，且有時該介電質不是單一氧化物)場效電晶體(PMOSFET)。一種與該源極隨耦器放大器(SF)之輸出埠串聯的列選擇電晶體(RS，未示出)同時也是一種PMOS裝置。支援CMOS電路80、90、100與110的所有周邊裝置於該p-/p++磊晶基板內形成。將該基板接地，且對n型井40施加一合宜的正偏壓，如VDD。影像整合之後或之中，信號自該光二極體傳送前，在該重置閘極(RG)上以一負脈衝重置該浮動擴散(FD)。一合宜之FD重置電壓位準為接地。於該浮動擴散重置後(即該RG脈衝後)，以該傳輸閘極(TG)上之一負脈衝引發自該光二極體至浮動擴散的電荷(電洞)傳輸。圖4a為該等脈衝可用之合宜的時脈伏特(VDD)之一範例。也可使用其它伏特數而不脫離本發明之範疇。由於本發明結構之信號電荷為電洞，該浮動擴散與源極隨耦器(SF)輸出

埠之信號擺動將為正脈衝。任何產生自該光二極體收集區域30下之n型井40內的光信號(電洞)皆會在擴散至鄰近之釘扎光二極體10前被掃入該基板50中，因而消除電子串音。該種信號可用熟習本技術人士者所熟知的一般方法自該晶片中讀出。由此種結構所造成該基板與光二極體間之電位阻障也消除了自該基板(整體)至該光二極體的暗電流的擴散分量。

本發明之像素結構的電子串音可如圖5所示大幅減少，該像素結構具有一釘扎之光二極體且建構在一p型基板上之n型井內。圖5說明在各種空耗深度下，串音對下沈深度(sink depth)之關係(下沈深度係指載子汲至該基板所通過之深度)。該計算採用1994年十月E.G. Stevens與J.P. Lavine在IEEE電子裝置期刊(*IEEE Trans. on Electron Devices*)第41冊第10號第1753頁中所述之方法。此一範例之計算係假設一恆定n型井摻雜濃度對深度之關係。針對一種實際之裝置，其中該n型井較佳地以離子植入來形成，其所造成之摻雜梯度(如圖4c所示)可造成一電位梯度(如圖4d所示)，因此在該n型井中之少數載子(電洞)將驅動至該基板內，因此造成幾近完全消除了電子串音與該基板之暗電流分量。

參考圖6，其顯示一數位照相機120，其中佈置有本發明之影像感測器75，用於說明普通消費者習慣的一個典型商用具體實施例。

儘管本文所揭示之本發明較佳具體實施例說明一種包含

一n+釘扎(頂表面)層與一p型埋入式收集區域(其位於一p型磊晶基板上之一n型井內)之釘扎光二極體，熟習本技術領域之人士應了解本發明也可應用於其它結構上，而不背離本發明之範疇。例如，可使用一種簡單之未釘扎p型二極體，其可依需求形成於一n型井內。此外，雖然本文列出一種簡單非共享的像素架構，本發明也可運用在一種共享式架構上(例如美國專利6,107,655)，而不背離本發明之範疇。

【圖式簡單說明】

圖1為一影像區域之像素的俯視圖，其係用於一典型先前技術之CMOS的影像感測器；

圖2a為一種二維摻雜結構之一概略圖，其係為穿過一典型先前技術之釘扎光二極體偵測器之傳輸閘極與浮動擴散所取的一橫截面；

圖2b為穿過該先前技術之光二極體的中央，其一維摻雜分佈與入矽深度之關係；

圖2c為穿過該先前技術之光二極體的中央，其一維電位分佈與入矽深度之關係；

圖3說明一種先前技術之CMOS主動式像素影像感測器像素，其像素對像素串音與空耗深度之關係的2-D計算示範結果；

圖4a為本發明之PMOS像素結構的二維摻雜結構概略圖，其係為穿過該傳輸閘極、浮動擴散、與重置閘極所取之一橫截面；

圖 4b 為圖 4a 之影像感測器之一示範佈局俯視圖；

圖 4c 為穿過本發明之 PMOS 像素結構中央的一維摻雜分佈與入矽深度之關係；

圖 4d 為穿過本發明之 PMOS 像素結構中央的一維電位分佈與入矽深度之關係；

圖 5 為建構在一井中之本發明的 PMOS 像素結構，在各種光二極體空耗深度下像素對像素串音與溢位或下沈深度之關係的二維計算結果；及

圖 6 為一般消費者所熟習之一數位相機，其說明本發明之一典型商業具體實施例。

【主要元件符號說明】

10	釘扎光二極體
20	n+釘扎層
30	p型埋入式儲存區域
40	n型井
50	p-/p++磊晶基板
60	n型隔離植入
70	影像區域
75	影像感測器
80	類比或數位電路
90	數位邏輯
100	列解碼器
110	行解碼器
120	數位相機

十、申請專利範圍：

1. 一種影像感測器，其影像區域具有複數個像素，每一像素具有一 p 導電率類型之光偵測器，該影像感測器包含：
 - (a) 該 p 導電率類型之一基板；
 - (b) 位於該基板與使用電洞作為電荷載子之該 p 型光偵測器間之 n 導電率類型之一第一層，其中該第一層涵跨具有該複數個像素之全部影像區域，且該第一層包括漸層式之摻雜，以驅動過量之載子進入該基板；
 - (c) 電連接至該第一層之一接觸點，以相對於該基板之預定電位來偏壓該第一層，以將過量之載子驅動至該基板來減少串音；
 - (d) 一或多個相鄰之主動式 P 型通道金屬氧化物半導體 (PMOS) 電子組件，其佈置於每一像素內之該第一層中；及
 - (e) 互補金屬氧化物半導體 (CMOS) 電子支援電路，其佈置於該影像區域外之該基板內，且電連接至該影像區域。
2. 如請求項 1 之影像感測器，其中該一或多個主動式 PMOS 電子組件包括一重置電晶體與浮動擴散。
3. 如請求項 1 之影像感測器，其中該一或多個主動式 PMOS 電子組件包括一放大器。
4. 如請求項 1 之影像感測器，其進一步包含佈置於該基板與該第一層間之一 p 磊晶層，其中該基板為 p+ 型且該第

一層為n型。

5. 如請求項1之影像感測器，其進一步包含n導電率類型的一釘扎(pinning)層，其中該光偵測器係一釘扎光二極體。
6. 如請求項5之影像感測器，其進一步包含圍繞一底部之n導電率類型的一第二層及每一淺溝渠隔離區域之側壁，以將n導電率類型的該第二層電連接至該釘扎層及n導電率類型的該第一層。
7. 如請求項1之影像感測器，其中該一或多個主動式PMOS電子組件包括一源極隨耦器放大器。
8. 如請求項7之影像感測器，其進一步包含圍繞一底部之n導電率類型的一第二層及每一淺溝渠隔離區域之側壁，以將n導電率類型的該第二層電連接至該釘扎層及n導電率類型的該第一層。
9. 一種照相機，其包含：

一影像感測器，其影像區域具有複數個像素，每一像素具有一p導電率類型的光偵測器，該影像感測器包含：

- (a) 該p導電率類型之一基板；
- (b) 位於該基板與使用電洞作為電荷載子之該p型光偵測器間之n導電率類型的一第一層，其中該第一層涵跨具有該複數個像素之全部影像區域，且該第一層包括漸層式之摻雜，以驅動過量之載子進入該基板；
- (c) 電連接至該第一層之一接觸點，以相對於該基板

之預定電位來偏壓該第一層，以驅動過量之載子至該基板來減少串音；

(d) 一或多個相鄰之主動式P型通道金屬氧化物半導體(PMOS)電子組件，其佈置於每一像素內之該第一層中；及

(e) CMOS電子支援電路，其佈置於該影像區域外之該基板內，且電連接至該影像區域。

10. 如請求項9之照相機，其中該一或多個主動式PMOS電子組件包括一重置電晶體與浮動擴散。
11. 如請求項9之照相機，其中該一或多個主動式PMOS電子組件包括一放大器。
12. 如請求項9之照相機，其進一步包括一佈置於該基板與該第一層間之磊晶層，其中該基板為p+型，且該第一層為n型。
13. 如請求項9之照相機，其進一步包含n導電率類型的一釘扎層，其中該光偵測器係一釘扎光二極體。
14. 如請求項13之影像感測器，其進一步包含圍繞一底部之n導電率類型的一第二層及每一淺溝渠隔離區域之側壁，以將n導電率類型的該第二層電連接至該釘扎層及n導電率類型的該第一層。
15. 如請求項9之照相機，其中該一或多個主動式PMOS電子組件包括一源極隨耦器放大器。
16. 一種影像感測器，具有複數個像素的一影像區域，每一像素具有一p導電率類型之一電荷儲存區域，該影像感

測器包含：

該p導電率類型之一基板；

該p導電率類型之一磊晶層；

佈置於該p導電率類型之磊晶層與使用電洞作為電荷載子之該等p導電率類型電荷儲存區域之間的n導電率類型之一第一層，其中該第一層涵跨具有該複數個像素之全部影像區域，且該第一層包括漸層式之摻雜，以驅動過量之載子進入該基板；

n導電率類型之一釘扎層，其佈置於每一p導電率類型電荷儲存區域之上；及

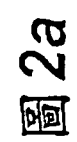
電連接至該第一層之一接觸點，以相對於該基板之預定電位來偏壓該第一層，以驅動過量之載子至該基板來減少串音。

17. 如請求項16之影像感測器，其進一步包括一或多個相鄰之主動式P型通道金屬氧化物半導體(PMOS)電子組件，其佈置於每一像素內之該n導電率類型之第一層中。
18. 如請求項16之影像感測器，其進一步包括互補金屬氧化物半導體(CMOS)電子支持電路，其佈置於在該影像區域以外的該p導電率類型之基板及電連接至該影像區域。
19. 一種用以操作一影像感測器的方法，該影像感測器具有一p導電率類型之一基板，具有複數個像素之一影像區域，每一像素具有該p導電率類型之一電荷儲存區域，佈置於該p導電率類型之基板與使用電洞作為電荷載子之該等p導電率類型之電荷儲存區域之間的一n導電率類

型之一第一層，其中該第一層涵跨具有該複數個像素之全部影像區域，且該第一層包括漸層式之摻雜，以驅動過量之載子進入該基板，及電連接至該第一層之一接觸點，該方法包含下列步驟：

藉由施加一預定電位至該接觸點且偏壓該第一層至該預定電位，以驅動過量之載子至該基板。





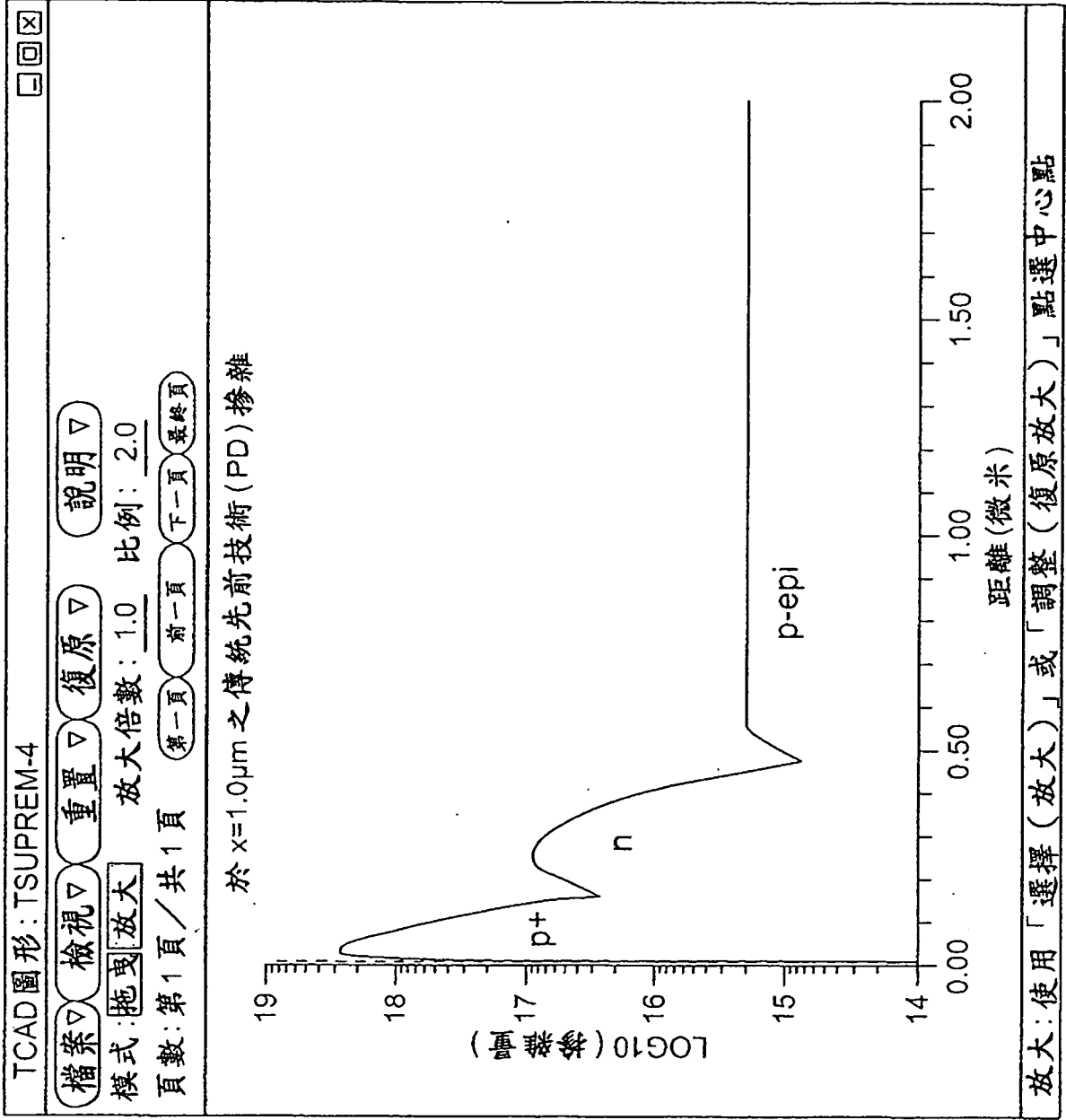


圖 2b

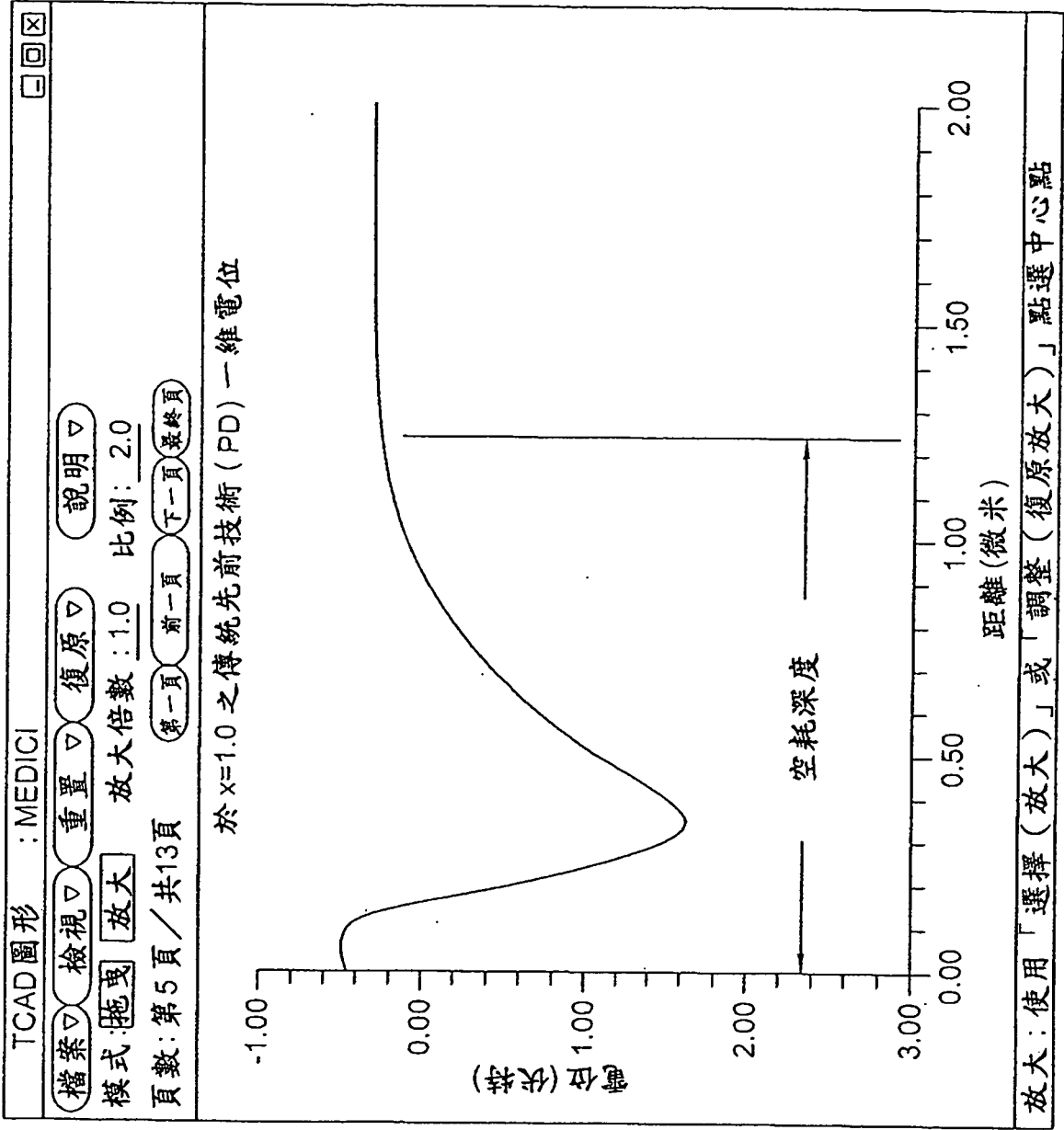


圖2c

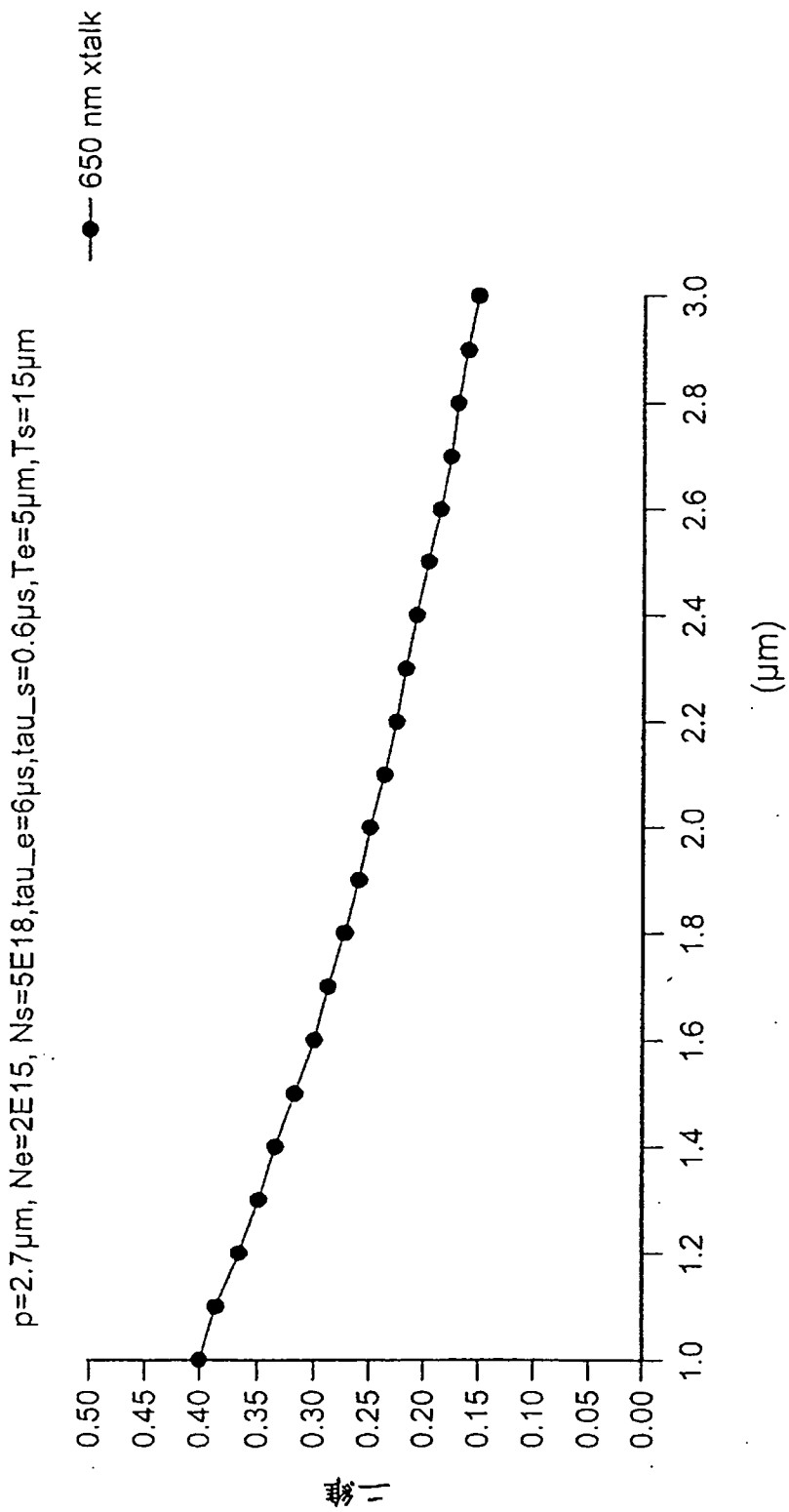


圖 3

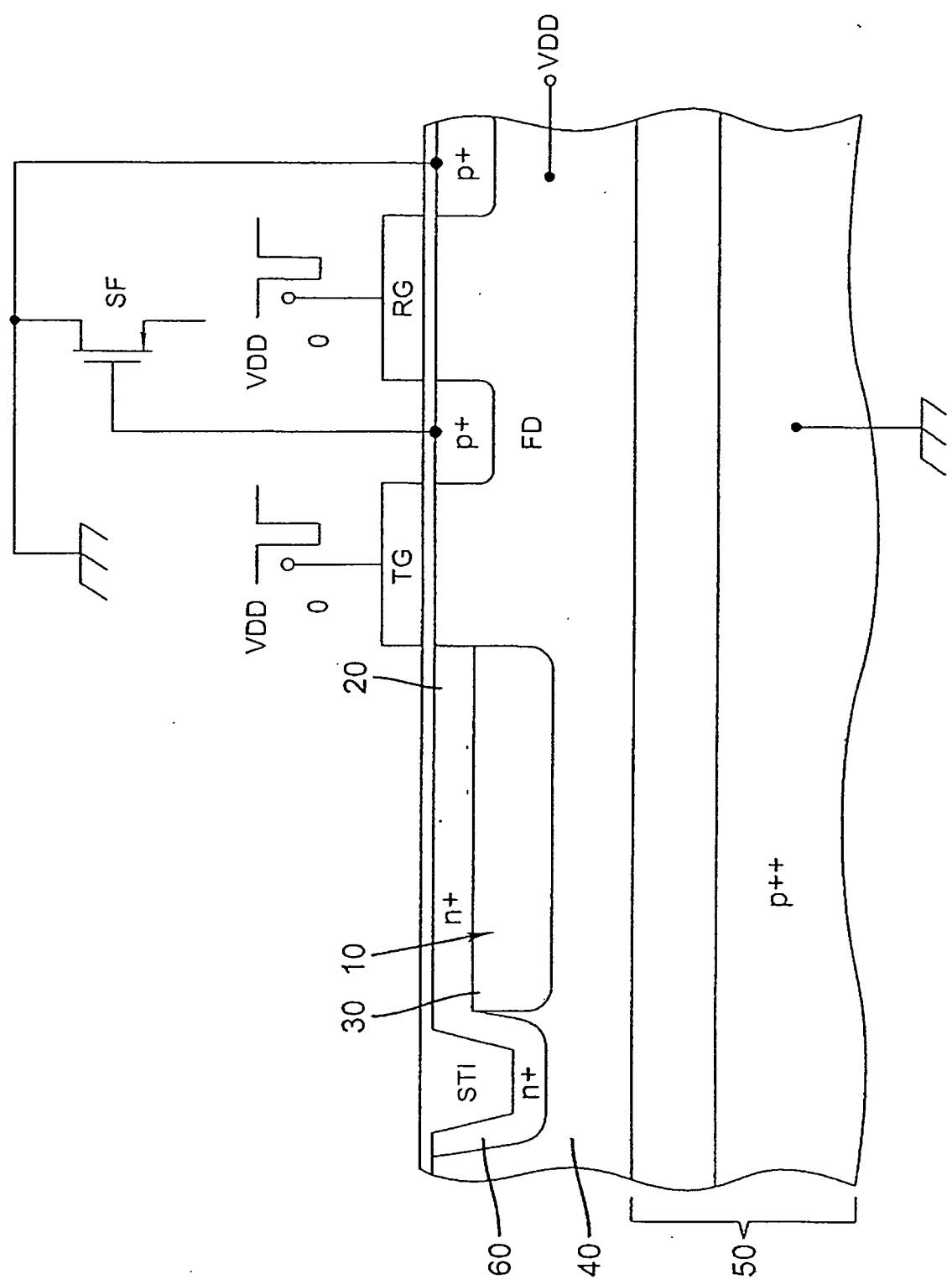


圖 4a

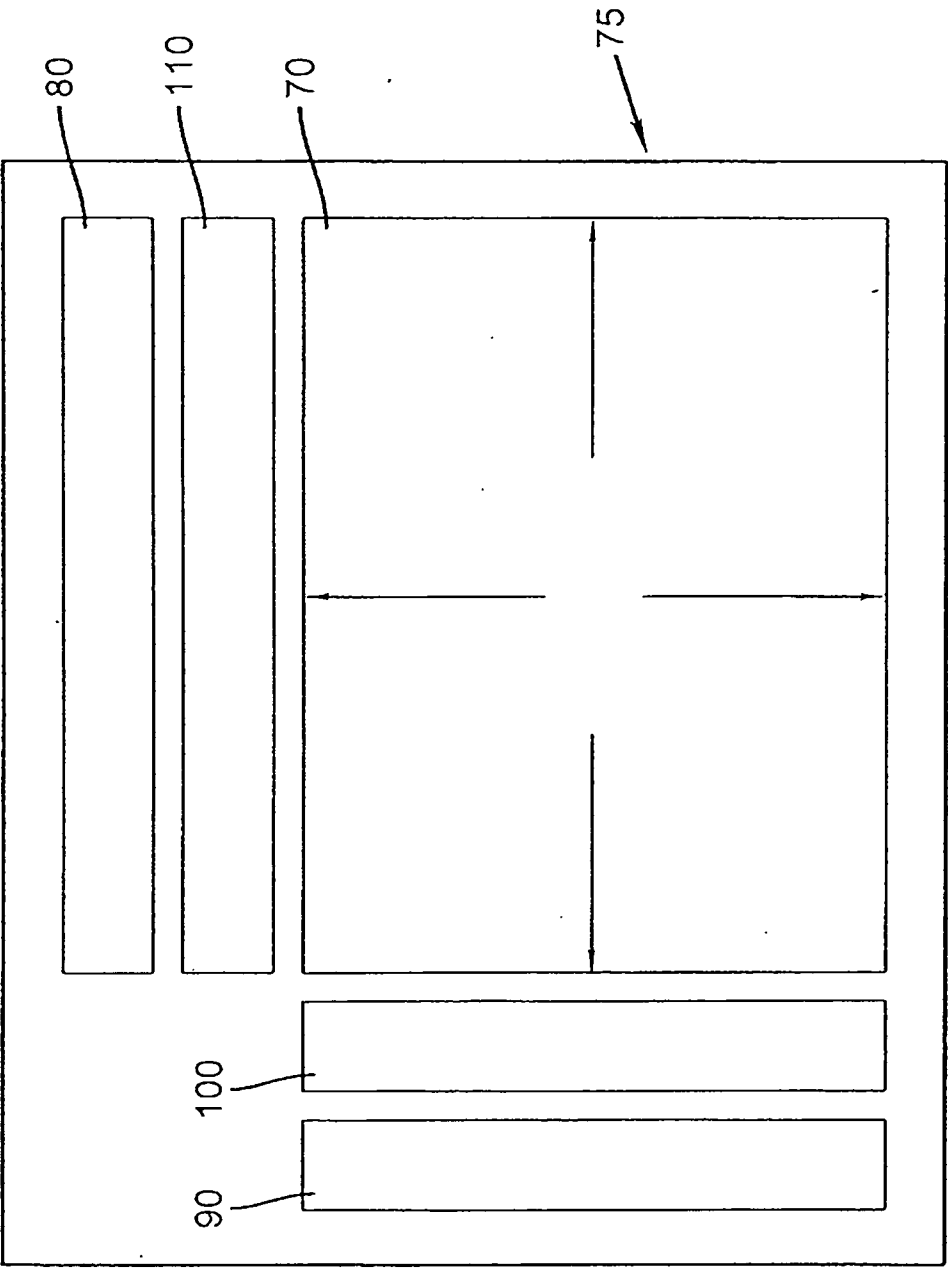


圖 4b

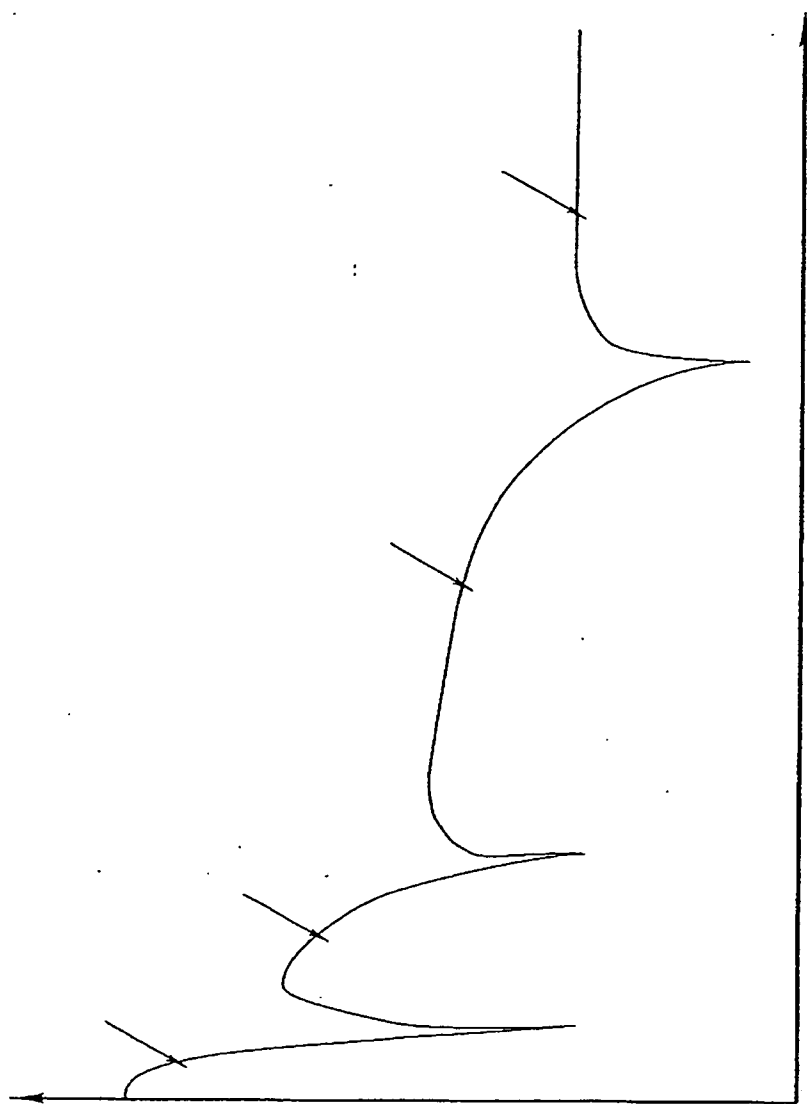


圖 4c

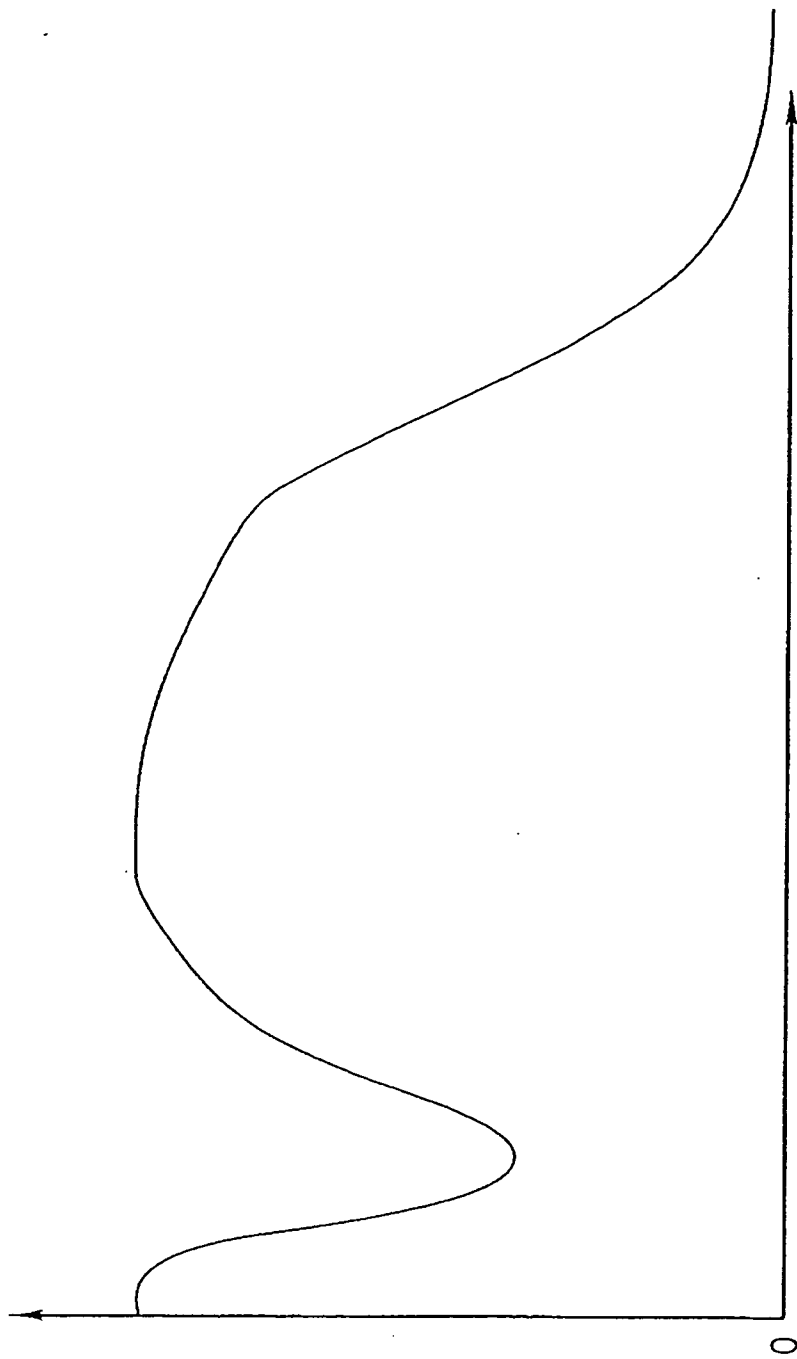


圖 4d

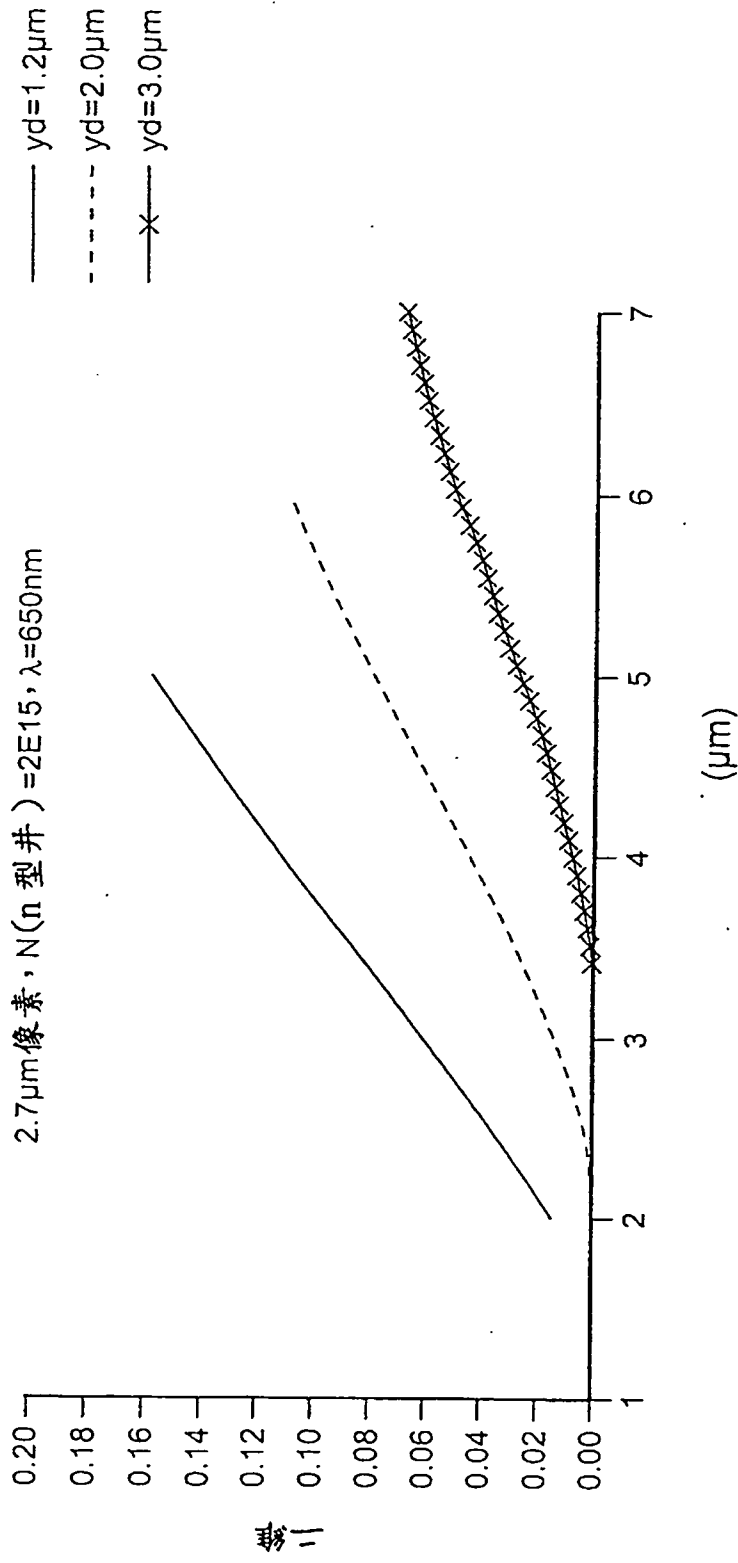


圖 5

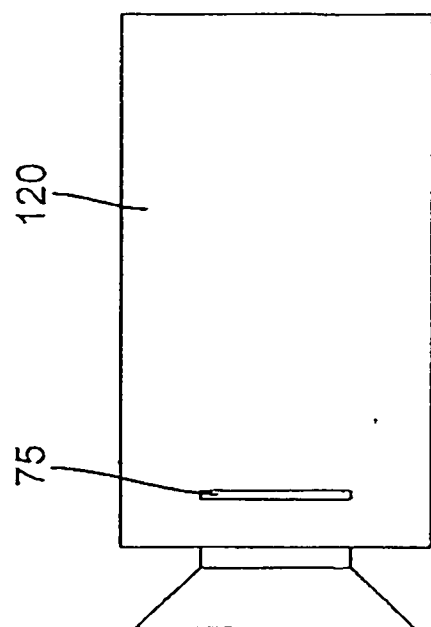


圖 6