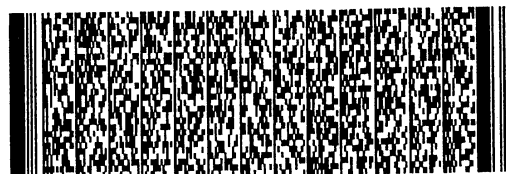


申請日期: 92 4 11	IPC分類
申請案號: 92108490	H01L 23/49

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	設有連接於配線之焊墊電極的半導體裝置
	英文	SEMICONDUCTOR DEVICE HAVING PAD ELECTRODE CONNECTED TO WIRE
二、 發明人 (共4人)	姓名 (中文)	1. 栗原 俊道 2. 川端 隆弘
	姓名 (英文)	1. Kurihara, Toshimichi 2. Kawabata, Takahiro
	國籍 (中英文)	1. 日本 JP 2. 日本 JP
	住居所 (中文)	1. 日本國神奈川縣川崎市中原區下沼部1753番地 恩意西化合物裝置股份有限公司內 2. 日本國滋賀縣大津市晴嵐二丁目9番1號 關西日本電氣股份有限公司內
	住居所 (英文)	1. c/o NEC Compound Semiconductor Devices, Ltd., 1753, Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa, Japan 2. c/o NEC Kansai, Ltd., 9-1, Seiran 2-chome, Ohtsu-shi, Shiga, Japan
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 恩意西化合物裝置股份有限公司
	名稱或姓名 (英文)	1. NEC Compound Semiconductor Devices, Ltd.
	國籍 (中英文)	1. 日本 JP
	住居所 (營業所) (中文)	1. 日本國神奈川縣川崎市中原區下沼部1753番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 1753, Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa, Japan
	代表人 (中文)	1. 峰尾 秋良
	代表人 (英文)	1. Mineo, Akira

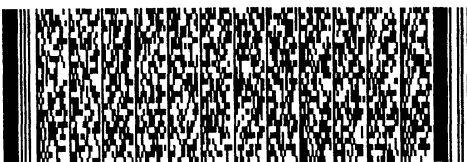


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 戶田 鐵 4. 椿 茂樹
	姓名 (英文)	3. Toda, Tetsu 4. Tsubaki, Shigeki
	國籍 (中英文)	3. 日本 JP 4. 日本 JP
	住居所 (中文)	3. 日本國滋賀縣大津市晴嵐二丁目9番1號 關西日本電氣股份有限公司內 4. 日本國滋賀縣大津市晴嵐二丁目9番1號 關西日本電氣股份有限公司內
	住居所 (英文)	3. c/o NEC Kansai, Ltd., 9-1, Seiran 2-chome, Ohtsu-shi, Shiga, Japan 4. c/o NEC Kansai, Ltd., 9-1, Seiran 2-chome, Ohtsu-shi, Shiga, Japan
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
日本 JP	2002/04/12	特願2002-110874	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

一、【發明所屬之技術領域】

本發明係關於一種半導體裝置，其具有半導體基板及形成於其上並電連接至配線的焊墊電極。本發明特別關於一種半導體裝置，其在焊墊電極與配線間具有改善的電連接。

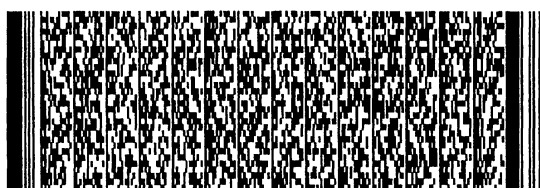
本申請案主張先前申請案JP 2002-110874的優先權，並在此藉以併入參考。

二、【先前技術】

藉由在半導體晶圓上分割之預定區域形成各半導體元件、電連接各半導體元件之基本部分與各區域表面上形成之焊墊電極，及將半導體晶圓切成分離個別的二維半導體片狀元件來製造半導體裝置。利用半導體片狀元件，半導體元件與外部裝置可經由焊墊電極電連接。在具有覆蓋樹脂以防禦外部力量或腐蝕性氣體之半導體片狀元件的二維半導體裝置中，焊墊電極一般經由配線連接暴露在外表面上之外部電極。

在此類半導體裝置中，鋁或含鋁作為主成分之合金一般用作焊墊電極的材料來抵抗地連接焊墊電極至半導體元件。如金、銅或鋁之金屬或高導電性合金係用來作配線。配線的材料及直徑由電性之基本考量來決定，如操作電流、成本及可靠性。若需要較低的電阻及可靠度，則一般使用金。

參考圖1，將說明習知之半導體裝置。



五、發明說明 (2)

圖1中，參考數字1表示其上形成有半導體元件之半導體基板。半導體元件包含如電晶體之主動裝置，及如電阻器或電容器之被動裝置，在矽或化合的半導體中擴散雜質。雖然沒有圖示，配線層形成在半導體基板1的表面上。在基板1上，形成保護膜2。保護膜2保護地覆蓋含配線層之半導體基板1之表面。焊墊電極3電連接至半導體基板1中的半導體元件。焊墊電極3由依順序排列在電連接至配線層（未圖示）之內部電極層4上之阻障金屬層5與外部電極層6構成。參考數字7表示外部連接至焊墊電極3的配線。

內部電極層4係藉由在覆蓋半導體基板1之保護膜2的一部份製造直徑如 $100\ \mu\text{m}$ 之圓形開口而形成，使具有厚度如數 μm 之鋁銅合金層暴露。阻障金屬層5具有多層結構，其中一般由如鈦或氮化鈦或具有阻障特性之合金形成之層係以預定厚度放置。在阻障金屬層5的頂端上，放置由鋁或銅合金組成之層而形成外部電極層6。

藉由融化自藉放電插入毛細管（未圖示）之金屬配線的底部伸出之末端部分形成配線7，藉以形成球。球係朝毛細管之底部的焊墊電極3推以擠壓球。擠壓部分7a的直徑係增為配線直徑的數倍以增加接合區域來確保電連接。配線7的直徑由半導體裝置之最大許可電流決定，及擠壓部分7a的直徑由配線的直徑決定。

同時，焊墊電極3的直徑係設定為大於擠壓部分7a的直徑，使允許容易配線鍵結，如此使得配線7容易連接至



五、發明說明 (3)

焊墊電極3，即使半導體片狀元件更換位置。

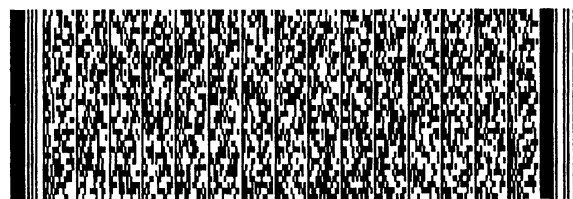
焊墊電極3與配線7一般由熱壓縮鍵結、超音波鍵結或結合前兩者之另一連接方法連接。因此，連接面的溫度係設在連接的最佳溫度。

另一方面，已知若鋁用來作外部電極層6及金用來作配線7，以及若連接面在連接過程中或之後遭受高溫，則產生金與鋁的化合物。亦已知化合物的類型及產生率依連接面的溫度而不同。

紫色合金 ($AuAl_2$) 被稱為紫斑 (purple plague)。若金的量大於紫斑的量，則產生白色合金 (Au_2Al)。此合金展現較高的電阻及脆性，導致機械力降低，即連接力降低。此外，產生的化合物係直接在配線與半導體元件間連接，使明顯地影響半導體裝置之電阻值。此導致在有主電流供應之電極的ON電阻增加及在有輸入信號施加之電極的DC輸入電阻增加的問題。

為了解決上述之問題，日本公開專利公報 (JP-A) 第4-10632號 (習知技術) 已揭示一方法，在配線鍵結至半導體片狀元件之焊墊電極後，半導體片狀元件在遭受樹脂密封步驟前維持在高溫。更特別地，若半導體片狀元件維持在約 $200^{\circ}C$ 約2小時，為了獲得穩定的半導體裝置，約80%或更多的合金可製成成品。其亦揭示將半導體片狀元件在 $200^{\circ}C$ 加熱200小時，使得鋁與金的化合物易碎。

依照上述之習知技術，配線連接焊墊電極，接著，焊墊電極與配線在預定的溫度加熱預定時間以促進鋁與金的



五、發明說明(4)

化合物產生，使半導體裝置的特性穩定。然而，依照此習知技術，化合物的產生無法完全完成，且延長加熱時間導致連接面易碎。

當半導體裝置重複開與關時，則其溫度重複升與降。因此，焊墊電極與配線的接合處重複地遭受由於熱膨脹的膨脹與收縮之壓力。接合處電阻的增加造成接合處自己產生熱，更造成易碎性。此已導致在相對短時間週期中配線的受損電連接。

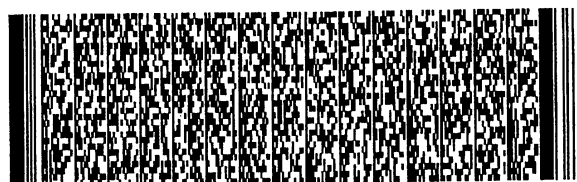
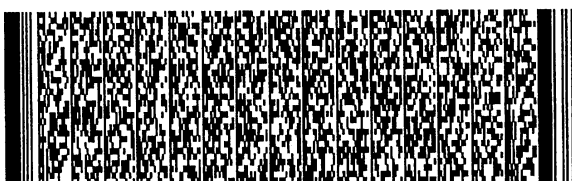
在範圍自數百MHz至GHz之波段中以高頻率操作之半導體裝置的例子中，為了使電力的功效最大，在半導體裝置與其連接至電路之間執行阻抗整合。半導體裝置中之配線構成整合電路的一部份。

若焊墊電極與配線間的電阻隨時間改變，則整合狀況亦隨時間改變，因而增加損失。此需要再調整外部電路以回復最佳狀況。因此，焊墊電極與配線間連接處的穩定性已成為重要因子。

三、【發明內容】

本發明之目的為提供一高可靠性之半導體裝置，其可在配線與焊墊電極間之電阻無經時變化之下穩定操作持續一長時間。

依照本發明之實施態樣之半導體裝置中，內部電極層係形成在半導體基板上。阻障金屬層係形成在內部電極上。外部電極層係形成在阻障金屬層上。焊墊電極由內部



五、發明說明 (5)

電極層、阻障金屬層，及外部電極層組成。配線係電連接至焊墊電極。外部電極層的區域係設在介於焊墊電極上配線的聚合部分區域及阻障金屬層的平面區域中間。

更佳地，外部電極層由鋁或含鋁為主成分之合金形成，及配線由金或含金為主成分之合金形成。

更佳地，焊墊電極之外部電極層的區域大小係設為配線的聚合部分大小的1.2至10倍。

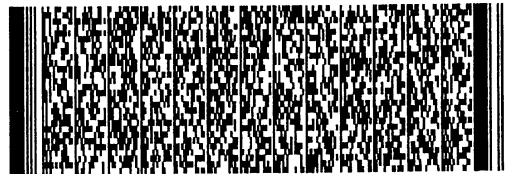
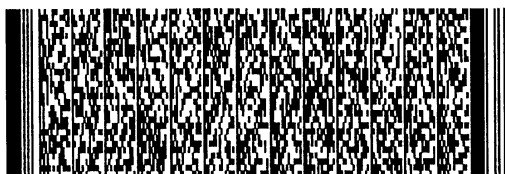
更佳地，半導體基板包含超高頻電路裝置。配線構成部分的超高頻電路裝置。

更佳地，外部電極層在阻障金屬層上形成島狀，及焊墊電極的外部電極層之區域大小係設定以抑制配線與焊墊電極間電阻的經時變化。

四、【實施方式】

在依照本發明之半導體裝置中，以內部電極層、阻障金屬層與外部電極層之順序排列組成之焊墊電極之外部電極層的區域大小，係設定介於焊墊電極上之配線的聚合部分區域大小與阻障金屬層之平面區域的大小中間。此排列理想地用於一種半導體裝置，其中由金或含金作為主成分之合金形成之配線係連接至設有由鋁或含鋁作為主成分之合金形成之外部電極層的焊墊電極。特別注意，依照本發明之半導體裝置的焊墊電極之外部電極層區域可設為配線的聚合區域之1.2至2倍。

依照本發明之半導體裝置可包含超高頻率半導體元



五、發明說明 (6)

件，且可用在其中配線構成部分超高頻率電路元件之半導體裝置。

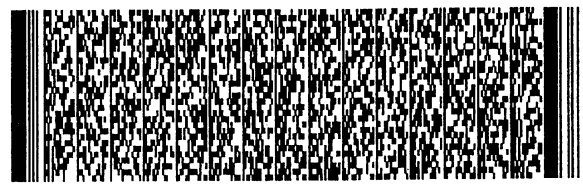
參照圖2，將詳細說明本發明之實施例。圖2中，如圖1中所示之組件將編以參考數字，且將不重述相同的說明。

參照圖2，焊墊電極8係形成於包含半導體元件（無圖示）之半導體基板1的表面上。焊墊電極8由內部電極層4、阻障金屬層5與外部電極層9組成，其中內部電極層4由含銅之鋁合金形成且達數 μm 厚，及外部電極層9由含銅之鋁合金組成。阻障金屬層5由金屬層多層薄片或展現阻障特質之鈦或氮化鈦合金層組成。由金形成之配線7係連接至外部電極層9上。

依照本發明之半導體裝置與圖1所示之習知半導體裝置之不同點在於外部電極層9的平面區域之大小係設定介於焊墊電極8上之配線7的聚合部分區域大小與阻障金屬層5之平面區域的大小中間。藉由以此法設定外部電極層9的平面區域，外部電極層9係以島狀排列於阻障金屬層5上。

依照本發明之半導體裝置在配線鍵結步驟之後之樹脂成型步驟及樹脂固化步驟受熱並維持高溫直到以完成品輸出。在此加熱步驟期間，金自配線7擴散入外部電極層9，同時鋁在配線7與焊墊電極8間的連接面自外部電極層9擴散入配線7。因此，金屬化合物產生。

在此情況下，外部電極層9的區域小於圖1顯示之習知半導體裝置的區域，使得擴散入鋁的金快速地到達平衡狀



五、發明說明 (7)

態，而結束相互擴散。因此，沒有產生另外的金屬化合物。如此結束金屬化合物的產生使配線與焊墊電極間電阻中的經時變化降至最小。因此，穩定性係改善。

在具有 $130\ \mu\text{m}$ 直徑之圓阻障金屬層5上形成具有 $100\ \mu\text{m}$ 直徑及 $0.35\ \mu\text{m}$ 厚度之外部電極層9。具有 $25\ \mu\text{m}$ 直徑之配線7（凸出部分之直徑約 $80\ \mu\text{m}$ ）係連接至焊墊電極8。配線電阻之初始值為 $0.12\ \Omega$ 。此裝置係置放在 250°C 之一大氣壓下達2000小時以確認配線電阻值的經時變化。即使經過2000小時之後，初始值仍保持不變，極顯示高穩定度。

當在典型的半導體裝置中，依照本發明之半導體裝置的配線7與焊墊電極8之連接部分亦在偏壓測試製程中受熱。然而，連接部分的電阻保持穩定直到裝置到達電性檢驗步驟。因此，不需要特別的加熱步驟，使得可容易地執行半導體裝置之生產。

形成外部電極層9以具有 $0.35\ \mu\text{m}$ 的厚度及 $100\ \mu\text{m}$ 直徑的圓形。配線7的突出部分（聚合部分）7a的直徑設為70至 $90\ \mu\text{m}$ ，及外部電極層9的區域與聚合部分的區域之比例在1.2至10的範圍內改變以量測配線電阻的經時變化。量測結果顯示自初始值的變化係止住了。

若前面提及之區域比率係設定大於10，亦即，若外部電極層9的區域增加或配線的聚合部分7a減少，則關於配線7的外部電極之體積相對地變大。此造成金自配線7持續擴散至外部電極層9中一長時間，導致配線電阻中的經時變化。



五、發明說明 (8)

另一方面，若區域比率設為小於1.2，亦即，若外部電極層9的直徑減少或配線聚合部分7a的區域增大，則關於配線7的外部電極層9之體積相對地減少。因為供應自配線7的金含量快速達到飽和點，故可期望防止配線電阻中的經時變化。然而，需要高準確性的配線鍵結，且若鍵結部分不準確，則可能損傷焊墊電極。因此，適當的區域比率範圍自1.2至10。

依照本發明之半導體裝置中，介於配線7與焊墊電極8間之接合部分不會發生電阻的經時變化。因此，即使供應主電流，電壓不會在接合部分下降，造成電力流失。因此，此半導體裝置適用作電力半導體裝置。

此外，當依照本發明之半導體裝置在數百MHz至GHz之超高頻率操作時，不能長時間維持與電路連接之整合。因此，包含更新調整的維修作業是不必要的。

因此，依照本發明，可瞭解配線與焊墊電極間沒電阻中的經時變化以允許持續長時間穩定作業之高可靠性半導體裝置。

當本發明已結合數個實施例揭示時，熟悉本技術的人士將可容易地以其他不同的方式實行本發明。



圖式簡單說明

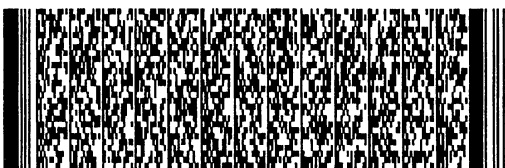
五、【圖示簡單說明】

圖1係習知半導體裝置之基本部分的放大側視剖面圖；以及

圖2係依照本發明實施例之半導體裝置之基本部分的放大側視剖面圖。

元件符號說明：

- 1～半導體基板
- 2～保護膜
- 3、8～焊墊電極
- 4～內部電極層
- 5～阻障金屬層
- 6、9～外部電極層
- 7～配線
- 7a～擠壓部分



四、中文發明摘要 (發明名稱：設有連接於配線之焊墊電極的半導體裝置)

在具有半導體基板之半導體裝置中，內部電極層係形成在半導體基板上。阻障金屬層係形成在內部電極上。外部電極層係形成在阻障金屬層上。焊墊電極由內部電極層、阻障金屬層、及外部電極層組成。配線係電連接至焊墊電極。外部電極層的區域係設在介於焊墊電極上配線的聚合部分區域及阻障金屬層的平面區域中間。

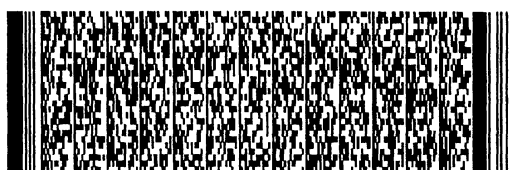
五、(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

- 1 ~ 半導體基板
- 2 ~ 保護膜
- 4 ~ 內部電極層
- 5 ~ 阻障金屬層
- 7 ~ 配線
- 7a ~ 擠壓部分

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE HAVING PAD ELECTRODE CONNECTED TO WIRE)

In a semiconductor device having a semiconductor substrate, an internal electrode layer is formed on the semiconductor substrate. A barrier metal layer is formed on the internal electrode. An external electrode layer is formed on the barrier metal layer. A pad electrode is made of the internal electrode layer, the barrier metal layer, and the external electrode layer. A



四、中文發明摘要 (發明名稱：設有連接於配線之焊墊電極的半導體裝置)

8 ~ 焊墊電極

9 ~ 外部電極層

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE HAVING PAD ELECTRODE CONNECTED TO WIRE)

wire is electrically connected to the pad electrode. An area of the external electrode layer is set midway between an area of a polymerization portion of the wire on the pad electrode and a planar area of the barrier metal layer.



六、申請專利範圍

6. 如申請專利範圍第5項之具有半導體基板之半導體裝置，其中：

配線構成部分的超高頻電路裝置。

7. 如申請專利範圍第1項之具有半導體基板之半導體裝置，其中：

外部電極層在阻障金屬層上形成島狀。

8. 如申請專利範圍第1項之具有半導體基板之半導體裝置，其中：

該焊墊電極的該外部電極層之區域係設定以抑制該配線與該焊墊電極間電阻的經時變化。



圖式

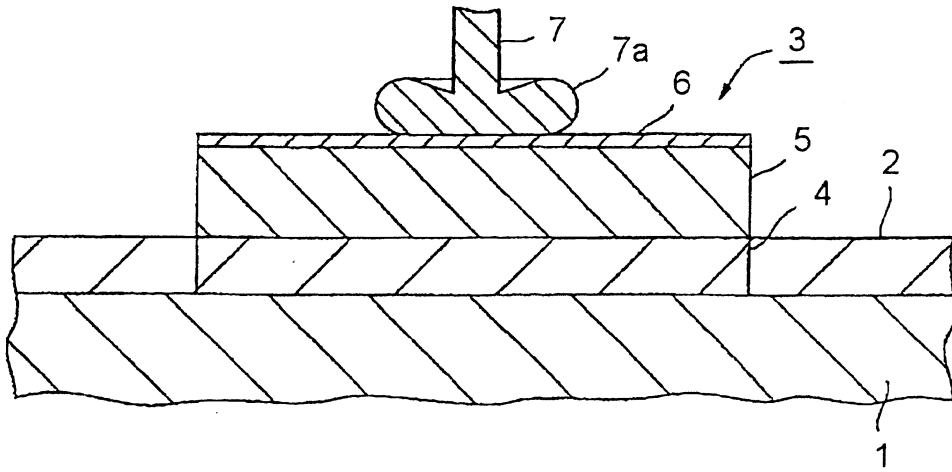


圖 1

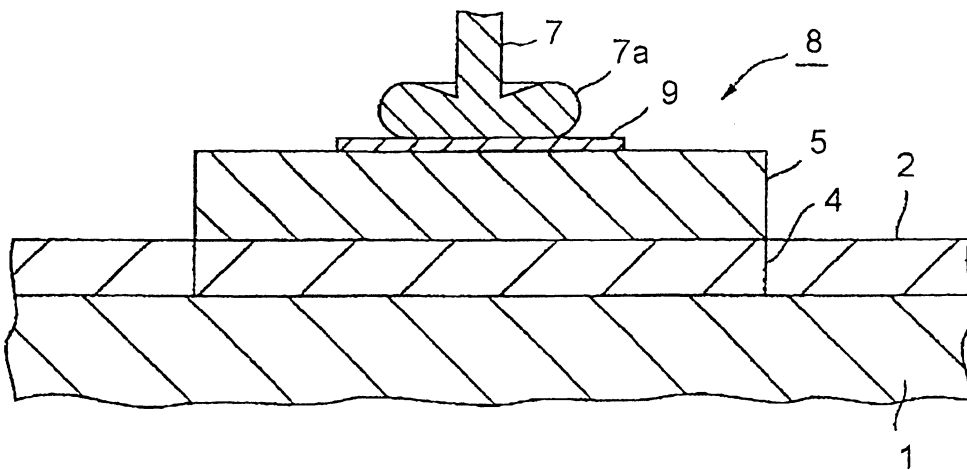


圖 2

六、申請專利範圍

1. 一種具有半導體基板之半導體裝置，包含：

一內部電極層，形成在半導體基板上；

一阻障金屬層，形成在內部電極上；

一外部電極層，形成在阻障金屬層上、由該內部電極層、該阻障金屬層、及該外部電極層組成一焊墊電極，以及

一配線，電連接至該焊墊電極，

其中該配線的聚合部分係連接於該外部電極層，且該外部電極層的區域大小，係大於於該焊墊電極上配線的聚合部分區域大小，並且小於該阻障金屬層的平面區域大小。

2. 如申請專利範圍第1項之具有半導體基板之半導體裝置，其中：

外部電極層由鋁或含鋁為主成分之合金組成。

3. 如申請專利範圍第2項之具有半導體基板之半導體裝置，其中：

配線由金或含金為主成分之合金組成。

4. 如申請專利範圍第1項之具有半導體基板之半導體裝置，其中：

外部電極層的區域係設為配線的聚合部分區域的1.2至10倍。

5. 如申請專利範圍第1項之具有半導體基板之半導體裝置，其中：

半導體基板包含超高頻電路裝置。

