

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 11.08.00.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 15.02.02 Bulletin 02/07.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : ATMEL GRENOBLE S.A. Société anonyme — FR.

72 Inventeur(s) : RAVATIN JEAN et AYRAUD MICHEL.

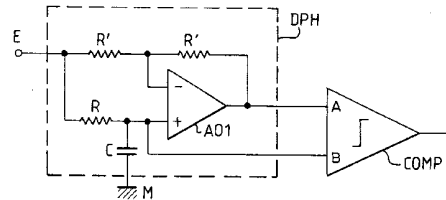
73 Titulaire(s) :

74 Mandataire(s) : THALES "INTELLECTUAL PROPERTY".

54 CIRCUIT DE DEMODULATION D'UN SIGNAL LOGIQUE TRANSMIS PAR DES VOIES ANALOGIQUES.

57 L'invention concerne les circuits de démodulation et de détection de signaux numériques, notamment les circuits de réception et traitement de signaux radio numériques. Les signaux sont reçus sous forme analogique et doivent être transformés en niveaux logiques, en pratique par comparaison du niveau de signal avec son niveau moyen.

Le niveau moyen est élaboré par un filtre passe-bas RC qui introduit un retard gênant dans l'élaboration du niveau moyen. Selon l'invention, on compare le niveau moyen de signal, élaboré par un filtre RC et appliqué à une entrée B d'un comparateur COMP, au niveau du signal analogique retardé par un déphaseur et appliqué à une autre entrée A du comparateur. Pour que le retard introduit par le déphaseur sur le signal analogique soit sensiblement le même que le retard apporté à la valeur moyenne par le circuit RC, on constitue le déphaseur à partir du même circuit RC et d'un amplificateur monté de manière à établir une fonction de transfert de déphasage du type $(1-RCp)/(1+RCp)$ où p est la variable de Laplace.



CIRCUIT DE DEMODULATION D'UN SIGNAL LOGIQUE TRANSMIS PAR DES VOIES ANALOGIQUES

L'invention concerne les circuits de démodulation et détection de signaux numériques, notamment les circuits de réception et traitement de signaux radio numériques.

Les signaux modulés par des informations numériques sont
5 transmis par des circuits physiques qui déforment ces signaux, de sorte que les signaux doivent être traités à l'arrivée pour retrouver l'information numérique qu'ils contiennent. Ce traitement est effectué par des circuits de démodulation à seuil qui permettent de convertir en informations binaires (niveau haut ou niveau bas) les variations de niveau analogiques du signal
10 reçu, et ceci même si les signaux ont subi des dégradations de forme d'onde.

Typiquement, un signal radio reçu d'une antenne et modulé en amplitude ou en fréquence est démodulé par un démodulateur d'amplitude ou de fréquence, qui fournit un signal analogique basse fréquence ayant théoriquement une forme d'onde rectangulaire, mais pratiquement une forme
15 très dégradée. Ce signal est appliqué à un comparateur à seuil qui décide si le niveau analogique de signal reçu à un instant donné doit être considéré comme un niveau logique haut ou bas. Le comparateur exécute donc une fonction de conversion d'un signal analogique en signal logique, ou encore une fonction de prise de décision logique à partir d'un signal analogique.

20 Le seuil du comparateur ne peut en pratique pas être fixe parce qu'il dépend de trop de paramètres qui peuvent varier (niveaux de tension d'alimentation variables, calage imprécis des démodulateurs, etc.).

C'est pourquoi on préfère le plus souvent utiliser comme seuil de comparaison le niveau moyen du signal analogique. En effet, le signal est
25 modulé binaires et oscille donc en permanence, en fonction de l'information qu'il véhicule, entre son niveau haut et son niveau bas. Son niveau moyen est donc à peu près à mi-chemin entre son niveau haut et son niveau bas.

On a donc pour habitude d'appliquer à l'entrée d'un comparateur
30 d'un côté le signal analogique représentant l'information binaire à détecter et de l'autre un signal représentant un seuil, ce signal étant constitué par une valeur moyenne du signal analogique. Selon que le signal est au-dessus ou au-dessous de sa valeur moyenne, le comparateur basculera dans un sens

ou dans un autre, convertissant ainsi le signal de forme d'onde dégradée en un signal rectangulaire représentant l'information binaire transportée.

La valeur moyenne peut être établie à l'aide d'un simple filtre passe-bas qui reçoit le signal analogique et l'intègre sur une durée
5 suffisante.

Plus la constante de temps du filtre est élevée, meilleure est la mesure de la valeur moyenne, à condition toutefois qu'il n'y ait pas de changement global du niveau de réception du signal. Mais une grande constante de temps implique un temps d'acquisition élevé au départ, ce qui
10 peut être incompatible avec de nombreux systèmes qui sont normalement en veille et doivent démarrer le plus rapidement possible dès qu'une sortie de l'état de veille est demandée. Il ne faut pas que des erreurs de détection d'information binaire se produisent pendant la phase de démarrage à cause du temps d'établissement d'une valeur moyenne stable. Et d'autre part, si la
15 valeur moyenne du niveau de réception change, par exemple dans une application de réception dans un mobile, il faut que le système puisse s'adapter à la nouvelle valeur moyenne sans trop de retard sous peine de perte d'information.

Une constante de temps courte résout ce problème mais si elle
20 est trop courte, elle fluctuera trop vite et rendra le système trop sensible au bruit présent dans le signal.

Il faut donc une constante de temps intermédiaire, ni trop grande ni trop faible, par exemple correspondant à une dizaine de bits de données.

Mais la valeur moyenne établie par un filtre passe-bas est une
25 valeur moyenne retardée par rapport à la réalité de l'arrivée du signal analogique, c'est-à-dire que la valeur moyenne fournie à un instant donné représente la valeur moyenne qu'avait le signal un certain temps avant cet instant. Et le retard est d'autant plus important que la constante de temps du filtre est plus élevée. Il en résulte qu'à un instant donné le comparateur à
30 seuil compare le signal non pas avec sa valeur moyenne mais avec une valeur moyenne qu'il avait auparavant, ce qui peut fausser l'information détectée dans les applications où la valeur moyenne n'est pas stable.

La présente invention propose de réduire ce défaut en retardant le signal analogique d'une quantité correspondant au retard introduit par le
35 filtre qui établit la valeur moyenne, avant d'appliquer ce signal retardé à

l'entrée du comparateur qui reçoit par ailleurs cette valeur moyenne en tant que valeur de seuil de comparaison.

L'invention a donc pour objet un circuit de conversion de signaux analogiques en valeurs logiques, comprenant une entrée de signal analogique, un filtre de valeur moyenne recevant le signal présent sur l'entrée de signal analogique pour établir une valeur moyenne de ce signal, et un comparateur à seuil ayant une première et une seconde entrée, et recevant la valeur moyenne comme valeur de seuil sur la deuxième entrée, caractérisé en ce qu'un circuit déphaseur est intercalé entre l'entrée de signal et la première entrée du comparateur.

Le déphasage introduit par le circuit déphaseur est de préférence tel que le signal analogique soit retardé d'une valeur à peu près égale au retard introduit par le filtre de valeur moyenne avant d'être appliqué à l'entrée du comparateur.

L'invention permet donc de mieux garantir que le signal analogique soit comparé avec sa vraie valeur moyenne et non avec une valeur moyenne précédente.

De préférence, le circuit déphaseur est un circuit ayant au moins une résistance de valeur R reliée à une capacité de valeur C et ayant une fonction de transfert H égale à $(1-RCp)/(1+RCp)$ où p est la variable de Laplace. Ce type de fonction de transfert correspond à un déphasage identique à celui qui est introduit par un filtre passe-bas RC simple. L'association entre ce type de déphaseur et un simple circuit RC permet donc d'optimiser la compensation de retard désirée dans la présente invention.

De plus, selon une caractéristique particulièrement intéressante de l'invention, on s'est aperçu qu'on pouvait même utiliser la résistance R et la capacité C du déphaseur de fonction de transfert $(1-RCp)/(1+RCp)$ comme filtre de valeur moyenne, de sorte qu'on n'a pas besoin de deux ensembles RC distincts. En particulier, on peut prévoir que le signal analogique à convertir en valeur logique est appliqué à l'entrée du déphaseur qui comporte un ensemble RC série, et que la deuxième entrée du comparateur (celle qui représente la valeur moyenne du signal analogique) est connectée au point de jonction de la résistance R et de la capacité C.

Dans une première réalisation, le déphaseur comporte un amplificateur opérationnel ayant une entrée non-inverseuse reliée au point de jonction de la résistance et de la capacité et une entrée inverseuse, avec un deuxième résistance entre l'entrée de signal et l'entrée inverseuse et une
5 troisième résistance entre la sortie de l'amplificateur et l'entrée inverseuse.

Dans une deuxième réalisation, destinée à éviter l'utilisation d'un amplificateur opérationnel à grand gain (qui peut poser des problèmes de stabilité en boucle fermée et donc nécessiter des capacités de compensation), on utilise deux amplificateurs ayant l'un un gain unitaire
10 négatif et l'autre un gain de deux positif, avec un additionneur recevant les sorties des deux amplificateurs. L'entrée du premier amplificateur est reliée à l'entrée de signal analogique ; l'entrée du deuxième amplificateur est reliée au point de jonction de la résistance et de la capacité. La sortie de l'additionneur fournit le signal analogique retardé à appliquer au
15 comparateur. La fonction de transfert du déphaseur est la même qu'avec un seul amplificateur opérationnel.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux
20 dessins annexés dans lesquels :

- la figure 1 représente un circuit de démodulation de signaux numériques de l'art antérieur ;
- la figure 2 représente un circuit de démodulation selon l'invention ;
- 25 - la figure 3 représente un circuit déphaseur utilisable dans l'invention ;
- la figure 4 représente un circuit selon l'invention incorporant le déphaseur de la figure 3 ;
- la figure 5 représente un autre exemple de circuit déphaseur ;
- 30 - la figure 6 représente un circuit selon l'invention, utilisant le déphaseur de la figure 5 ;
- la figure 7 représente une réalisation pratique de l'invention, dans le cas d'un signal analogique différentiel.

Sur la figure 1, représentant la technique antérieure, on a représenté une entrée E pouvant recevoir un signal analogique transportant une information binaire avec une forme d'onde dégradée par rapport à un signal rectangulaire. La détection de l'information binaire est assurée par un comparateur à seuil COMP (amplificateur opérationnel à grand gain) qui reçoit sur une première entrée A le signal analogique et sur une deuxième entrée B une valeur de seuil constituée par la sortie d'un filtre passe-bas. Le filtre passe-bas a pour entrée l'entrée E de signal analogique, et il fournit sur sa sortie un signal qui représente la valeur moyenne du signal analogique. Le filtre passe-bas est un simple circuit RC série connecté entre l'entrée E et une masse électrique M, la sortie du filtre étant le point de jonction de la résistance R et de la capacité C. Le comparateur COMP fournit à sa sortie le résultat binaire de la comparaison entre le niveau du signal analogique et la valeur moyenne de ce signal analogique. Ce circuit réalise donc un circuit de démodulation de signaux numériques, c'est-à-dire de conversion de signaux analogiques à deux états en niveaux logiques haut et bas.

Les inconvénients de ce type de détection ont été indiqués plus haut : ils résultent de ce que le signal analogique n'est pas comparé à sa valeur moyenne vraie mais à une valeur moyenne retardée.

La figure 2 représente un schéma de principe de la présente invention : un déphaseur DPH introduisant un retard à peu près équivalent au retard introduit par le filtre RC est inséré entre l'entrée E et la première entrée A du comparateur COMP. Le signal analogique retardé est alors comparé à la valeur moyenne, de sorte que la comparaison entre le signal et sa valeur moyenne n'est plus perturbée par le retard introduit par le filtre passe-bas qui établit la valeur moyenne.

La figure 3 représente un schéma de réalisation d'un déphaseur qui peut être utilisé dans le schéma de la figure 2 entre l'entrée E et l'entrée A. Un tel déphaseur utilise un amplificateur opérationnel AO1 ayant une entrée inverseuse (-) et une entrée non-inverseuse (+), une résistance d'entrée de valeur R entre l'entrée de signal E et l'entrée non-inverseuse, une capacité de valeur C entre l'entrée non-inverseuse et une masse électrique, une résistance d'entrée de valeur R' entre l'entrée E et l'entrée inverseuse, et enfin une résistance de bouclage de même valeur R' entre l'entrée inverseuse et la sortie de l'amplificateur AO1 ; cette sortie de

l'amplificateur AO1 constitue la sortie du déphaseur, destinée à être appliquée à l'entrée A du comparateur COMP. Un tel circuit constitue un déphaseur pur, introduisant un déphasage $\arctan(2\pi fRC)$ pour une fréquence f. Sa fonction de transfert est égale à $(1-RCp)/(1+RCp)$, p étant la variable de Laplace. Le déphasage est identique à celui qui est introduit par le filtre passe-bas RC de la figure 1, de sorte que l'utilisation du déphaseur de la figure 2 dans le schéma de la figure 1 compense bien le retard de valeur moyenne introduit par le filtre passe-bas.

On remarque que pour obtenir ce déphasage identique, il suffit d'utiliser dans le déphaseur de la figure 2 une constante de temps RC sur l'entrée non-inverseuse, cette constante de temps étant la même que la constante de temps RC du filtre passe-bas de la figure 1. C'est pourquoi on a choisi pour le déphaseur d'utiliser une résistance de valeur R identique à celle du filtre passe-bas et une valeur C identique à celle du filtre passe-bas.

Mais de plus, comme la configuration de la connexion de l'ensemble en série RC est la même pour le déphaseur et pour le filtre passe-bas, c'est-à-dire que dans les deux cas la résistance est connectée à l'entrée de signal E et la capacité est connectée à la masse, on peut simplement utiliser le même circuit RC série à la fois pour le filtre passe-bas et pour le déphaseur. C'est ce que représente la figure 4 qui représente un schéma pratique de mise en œuvre de l'invention.

Sur la figure 4, un seul ensemble RC série est connecté entre l'entrée de signal analogique E et la masse M. La résistance est reliée à l'entrée E tandis que la capacité est reliée à la masse. Le point de jonction de la résistance et la capacité est relié à l'entrée non-inverseuse de l'amplificateur opérationnel AO1. Une résistance d'entrée de valeur R' est connectée entre l'entrée E et l'entrée inverseuse de AO1, et une autre résistance de même valeur R' est connectée entre la sortie de AO1 et l'entrée inverseuse. La sortie de l'amplificateur AO1 fournit donc, conformément au schéma de la figure 3, un signal analogique déphasé de $\arctan(2\pi fRC)$ par rapport au signal sur l'entrée E. Ce signal déphasé est appliqué à la première entrée A du comparateur à seuil COMP. Le point de jonction de la résistance R et de la capacité C représente la valeur moyenne du signal conformément à la figure 1, et il est simplement connecté à la

deuxième entrée B du comparateur COMP. La sortie du comparateur fournit le signal logique détecté.

La figure 5 représente une variante de réalisation du déphaseur, destinée à éviter l'utilisation d'un amplificateur opérationnel. En effet, l'obtention d'un déphasage pur avec le circuit de la figure 3 est soumise à la condition que l'amplificateur opérationnel soit presque idéal, ce qui en pratique conduirait à une réalisation encombrante en circuit intégré : l'amplificateur aurait plusieurs étages à transistors, il consommerait un courant important.

Le déphaseur DPH de la figure 5 comporte deux amplificateurs A1 et A2 dont l'un a un gain unitaire négatif, et l'autre a un gain de 2, positif, et un additionneur ADD qui reçoit la sortie de ces deux amplificateurs. L'entrée de l'amplificateur de gain unitaire est constituée par l'entrée E de signal. L'entrée de l'amplificateur de gain 2 est constituée par le point de jonction entre la résistance R et la capacité C. La sortie de l'additionneur ADD fournit un signal analogique dont le niveau est la somme des niveaux de sortie des deux amplificateurs. La fonction de transfert de ce circuit, entre l'entrée E et la sortie de l'additionneur est égale à $-1 + 2/(1+RCp)$, ou encore

$$(1-RCp)/(1+RCp)$$

Cette fonction est la fonction de déphasage qu'on souhaite, et par conséquent le circuit de la figure 2 joue le même rôle, avec une réalisation pratique facilitée, que celui de la figure 3.

La figure 6 représente le circuit de conversion de signaux analogiques en valeurs logiques utilisant le déphaseur de la figure 5 : la sortie de l'additionneur ADD est appliquée à la première entrée B du comparateur COMP, alors que le point de jonction de la résistance R et de la capacité C du déphaseur est appliquée à la deuxième entrée B du comparateur.

On notera que ce qui a été décrit ci-dessus correspond à la conversion d'un signal analogique d'entrée non différentiel (donc un signal appliqué entre l'entrée E et la masse M). On comprendra que les principes de l'invention sont transposables au cas où le signal d'entrée analogique est différentiel, et dans ce cas on aura besoin de deux circuits RC connectés chacun entre une entrée différentiel et la masse. Les amplificateurs de gain unitaire et de gain 2 seront différentiels, la sommation (fonction de

l'additionneur ADD) pourra se faire par simple addition de courants de sortie des amplificateurs dans des résistances de charge, et enfin le comparateur COMP sera à entrées différentielles.

5 La figure 7 représente à titre d'exemple une possibilité de réalisation pratique, en différentiel, du déphaseur de la figure 5.

Il y a deux entrées de signal analogique E et E', entre lesquelles sont appliquées le signal analogique d'entrée. Les entrées E et E' sont appliquées aux bases de deux transistors T1 et T'1 constituant une paire différentielle d'un étage amplificateur de gain unitaire négatif A1. Les
10 émetteurs des transistors, reliés ensemble, sont alimentés à travers une source de courant constant I. Les collecteurs des transistors T1 et T'1 sont reliés à des résistances de charge identiques Rcb et Rca, et ces collecteurs constituent des sorties différentielles en courant de l'étage amplificateur différentiel A1. Il s'agit d'un étage différentiel classique à deux transistors.

15 Les entrées E et E' sont par ailleurs connectées à deux ensembles RC série identiques, comprenant une résistance R et une capacité C pour le premier ensemble, une résistance R' et une capacité C' pour le deuxième. Les entrées sont connectées aux résistances. Les capacités sont reliées à la masse, et le point de jonction de la résistance et la
20 capacité est relié à une entrée respective d'un autre étage amplificateur différentiel A2, de gain 2 positif. L'étage différentiel A2 comporte une paire de transistors T2, T'2 recevant sur leurs bases les points de jonction des résistances et capacités. Les émetteurs de la paire de transistors sont alimentés par une source de courant de valeur 2 fois I, où I est le courant de
25 la source alimentant la paire T1, T'1.

Les collecteurs des transistors T2 et T'2 sont reliés à des résistances de charge identiques, et ces collecteurs constituent la sortie de l'étage différentiel A2 de constitution très classique.

Pour réaliser l'additionneur ADD, il suffit d'utiliser les mêmes
30 résistances de charge Rca et Rcb pour les deux étages différentiels A1 et A2, les différences de courant engendrées dans les transistors T1, T'1 par le déséquilibre de tension sur les bases de ces transistors, s'ajoutant aux différences de courant engendrées dans les transistors T2, T'2 par le déséquilibre de tension sur les bases de ces transistors. L'utilisation d'une
35 source de courant de valeur double pour les transistors T2 et T'2 permet de

définir un gain double du gain de la paire T1, T'1. Un croisement des collecteurs des transistors permet de définir un gain de signe opposé pour les deux amplificateurs : le collecteur du transistor T1, correspondant à l'entrée E, et le collecteur du transistor T'2, correspondant à l'entrée E', sont
5 reliés à la résistance Rcb, et inversement les collecteurs des transistors T'1 (correspondant à l'entrée E') et T2 (correspondant à l'entrée E) sont reliés à la résistance Rca. Les résistances de charge communes Rca et Rcb réalisent donc la fonction de l'additionneur ADD de la figure 5, la sortie différentielle de cet additionneur étant prélevée entre les collecteurs des
10 paires de transistors.

Le signal différentiel entre les bases des transistors T2 et T'2, représentant la valeur moyenne de signal d'entrée filtrée par les circuits RC, R'C', sera appliqué à une première paire d'entrées différentielles B, B' d'un comparateur à entrées différentielles non représenté, tandis que le signal
15 différentiel entre les collecteurs des transistors T2, T'2, représentant le signal d'entrée différentiel déphasé, sera appliqué à une deuxième paire d'entrées différentielles A, A' du comparateur. Le comparateur fournira l'information logique désirée, par comparaison entre d'une part le niveau de signal différentiel entre les entrées A et A' et d'autre part le niveau de signal
20 différentiel entre les entrées B et B'.

Un choix approprié des valeurs de résistances de charge, de la source de courant, et des gains des transistors, permet que le niveau de tension entre les entrées A, A' soit égal au niveau de tension entre les entrées B, B' pour un signal d'entrée alternatif de valeur moyenne stable.
25

REVENDEICATIONS

1. Circuit de conversion de signaux analogiques en valeurs logiques, comprenant une entrée de signal analogique (E), un filtre de valeur moyenne (RC) recevant le signal présent sur l'entrée de signal analogique pour établir une valeur moyenne de ce signal, et un comparateur à seuil (COMP) ayant une première (A) et une seconde entrée (B), et recevant la valeur moyenne comme valeur de seuil sur la deuxième entrée, caractérisé en ce qu'un circuit déphaseur (DPH) est intercalé entre l'entrée de signal (E) et la première entrée (A) du comparateur.
2. Circuit de conversion selon la revendication 1, caractérisé en ce que le déphasage introduit par le circuit déphaseur est de préférence tel que le signal analogique soit retardé d'une valeur pratiquement égale au retard introduit par le filtre de valeur moyenne avant d'être appliqué à l'entrée du comparateur.
3. Circuit de conversion selon l'une des revendications 1 et 2, caractérisé en ce qu'il comprend un circuit d'établissement de valeur moyenne connecté entre l'entrée de signal analogique (E) et la deuxième entrée (B) du comparateur (COMP), ce circuit comportant au moins une résistance de valeur R en série avec une capacité de valeur C, et en ce que le déphaseur comporte au moins une résistance et une capacité de mêmes valeurs R et C, et possède une fonction de transfert H égale à $(1-RCp)/(1+RCp)$ où p est la variable de Laplace.
4. Circuit de conversion selon la revendication 3, caractérisé en ce que la résistance R et la capacité C sont communes au circuit déphaseur et au circuit d'établissement de valeur moyenne.
5. Circuit de conversion de valeur moyenne selon la revendication 4, caractérisé en ce que le déphaseur comporte un amplificateur opérationnel ayant une entrée non-inverseuse reliée au point de jonction de la résistance et de la capacité et une entrée inverseuse, avec une deuxième

résistance entre l'entrée de signal et l'entrée inverseuse et une troisième résistance entre la sortie de l'amplificateur et l'entrée inverseuse.

5 6. Circuit de conversion selon la revendication 4, caractérisé en
ce que le circuit déphaseur comprend deux amplificateurs (A1 et A2) ayant
l'un un gain unitaire négatif et l'autre un gain de deux positif, avec un
additionneur (ADD) recevant les sorties des deux amplificateurs, l'entrée du
premier amplificateur étant reliée à l'entrée (E) de signal analogique, l'entrée
10 du deuxième amplificateur étant reliée au point de jonction de la résistance et
de la capacité, et la sortie de l'additionneur fournissant le signal analogique
retardé à appliquer au comparateur.

 7. Circuit de conversion selon l'une des revendications
précédentes, caractérisé en ce que l'entrée de signal est différentielle (E, E'),
15 et que le circuit déphaseur et le comparateur ont des entrées différentielles.

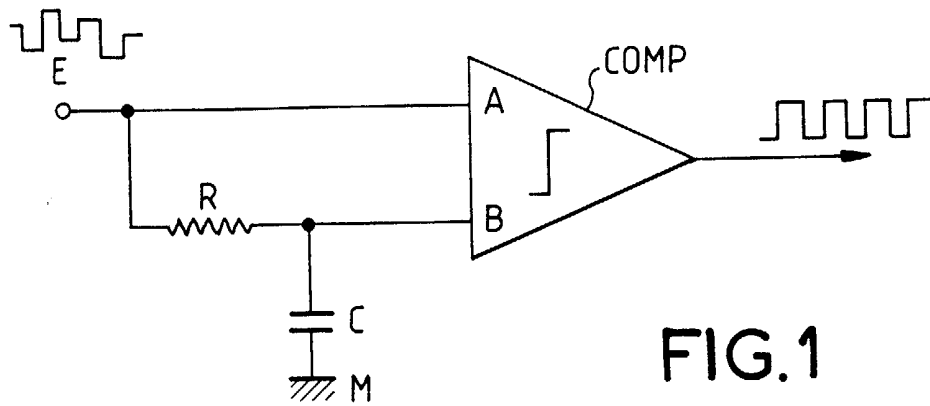


FIG. 1

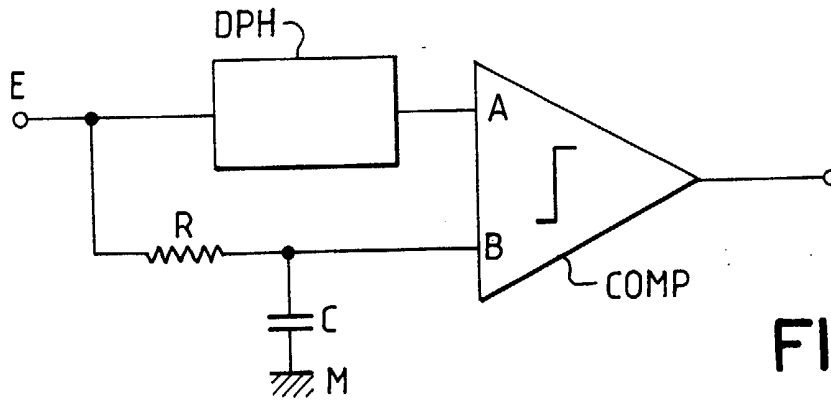


FIG. 2

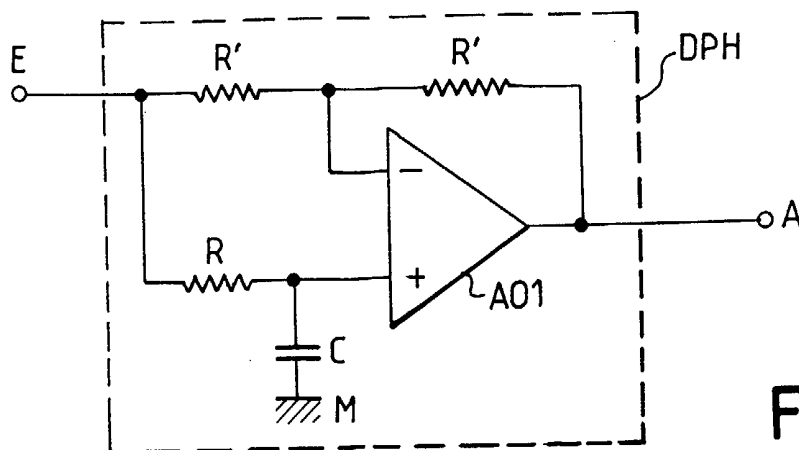


FIG. 3

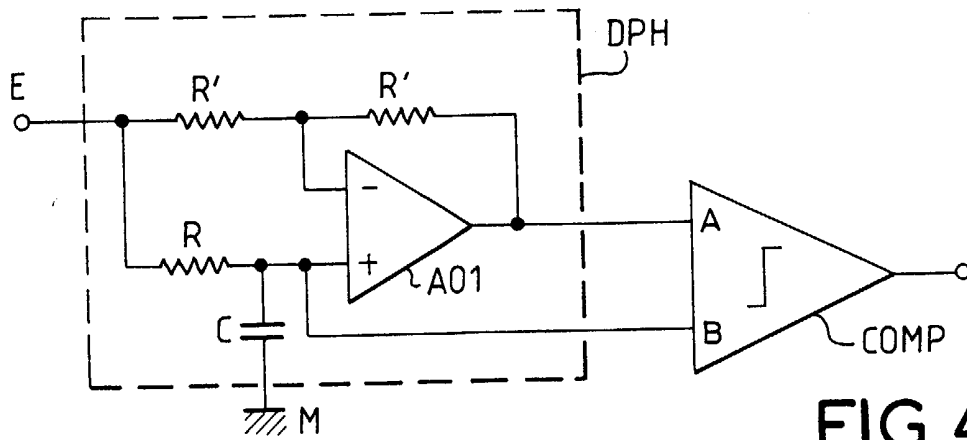


FIG. 4

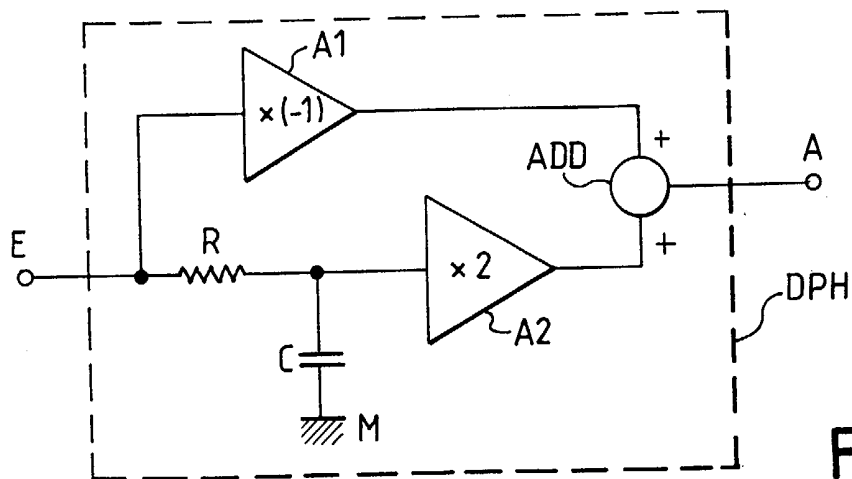


FIG. 5

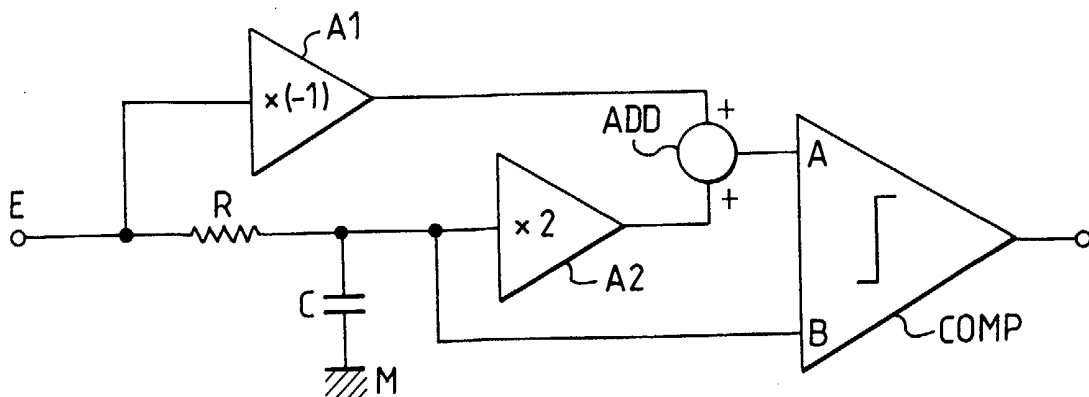


FIG. 6

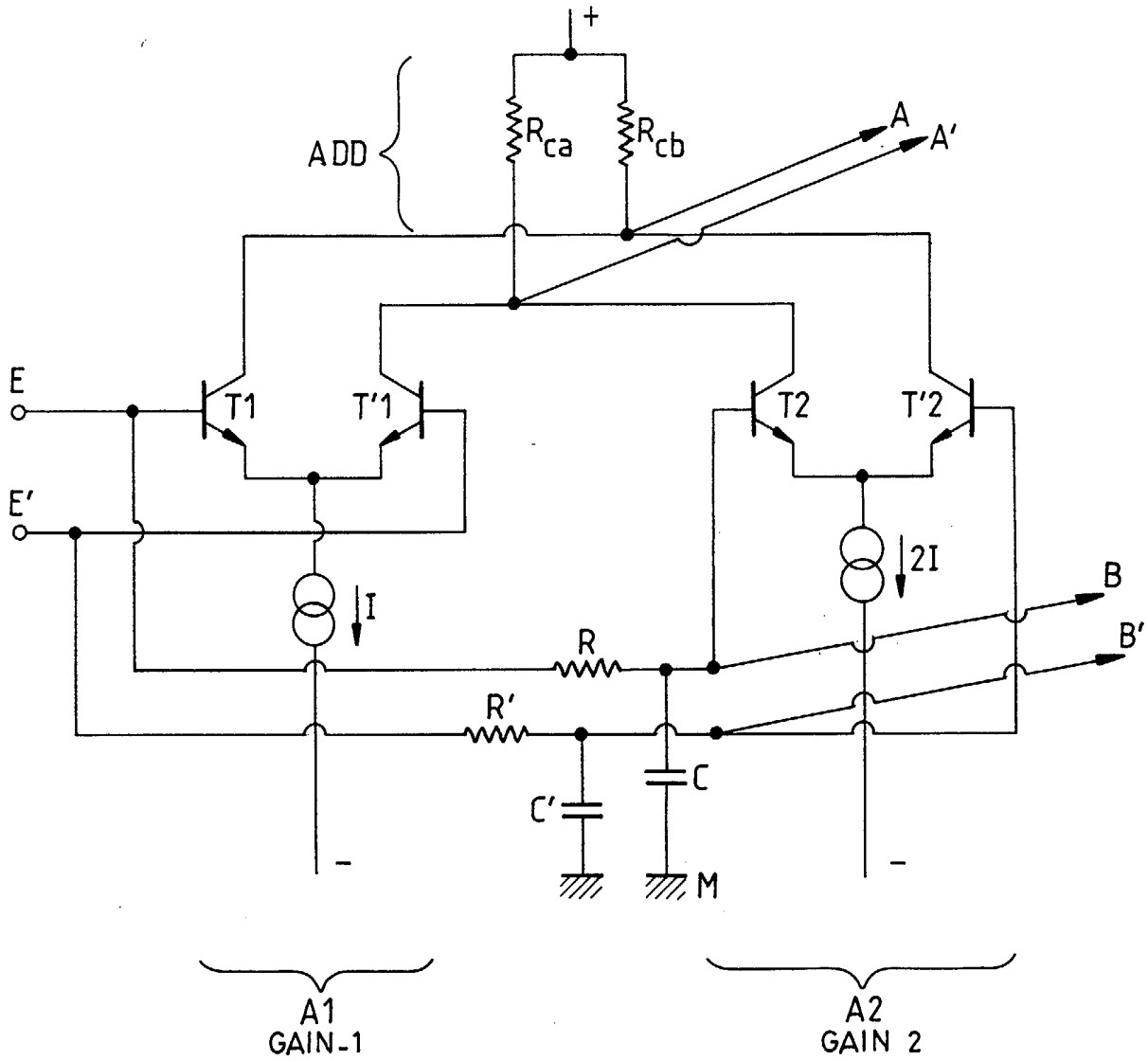


FIG. 7



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 593880
FR 0010583

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, des parties pertinentes		
X	US 4 385 328 A (TANAKA MASATO) 24 mai 1983 (1983-05-24) * page 5, colonne 1, ligne 6 - ligne 55 * * page 5, colonne 2, ligne 11 - ligne 26 * * page 6, colonne 3, ligne 35 - ligne 44 * * page 7, colonne 5, ligne 31 - ligne 35 * * figures 4,5 *	1	H03M1/12 H04B1/16
A	-----	2,5	
A	DE 32 03 559 A (SIEMENS AG) 11 août 1983 (1983-08-11) * abrégé * * revendication 1 * -----	1	
			DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
			H04L H03K
		Date d'achèvement de la recherche	Examineur
		26 avril 2001	Moreno, M
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>			

1