【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成27年1月29日(2015.1.29)

【公開番号】特開2012-133871(P2012-133871A)
【公開日】平成24年7月12日(2012.7.12)
【年通号数】公開・登録公報2012-027
【出願番号】特願2011-278033(P2011-278033)
【国際特許分類】
Ｇ１１Ｃ　16/06　(2006.01)
Ｇ１１Ｃ　16/02　(2006.01)
Ｇ１１Ｃ　16/04　(2006.01)
Ｈ０２Ｍ　3/07　(2006.01)
【ＦＩ】
Ｇ１１Ｃ　17/00　６３２Ｂ
Ｇ１１Ｃ　17/00　６３３Ｃ
Ｇ１１Ｃ　17/00　６４１
Ｇ１１Ｃ　17/00　６３２Ｃ
Ｇ１１Ｃ　17/00　６３２Ｚ
Ｇ１１Ｃ　17/00　６２２Ｅ
Ｈ０２Ｍ　3/07
Ｇ１１Ｃ　17/00　６３３Ａ

【手続補正書】
【提出日】平成26年12月10日(2014.12.10)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
高電圧を発生する高電圧発生器及び負電圧とウェル電圧とを発生する負電圧発生器を含む電圧発生回路と、
前記負電圧が提供されるワードラインに対応するラインに前記負電圧を提供するために活性化信号に応答して前記高電圧及び前記ウェル電圧の中でいずれか１つを出力する少なくとも１つのスイッチングを有する少なくとも１つの回路と、を含み、
前記高電圧発生器及び前記負電圧発生器は独立的な発振クロックによって動作される不揮発性メモリ装置。
【請求項２】
前記高電圧発生器は、
高電圧用基準電圧を発生する高電圧用基準電圧発生器と、
高電圧用クロックを発振する高電圧用発振器と、
高電圧用ポンプクロックに応答してターゲット高電圧を発生する少なくとも１つの電荷ポンプと、
前記高電圧用基準電圧及び前記高電圧用クロックに基づいて前記ターゲット高電圧を検出し、前記検出されたターゲット高電圧に対応する前記ポンプクロックを発生する少なくとも１つの電圧検出器と、を含む請求項1に記載の不揮発性メモリ装置。
【請求項３】
前記少なくとも１つの電圧検出器は、

電源端と前記ターゲット高電圧とが提供される高電圧用検出ノードの間に連結され、高電圧活性化信号に応答して電源電圧を提供するか否かを決定する高電圧用電源供給部と、
前記高電圧用検出ノードと高電圧用比較ノードとの間に連結され、前記ターゲット高電圧を分配する高電圧用電圧分配部と、
前記高電圧用比較ノードと接地端との間に連結され、前記高電圧活性化信号に応答して電流パスを形成する高電圧用電流パス形成部と、
前記高電圧用基準電圧と前記高電圧用比較ノードの電圧とを比較し、前記比較結果に対応する前記高電圧用ポンプクロックを発生する高電圧用比較部と、
前記高電圧活性化信号を受信して前記電源供給部及び前記電流パス形成部の活性の可否を決定する高電圧用制御部と、を含む請求項２に記載の不揮発性メモリ装置。
【請求項４】
前記電圧発生回路は
低電圧用比較ノードの電圧と低電圧用基準電圧との比較結果にしたがって、ペリ電圧用ポンプ電圧の供給の可否を決定する低電圧用電源供給部と、
前記ペリ電圧を出力する低電圧用出力ノードと前記低電圧用比較ノードとの間に連結され、前記ペリ電圧用ポンプ電圧を分配する低電圧用電圧分配部と、
前記低電圧用比較ノードと前記接地端との間に連結されるバイアス部と、
前記低電圧用比較ノードの電圧と前記低電圧用基準電圧とを比較する低電圧用比較部を含む低電圧発生器と、をさらに含む請求項２に記載の不揮発性メモリ装置。
【請求項５】
前記負電圧発生器は、
直流電圧を発生する直流電圧発生器と、
基準電圧を発生する基準電圧発生器と、
発振クロックを発振する発振器と、
ポンプクロックに応答して前記負電圧を発生する電荷ポンプと、
前記直流電圧、前記基準電圧、前記発振クロックに基づいて前記負電圧を検出し、対応する前記ポンプクロックを発生する電圧検出器と、
前記直流電圧、前記基準電圧、及び前記負電圧を受信し、前記負電圧に対応するワードライン用負電圧を発生するワードライン用負電圧発生器と、を含む請求項１に記載の不揮発性メモリ装置。
【請求項６】
前記少なくとも１つの回路は、
前記低電圧発生器で発生されたペリ電圧及び前記負電圧発生器で発生された負電圧の中でいずれか１つを読出し検証電圧に選択する読出し検証電圧選択スイッチ回路を含む請求項１に記載の不揮発性メモリ装置。
【請求項７】
前記少なくとも１つの回路は、
前記高電圧発生器で発生されたプログラム電圧及び前記読出し検証選択スイッチ回路で選択された前記読出し検証電圧の中でいずれか１つを選択されたワードラインのワードライン電圧に選択するワードライン電圧選択スイッチ回路をさらに含む請求項６に記載の不揮発性メモリ装置。
【請求項８】
前記不揮発性メモリ装置はプログラム動作の時、２ステップ検証動作を遂行する請求項７に記載の不揮発性メモリ装置。
【請求項９】
前記高電圧発生器から出力される読出しパス電圧或いはパス電圧、前記ワードライン電圧選択スイッチ回路で選択された前記ワードライン電圧の中でいずれか１つを対応する選択ラインに提供する少なくとも１つの選択ラインドライバー回路をさらに含む請求項７に記載の不揮発性メモリ装置。
【請求項１０】

第１ウェルに形成され、第１選択ラインに提供された電圧に対応するワードラインを動作する第１ローデコーダーと、
第２ウェルに形成され、第２選択ラインに提供された電圧にに対応するワードラインを動作する第２ローデコーダーと、をさらに含む請求項９に記載の不揮発性メモリ装置。
【請求項１１】
前記少なくとも１つのスイッチ回路は、
前記選択ラインドライバーの複数の選択ラインを前記第１選択ラインに連結するか、或いは前記第２選択ラインに連結するかを選択する選択ライン選択スイッチ回路を含む請求項１０に記載の不揮発性メモリ装置。
【請求項１２】
前記少なくとも１つのスイッチ回路は、
前記ウェル電圧を前記第１ウェルに提供するか、或いは前記第２ウェルに提供するかを選択するウェル電圧選択スイッチ回路を含む請求項１０に記載の不揮発性メモリ装置。
【請求項１３】
前記不揮発性メモリ装置は２ビットデータを格納するための閾値電圧分布を有し、
前記閾値電圧分布は１つの消去状態及び３つのプログラム状態を具備し、前記プログラム状態の中で少なくとも１つは負電圧で検証する請求項１に記載の不揮発性メモリ装置。
【請求項１４】
消去状態の下限制限値は－４Ｖである請求項１３に記載の不揮発性メモリ装置。
【請求項１５】
ブロックワードラインと、
電圧伝送活性化信号に応答して高電圧を前記ブロックワードラインに提供するプルアップ回路と、
前記電圧伝送活性化信号に応答して前記ブロックワードラインとシャットオフされ、前記電圧伝送活性化信号の反転信号に応答して前記ブロックワードラインにウェル電圧を提供するプルダウン回路と、
前記ブロックワードラインの電圧に基づいて複数の選択ラインを複数のワードラインに連結する電圧伝送回路と、を含み、
前記プルアップ回路及び前記プルダウン回路は、Ｐ形ウェルの内に形成された少なくとも１つのＮ形アクティブ領域で具現され、前記Ｐ形ウェルは深いＮ形ウェルの内に含まれるローデコーダー。
【請求項１６】
前記プルダウン回路は、
前記ブロックワードラインと遮断ノードとの間に連結され、電源端に連結されたゲートを有するデプレショントランジスターと、
前記ウェル電圧が提供されるウェル電圧端と前記遮断ノードに連結され、前記電圧伝送活性化信号に応答して前記遮断ノードに前記電源端の電圧を提供し、前記電圧伝送活性化信号の反転信号に応答して前記遮断ノードに前記ウェル電圧を提供するレベルシフタと、を含み、
ワードラインに負電圧が提供される時、前記ウェル電圧は前記負電圧である請求項１５に記載のローデコーダー。
【請求項１７】
前記レベルシフタは、
前記電圧伝送活性化信号に応答して前記電源端の電圧を前記遮断ノードに提供するための少なくとも１つのＰＭＯＳトランジスターと、
前記電圧伝送活性化信号に応答して前記ウェル電圧端の電圧を前記遮断ノードに提供するための少なくとも１つのＮＭＯＳトランジスターと、を含み、
前記デプレショントランジスター及び前記少なくとも１つのＮＭＯＳトランジスターのウェルは前記ウェル電圧端に連結される請求項１６に記載のローデコーダー。
【請求項１８】

前記少なくとも１つのＮＭＯＳトランジスターは高電圧用トランジスターである請求項１７に記載のローデコーダー。
【請求項１９】
前記少なくとも１つのＮＭＯＳトランジスターは低電圧用トランジスターである請求項１７に記載のローデコーダー。
【請求項２０】
前記少なくとも１つのＰＭＯＳトランジスターは高電圧用トランジスターであり、
前記少なくとも１つのＮＭＯＳトランジスターは高電圧用トランジスターである請求項１７に記載のローデコーダー。
【請求項２１】
正電圧を第１ラインに提供するための少なくとも１つの第１電圧提供パス回路と、
負電圧を第２ラインに提供するための少なくとも１つの第２電圧提供パス回路と、を含み、
前記第２ラインに前記負電圧が提供される時、前記少なくとも１つの第２電圧提供パス回路が形成されたウェルに前記負電圧が提供される不揮発性メモリ装置。
【請求項２２】
前記少なくとも１つの第２電圧提供パス回路は、
前記負電圧が提供されるラインと前記第２ラインとの間に連結された選択トランジスターと、
活性化信号に応答して前記選択トランジスターのゲートに高電圧或いはウェル電圧を提供する選択スイッチングと、を含み、
前記第２ラインに前記負電圧が提供される時、前記ウェル電圧は前記負電圧である請求項２１に記載の不揮発性メモリ装置。
【請求項２３】
前記選択スイッチングは、
前記活性化信号に応答して前記高電圧を前記選択トランジスターのゲートに提供するプルアップ回路と、前記活性化信号に応答して前記選択トランジスターのゲートとシャットオフされ、前記活性化信号の反転信号に応答して前記選択トランジスターのゲートに前記ウェル電圧を提供するプルダウン回路と、を含む請求項２２に記載の不揮発性メモリ装置。
【請求項２４】
前記プルダウン回路は、
前記選択トランジスターのゲートと遮断ノードとの間に連結され、電源端に連結されたゲートを有するデプレショントランジスターと、
前記ウェル電圧が提供されるウェル電圧端と前記遮断ノードとに連結され、前記活性化信号に応答して前記遮断ノードに前記電源端の電圧を提供し、前記活性化信号に応答して前記遮断ノードに前記ウェル電圧を提供するレベルシフタと、を含む請求項２３に記載の不揮発性メモリ装置。
【請求項２５】
不揮発性メモリ装置と、
前記不揮発性メモリ装置を制御するメモリ制御器と、を含み、
前記不揮発性メモリ装置は、
負電圧を発生する負電圧発生器と、
少なくとも１つのローデコーダーと、を含み、
前記少なくとも１つのローデコーダーは、電圧伝送活性化信号に応答して高電圧をブロックワードラインに提供するプルアップ回路と、前記電圧伝送活性化信号に応答して前記ブロックワードラインとシャットオフされ、前記電圧伝送活性化信号の反転信号に応答して前記ブロックワードラインにウェル電圧を提供するプルダウン回路と、を含み、
前記プルアップ回路及び前記プルダウン回路は、Ｐ形ウェルの内に形成された少なくとも１つのＮ形アクティブ領域で具現され、前記Ｐ形ウェルは深いＮ形ウェルの内に含まれ

、
少なくとも１つのワードラインに前記負電圧が提供される時、前記ウェル電圧は前記負電圧であるメモリシステム。