CH 656 470 A5

(19) SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

(11) CH 656 470 A5

(51) Int. Cl.[4]: G 06 F 12/02
G 06 F 12/12

Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

(12) PATENTSCHRIFT A5

(21) Gesuchsnummer: 78/82

(22) Anmeldungsdatum: 07.01.1982

(30) Priorität(en): 07.01.1981 US 223154

(24) Patent erteilt: 30.06.1986

(45) Patentschrift veröffentlicht: 30.06.1986

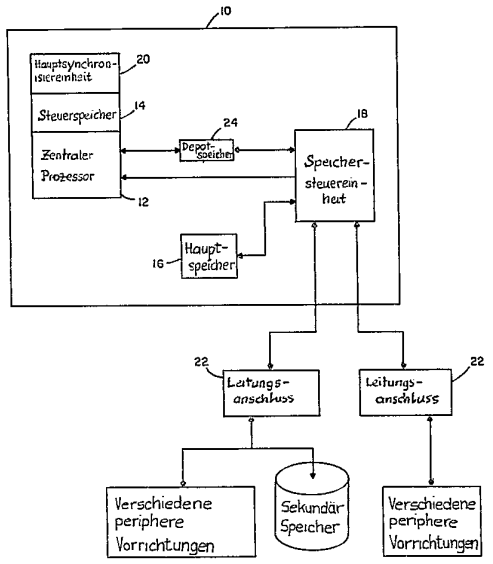
(73) Inhaber:
Wang Laboratories, Inc., Lowell/MA (US)

(72) Erfinder:
Tsiang, Horace H., North Andover/MA (US)

(74) Vertreter:
E. Blum & Co., Zürich

(54) Datenverarbeitungsanlage mit Hauptspeicher und Depot(Cache)-speicher.

(57) Der Arbeitszyklus eines Depotspeichers (24) der Anlage ist in zwei Unterzyklen aufgeteilt, die sich gegenseitig ausschliessenden Vorgängen vorbehalten sind. Der erste Unterzyklus ist zur Aufnahme einer Speicherleseanfrage eines zentralen Prozessors (12) mit Adresse bestimmt. Der zweite Unterzyklus ist jeder anderen Depotspeicheroperation vorbehalten, insbesondere entweder (a) der Aufnahme einer Adresse aus einem peripheren Prozessor über einen Leitungsanschluss (22) zur Überprüfung des Inhaltes des Depotspeichers (24) nach einem Schreibvorgang eines peripheren Prozessors in den Hauptspeicher (16) oder (b) dem Schreiben von irgendwelchen Informationen in den Depotspeicher (24), einschliesslich eines Ungültigkeits-Bits nach einer bei der Depotspeicherüberprüfung festgestellten Übereinstimmung oder von Daten nach entweder einem Ausstand im Depotspeicher oder einem erfolgten Schreibvorgang des zentralen Prozessors (12) in den Hauptspeicher (16). Der zentrale Prozessor kann ununterbrochen mit dem Lesen des Depotspeichers fortfahren, ungeachtet der Tatsache, dass der Depotspeicherinhalt gleichzeitig überprüft, ungültig gesetzt oder nach einem Hauptspeicherschreibvorgang aufdatiert wird. Nach festgestelltem Ausstand im Depotspeicher kann der zentrale Prozessor, nachdem er zur Aufdatierung angehalten wurde, seine Tätigkeit um einen Zyklus früher wieder aufnehmen, als dies ohne aufgeteilten Depotspeicherzyklus möglich wäre.



PATENTANSPRÜCHE

1. Datenverarbeitungsanlage mit einem zentralen Prozessor (12), der ein Speicheradressregister (58) zur Bereitstellung von Speicheradresssignalen sowie ein Speicherdatenregister (56) zur Aufnahme und Bereitstellung von Daten-Signalen aufweist, mit einem Steuerspeicher (14), der an den zentralen Prozessor angeschlossen ist und Steuersignale bereitstellt, welche Mikrobefehle für diesen darstellen, wobei bestimmte dieser Steuersignale innerhalb eines solchen Mikrobefehls Speicherlese- und Schreibzugriffsoperationen darstellen und der zentrale Prozessor (12) auf diese Speicherzugriffssteuersignale hin Speicheradresssignale erzeugt und diese im Speicheradressregister (58) plaziert, sowie mit einer Speicherbaueinheit (24, 16, 18), welche mittels der Speicheradresssignale adressierbar und für die Datensignalspeicherung geeignet ist, dadurch gekennzeichnet, dass die Speicherbaueinheit einen Hauptspeicher (16) mit relativ langsamem Zugriff sowie einen Depotspeicher (24) mit relativ schnellem Zugriff aufweist, wobei das Speicheradressregister (58) des zentralen Prozessors mit der Speicherbaueinheit zur Übermittlung der Speicheradresssignale verbunden ist und der zentrale Prozessor ferner die Speicherzugriffssteuersignale an die Speicherbaueinheit liefert, dass an den zentralen Prozessor und die Speicherbaueinheit eine Hauptsynchronisiereinheit (20) angeschlossen ist und an diese Synchronisierimpulse liefert, wobei bestimmte Synchronisierimpulse einen Arbeitszyklus des zentralen Prozessors (12) festlegen, welcher eine feste zeitliche Länge aufweist für Vorgänge einschliesslich Speicherzugriffen, dass ferner mit der Speicherbaueinheit mindestens ein peripherer Prozessor für den Lese- und den Schreibzugriff verbunden ist, der Speicheradresssignale, Speicherzugriffssteuersignale und Datensignale für diese bereitstellt und Datensignale von dieser erhält, wobei der Depotspeicher (24) eine auf die Hauptsynchronisiereinheit (20) ansprechende Depotspeichersynchronisiereinrichtung aufweist, die mehrere Synchronisierimpulse, welche einen Depotspeicherarbeitszyklus festlegen, bereitstellt, und wobei der Depotspeicher einen Datensignalspeicher (124) zur Speicherung von Datensignalen, eine Adressiervorrichtung zur Bereitstellung der von der Speicherbaueinheit erhaltenen Adresssignale für die Adressierung des Datensignalspeichers (124), einen auf die Adresssignale sowie die gespeicherten Datensignale ansprechenden Vergleicher (132) zur Erzeugung eines Ausgangssignals, welches das Vorhandensein oder das Fehlen bestimmter Daten im Depotspeicher darstellt, sowie auf das Ausgangssignal des Vergleichers ansprechende Signalerzeugungsmittel zur Erzeugung eines Zustandssignals aufweist, das einen von zwei möglichen Werten annimmt und das Vorhandensein oder das Fehlen der bestimmten Daten darstellt, dass die Depotspeicheradressiervorrichtung auf die Depotspeichersynchronisiereinrichtung anspricht, um einen ersten Teil des Depotspeicherarbeitszyklus ausschliesslich dem Anlegen der vom zentralen Prozessor (12) erhaltenen Adresssignale an den Datenspeicher des Depotspeichers und an den Vergleicher vorzubehalten und dass schliesslich die Depotspeicher-Adressiervorrichtung auf die Depotspeichersynchronisiereinrichtung anspricht, um einen zweiten Teil des Depotspeicherarbeitszyklus einer von mehreren Operationen vorzubehalten, einschliesslich dem Anlegen der von einem peripheren Prozessor erhaltenen Adresssignale an den Datensignalspeicher des Depotspeichers und an den Vergleicher (132).

2. Datenverarbeitungsanlage nach Anspruch 1, dadurch gekennzeichnet, dass die Hauptsynchronisiereinheit (20) auf einen ersten Wert des Zustandssignals ansprechbar ist, der das Fehlen der bestimmten Daten im Datensignalspeicher des Depotspeichers darstellt, um die Synchronisierimpulse für den zentralen Prozessor zu unterdrücken und damit den zentralen Prozessor anzuhalten, dass die Speicherbaueinheit (24, 16, 18) auf diesen ersten Wert des Zustandssignals zusammen mit den aus dem zentralen Prozessor (12) erhaltenen Speicherzugriffssteuersignalen ansprechbar ist, um eine Hauptspeicherzugriffsoperation auszuführen, welche das Anlegen der aus dem zentralen Prozessor erhaltenen Speicheradresssignale an den Hauptspeicher zur Adressierung der bestimmten Daten, sowie die Bereitstellung dieser bestimmten Daten für den zentralen Prozessor umfasst, dass ferner die Depotspeicher-Signalerzeugungsmittel auf die Vollendung der Hauptspeicherzugriffsoperation ansprechbar sind zur Erzeugung des Zustandssignals auf seinen zweiten Wert und dass schliesslich die Hauptsynchronisiereinheit (20) auf diesen zweiten Wert des Zustandssignals ansprechbar ist, um die Synchronisierimpulse für den zentralen Prozessor freizugeben und dadurch diesen wieder in Betrieb zu setzen.

3. Datenverarbeitungsanlage nach Anspruch 2, dadurch gekennzeichnet, dass die Speicherbaueinheit (24, 16, 18) ferner eine Depotspeicherschreibeinrichtung aufweist und der Depotspeicher (24) ferner einen Gültigkeitsinformationsspeicher (122) besitzt, der mit dem Datenspeicher (124) verbunden ist und mehrere Gültigkeits-Bits beinhaltet, von denen jedes einen von zwei Werten aufweist und durch die Speicheradresssignale adressierbar ist, wobei die Depotspeicherschreibeinrichtung auf das Ausgangssignal des Vergleichers (132), welches als Antwort auf das Anlegen der Speicheradresssignale des peripheren Prozessors an den Datensignalspeicher (124) des Depotspeichers und an den Vergleicher (132) erzeugt wird, ansprechbar ist, um einen ersten Schreibvorgang vorzunehmen, der das Anlegen der Speicheradresssignale des peripheren Prozessors zur Adressierung einer Stelle im Gültigkeitsinformationsspeicher (122) und das Setzen des Gültigkeits-Bits an dieser Stelle auf einen ersten seiner Werte umfasst, welcher Ungültigkeit darstellt und wobei die Depotspeicherschreibeinrichtung auf die Depotspeichersynchronisiereinrichtung ansprechbar ist, um den ersten Schreibvorgang während des zweiten Teiles eines nachfolgenden Depotspeicherarbeitszyklus auszuführen.

4. Datenverarbeitungsanlage nach Anspruch 3, dadurch gekennzeichnet, dass die Depotspeicher-Signalerzeugungsmittel ebenfalls auf den ersten Wert eines Gültigkeits-Bits ansprechbar sind, um das Zustandssignal mit seinem ersten Wert zu erzeugen.

5. Datenverarbeitungsanlage nach Anspruch 4, dadurch gekennzeichnet, dass die Depotspeicherschreibeinrichtung auf die Vollendung der Hauptspeicherzugriffoperation ansprechbar ist sowie auf die Speicheradresssignale und die Speicherzugriffssteuersignale aus dem zentralen Prozessor, um einen zweiten Schreibvorgang vorzunehmen, der das Anlegen der Speicheradresssignale zur Adressierung einer Stelle im Datensignalspeicher des Depotspeichers und das Schreiben der erhaltenen, bestimmten Daten an diese Stelle umfasst, wobei die Depotspeicherschreibeinrichtung auf die Depotspeichersynchronisiereinrichtung ansprechbar ist, um den zweiten Schreibvorgang während des zweiten Teiles eines der Depotspeicherarbeitszyklen vorzunehmen.

6. Datenverarbeitungsanlage nach Anspruch 1, dadurch gekennzeichnet, dass der Depotspeicher (24) ferner eine Depotspeichersteuervorrichtung (Fig. 13) für den Empfang von Lese- und Schreibanforderungen vom Prozessor und für die Ausgabe von Adressen, welche bestimmten, solchen Anforderungen entsprechen, an eine Speichersteuereinheit (18), sowie eine Übertragungsanordnung (38,40) aufweist, welche auf die Betätigung der Depotspeichersteuervorrichtung hin Daten von der Speichersteuereinheit (18) an den Datensignalspeicher (124) des Depotspeichers und Daten von diesem Speicher an den Prozessor (12) leitet, wobei die

Speichersteuereinheit (18) eine Steuervorrichtung (138, 140) besitzt, die auf die Adressen anspricht, um Ausgangssignale für Steueroperationen der Speichersteuereinheit, des Depotspeichers und des Hauptspeichers zu erzeugen, sowie eine Steuerungsübertragungsanordnung (44, 42, 30), um Lesedaten vom Hauptspeicher (16) direkt an den Datensignalspeicher (124) des Depotspeichers und um Schreibdaten direkt vom Prozessor an den Hauptspeicher zu leiten, und wobei die genannte Steuervorrichtung der Speichersteuereinheit eine Taktbestimmungseinrichtung (Fig. 15) besitzt, welche den Depotspeicherarbeitszyklus, enthaltend einen ersten und einen zweiten Unterzyklus, festlegt, derart, dass der Depotspeicher und die Steuervorrichtung (138, 140) auf die Taktbestimmungsanordnung ansprechen, um während dem ersten Unterzyklus nur Leseanforderungen des Prozessors (12) anzunehmen und während dem zweiten Unterzyklus Konflikte zwischen allen anderen Depot- und Hauptspeicherbetriebsanforderungen anzunehmen und zu lösen.

7. Datenverarbeitungsanlage nach Anspruch 6, dadurch gekennzeichnet, dass die Depotspeichersteuervorrichtung (Fig. 13) auf eine Datenschreibanforderung des Prozessors ansprechbar ist, welche sie im ersten Unterzyklus erhält, um eine entsprechende Schreibadresse für die Speichersteuereinheit (18) zu erzeugen zur Auslösung der Datenschreiboperation des Prozessors während eines nachfolgenden zweiten Unterzyklus direkt vom Prozessor durch die Steuereinheit (18) zum Hauptspeicher (16).

8. Datenverarbeitungsanlage nach Anspruch 6, dadurch gekennzeichnet, dass die Depotspeichersteuervorrichtung (Fig. 13) auf eine Leseanforderung des Prozessors (12) ansprechbar ist, welche sie im ersten Unterzyklus erhält, für Daten, welche nicht in der Kopie im Datensignalspeicher (124) vorhanden sind, um eine entsprechende Leseadresse an die Speichersteuereinheit (18) zu liefern zur Auslösung einer entsprechenden Leseoperation während des nachfolgenden zweiten Unterzyklus vom Hauptspeicher durch die Speichersteuereinheit zum Datensignalspeicher (124).

9. Datenverarbeitungsanlage nach Anspruch 8, dadurch gekennzeichnet, dass die Steuerungsübertragungsvorrichtung ferner eine Schaltung aufweist, die auf die Betätigung der Steuervorrichtung (138, 140) anspricht, um während der entsprechenden Leseoperation auch die Daten vom Hauptspeicher zum Datensignalspeicher (124) an den Prozessor zu liefern.

10. Datenverarbeitungsanlage nach Anspruch 6, wobei mindestens ein peripherer Prozessor vorgesehen ist, dadurch gekennzeichnet, dass die Depotspeichersteuervorrichtung ferner eine Schaltung aufweist, welche auf Lese- und Schreibadressen eines peripheren Prozessors anspricht, um für die Steuervorrichtung (138) Adressen des peripheren Prozessors zu erzeugen, dass die Steuerungsübertragungsanordnung zur Datenführung zwischen dem peripheren Prozessor und dem Hauptspeicher ausgestaltet ist, und dass die Steuervorrichtung (138, 140) ferner auf Adressen der peripheren Prozessoren anspricht zur entsprechenden Datenführung zwischen dem peripheren Prozessor und dem Hauptspeicher.

11. Datenverarbeitungsanlage nach Anspruch 10, dadurch gekennzeichnet, dass die Depotspeichersteuervorrichtung (Fig. 13) auf periphere Adressen anspricht, welche Daten betreffen, die in der Kopie im Datensignalspeicher (124) vorhanden sind, um ein Ausgangssignal für die Steuervorrichtung (138, 140) zu erzeugen, womit ein Lesevorgang einer neuen Kopie der genannten Daten vom Hauptspeicher (16) in den Datensignalspeicher (124) ausgelöst wird.

Die Erfindung betrifft eine Datenverarbeitungsanlage mit Hauptspeicher und Depot(Cache)-speicher.

Die Datenverarbeitungsanlage gemäss vorliegender Erfindung besitzt einen zentralen Prozessor, einen von einer Speichersteuereinheit gesteuerten Hauptspeicher sowie eine Anzahl peripherer Prozessoren (welche Einrichtungen wie Benutzerstationen, Drucker, Datenfernübertragungseinrichtungen u. dgl. betreiben). Die Anlage verfügt ferner über einen Depotspeicher. Ein Depotspeicher (Cachespeicher) ist ein Speicher mit schnellem Zugriff, der örtlich bei der zentralen Prozessoreinheit angeordnet ist und eine zeitlich variierende Untermenge des Hauptspeicherinhaltes enthält.

Ein solcher Depotspeicher ist in der Lage, die mittlere Speicherzugriffszeit für die Speicheroperationen des zentralen Prozessors erheblich zu senken, da ein grosser Teil der Speicherlesevorgänge aus dem Depotspeicher erfolgen können. Nur für wenige Speicherleseversuche ist es nötig, den Betrieb des zentralen Prozessors zu unterbrechen, um die verlangten Daten aus dem Hauptspeicher zuzuführen. Bei der hier beschriebenen Anlage wird der Depotspeicher direkt vom zentralen Prozessor gelesen, und es wird als Antwort entweder auf einen Ausstand im Depotspeicher oder auf einen Hauptspeicherschreibvorgang des zentralen Prozessor in den Depotspeicher geschrieben. Die peripheren Prozessoren lesen und schreiben zum Hauptspeicher durch die Speichersteuereinheit, lesen und schreiben jedoch nicht zum Depotspeicher, der für die Operationen des zentralen Prozessors reserviert ist.

Beim Betrieb eines solchen Depotspeichers treten unter anderem drei Probleme auf, welche alle die Betriebsgeschwindigkeit der Datenverarbeitungsanlage herabsetzen.

Auch wenn die peripheren Prozessoren nicht in den Depotspeicher schreiben, indem sie an einen Platz im Hauptspeicher schreiben,ist es notwendig, den Depotspeicher zu überprüfen, um herauszufinden, ob der Inhalt des genannten Hauptspeicherplatzes in den Depotspeicher gebracht worden ist und bejahendenfalls den Depotspeichereintrag unwirksam zu machen (durch Setzen eines Gültig/Ungültig-Bits in den Zustand, der die «Ungültig» anzeigt), weil der Eintrag nun nicht mehr genau dem Inhalt des Hauptspeichers entspricht. Dies bedeutet, dass zu einem bestimmten Zeitpunkt Konkurrenz besteht zwischen der Operation, die versucht, den Depotspeicher zu lesen und der Operation, die versucht, den Depotspeicherinhalt nach einem Schreibvorgang eines peripheren Prozessors in den Hauptspeicher zu überprüfen (Kennzeichenprüfung).

Zweitens kann zu bestimmten Zeitpunkten, weil der Depotspeicher nicht zugleich gelesen und beschrieben werden kann, Konkurrenz bestehen zwischen dem zentralen Prozessor, der versucht, den Depotspeicher zu lesen und der Depotspeicherschreiblogik, die als Antwort auf einen vorgängig festgestellten Ausstand im Depotspeicher versucht, in den Depotspeicher zu schreiben (Depotspeicher aufdatieren). Es kann auch Konkurrenz bestehen, falls die Depotspeicherschreiblogik versucht, ein «Ungültig» – Bit zu schreiben, nachdem eine vorgängige Kennzeichenprüfung einen Kennzeichenübereinstimmungszustand gezeigt hat.

Schliesslich kann zu bestimmten Zeitpunkten eine Konkurrenzsituation bestehen, falls der zentrale Prozessor versucht, den Depotspeicher zu lesen, während die Speichersteuereinheit in den Depotspeicher schreibt, um diesen auf den neuesten Stand zu bringen nach einem vorgängigen Schreibvorgang des zentralen Prozessors in den Hauptspeicher.

Bei bekannten Anlagen der erläuterten Art wurde der Depotspeicher so betrieben, dass (1) ein gewisser Zeitbedarf dafür aufgewendet wird, die Konkurrenzsituationen zu regeln, insbesondere im erstgenannten Fall; (2) dass beim

Aufdatieren des Depotspeichers nach einem vorgängig festgestellten Ausstand im Depotspeicher der zentrale Prozessor notwendigerweise während eines Depotspeicherzyklus angehalten wurde, welcher dem Aufdatieren des Depotspeicherinhaltes vorbehalten ist; und (3) dass es nötig war, den zentralen Prozessor während Speicherzyklen anzuhalten, die der Aufdatierung des Depotspeicherinhaltes nach dem Schreiben des zentralen Prozessors vorbehalten waren. Alle diese Vorgänge verursachen Verzögerungen beim Speicherzugriff und folglich eine Verringerung der Operationen des zentralen Prozessors.

Die vorliegende Erfindung setzt sich zum Ziel, alle diese Nachteile zu beheben.

Der Depotspeicher hat im allgemeinen einen Betriebszyklus derselben Länge, wie der Speicherbetrieb-Mikrobefehlszyklus des zentralen Prozessors. Bei der erfindungsgemässen Datenverarbeitungsanlage ist der Betriebszyklus des Depotspeichers in zwei Unterzyklen aufgeteilt, welche für sich wechselseitig ausschliessende Operationen vorbehalten sind. Der erste Unterzyklus ist dem Empfang einer Speicherleseanforderung vom zentralen Prozessor, mit seiner Adresse, vorbehalten. Der zweite Unterzyklus ist allen übrigen Depotspeicheroperationen vorbehalten. Dies sind insbesondere entweder (a) das Erhalten einer Adresse von einem peripheren Prozessor zur Überprüfung des Depotspeicherinhaltes nach dem Schreiben eines peripheren Prozessors in den Hauptspeicher oder (b) das Schreiben von irgendetwas in den Depotspeicher einschliesslich eines «Ungültig» - Bits bei einem Übereinstimmungszustand nach der Depotspeicherüberprüfung oder von Daten nach entweder einem Depotspeicherausstand oder einem Schreibvorgang des zentralen Prozessors in den Hauptspeicher. Dadurch wird Konkurrenz ausgeschaltet, so dass kein Zeitaufwand für die Regelung der Konkurrenz nötig ist und die Schreibvorgänge für den zentralen Prozessor, der aus dem Depotspeicher liest, «transparent» werden. Aus der Sicht des zentralen Prozessors ist der Depotspeicher immer für Lesevorgänge verfügbar. Der zentrale Prozessor kann ununterbrochen mit dem Lesen des Depotspeichers gemäss aufeinanderfolgenden Mikrobefehlszyklen des zentralen Prozessors fortfahren, unabhängig von der Tatsache, dass der Depotspeicherinhalt «gleichzeitig» überprüft, ungültig gemacht oder aufdatiert wird nach Schreibvorgängen des zentralen Prozessors. Auch wenn der zentrale Prozessor nach einem Depotspeicherausstand angehalten werden muss, um die Aufdatierung zu erlauben, kann er seine Arbeit einen Zyklus früher wieder aufnehmen, als dies ohne geteilten Depotspeicherzyklus möglich wäre.

Ferner ist die Verwirklichung einer Speicherverwaltungsstruktur gemäss der Erfindung besonders günstig hinsichtlich dem Schaltungsaufbau, indem die Kosten und der Raumbedarf gesenkt werden.

Erfindungsgemäss weist die Datenverarbeitungsanlage einen zentralen Prozessor auf, der ein Speicheradressregister zur Ausgabe von Speicheradresssignalen und ein Speicherdatenregister für die Aufnahme und die Ausgabe von Datensignalen besitzt, sowie einen Steuerspeicher, der an den zentralen Prozessor angeschlossen ist und Steuersignale ausgibt, welche Mikrobefehle für diesen darstellen. Bestimmte dieser Steuersignale innerhalb des genannten Mirkobefehls stellen Speicherlese- oder Schreibzugriffsoperationen dar; der zentrale Prozessor spricht auf die Speicherzugriffssteuersignale, an und erzeugt Speicheradresssignale, welche er in das Speicheradressregister plaziert. Die Datenverarbeitungsanlage besitzt ferner eine Speicherbaueinheit, die durch die Speicheradresssignale adressierbar und zur Speicherung von Datensignalen geeignet ist.

Die Speicherbaueinheit umfasst einen Hauptspeicher mit relativ langer Zugriffszeit und einen Depotspeicher mit relativ kurzer Zugriffszeit. Das Speicheradressregister des zentralen Prozessors ist mit der Speicherbaueinheit verbunden zur Lieferung von Speicheradresssignalen an diese. Der zentrale Prozessor liefert ferner die Speicherzugriffssteuersignale an die Speicherbaueinheit. Die Datenverarbeitungsanlage besitzt ferner eine Hauptsynchronisiereinheit, die an den zentralen Prozessor und die Speicherbaueinheit angeschlossen ist und diesen Synchronisierimpulse zuführt. Bestimmte Synchronisierimpulse definieren einen Arbeitszyklus für den zentralen Prozessor, der eine feste Länge für die Vorgänge einschliesslich eines Speicherzugriffes besitzt. Mit der Speicherbaueinheit ist zumindest ein peripherer Prozessor verbunden für den Lese- und Schreibzugriff. Der periphere Prozessor liefert Speicheradresssignale, Speicherzugriffssteuersignale und Datensignale an die Speicherbaueinheit und erhält von dort Daten.

Der Depotspeicher besitzt eine eigene Synchronisiereinrichtung, die auf die Hauptsynchronisiereinheit anspricht und eine Mehrzahl von Synchronisierimpulsen liefert, welche einen Depotspeicherarbeitszyklus definieren. Der Depotspeicher besitzt einen Datensignalspeicher zur Speicherung von Datensignalen, eine Adressiervorrichtung zur Anwendung der durch die Speicherbaueinheit empfangenen Speicheradresssignale für die Adressierung des Datensignalspeichers, einen Vergleicher, der auf die angelegten Adresssignale sowie die gespeicherten Datensignale anspricht zur Erzeugung eines Ausgangssignals, das das Vorhandensein oder das Fehlen von bestimmten Daten im Depotspeicher darstellt und einen Signalerzeuger, der auf das Ausgangssignal des Vergleichs anspricht zur Erzeugung eines Zustandsignals, welches einen von zwei Werten besitzt, die das Vorliegen oder das Fehlen der bestimmten Daten darstellt.

Die Depotspeicheradressiervorrichtung spricht auf die Depotspeichersynchronisiereinrichtung an, um einen ersten Teil des Depotspeicherbetriebszyklus dafür vorzubehalten, nur die vom zentralen Prozessor erhaltenen Adresssignale an den Datensignalspeicher des Depotspeichers und den Vergleicher anzulegen; die Depotspeicheradressiervorrichtung spricht ferner auf die Depotspeichersynchronisiereinrichtung an, um einen zweiten Teil des Depotspeicherarbeitszyklus für eine oder mehrere Operationen, einschliesslich dem Anlegen der aus einem peripheren Prozessor empfangenen Adresssignale an den Datensignalspeicher des Depotspeichers und den Vergleicher, vorzubehalten.

Während die eben erläuterten Merkmale erfindungsgemäss vorgesehen sind, um die erwähnten Nachteile zu überwinden, wird bezüglich besonderer bevorzugter Ausführungsmerkmale auf die abhängigen Patentansprüche verwiesen.

Weitere Ziele, Merkmale und Vorteile ergeben sich aus der nachfolgenden Beschreibung eines bevorzugten Ausführungsbeispieles zusammen mit der beigefügten Zeichnung, worin zeigen:

Fig. 1 eine vereinfachte schematische Darstellung einer Datenverarbeitungsanlage mit einer erfindungsgemässen Prozessoranordnung;

Fig. 2 eine Darstellung der Daten- und Adressenwege durch die Datenverarbeitungsanlage;

Fig. 3 bestimmte Merkmale des zentralen Prozessors der Datenverarbeitungsanlage;

Fig. 4 bis 9 die Formate verschiedener Daten und Adressen, welche für die Erfindung von Bedeutung sind;

Fig. 10 wesentliche Merkmale des Steuerspeichers;

Fig. 11 die Hauptsynchronisiereinheit;

Fig. 12 ein Laufzeitdiagramm der wesentlichen Synchronisiersignale, die durch die Einheit gemäss Fig. 11 erzeugt werden;

Fig. 13 einen Teil des Depotspeichers, der sich auf Adressierfunktionen bezieht;

Fig. 14 einen Teil des Depotspeichers, der sich auf die Datenspeicherung bezieht;

Fig. 15 bestimmte Teile des Depotspeichers, die sich auf die Speichersteuerung und andere Steuerfunktionen beziehen;

Fig. 16 Teile der Schaltung, die sich auf die Speicherzugriffspriorität bezieht;

Fig. 17 eine Depotspeicherschaltung, die ein Steuersignal für Speicheroperationen von peripheren Prozessoren erzeugt;

Fig. 18 eine Depotspeicherschaltung, die sich auf die Verwendung bestimmter Steuerspeichersignale durch den Depotspeicher bezieht;

Fig. 19 den Hauptspeicher;

Fig. 20 die Depotspeicher-Schreiblogik, und

Fig. 21, 22, 23 Laufzeitdiagramme, die Teile von Arbeitsabläufen der Prozessoranordnung zeigen.

In Fig. 1 ist die gesamte Anlage in vereinfachter Form dargestellt. Die Datenverarbeitungseinheit 10 weist einen zentralen Prozessor 12, einen Steuerspeicher 14 und eine Hauptsynchronisiereinheit 20 auf. Ferner ist ein Hauptspeicher 16 gesehen, wobei der Zugriff zu ihm durch eine Speichersteuereinheit 18 gesteuert wird. Verschiedene periphere Vorrichtungen (Benutzerstationen, Drucker, Platten, Magnetbänder, Datenfernverarbeitungseinrichtungen etc.) sind mit der Datenverarbeitungseinheit 10 verbunden und bilden mit ihr zusammen die Anlage.

Jede periphere Einrichtung besitzt einen Prozessor, welcher peripherer Prozessor genannt wird. Mehrere dieser peripheren Prozessoren sind mit einem der Leitungsanschlüsse 22 verbunden, die wiederum mit der Speichersteuereinheit 18 in Verbindung stehen. Es können verschiedene Leitungsanschlüsse vorhanden sein. Der Zweck des Leitungsanschlusses 22 ist es, eine Anpassung zwischen den 64-Bit-Datenleitungen in der Datenverarbeitungseinheit und den 16-Bit-Datenleitungen, welche die peripheren Einrichtungen mit der Datenverarbeitungseinheit 10 verbinden, vorzunehmen. Die Speichersteuereinheit 18 stellt für den zentralen und die peripheren Prozessoren den Zugriff zum Hauptspeicher 16 sicher; sie kann auch Befehle vom zentralen Prozessor 12 an die peripheren Prozessoren übertragen, was jedoch für die vorliegende Erfindung ohne Belang ist. Der zentrale Prozessor 12 ist an einen lokalen oder Depot-Speicher 24 (Cache) mit raschem Zugriff angeschlossen, der eine zeitliche variierende Untermenge der im Hauptspeicher gespeicherten Daten enthält. Der Depotspeicher 24 ist überdies mit der Speichersteuereinheit 18 verbunden. Beim vorliegenden besonderen Ausführungsbeispiel weist der Depotspeicher eine direkte Zuordnung (directmap) auf und besitzt 32 K-bytes. Er wendet eine Durchschreib-Strategie an, d.h. er wird aufdatiert, sobald der zentrale Prozessor in den Hauptspeicher schreibt.

Der Depotspeicher 24, der Hauptspeicher 16 und die Speichersteuereinheit 18 bilden zusammen die Speicherbaueinheit der Datenverarbeitungseinheit.

Die Daten- und Adressenwege durch die Anlage sind insbesondere aus Fig. 2 ersichtlich. Der zentrale Prozessor 12 besitzt einen 24-Bit-Adressenübertragungsweg 26, welcher die Adressleitungen zum Depotspeicher enthält, die durch den Merknamen «MA (für Memory Adresse) 0–23» bezeichnet werden. Der zentrale Prozessor 12 weist einen 32-Bit-Dateneingangsweg 28 auf, der die Datenleitungen mit dem Merknamen «MM (für Main Memory) 0–31» enthält, sowie einen 32-Bit-Datenausgangsweg 30, der die Datenleitungen mit dem Merknamen «WD (für Write Data) 0–31» enthält.

Der Depotspeicher 24 ist auf der Empfangsseite der Adressleitungen MA 0–23 des Übertragungswegs 26 vom zentralen Prozessor 12 angeordnet und ist überdies an den Übertragungsweg 32 angeschlossen, der die Adressleitungen vom Leitungsanschluss 22 aufweist, die mit dem Merknamen «BMA (für Bus Adapter Memory Adresse) 0–23» versehen ist. Diese Adressinformation wird dazu verwendet, die im Depotspeicher enthaltene Information auf dem neuesten Stand zu halten, wenn die entsprechende Information im Hauptspeicher mittels einem der peripheren Prozessoren geändert wird, wie im folgenden näher erläutert wird.

Der Depotspeicher 24 ist mit einem Ausgangsadressenweg 34 verbunden, der die Adressleitungen mit dem Merknamen «CMA (für Cache Memory Adresse) 0–23» zur Speichersteuereinheit 18 aufweist. Ferner ist der Depotspeicher 24 mit einem Übertragungsweg 36 verbunden, der die Adressleitungen mit dem Merknamen «BMAR 3–20» (für Buffered Memory Register) zum Hauptspeicher 16 aufweist.

Der Depotspeicher 24 besitzt einen Dateneingangs- und einen Datenausgangsweg. Der Dateneingangsweg 38 weist die Datenleitungen von der Speichersteuereinheit 18 auf, welche mit dem Merknamen «CAWD (für Cache Write Daten) 0–63» bezeichnet werden. Dieser Datenübertragungsweg 38 wird von der Speichersteuereinheit 18 dazu verwendet, nach Feststellung eines Ausstandes oder als Antwort auf einen Schreibvorgang des zentralen Prozessors Daten in den Depotspeicher zu schreiben, wie nachfolgend erläutert wird. Der Weg 38 wird überdies dazu benutzt, Daten zum Leitungsanschluss zu übertragen, was hier jedoch nicht von Belang ist. Der Datenausgangsweg 40 weist die Datenleitungen von Depotspeicher 24 auf, die mit dem Merknamen MM 0–31 bezeichnet sind und als Eingang zum zentralen Prozessor 12 auf dem Weg 28 dienen. Der Datenweg 40 liefert nach Feststellen des Vorhandenseins einer Information im Depotspeicher als Antwort auf eine Leseanforderung des zentralen Prozessors Daten an den zentralen Prozessor 12, wie nachfolgend im Detail erläutert wird.

Der Hauptspeicher 16 erhält die Adressleitungen BMAR 3–20 vom Depotspeicher 24, wie vorstehend erläutert, über den Weg 36, zusammen mit Speichermodulwählsignalen, die in der Figur nicht dargestellt und für die Erfindung nicht von Bedeutung sind. Der Hauptspeicher 16 besitzt einen 64-Bit-Dateneingangsweg 42, der mit der Speichersteuereinheit 18 verbunden ist und Datenleitungen, welche mit dem Merknamen «MMWD (für Main Memory Write Daten) 0–63» bezeichnet sind, aufweist. Alle Daten, die in den Hauptspeicher 16 geschrieben werden, werden auf dem Übertragungsweg 42 eingegeben. Der Hauptspeicher 16 besitzt einen 64-Bit-Datenausgangsweg 42, der mit der Speichersteuereinheit 18 verbunden ist und Datenleitungen aufweist, die mit dem Merknamen «MMRD (für Main Memory Read Daten) 0–63» bezeichnet sind. Alle aus dem Hauptspeicher 16 gelesenen Daten werden auf dem Übertragungsweg 44 ausgelesen.

Der Leitungsanschluss 22 liefert, wie beschrieben, über den Weg 32 die Adressbits an den Depotspeicher 24 als Antwort auf Speicherzugriffsanfragen von peripheren Prozessoren. Der Leitungsanschluss 22 besitzt einen 64-Bit-Datenausgangsweg 46, der zur Speichersteuereinheit 18 führt und Datenleitungen aufweist, die mit dem Merknamen «BARD (für Bus Adapter Read Daten) 0–63» bezeichnet sind, sowie einen 64-Bit Dateneingangsweg 48, der über den Zwischenspeicher 50 mit dem Übertragungsweg 38 verbunden ist und Datenleitungen besitzt, welche mit dem Merknamen «BAWD (für Bus Adapter Write Daten) 0–63» bezeichnet werden. Man beachte, dass die Leitungen BARD 0–63 für das Lesen von Daten aus dem peripheren Prozessor zum Hauptspeicher 16 vorgesehen sind, während die Leitungen BAWD 0–63 dazu dienen, Daten vom Hauptspeicher 16 zu lesen und

in einen peripheren Prozessor zu schreiben.

Ferner gibt der Leitungsanschluss 22 bestimmte Steuersignale an den Depotspeicher 24. Dies sind MRBA (Speicheranforderungssignale des Leitungsanschlusses) und BAC-0-2(Steuersignale des Leitungsanschlusses) Signale. Die BAC-0-2-Signale werden im Depotspeicher verriegelt aus Gründen der bequemen Verwendung; in ihrer verriegelten Form werden sie mit BBAC-0-2 bezeichnet.

Die Speichersteuereinheit 18 erhält, wie beschrieben, über den Weg 44 Daten vom Hauptspeicher, über den Weg 46 vom Leitungsanschluss 22 bzw. über den Weg 30 vom zentralen Prozessor 12. Die Speichersteuereinheit 18 erhält Adressdaten über den Weg 34 vom Depotspeicher 24. Die Speichersteuereinheit 18 gibt Daten über den Weg 38 an den Depotspeicher 24 und an die Datenverriegelung 50 für die Ausgabe an den Leitungsanschluss. Die Speichersteuereinheit gibt ferner über den Weg 52 Daten an den zentralen Prozessor (via Verriegelung 54), wobei dieser Übertragungsweg Datenleitungen mit der Bezeichnung «DIRD (für Diagnostic or Read Date) 0–31 aufweist. Bei einem Hauptspeicher-Lesevorgang nach dem Feststellen eines Ausstandes im Depotspeicher erlaubt – wie später noch detailliert zu erläutern ist – ein Ausstand-Verlängert-Signal, das als Antwort auf den Ausstand im Depotspeicher erzeugt wird, den Durchgang der Daten vom Weg 52 durch die Verriegelung 54 zum Übertragungsweg 28 und so zum zentralen Prozessor.

Wie aus Fig. 3 ersichtlich, sind nur zwei Elemente innerhalb des zentralen Prozessor 12 für die vorliegende Erfindung von Bedeutung. Die sind ein Speicherdatenregister 56, das Daten über die Leitungen des Übertragungsweges 28 (MM 0–31) erhält sowie ein Speicheradressregister 58, das in einer hier nicht dargestellten Weise mit den Adressen, die über den Weg 26 (MA 0–23) an den Depotspeicher ausgegeben werden sollen, geladen ist.

Falls der zentrale Prozessor nicht angehalten wird (d.h. wenn das Signal STCP invers hoch ist; die Erzeugung dieses Signals wird im folgenden noch beschrieben), werden die Adressensignale vom Speicheradressenregister 58 zur Zeit LO (die Synchronisiersignale einschliesslich LO werden im Zusammenhang mit Fig. 12 erläutert) in den Depotspeicher 24 verschoben.

In den Figuren 4 bis 9 sind verschiedene Formate von Daten und Adressen gezeigt, welche für die Funktion der Datenverarbeitungseinheit von Bedeutung sind.

Fig. 4 zeigt ein Datenbyte, welches definitionsgemäss 8 Bits enthält. Fig. 5 stellt ein Datenwort dar, welches 4 Bytes oder 32 Bits enthält. Fig. 6 zeigt ein Doppelwort, das definitionsgemäss aus einem geraden und einem ungeraden Wort gebildet ist, von denen jedes 32 Bits enthält. Die Daten werden im Hauptspeicher in Doppelwort-Einheiten gespeichert.

In Fig. 7 ist eine echte 24-Bit-Adresse dargestellt, wie sie vom Hauptspeicher gesehen wird. Die Adresse umfasst eine 12-Bit-Seitenrahmenzahl (um zwei erweiterbar, falls der Speicher vergrössert wird) und einen 11-Bit-Relativzeiger, der das Byte innerhalb der Seite lokalisiert.

Fig. 8 zeigt dieselbe echte 24-Bit-Adresse, wie sie vom Depotspeicher gelesen wird; die Adresse umfasst ein 9-Bit-Kennzeichen und einen 12-Bit-Index. Die beiden Bits niedriger Ordnung werden vernachlässigt, da sie verwendet werden, um ein Byte innerhalb eines Wortes zu wählen, wobei der Depotspeicher immer ein Wort an den zentralen Prozessor liefert, der dann das gesuchte Byte wählt. Das dritte Bit von rechts wählt das gerade oder das ungerade Wort eines Doppelwortes. Fig. 9 zeigt das Format von im Depotspeicher gespeicherten Daten. Die geraden und die ungeraden Wörter eines Doppelwortes sind zusammen mit je einem 9-Bit-Kennzeichen gespeichert. Diese ganze 72-Bit-Einheit wird durch einen 12-Bit-Index der echten Adresse adressiert. Die Verwendung eines Index und eines Kennzeichens zur Adressierung eines Depotspeichers mit direkter Zuordnung (direct mapped) ist aus dem Stand der Technik der Datenverarbeitungsanlagen wohl bekannt. Die allgemeinen Gesichtspunkte der Verwaltung von Depotspeichern sind etwa in der Veröffentlichung Computer Engineering (Digital Press, 1978) von Bell, Mudge und McNamara erläutert worden. Der in Fig. 10 gezeigte Steuerspeicher 14 enthält Steuersignale, auf die in Gruppen von 48 Signalen, welche über 48 parallele Leitungen ausgegeben werden, gegriffen werden kann. Auf jeder Linie kann das Signal entweder hoch (1) oder tief (0) sein und wird direkt an den Schaltkreis des zentralen Prozessors 12 angelegt, um dessen Funktion zu steuern.

Von den 48 Signalen auf den Leitungen, welche einen Mikrobefehl umfassen, sind hier nur einige von Belang. Dies sind die Signale 0–6 (genannt «Mikro-Op-Schlüssel»), welche als Gruppe dekodiert werden zur Erzeugung eines von mehreren Signalen, welche die auszuführende Operationsangaben (wie z.B. Addieren, Übertragen, Vergleichen, Schieben), sowie die Signale 22 bis 29, die als Gruppe dekodiert werden und eines von mehreren Signalen erzeugen, die eine Speicheroperation bezeichnen (Schreiben oder Lesen, mit Einzelheiten der Speicheradressenregisterwahl, der Speicherdatenregisterwahl und anderen, hier nicht wichtigen Dingen. Diese Signale sind in Fig. 2 als «Speichersteuersignale» bezeichnet. Bestimmte dieser Steuersignale, auf die der zentrale Prozessor greift, werden von diesem direkt mit dem Depotspeicher und der Speichersteuereinheit verbunden, wie nachfolgend erläutert wird. Der Zugriff und das Dekodieren solcher Gruppen von Steuersignalen (Mikroinstruktionen) während des Betriebes der Datenverarbeitungseinheit sind aus dem Stand der Technik bekannt und werden deshalb nicht näher beschrieben.

In Fig. 11 sind nun einige wesentliche Teile der Hauptsynchronisiereinheit 20 der Anlage dargestellt. Die Hauptsynchronisiereinheit für die Datenverarbeitungsanlage wird von einem 50 MHz-Kristall betrieben, dessen Ausgangssignal in den Synchronisiersignalerzeugungsschalterkreis 60 eingegeben wird, der in an sich bekannter Weise geeignete Synchronisiersignale für die Anlage erzeugt. Das Grundsynchronisiersignal (CLOCK) hat eine Periode von 40 Nanosekunden und eine Impulsbreite von 20 Nanosekunden. Die Signale TA, TO, T1, T2; LA, LO, Li, L2; C LOCK; und invers ClOCK sind im Laufzeitdiagramm von Fig. 12 gezeigt. Diese Impulse werden in den zentralen Prozessor 12 eingegeben.

Die Signale LA, LO, L1, L2 sind durchlaufend, während TA, TO, T1, T2 von Betriebsbedingungen im zentralen Prozessor und anderswo abhängen. Es können weitere L- und T-Impulse unter zu beschreibenden Umständen erzeugt werden. Diese sind jedoch in Fig. 11 nicht gezeigt und für die Erfindung auch nicht von Bedeutung.

Zwei Torsignale GT1 und GT2 werden auf eine Art und Weise erzeugt, die nachfolgend beschrieben wird. Das Signal GT1 steuert (gibt frei oder sperrt) die Synchronisiersignale TA und TO des zentralen Prozessors; das Signal GT2 steuert die Synchronisiersignale T1 und T2. Der Zyklus des zentralen Prozessors beginnt definitionsgemäss mit einem TA-Impuls. Demzufolgen kann der Betrieb des zentralen Prozessors nach TO und T2 angehalten werden. Das Signal GT2 ist normalerweise dem Signal GT1 untergeordnet, doch beim Auftreten eines «Ausstand»-Signals wird – wie nachfolgend erläutert – GT2 unterdrückt, so dass die Impulse T1 und T2 nicht auftreten, auch wenn die Impulse TA und TO aufgetreten sind.

Die Länge des Mikrobefehlszyklus des zentralen Prozessors ändert sich je nach der Art des Mikrobefehls. Der Zyklus des zentralen Prozessors (jeder Länge) beginnt definitionsgemäss bei TA. Die meisten Mikrobefehle, einschliesslich derjenigen, welche Speicheroperationen bedingen und für die vor-

liegende Erfindung von Bedeutung sind, erfordern eine Ausführungszeit von 160 Nanosekunden. Für diese Mikroinstruktionen umfassen die Impulse TA, TO, T1 und T2 den Zyklus, wie in Fig. 12 ersichtlich. Andere Mikrobefehle können länger als 160 Nanosekunden zur Ausführung benötigen; für solche Befehle müssen weitere T-Impulse erzeugt werden (T5 bis T8, nicht gezeigt). Zur Bestimmung der Anzahl von T-Impulsen, die zu erzeugen sind, werden die Steuersignale 0–6 (der Mikro-Op-Schlüssel) des laufenden Mikrobefehls, der den zentralen Prozessor 12 steuert, vom zentralen Prozessor 12 zusammen mit dem Signal CLOCK aus den Schaltkreis 60 in einen Dekodierer und Zähler 62 eingegeben; der Art dieses Vorganges entsprechend, wie er vom Dekodierer bestimmt worden ist, wird der Zähler gesetzt und zum geeigneten Zeitpunkt das Signal «COB» (Ende des Zyklus) erzeugt, welches das Ende des Befehlszyklus bezeichnet. Dieses Signal stellt die Schaltung 60 zurück und veranlasst den Beginn des nächsten Zyklus mit einem TA-Impuls.

Das Signal CLOCK wird direkt in den Depotspeicher 24 und in die Speichersteuereinheit 18 eingegeben, wo eine entsprechende Synchronisierschaltung zur Erzeugung von Synchronisierimpulsen L und T vorgesehen ist. Wenn jedoch die Torsignale GT1 und GT2 nicht speziell erscheinen, halten die T-Impulse im Depotspeicher und in der Speichersteuereinheit nicht an, wenn der zentrale Prozessor stoppt.

Der Depotspeicherzyklus hat dieselbe Länge wie der Lese- oder Schreibzyklus des zentralen Prozessors, d.h. 160 Nanosekunden. Er beginnt jedoch definitionsgemäss mit dem Impuls Li und umfasst die Impulse L1 und L2, LA, LO, was, wie aus Fig. 12 ersichtlich ist, bedeutet, dass der Depotspeicherzyklus um 60 Nanosekunden gegenüber dem Zyklus des zentralen Prozessors versetzt ist. Der Zyklus der Speichersteuereinheit ist um 40 Nanosekunden gegenüber dem Zyklus des zentralen Prozessors versetzt und umfasst die Impulse TO, T1, T2, TA.

Ferner werden einige Synchronisierimpulse vom zentralen Prozessor direkt in den Depotspeicher 24 eingegeben, um Vorgänge auszulösen, die mit bestimmten Vorgängen im zentralen Prozessor synchronisiert sind. Solche Depotspeichervorgänge können nicht ablaufen, wenn der zentrale Prozessor angehalten ist, auch wenn der Depotspeicher nicht gestoppt ist.

In den Fig. 13, 14, 15, 17, 18 und 20 ist der Depotspeicher 24 näher erläutert. Er umfasst allgemein einen Adressierungsteil (Fig. 13), eine Datenspeicher- und Kennzeichenvergleicherschaltung (Fig. 14) sowie verschiedene Steuersignaldekodierschaltungen (Fig. 15, 17, 18 und 20). Die Schaltung gemäss Fig. 16 und Teile der Schaltung von Fig. 15 sind aufbaumässig im Depotspeicher angeordnet, gehören jedoch vom Konzept her zur Speichersteuereinheit, da ihre Funktionen die Verwaltung des Hauptspeichers betreffen.

Wenden wir uns zunächst Fig. 18 zu. Die Adresse des zentralen Prozessors (in dieser Fig. nicht dargestellt), erreicht den Depotspeicher 24 zusammen mit den Steuersignalen CM 22–29 der 48-Bit-Signalgruppe, welche die laufenden Operationen des zentralen Prozessors steuert. Wie beschrieben, sind die Steuersignale 22–29 Speicherzugriffsteuersignale, die die Art der an der vom zentralen Prozessor spezifizierten Adresse auszuführenden Operation steuern. Zur bequemeren Verwendung des Depotspeichers 24 sind gewisse dieser Signale verzögert, indem sie verriegelt oder zwischengespeichert werden. Die verzögerten Signale werden entsprechend ihrer Verzögerung mit «CCM», «BCM», «LCM» oder «MCM» bezeichnet, wie in der genannten Figur dargestellt.

In Fig. 16 ist gezeigt, wie die Speichersteuereinheit 18 einen Schaltkreis 140 zur Bestimmung der Hauptspeicherzugriffspriorität aufweist. Dieser Schaltkreis ist derart ausgebildet, dass sie jeder Leitungsanschlussanforderung (ausgelöst durch einen peripheren Prozessor) die Priorität für den Hauptspeicherzugriff gibt. Nur wenn keine solche Anforderung vorliegt, erhält der zentrale Prozessor 12 Zugriff zum Hauptspeicher, entweder um zu schreiben oder um zu lesen nach einem Depotspeicherausstand. Das Eingangssignal LC (letzter Zyklus) stammt von der noch zu beschreibenden Synchronisierschaltung gemäss Fig. 15 der Speichersteuereinheit und wird am Ende einer Speicherzugriffsoperation erzeugt. Beim Abschluss jeder laufenden Speicheroperation und wenn keine Speicheranforderung eines Leitungsanschlusses vorliegt, geht BA auf tief und die anstehende Adresse des zentralen Prozessors wird zum Hauptspeicher 16 übermittelt. Derart kann einem Depotspeicherausstand eine Verzögerung von einem Zyklus entstehen, bis der Hauptspeicher für den zentralen Prozessor verfügbar ist. Während dieser Zeit bleibt der zentrale Prozessor angehalten, wie beschrieben wird.

Diese Zuteilung der Prioritäten für den Hauptspeicherzugriff zwischen dem zentralen Prozessor und dem Leitungsanschluss, bedingt durch das Vorliegen oder Fehlen von Leitungsanschlussanfragen, muss klar von der Unterteilung des Depotspeicherzyklus zwischen den Speicherlesevorgängen des zentralen Prozessors und anderen Operationen, die noch näher zu beschreiben sind, unterschieden werden. Die Schaltung für die Unterteilung des Depotspeicherzyklus ist dauernd in Betrieb und arbeitet in der beschriebenen Weise unabhängig, ob eine Anforderung vom zentralen Prozessor oder einem Leitungsanschluss vorliegt oder nicht.

Gemäss Fig. 17 wird von einer Flip-Flop-Freigabeschaltung 142 zum Zeitpunkt TA als Antwort auf eine Speicheranforderung (MRBA) eines Leitungsanschlusses unter der Voraussetzung, dass der Speichersteuerschaltkreis bereit ist (R/B), ein Signal «BA-Freigabe» erzeugt. Das Signal BA-Freigabe wird an die Schaltung von Fig. 13 angelegt, um die Eingabe der Adresse der Speicheroperation des Leitungsanschlusses zu gestatten, zum Zwecke eines Depotspeicherüberprüfungs- oder Ungültigmachungsvorganges, wie noch beschrieben wird.

Die Synchronisierung für den Hauptspeicher 16 wird durch die Schaltung gemäss Fig. 15 vollzogen, deren Hauptteil funktionell ein Teil der Speichersteuereinheit 18 ist. Die Verfahren zur Synchronisierung und für den Betrieb eines Hauptspeichers sind für Datenverarbeitungsanlagen der hier beschriebenen Art dem Fachmann allgemein bekannt und bilden nicht Teil der vorliegenden Erfindung. Aus diesem Grunde wird die Erzeugung dieser Synchronisiersignale nicht im einzelnen beschrieben, sondern es werden nur diejenigen Aspekte erläutert, die für die Erfindung wichtig sind.

In der Schaltung nach Fig. 15 werden die Steuersignale CCM 22–29 (von Fig. 18) in einer Dekodierschaltung 138 dekodiert, zur Feststellung, ob der Speicheroperation des zentralen Prozessors ein Lese- oder ein Schreibvorgang ist. Falls ein Lesevorgang vorliegt, führen die dekodierten Steuersignale zur Erzeugung eines Signals «Lesen», welches angibt, dass die Speicheroperation des zentralen Prozessors ein Lesevorgang ist, der im Depotspeicher auszuführen ist. Dieses Signal ist im Depotspeicher 24 erforderlich, um die Erzeugung eines Depotspeicherausstandsignals zu erlauben, wie noch erläutert wird.

Falls der Speicheroperation des zentralen Prozessors ein Schreibvorgang (in den Hauptspeicher) ist, ergeben die Steuersignale CCM-22-29 nach der Dekodierung die Schreibsignale SCHREIBEN 8 (d.h. 8 bits), SCHREIBEN 32 und SCHREIBEN 64, welche die Schreibvorgänge eines Bytes, eines Wortes oder eines Doppelwortes spezifizieren (Anders als die peripheren Prozessoren schreibt der zentrale Prozessor nicht ein halbes Wort; deshalb wird das Signal SCHREIBEN

16 durch die Steuersignale des zentralen Prozessors nicht erzeugt). Die BAC 0-2-Signale (Speicherzugriffsteuersignale) von Leitungsanschluss 22 werden in ähnlicher Weise im Operationsdekodierer 139 dekodiert zur Erzeugung von Lese- oder Schreibsignalen, welche in die Schaltung 138 eingegeben werden. Die Schreibsignale des Leitungsanschlusses können SCHREIBEN 8, SCHREIBEN 16, SCHREIBEN 32 oder SCHREIBEN 64 – Signale sein. Das Signal MRBA (Speicheranforderung des Leitungsanschlusses) wird ebenfalls vom Leitungsanschluss 22 eingegeben.

Der Eingang CP/BA (von Fig. 16) stellt die Prioritätszuteilung für den Zugriff auf den Hauptspeicher dar (CP wird hoch, falls der zentrale Prozessor Priorität hat; BA wird hoch, wenn ein peripherer Prozessor Priorität hat). Das Signal «Ausstand löschen» wird im Depotspeicher 24 auf noch zu beschreibende Art und Weise erzeugt, wenn der Depotspeicherausstand durch eine Hauptspeicheroperation behoben ist und die angefragten Daten im Speicherdatenregister 56 (Fig. 3) des zentralen Prozessors plaziert sind. Wie in der Figur ersichtlich, stellt das Signal «MOP» (Speicheroperation) entweder eine Leitungsanschluss-Speicheroperation dar (BBAC1, BBAC2 und BA-Priorität) oder eine Speicheroperation des zentralen Prozessors (MSM 24 und 25 und CP-Priorität).

Die Schaltung 138 erzeugt aus den beschriebenen Eingangssignalen passende Speichersteuer- und Synchronisiersignale. Die Erzeugung der Steuersignale SCHREIBEN 8, SCHREIBEN 16, SCHREIBEN 32 und SCHREIBEN 64 wurde bereits erläutert; «LESEN 64 B» legt den Vorgang Lesen eines Doppelwortes fest. Das Signal R/W (Lesen/Schreiben: R hoch für Lesen, W hoch für Schreiben) und das Signal SCHREIB IMPULS sind herkömmliche Eingangssignale für den Hauptspeicher 16. Die Speichersynchronisiersignale umfassen CAS (Spaltenadresse einblenden), CEN (Spalte freigeben) und RAS (Reihenadresse einblenden), welche alle in bekannter Art erzeugt und dem Hauptspeicher 16 zugeführt werden, um diesen in herkömmlicher Weise zu adressieren.

Die Signale C1, C2 und C3 sind für den internen Gebrauch im Depotspeicher bestimmt und verfolgen die drei Befehlszyklen (jeder 160 Nanosekunden), welche für eine Hauptspeicheroperation erforderlich sind. Ihre Verwendungsweise wird nachfolgend erläutert. Das Signal LC (Letzter Zyklus) ist 160 Nanosekunden lang und ist allgemein synchronisiert mit dem letzten Zyklus der Speicheroperation. Das Signal LC wird in den Rücksetz-Flip-Flop 141 eingegeben, der das CP-Prioritätssignal (von Fig. 16) verzögert, um ein verriegeltes CP-Signal (LCP) zu erzeugen, dessen Verwendung noch erläutert wird. Der Flip-Flop 137 wird verwendet, um das Depotspeicherausstandssignal zu verzögern während des Lesevorgangs des zentralen Prozessors, um ein Signal «MISS EXT» (invers) auszugeben, dessen Bedeutung noch erläutert wird. Das inverse Depotspeicher-Ausstandssignal ist normalerweise hoch und hält das inverse Signal STCP (Stop zentraler Prozessor) normalerweise hoch, welches aus dem Flip-Flop 135 stammt. Das inverse Signal STCP wird in die Hauptsynchronisiereinheit (Fig. 11) und auch ins Speicheradressregister 58 (Fig. 3) des zentralen Prozessors eingegeben. Solange, wie das inverse Signal STCP hoch bleibt, wird der zentrale Prozessor nicht angehalten; die Synchronisierimpulse TA, TO, T1, T2 werden erzeugt und die Speicheradressen des zentralen Prozessors werden aus dem Adressregister 58 ausgegeben. Wenn ein Depotspeicher-Ausstandssignal erzeugt wird, wie noch im Zusammenhang mit Fig. 14 erläutert wird, geht das inverse Depotspeicher-Ausstandssignal auf tief und das inverse Ausgangssignal STCP geht beim nächsten Synchronisierimpuls L1 (LO invers ist tief) auf tief. Dieses Signal stoppt die Erzeugung von T-Impulsen für den zentralen Prozessor und verhindert überdies, dass die nächste Speicheradresse an den Depotspeicher gelangt.

In Fig. 13 ist derjenige Teil des Depotspeichers 24 gezeigt, der sich besonders auf die Depotspeicheradressierung und die Hauptspeicheradressierung bezieht. Diese Schaltung unterteilt den Depotspeicherzyklus und behält den beiden Unterzyklen bestimmten Funktionen vor. Der erste Unterzyklus ist dazu bestimmt, eine Leseadresse des zentralen Prozessors zu verarbeiten; der zweite Unterzyklus ist entweder für die Verarbeitung einer Leseadresse eines Leitungsanschlusses zur Vornahme einer Depotspeicherprüfung oder für das Schreiben in den Depotspeicher vorgesehen. Das Schreiben in den Depotspeicher kann entweder darin bestehen, dass ein Ungültig-Bit einer bestimmten Depotspeichereintragung geschrieben wird, nachdem eine Depotspeicherüberprüfung (ausgeführt in einem vorangehenden Zyklus) ergeben hat, dass ein Zustand mit Kennzeichenübereinstimmung besteht, oder aber dass in den Daten- und Kennzeichenspeicher des Depotspeichers geschrieben wird, um diesen aufzudatieren, nachdem ein Ausstand aus dem Hauptspeicher 16 behoben wurde oder nach einem Schreiben des zentralen Prozessors in den Hauptspeicher.

Die Schaltung von Fig. 13 erhält Adressen aus zwei Quellen. Eine Adresse (MA 0–23) wird vom zentralen Prozessor 12 für eine Speicheroperation (Lesen oder Schreiben) zugeführt und die andere Adresse (BMA 0–23) vom Leitungsanschluss 22 für eine Depotspeicherüberprüfung oder Ungültigmachung (als Ergebnis einer Schreiboperation eines Leitungsanschlusses in den Hauptspeicher). Die Schaltung gemäss Fig. 13 bestimmt, welche Adresse für einen Vergleich zum Vergleicherkreis von Fig. 14 gelangt und auch welche Adresse zum Hauptspeicher 16 für die Speicheroperation gelangt. Im allgemeinen weist diese Schaltung zwei Multiplexer 102 und 104 auf zur Auswahl des Indexes und des Kennzeichens, das an den Depotspeicher und Vergleicher von Fig. 14 angelegt werden soll; ferner Verriegelungen 110 und 108 zum Halten der eingegebenen Adresse des zentralen Prozessors, um diese im Falle eines Depotspeicherausstandes an den Hauptspeicher 16 anzulegen sowie einen Multiplexer 112 zur Wahl der Adresse, die für eine Speicheroperation an den Hauptspeicher 16 gesandt werden soll.

Es ist zu beachten, dass die Schaltung gemäss Fig. 13 ohne Bezug darauf arbeitet, ob die Speicheroperation des zentralen Prozessors ein Lese- oder Schreibvorgang ist. Das Signal «Lesen» von Fig. 15 wird in Fig. 14 eingegeben, wo das Depotspeicher-Ausstandssignal nur für den Lesevorgang erzeugt wird. Für einen Schreibvorgang des zentralen Prozessors werden alle Operationen bis zur Erzeugung eines Depotspeicher-Ausstandssignals ausgeführt, die Erzeugung des Ausstandssignals jedoch ausgenommen. Da dieser Unterzyklus der Verarbeitung einer Speicheroperationsadresse des zentralen Prozessors vorbehalten ist, könnten während des Unterzyklus keine weiteren Operationen mehr vorgenommen werden, weshalb diese «verschwendeten» Operationen keine Zeit kosten.

Wie Fig. 13 weiterhin zu entnehmen ist, enthält der Übertragungsweg 26 Adressleitungen MA 0–23 vom Speicheradressregister 58 des zentralen Prozessors 12 (Fig. 3), der bei LO verriegelt ist, damit der zentrale Prozessor nicht angehalten wird (STCP invers ist auf hoch). Der Übertragungsweg 32 weist die Adressleitungen BMA 0–23 von Leitungsanschluss 22 auf. Die Adresse vom Leitungsanschluss 22 wird in der Verriegelung 100 gespeichert, die (zum Zeitpunkt TA) durch das Signal «BA-Freigabe» von Fig. 17 betätigt wird.

Vom eingelangenden Übertragungsweg 26 aus dem zentralen Prozessor werden die Leitungen 9–20 (welche die Signale übertragen, die den Index ausmachen, siehe Fig. 8) zum Indexauswahlmultiplexer 102 geführt, während die Lei-

tungen 0–8 (das Kennzeichen, siehe Fig. 8) zum Kennzeichenauswahlmultiplexer 104 geführt werden. Der eingelangende Adressenübertragungsweg 32 vom Leitungsanschluss wird über den Zwischenspeicher 106, welcher durch ein Signal «BA SCHREIBEN» (BBAC 1) vom Leitungsanschluss 22 freigegeben wird, in die Schaltung geführt und dann in ähnlicher Weise aufgeteilt; die Leitungen 0–8 (das Kennzeichen) gelangen in den Kennzeichenauswahlmultiplexer 104, während die Leitungen 9–20 in den Indexauswahlmultiplexer 102 gelangen.

Die in den Multiplexer 102 gelangenden Signale werden durch das Synchronisiersignal T12 ausgewählt, während diejenigen, die in den Multiplexer 104 gelangen, durch das Signal T12 invers ausgewählt werden. Demnach werden die Multiplexer 102 und 104 zugleich, jedoch in unterschiedlichem Sinne, geschaltet; der Index des zentralen Prozessors wird durch den Multiplexer 102 übermittelt, wenn das Kennzeichen aus dem Leitungsanschluss durch den Multiplexer 104 übermittelt wird. Aus dem Laufzeitdiagramm von Fig. 12 ist ersichtlich, dass T12 hoch ist während T1 und T2; deshalb ist T12 ein Impuls mit der Breite 80 Nanosekunden.

Die Multiplexer 102 und 104 werden demnach während jedes Depotspeicherzyklus (160 Nanosekunden) zweimal geschaltet. Während der ersten Hälfte des Zyklus werden die A-Eingangssignale (Index des zentralen Prozessors) des Indexauswahlmultiplexers 102 an die Depotspeicher-Adressverriegelung 114 übermittelt und während der zweiten Hälfte des Zyklus werden die B-Eingangssignale übermittelt. Das B-Eingangssignal kann entweder die Leitungsanschlussadresse vom Zwischenspeicher 106 für eine Depotspeicherüberprüfung sein (auf BA-Priorität während eines Schreibvorganges eines peripheren Prozessors in den Hauptspeicher), oder dieselbe Leitungsanschlussadresse (gehalten in Zwischenspeicher 106) für das Schreiben eines Ungültig-Bits (nachdem eine vorgängige Depotspeicherüberprüfung einen Zustand der Kennzeichenübereinstimmung ergeben hat) oder schliesslich eine vorgängig eingegebene Adresse des zentralen Prozessors (von Verriegelung 108). Die vorgängig eingegebene Adresse des zentralen Prozessors ist entweder eine für einen Speicherlesevorgang, welcher einen Depotspeicherausstand ergeben hat, oder eine für einen Speicherschreibvorgang des zentralen Prozessors; in beiden Fällen wird die Adresse nun als Adresse für einen Schreibvorgang zum Aufdatieren des Depotspeichers verwendet.

Während der ersten Hälfte des Zyklus werden die B-Eingangssignale des Kennzeichenauswahlmultiplexers 104 an die Kennzeichenauswahl-Verriegelung 116 übermittelt für die Eingabe in den Kennzeichenvergleicher (Fig. 14); während der zweiten Hälfte des Zyklus werden die A-Eingangssignale von Multiplexer 104 an die Verriegelung 16 übermittelt. Der Sinn dieser zeitlichen Abstimmung wird nachfolgend erläutert.

Die Depotspeicheradressen-Verriegelung 114 wird durch das Signal «Adresstakt» (L1 LA) betätigt und die Kennzeichenauswahl-Verriegelung 116 durch das Signal «Eingabe Kennzeichen Takt» (L1 LA invers).

Für jede Hauptspeicheroperation (einschliesslich der Aufdatierung des Depotspeichers nach einem Ausstand) muss eine Adresse ausgewählt werden, die für die Speicheroperation an den Hauptspeicher 16 angelegt wird. Für jede Operation des zentralen Prozessors, sei es eine Speicheroperation oder irgendeine andere, wird die Adresse des zentralen Prozessors (MA 0–23) mittels des Synchronisiersignals T2 durch die Verriegelung 10 übertragen (vorausgesetzt, dass der zentrale Prozessor 12 nicht angehalten und GT2 hoch ist), und an den Hauptspeicheradressen-Multiplexer 112 sowie an die Verriegelung 108 angelegt. Falls die Operation keine Speicheroperation ist, oder wenn im Falle eines Speicherlesevorganges das Vorhandensein einer Depotspeicherinformation festgestellt wird, wird der Inhalt der Verriegelung 108 nie benötigt. Wenn dagegen ein Speicherausstand vorliegt, dann wird die Adresse mittels der Signale CP (Speicherzugriff-Zyklus des zentralen Prozessors, von Fig. 16), T1 und C1 (von Fig. 15; Zyklus 1, der erste Zyklus der Speicheroperation zur Behebung des Ausstands) durch die Verriegelung 108 an den Multiplexer 102 übertragen, um die Stelle im Datenspeicher 124 des Depotspeichers für den Aufdatierungsschreibvorgang nach Abschluss des Speicherzyklus zu indexieren. Der Kennzeichenteil der Adresse wird als TWO-8 ausgegeben zum Schreiben in den Depotspeicher, wie noch erläutert wird.

Weil der zentrale Prozessor als Antwort auf einen Depotspeicherausstand nach dem Synchronisierintervall TO seines Zyklus angehalten wird, kann er bereits (während TA, TO) eine weitere Adresse an den Depotspeicher für einen Speicherlesevorgang gesandt haben, bevor er durch das Depotspeicher-Ausstandssignal angehalten wird (wie noch beschrieben wird). Die Adresse geht nicht verloren, weil sie in der Verriegelung 110 verbleibt, die nicht betätigt wird, bevor das nächste Synchronisiersignal T2 eintrifft, nachdem das Depotspeicher-Ausstandssignal gelöscht worden ist. Folglich behält die Verriegelung 110 die Adresse für die jeweils nächste Speicheroperation während einer Hauptspeicheroperation zur Behebung eines Depotspeicherausstands, während die Verriegelung 108 die Adresse behält, welche den Ausstand verursacht hat und die für die laufende Operation gerade zum Hauptspeicher gelangt ist. Wenn die Speicheroperation abgeschlossen worden ist und die Daten in den Depotspeicher geschrieben worden sind, wird der Index für das Schreiben in den Depotspeicher von der Depotspeicher-adress-Verriegelung 108 erhalten. Das Kennzeichen wird als TWO-8 (Kennzeichen Schreiben) ausgegeben, um gleichzeitig in den Kennzeichenspeicher 120 des Depotspeichers geschrieben zu werden.

Die wechselnden Eingangssignale in den Hauptspeicher-Adressmultiplexer 112 werden durch das Signal BA (hoch oder tief) vom Prioritätsschaltkreis gemäss Fig. 16 ausgewählt. Die ausgewählten Adressensignale (BMAR 3–20, mit Modulwählsignalen, welche hier nicht von Bedeutung sind) werden zur Adressierung des Hauptspeichers 16 (Fig. 19 sowie an die Speichersteuereinheit 18 (CMA 0–23) ausgegeben. Die Speichersteuereinheit verwendet die Adressensignale, um die Bewegungen auf den Übertragungswegen festzuhalten und für andere hier nicht interessierende Zwecke.

In Fig. 14 ist der Speicherteil des Depotspeichers dargestellt. Diese Darstellung wurde dadurch vereinfacht, dass die Aufteilung des Depotspeichers in gerade und ungerade Teile nicht gezeigt ist, welche für die Erfindung nicht von Bedeutung ist. So ist eigentlich nur eine Hälfte des Speicherteils dargestellt. Um sich die gerade/ungerade Anordnung des Depotspeichers zu vergegenwärtigen, kann man sich Fig. 14 bis zum Flip-Flop 130 als Darstellung des geraden oder des ungeraden Teils des Depotspeichers vorstellen; der jeweils andere Teil besteht dann in einer ähnlichen Struktur (nicht gezeigt), deren Ausgang auch in den Flip-Flop 130 eingegeben wird, um ein einziges Depotspeicher-Ausstandssignal zu ergeben.

Der Depotspeicher 124 ist ein Schreiblesespeicher (RAM), der die Depotspeichereintragungen speichert, während der Kennzeichenspeicher 120 die zugehörigen 9-Bit-Kennzeichen und der «Ungültig»-Bit-Speicher 122 die zugehörigen «Ungültig»-Bits speichert. Die Elemente 124, 122 und 120 werden alle durch den 12 Bit-Index aus der Depotspeicher-Adressverriegelung 114 (Fig. 13) adressiert, welche mittels des «Adress Takt» Signals (L1 LA) (Fig. 13) eingegeben werden. Der Kennzeichenteil des Depotspeichereintrags wird an die Kennzeichenverriegelung 134 ausgelesen.

Der Wortteil des Depotspeichereintrags wird gleichzeitig an die Datenverriegelung 126 ausgelesen.

Die Kennzeichenverriegelung 134 wird durch das Signal «Kennzeichenverriegelung freigeben» (die Synchronisiersignale LO und L2, wobei der hintere Signalrand wirksam ist) gesteuert, um das gespeicherte Kennzeichen an den Kennzeichenvergleicher 132 zu übermitteln.

Der im Multiplexer 104 ausgewählte Adresskennzeichenteil, welcher als CWA 0–8 dargestellt ist, wird von der Verriegelung 116 (Fig. 13) mittels des Signals «Eingabe Kennzeichen Takt» (L1 LA invers) für den Vergleich in den Kennzeichenvergleicher 132 eingegeben. Das Ausstand/Vorhandensein-Ausgangssignal des Vergleichers ist tief, falls die Kennzeichen gleich sind und hoch, falls sie nicht gleich sind. Dieses Ausgangssignal gelangt in einen Ein-Bit-Flip-Flop 130, der durch das Signal «Ausstand Takt» (La invers) abgetastet wird für einen Speicherlesevorgang des zentralen Prozessors, wie er durch das Signal LESEN von Fig. 15 gesteuert wird. Auf einen Speicherschreibvorgang des zentralen Prozessors oder auf einen Leitungsanschlussadressen-Unterzyklus wird kein solches Ausgangssignal erzeugt.

Das Ausstand/Vorhandensein-Bit des Vergleichers 132 gelangt mit dem gespeicherten «Ungültig»-Bit aus Speicher 122 in ein Oder-Tor, bevor es in den Flip-Flop 130 eingegeben wird. Deshalb ergibt sich bei einem Depotspeicherausstand für einen Lesevorgang des zentralen Prozessors entweder ein Zustand nicht übereinstimmender Kennzeichen oder ein «Ungültig»-Bit, dargestellt durch das Signal Depotspeicherausstand (Zustandssignal).

Das Signal Ausstand/Vorhandensein wird in den Flip-Flop 137 von Fig. 15 eingegeben, wie vorstehend beschrieben, der ein inverses Signal «Ausstand verlängert» erzeugt (lediglich während eines Lesevorganges).

Die Daten von Datenspeicher 124 werden mittels des Signals «Daten-Verriegelung freigegeben» (L1 L2) aus der Verriegelung 126 zum Zwischenspeicher 128 übermittelt. Falls die Kennzeichen gleich sind und das Bit von Speicher 122 anzeigt, dass der Eintrag gültig ist, gelangen die Daten von Zwischenspeicher 128 direkt auf dem Übertragungsweg 40 zum Speicherdatenregister 56 des zentralen Prozessors 12 (Fig. 3); das inverse Signal «Ausstand verlängert» vom Flip-Flop 137 gibt die Verriegelung 54 (Fig. 2) frei und sperrt den Zwischenspeicher 128.

Das Bit Ausstand/Vorhandensein vom Kennzeichenvergleicher 132 wird überdies in den Setz-Flip-Flop 146 eingegeben. Während eins nachfolgenden Depotspeicherzyklus, wie er im Zusammenhang mit Fig. 22 beschrieben wird, wird das «Ungültig»-Ausgangssignal an den Dateneingangsanschluss des Ungültig-Bit-Speichers 122 angelegt, um bei der Adresse, die gerade von der Depotspeicher-Adressverriegelung 108 an den Speicher angelegt ist, geschrieben zu werden.

Da das Datenverriegelungs-Freigabesignal nur während des ersten Unterzyklus des Depotspeicherzyklus hoch ist, werden während des zweiten Unterzyklus keine Daten an den zentralen Prozessor 12 freigegeben für eine Depotspeicherüberprüfung, einen Ungültig-Schreibvorgang oder einen Depotspeicher-Datenschreibvorgang.

Auf Fig. 11 zurückkommend, ist festzuhalten, dass das Depotspeicher-Ausstandssignal den zentralen Prozessor durch die Invertierung von GT 2 anhält, was die Synchronisierimpulse T1 und T2 sperrt. Der zentrale Prozessor wird demnach nach dem Synchronisierimpuls TO angehalten. Falls kein Leitungsanschluss einen Hauptspeicherzugriff anfragt, erzeugt die Prioritätsschaltung von Fig. 16 das Signal CP (BA invers). Der Depotspeicherausstand kann zugleich behoben werden.

Um einer Leseanforderung des zentralen Prozessors auf einen Depotspeicherausstand hin nachzukommen, werden die Modulauswahl-Bits (nicht dargestellt) und die Adresssignale BMAR 3–20 (von Fig. 13) an den Hauptspeicher 16 (Fig. 19) übermittelt, zusammen mit Synchronisier- und Steuersignalen von Fig. 15, um das adressierte Doppelwort auszuwählen. Drei Befehlszyklen sind erforderlich, um den Hauptspeicherzugriff zu vollenden. Das Doppelwort wird durch die Speichersteuereinheit 18 auf den Übertragungsweg 44 geleitet und dann auf dem Übertragungsweg 52 zur Datenverriegelung 54 (Fig. 2) des zentralen Prozessors übermittelt; das Signal «Ausstand verlängert» erlaubt die Eingabe der Daten in das Speicherdatenregister 56 (Fig. 13).

Das Depotspeicher-Ausstandssignal wird zum Zeitpunkt LO gelöscht, wenn die Speichersynchronisiereinheit von Fig. 15 festgestellt hat, dass der letzte der drei Hauptspeicheroperationszyklen erreicht worden ist, die für einen den zentralen Prozessor betreffenden Speicher-Lesevorgang erforderlich sind (LC, LCM24 und LCP; LCM 26 ist das verriegelte Speichersteuersignal CM 24 von Fig. 18, das für einen Lesevorgang immer hoch ist). Diese Eingangssignale werden zusammen als Signal «Ausstand Löschen» bezeichnet, das ebenfalls in die Schaltung von Fig. 15 eingegeben wird, wo es das Lesen-Signal löscht.

Als Antwort auf das gelöschte Depotspeicher-Ausstandssignal (das inverse Signal Ausstand geht auf hoch) wird das Signal STCP (Stop zentraler Prozessor) zum Zeitpunkt LO (Flip-Flop 135, Fig. 15) investiert. Wie sich wieder aus Fig. 11 ergibt, erlaubt GT2 den Impulsen T1, T2 an den zentralen Prozessor zu gelangen, wenn das inverse Ausstandssignal auf hoch geht, wodurch der Prozessor in der Zyklusmitte seine Arbeit wieder aufnimmt. GT1 gestattet darauf die Ausgabe der Impulse TA, TO. Der zentrale Prozessor setzt dann seine Tätigkeit fort, bis ein weiterer Depotspeicherausstand auftritt (oder falls nicht ein Hauptspeicherschreibvorgang erfolgt, was hier aber nicht von Bedeutung ist).

Zur detaillierten Erläuterung und unter Hinweis auf das Laufzeitdiagramm von Fig. 23 sei erwähnt, dass das inverse Signal STCP normalerweise auf hoch steht. Es wird tief im Falle eines Schreibvorganges des zentralen Prozessors in den Hauptspeicher, was hier nicht beschrieben ist, oder als Antwort auf das Ausstand-Signal von Flip-Flop 130 (Fig. 14) wie in Fig. 15 ersichtlich. STCP invers geht zum Zeitpunkt L1 auf tief. Wie sich aus Fig. 11 ergibt, ist STCP invers das Eingangssignal für den Löscheingang des GT1 Flip-Flop 61; wenn STCP invers auf tief geht, wird GT1 invers tief gesetzt, wodurch die nächsten TA, TO Impulse an den zentralen Prozessor 12 gesperrt werden, und GT1 wird auf hoch gesetzt.

Bei Fehlen eines Depotspeicher-Ausstandssignals (d.h. im Falle eines Schreibvorganges des zentralen Prozessors in den Hauptspeicher) gelangt das Signal GT1 in den D-Eingang des GT2 Flip-Flop; danach beim nächsten LO Impuls geht das Signal GT2 invers auf tief, wodurch die nächsten TL, T2 Impulse an den zentralen Prozessor 12 gesperrt werden. Wenn das Signal STCP invers beim Impuls L1 wieder auf hoch geht (nachdem der Schreibvorgang eingeleitet ist), geht GT1 invers beim Impuls L2 auf hoch (Synchronisiersignale TA, TO sind zugelassen) und GT2 invers geht beim nächsten Impuls LO auf hoch (Synchronisierimpulse T1, TA sind zugelassen). Deshalb wird der zentrale Prozessor 12 im Fall eines Hauptspeicherschreibvorganges bei TA angehalten und arbeitet bei diesem Impuls wieder weiter.

Im Falle, dass der zentrale Prozessor wegen eines Depotspeicherausstandes anhält, wird das Depotspeicherausstandssignal bis zu LO, in der Mitte des TA-Impulses, nicht erzeugt. Deshalb muss in diesem Fall ein anderer Anhaltszeitpunkt (und Zeitpunkt der Wiederaufnahme der Arbeit) vorgesehen werden. Zu diesem Zweck wird das inverse Ausstandssignal mit dem Signal GT1 in einer UND-Schaltung verarbeitet, um an den D-Eingang des GT2 Flip-Flop 63 zu

gelangen. Das inverse Ausstandssignal wird überdies mit dem Ausgangssignal GT2 invers des Flip-Flop 63 in einer UND-Schaltung kombiniert. Deshalb wird das Torsignal GT2 hoch gesetzt, wenn das inverse Ausstandssignal tief geht, wodurch die T1, T2-Impulse gesperrt und der zentrale Prozessor in der Mitte des Befehlszyklus angehalten wird. GT1 invers wird daraufhin (bei L1) mittels STCP tief gesetzt.

Nachdem die Depotspeicheraufdatierung abgeschlossen ist, wobei in den Datenspeicher des Depotspeichers (während der Zeit TA des zweiten Depotspeicher-Unterzyklus innerhalb des letzten Hauptspeicherzyklus, wie noch beschrieben wird) geschrieben wurde, wird das Depotspeicherausstandssignal von Flip-Flop 130 gelöscht (Fig. 14). Das inverse Ausstandssignal geht bei LO auf hoch; STCP invers geht bei L1 auf hoch (Fig. 15). Der Übergang des inversen Ausstandssignals setzt GT2 bei LO auf tief, was die Ausgabe der Synchronisierimpulse T1, T2 an den zentralen Prozessor 12 erlaubt. Danach geht GT1, invers bei L2 auf hoch und gibt die Impulse TA, TO frei. Der Befehlszyklus des zentralen Prozessors nimmt deshalb seine Arbeit in der Mitte des Zyklus wieder auf, wo er aufgehört hat.

Der Datenspeicher des Depotspeichers wird nach einem Depotspeicherausstand oder während eines Schreibvorganges des zentralen Prozessors in den Hauptspeicher mittels eines Depotspeicherschreibvorganges aufdatiert. Gemäss Fig. 20 steuert die Depotspeicherschreibschaltung 150 das Schreiben des Depotspeicherinhaltes nach einem Depotspeicherausstand und steuert auch das Schreiben eines Depotspeicher Ungültig-Bits nach einer Kennzeichenübereinstimmung auf einen Vergleich der Leitungsanschlussadresse hin. Zum Schreiben des Ungültig-Bits wird der (inverse) Ungültig-Bit (von Flip-Flop 146, Fig. 14) in die Schaltung 150 eingegeben. Zum Schreiben in den Datenspeicher des Depotspeichers werden die Steuersignale LCM 24 und MCM 24 sowie die Schreibsteuersignale SCHREIBEN 8, SCHREIBEN 16, SCHREIBEN 32 oder SCHREIBEN 64 (von Fig. 15) eingegeben.

Das Schreiben in den Datenspeicher des Depotspeichers erfolgt für einen Hauptspeicherschreibvorgang oder für einen Lesevorgang zu unterschiedlichen Zeiten, wie sich im Zusammenhang mit Fig. 23 zeigt. Alle Schreibvorgänge erfolgen zum Zeitpunkt TA, d.h. während des Unterzyklus B des Depotspeicherarbeitszyklus. Für einen Hauptspeicherschreibvorgang werden die Schreibimpulse zu den Zeiten TA der Speicherzyklen C1 und C2 (Fig. 5) ausgegeben, während für einen Hauptspeicherlesevorgang (Depotspeicheraufdatierung) die Schreibimpulse zum Zeitpunkt TA des Speicherzyklus C3 (LC, letzter Zyklus) ausgegeben werden. Schreibvorgänge des Ungültig-Bits erfolgen ebenfalls zur Zeit TA während jedes Zyklus des Hauptspeicherzyklus. Da alle Schreibvorgänge im zweiten Unterzyklus des Depotspeicherarbeitszyklus erfolgen, können die Depotspeicherschreibvorgänge nicht in Konflikt geraten mit der Annahme einer Speicherleseanfrage des zentralen Prozessors während dem ersten Depotspeicherunterzyklus.

Die Depotspeicherschreibimpulse werden in passender Weise in den Kennzeichenspeicher 120, den Ungültigkeitsspeicher 122 und den Datenspeicher 124 (Fig. 14) eingegeben.

Die Zuordnung der Depotspeicherunterzyklen zu bestimmten Funktionen, wie erläutert, und insbesondere die Zuordnung des ersten Unterzyklus zur ausschliesslichen Annahme einer Speicherleseanfrage des zentralen Prozessors, hat zur Folge, dass eine Adresse des zentralen Prozessors für einen Speicherlesevorgang immer angenommen wird, einmal in jedem Zyklus, zum Zwecke des Vergleichs ihres Kennzeichens mit dem Depotspeicherinhalt. Falls das Vorhandensein im Depotspeicher feststeht, werden die angefragten Daten innerhalb der TA-Periode des nächsten Mikroinstruktionszyklus des zentralen Prozessors an diesen übermittelt. Der zentrale Prozessor ist deshalb in der Lage, pausenlos zu arbeiten.

Falls ein Depotspeicherausstand vorliegt, wird der zentrale Prozessor angehalten und kann gezwungen sein, mehrere Zyklen zu warten, bis er einen Hauptspeicherzugriff erhält, was nur erfolgt, wenn sich kein Leitungsanschluss um einen Zugriff bewirbt. Wenn die Daten aus dem Hauptspeicher erhalten worden sind, werden sie während des zweiten Unterzyklus des Depotspeicherzyklus unverzüglich an den zentralen Prozessor geliefert und wenn der zentrale Prozessor als Antwort auf den Umstand, dass das inverse Depotspeicherausstandssignal auf hoch geht, wieder anläuft, startet er in einer Arbeitsphase, als ob ein Depotspeicherausstand aufgetreten wäre. In den Datenspeicher des Depotspeichers wird während des zweiten Depotspeicherunterzyklus geschrieben, nachdem der zentrale Prozessor wieder angelaufen ist.

Der Depotspeicher wird nur während eines zweiten Unterzyklus des Depotspeicherarbeitszyklus auf Übereinstimmung von Leitungsanschlusskennzeichen überprüft. Bei einem Zustand übereinstimmender Kennzeichen wird der Flip-Flop 146 gesetzt und beim nächsten zweiten Unterzyklus (nachdem der zentrale Prozessor seine Gelegenheit, eine Speicherleseanfrage einzugeben, gehabt hat) wird das Ungültig-Bit an der übereinstimmenden Adresse durch die Depotspeicherschreiblogik 150 (Fig. 20) geschrieben. Jeder folgende Versuch durch den zentralen Prozessor, diese Stelle im Depotspeicher zu lesen, führt zur Erzeugung eines Depotspeicher-Ausstandssignal und der Depotspeicher wird wie beschrieben aufdatiert.

Als Folge dieser Zuordnung der Depotspeicherunterzyklen wird der Schreibvorgang in den Depotspeicher (entweder das Schreiben eines Ungültig-Bits, das Aufdatieren eines Doppelwortes als Antwort auf einen Depotspeicherausstand oder das Aufdatieren des Depotspeichers nach einem Schreibvorgang des zentralen Prozessors in den Hauptspeicher) «transparent» für die Speicherlesevorgänge des zentralen Prozessors. Der zentrale Prozessor braucht nie zu warten, während ein solcher Schreibvorgang ausgeführt wird. Insbesondere ist, im Unterschied zu Anordnungen in vielen Datenverarbeitungsmaschinen mit Depotspeicher, kein «zugeordneter» Depotspeicherzyklus nötig zur Aufdatierung des Depotspeichers nach Feststellung eines Ausstandes, bevor der zentrale Prozessor die Arbeit wieder aufnehmen kann. Ferner kann der zentrale Prozessor sogleich (bei seinem nächsten Mikrobefehlszyklus) eine Stelle lesen, die soeben nach einem Ausstand aufdatiert worden ist. Wenn der zentrale Prozessor versucht, eine Stelle zu lesen, die soeben der Ort eines Hauptspeicherschreibvorganges gewesen ist, können Anomalien auftreten, jedoch wird diese Situation leicht durch geeignete Vorsorgen im Mikroprogramm des zentralen Prozessors vermieden.

Anhand der Diagramme der Fig. 21, 22 und 23 wird nun die Arbeitsweise der Erfindung erläutert.

In Fig. 21 sind die Abläufe bei einem Speicherlesevorgang des zentralen Prozessors dargestellt.

Der Speicherlesemikrobefehl des zentralen Prozessors beginnt zur Zeit TA und dauert bis T2. Beim positiven Rand von LA invers wird die Adresse vom Speicheradressregister 58 (Fig. 3) für den Depotspeicher 24 zugänglich. Während T12 tief ist, werden die A-Eingangssignale an den Index-Multiplexer 102 (Fig. 13) ausgewählt und übermitteln den Index des zentralen Prozessors an die Depotspeicheradressverriegelung. Der «Adressen Takt» (L1, LA) geht bei L1 auf hoch und übermittelt den Index des zentralen Prozessors von der Verriegelung 114 zur Adressierung des Depotspeichers (Fig. 14). In der Folge werden die Daten aus dem Datenspeicher 124 ausgegeben und während L1 L2 (80 Nano-

sekunden) aus der Verriegelung 126 entlassen. Diese Daten werden bei TA in das Speicherdatenregister 56 (Fig. 3) des zentralen Prozessors verschoben. Im Falle des Auffindens einer Information im Depotregister fährt der zentrale Prozessor ohne Pause mit seinem nächsten Mikrobefehlszyklus weiter.

Wenn T12 auf hoch geht, geht T12 invers auf tief und die A-Eingangssignale (Kennzeichen des zentralen Prozessors) des Kennzeichenauswahlmutliplexers 104 werden ausgewählt und an die Kennzeichenauswahlverriegelung 116 übermittelt. Das Signal «Eingabe Kennzeichen Takt» (L1 invers, LA invers) liest das Kennzeichen an den Vergleicher 132 (Fig. 14) aus. Das gespeicherte Kennzeichen wird gleichzeitig mit den gespeicherten Daten aus dem Kennzeichenspeicher 120 ausgelesen, als Antwort auf den eingegebenen Index von Verriegelung 114; der negativ verlaufende Rand des Signals «Kennzeichen Verriegelung freigeben» (LO, L2) übermittelt das gespeicherte Kennzeichen an den Vergleicher. Das Ausstand/Vorhandensein-Ausgangssignal des Vergleichers 132 wird in den Flip-Flop 130 eingegeben, der bei LA invers abgetastet wird («Ausstand Takt»). Im Falle eines Depotspeicherausstandes veranlasst das in den Flip-Flop 135 (Fig. 15) eingegebene Ausstandssignal das Signal STCP zum Invertieren bei LO invers.

Wie in Fig. 21 dargestellt ist, wird das Ausstandssignal erst erzeugt, nachdem die Depotspeicherdaten bereits zum Speicherdatenregister des zentralen Prozessors 12 übermittelt worden sind. Falls kein Ausstand vorliegt, fährt der zentrale Prozessor mit diesen Daten fort. Falls ein Ausstand vorliegt, wird der zentrale Prozessor nach TO gestoppt (wie im Zusammenhang mit Fig. 23 zu beschreiben ist); die Daten werden durch einen Hauptspeicherlesevorgang ersetzt, bevor der zentrale Prozessor seine Arbeit wieder aufnimmt.

In Fig. 22 ist die Depotspeicherüberprüfung und die Ungültigmachungsoperation dargestellt. Diese Operationen werden nur auf einen Schreibvorgang hin eines Leitungsanschlusses (peripherer Prozessor) an den Hauptspeicher ausgelöst. Für einen solchen Vorgang sendet der Leitungsanschluss das Signal MRBA an die Schaltkreise von Fig. 16 und 17, welche das BA-Prioritätssignal sowie das BA-Freigabesignal erzeugen. Das BA-Freigabesignal geht bei TA auf hoch. Eine Hauptspeicheroperation wird durch den Schaltkreis von Fig. 15 ausgelöst, beginnend mit Zyklus 1 (C1) bei TO. Das Speicherzugriffssteuersignal BAC 1 wird als BBAC 1 verriegelt, wenn die Speicheroperation beginnt. Wenn T1, T2 hoch sind, werden die B-Eingangssignale (BA-Index) in den Multiplexer 102 ausgewählt und an die Adressverriegelung 114 ausgegeben. Das Signal «Adressen Takt» (L1, LA) veranlasst die Ausgabe des BA-Index an den Depotspeicher (Fig. 14). Keine Daten werden an den zentralen Prozessor übermittelt.

Die B-Eingangssignale (BA Kennzeichen) an den Multiplexer 104 werden ausgewählt, wenn T1, TA invers auf hoch geht; das BA-Kennzeichen wird an die Kennzeichenauswahlverriegelung 116 übermittelt. Das Signal «Eingabe Kennzeichen TAkt» (L1 invers, LA invers) veranlasst die Ausgabe des Kennzeichens an den Vergleicher 132. Das gespeicherte Kennzeichen wird aus der Kennzeichenverriegelung 134 mittels des Signals «Kennzeichen Verriegelung Freigeben» (LO, L2) an den Vergleicher 134 ausgegeben. Der Ausstand/Vorhandensein-Bit wird in den Ungültigmachungs-Flip-Flop 146 (Fig. 14 eingegeben, der durch das Signal «Ungültig Takt» bei L2 abgetastet wird. Im Fall einer Kennzeichenübereinstimmung geht das Ausgangssignal INV invers (normalerweise hoch) auf tief.

Das Signal INV invers wird in die Depotspeicherschreibschaltung gemäss Fig. 20 eingegeben, wo es einen Depotspeicherschreibimpuls erzeugt, der bei TA ausgegeben wird. Das Ausgangssignal INV des Flip-Flop 146 bilden die Daten, welche in den Ungültig-Bit-Speicher 122 (Fig. 14) eingegeben werden, wenn der Depotspeicherimpuls eingegeben wird. Die Adresse, bei welcher das Signal INV geschrieben wird, ist dieselbe, wie die, bei welcher die Kennzeichenspeicherübereinstimmung gefunden wurde, da die Adresse im Zwischenspeicher 106 während des gesamten Hauptspeicherschreibvorganges des Leitungsanschlusses behalten wird (es kann keine weitere Leitungsanschluss-Adresse eingegeben werden, bis die Speicheroperation abgeschlossen ist, was nach mehreren Depotspeicheroperationszyklen eintreffen mag). Der Ungültig-Schreibvorgang kann während jedem Depotspeicherzyklus durch die gesamte Hauptspeicheroperation hindurch wiederholt werden; dies verursacht kein Problem. Man beachte, dass während der gesamten Leitungsanschluss-Hauptspeicheroperation, einschliesslich der Ungültig-Schreibvorgänge, der zentrale Prozessor weiterhin bei jedem Depotspeicherzyklus die Gelegenheit hat, den Depotspeicher zu lesen. Falls einer der Lesevorgänge des zentralen Prozessors zur Feststellung eines Depotspeicher-Ausstandes führt, muss der zentrale Prozessor bis zur Vollendung der Leitungsanschluss-Hauptspeicheroperation angehalten werden; falls keine weitere solche Operationen ansteht, erhält der zentrale Prozessor durch die Schaltung von Fig. 16 die Speicherpriorität und der Hauptspeicherlesevorgang sowie die Depotspeicheraufdatierung können weitergehen.

In Fig. 23 sind die Ereignisse bei einem Depotspeicherausstand und beim Aufdatieren gezeigt. Das inverse Ausstandssignal geht bei LO auf tief (Fig. 14); das inverse Signal STCP geht bei L1 (Fig. 15) auf tief. Der zentrale Prozessor 12 wird nach TO angehalten. Die Hauptspeicheroperation umfasst drei Zyklen; in den Speicher wird während der Zyklen 1 und 2 geschrieben und aus dem Speicher während des Zyklus 3 gelesen. Der Depotspeicherschreibimpuls zur Aufdatierung des Depotspeichers nach einem Ausstand wird während des letzten Zyklus (C3) erzeugt, da der Hauptspeicher gelesen werden muss, bevor in den Depotspeicher geschrieben werden kann. Das inverse Ausstandssignal geht bei LO während des letzten Hauptspeicherzyklus wieder auf hoch; das Signal STCP invers geht bei L1 auf hoch. Der zentrale Prozessor wird beim Impuls T1 wieder in Betrieb gesetzt.

Für einen Speicherschreibvorgang des zentralen Prozessors werden die Depotspeicherschreibimpulse bei TA während der Zyklen 1 und 2 ausgegeben; der zentrale Prozessor wird nach dem Beginn der Speicheroperation wieder in Betrieb gesetzt. Der zentrale Prozessor 12 kann deshalb während jedes Unterzyklus A den Depotspeicher lesen, während der Depotspeicherschreibvorgang während des Unterzyklus fortgesetzt wird.

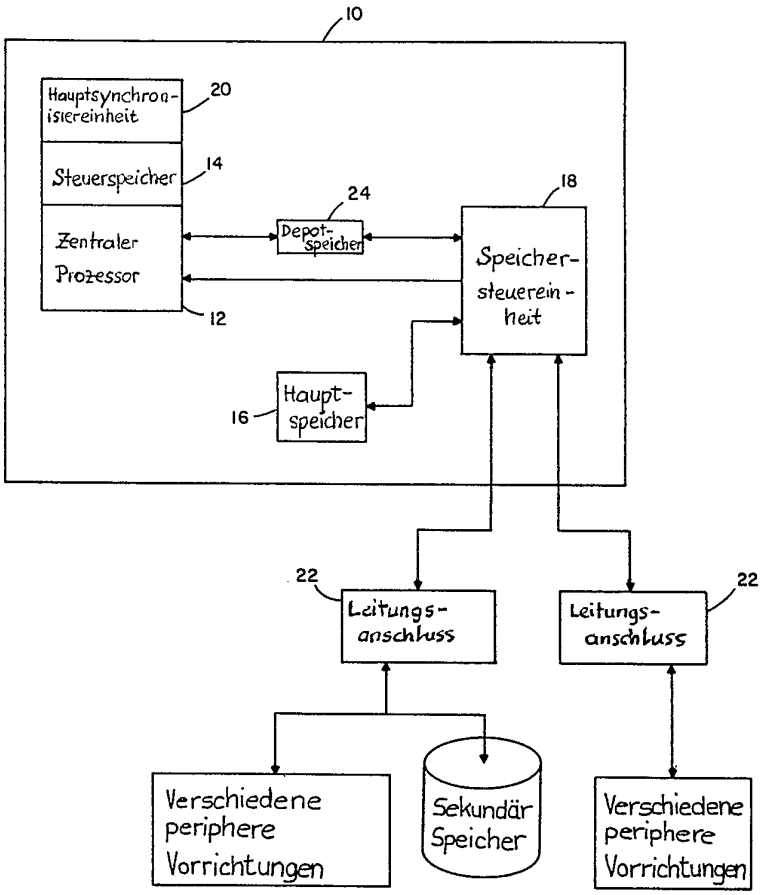


FIG. 1

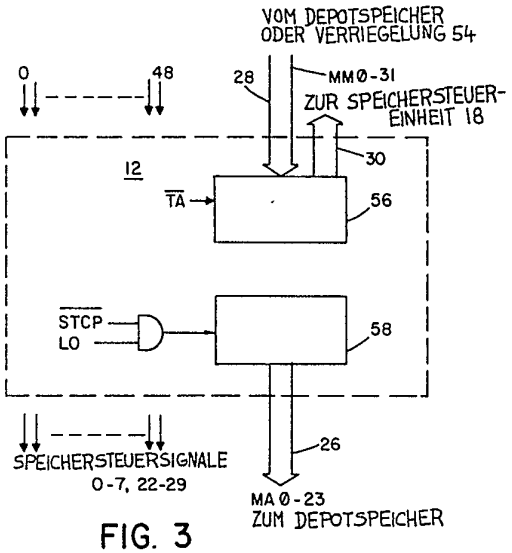


FIG. 3

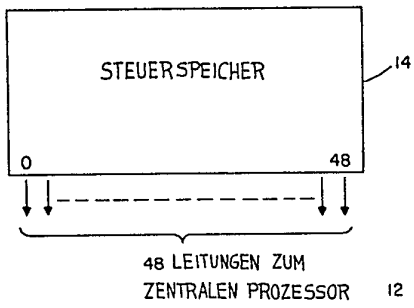


FIG 10

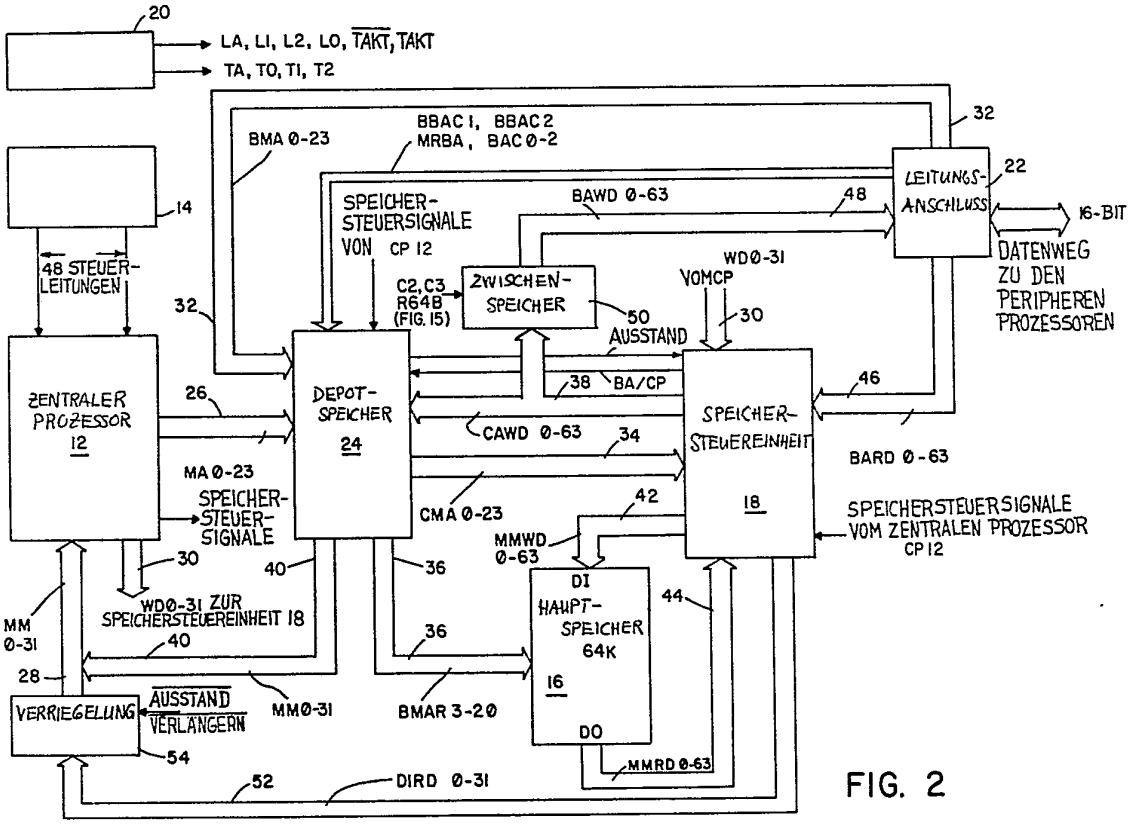

20
LA, LI, L2, LO, TAKT, TAKT
TA, TO, TI, T2
BMA 0-23
BBAC 1, BBAC 2
MRBA, BAC 0-2
32
LEITUNGS-ANSCHLUSS
22
16-BIT
DATENWEG ZU DEN PERIPHEREN PROZESSOREN
14
48 STEUER-LEITUNGEN
SPEICHER-STEUERSIGNALE VON CP 12
BAWD 0-63
48
WD0-31
VOMCP
C2, C3 R64B (FIG. 15)
ZWISCHEN-SPEICHER
50
AUSSTAND
30
32
ZENTRALER PROZESSOR 12
26
DEPOT-SPEICHER 24
38
BA/CP
SPEICHER-STEUEREINHEIT 18
46
CAWD 0-63
34
BARD 0-63
MA 0-23
SPEICHER-STEUER-SIGNALE
CMA 0-23
42
SPEICHERSTEUERSIGNALE VOM ZENTRALEN PROZESSOR CP 12
MMWD 0-63
30
40
36
DI
HAUPT-SPEICHER 64K
16
DO
44
WD0-31 ZUR SPEICHERSTEUEREINHEIT 18
MM 0-31
40
36
28
VERRIEGELUNG
AUSSTAND VERLÄNGERN
MM0-31
BMAR 3-20
MMRD 0-63
54
52
DIRD 0-31

FIG. 2

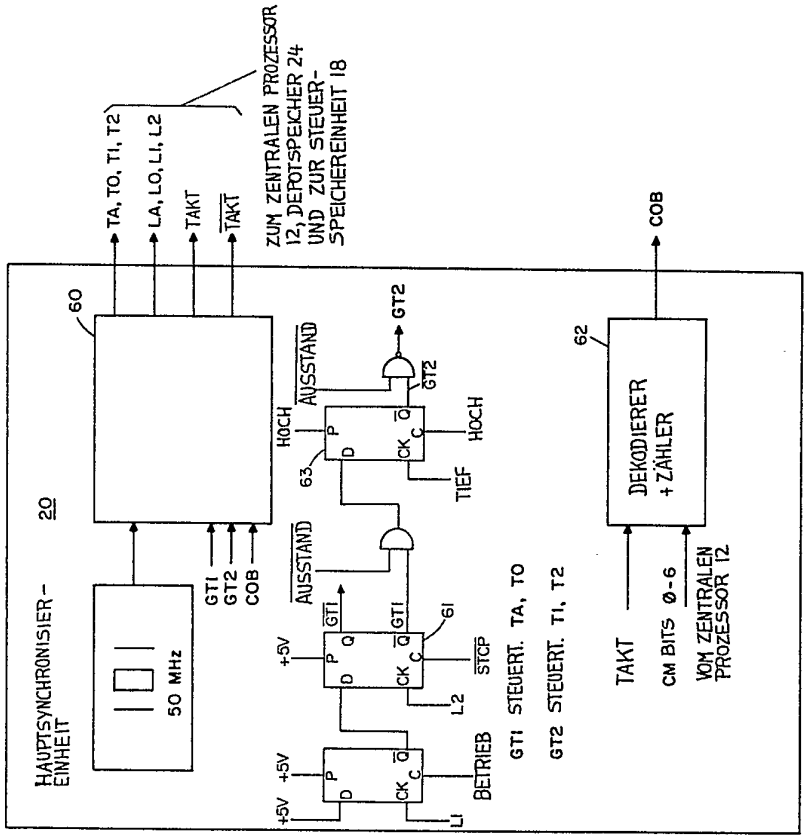


FIG. 11

FIG. 4

FIG. 5

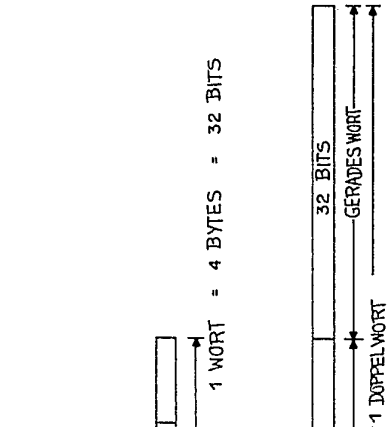


FIG. 6

FIG. 7

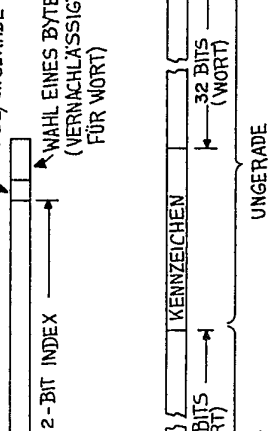


FIG. 8

FIG. 9

FIG. 13

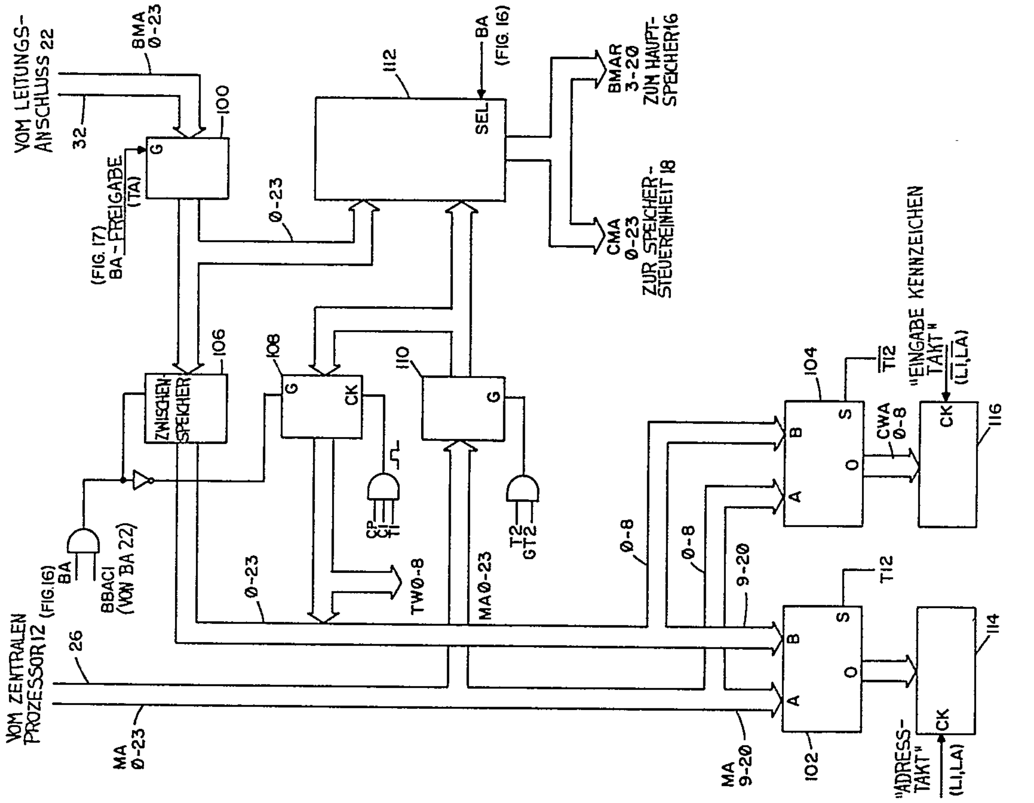
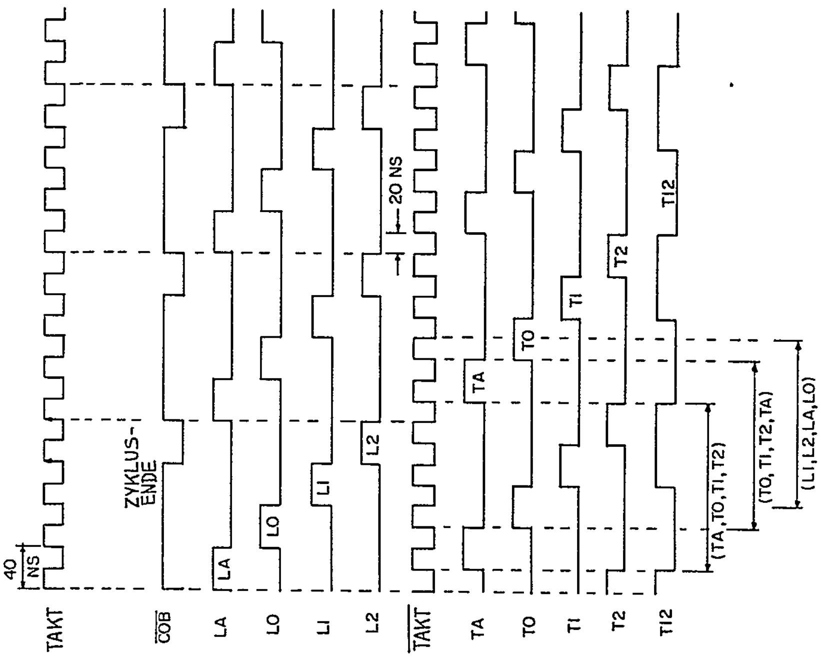

VOM LEITUNGS-ANSCHLUSS 22
BMA Ø-23
112
BA (FIG. 16)
SEL
BMAR 3-20 ZUM HAUPT-SPEICHER16
CMA Ø-23 ZUR SPEICHER-STEUEREINHEIT 18
(FIG. 17) BA-FREIGABE (TA)
ZWISCHEN SPEICHER
"EINGABE KENNZEICHEN TAKT" (LI,LA)
VOM ZENTRALEN PROZESSOR 12
BBACI (VON BA 22)
TWØ-8
MAØ-23
CWA Ø-8
"ADRESS-TAKT" (LI,LA)
MA 9-20

FIG 12


TAKT
COB
LA
LO
LI
L2
TAKT
TA
TO
TI
T2
T12
40 NS
20 NS
ZYKLUS-ENDE
(TA,TO,TI,T2)
(TO,TI,T2,TA)
(LI,L2,LA,LO)

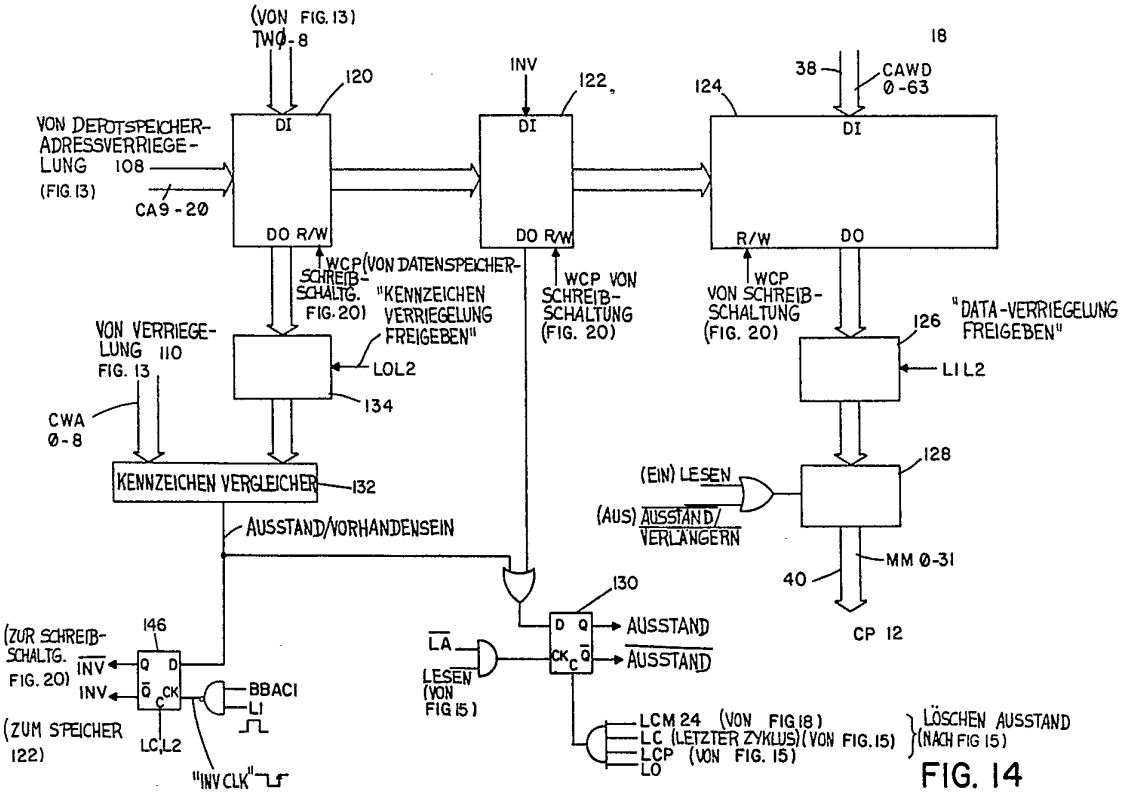

(VON FIG. 13)
TWØ-8
120
INV
122
124
38
CAWD Ø-63
18
VON DEPOTSPEICHER-ADRESSVERRIEGE-LUNG 108
(FIG. 13)
CA9-20
DI
DO R/W
R/W
DO
WCP (VON DATENSPEICHER-SCHREIB-SCHALTG. FIG. 20)
"KENNZEICHEN VERRIEGELUNG FREIGEBEN"
WCP VON SCHREIB-SCHALTUNG (FIG. 20)
WCP VON SCHREIB-SCHALTUNG (FIG. 20)
126
"DATA-VERRIEGELUNG FREIGEBEN"
VON VERRIEGE-LUNG 110 FIG. 13
LOL2
LIL2
134
CWA Ø-8
KENNZEICHEN VERGLEICHER
132
128
(EIN) LESEN
(AUS) AUSSTAND/ VERLÄNGERN
AUSSTAND/VORHANDENSEIN
MM Ø-31
40
CP 12
130
D Q
CK Q
AUSSTAND
AUSSTAND
LA
LESEN (VON FIG 15)
146
(ZUR SCHREIB-SCHALTG. FIG. 20)
INV
INV
Q D
Ø CK
BBACI
LI
(ZUM SPEICHER 122)
LC L2
"INV CLK"
LCM 24 (VON FIG 18)
LC (LETZTER ZYKLUS) (VON FIG. 15)
LCP (VON FIG. 15)
LO
LÖSCHEN AUSSTAND (NACH FIG 15)

FIG. 14

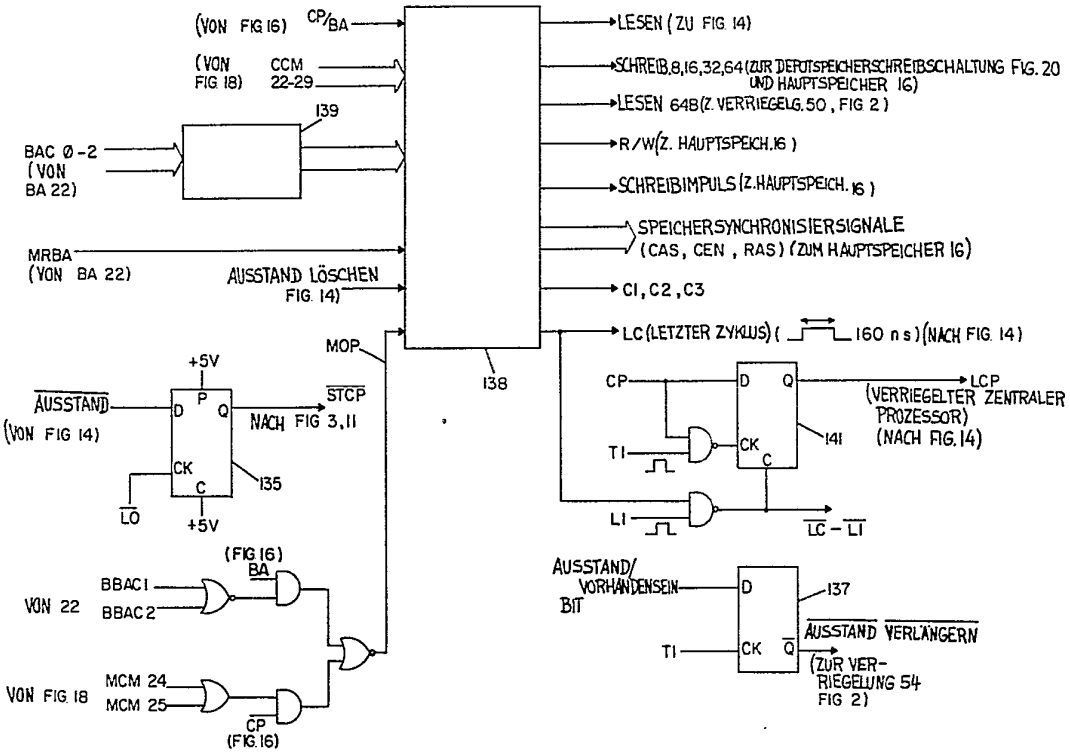


FIG 15

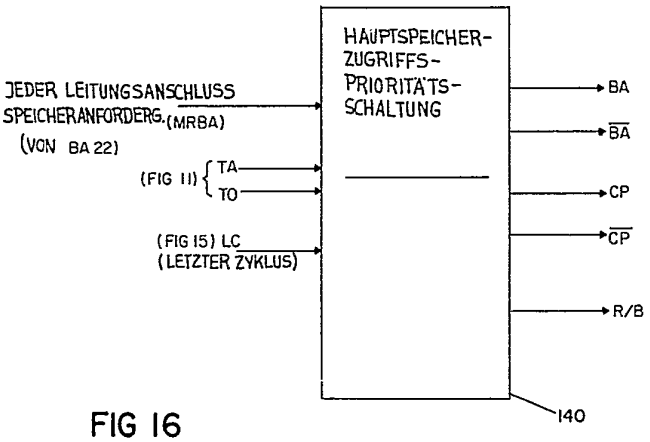


FIG 16

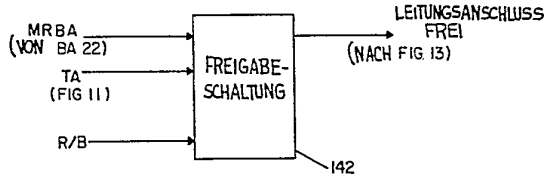
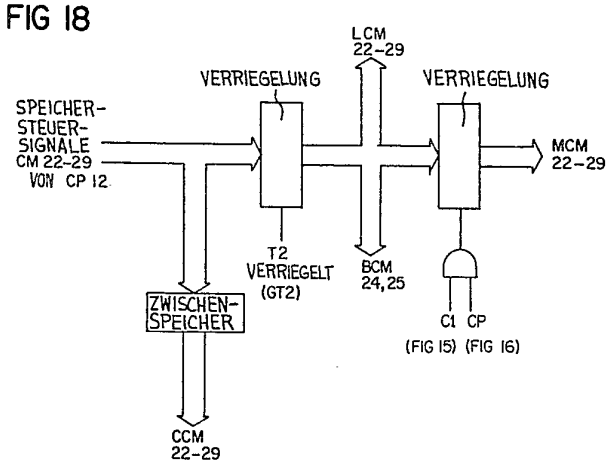


FIG 17

FIG 18



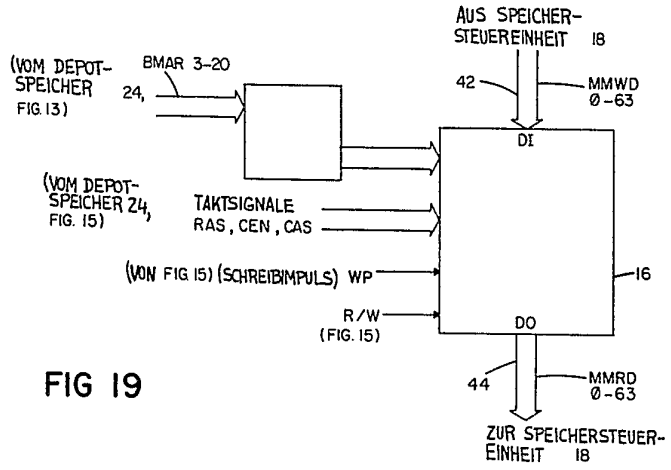


FIG 19

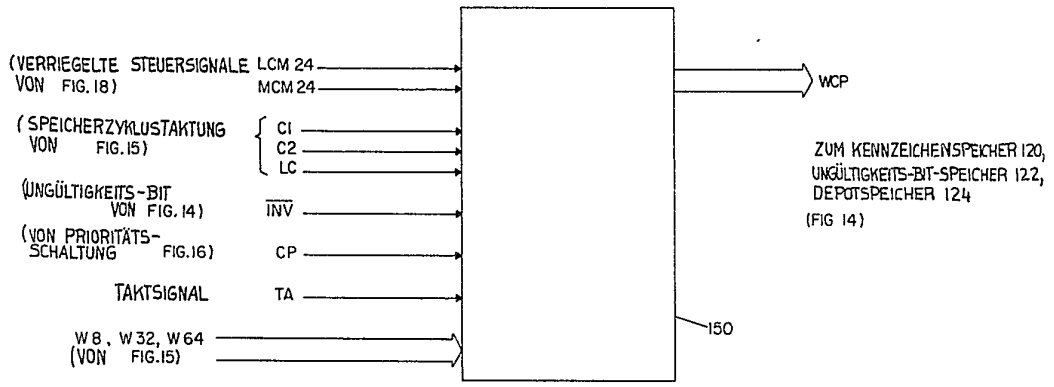


FIG 20

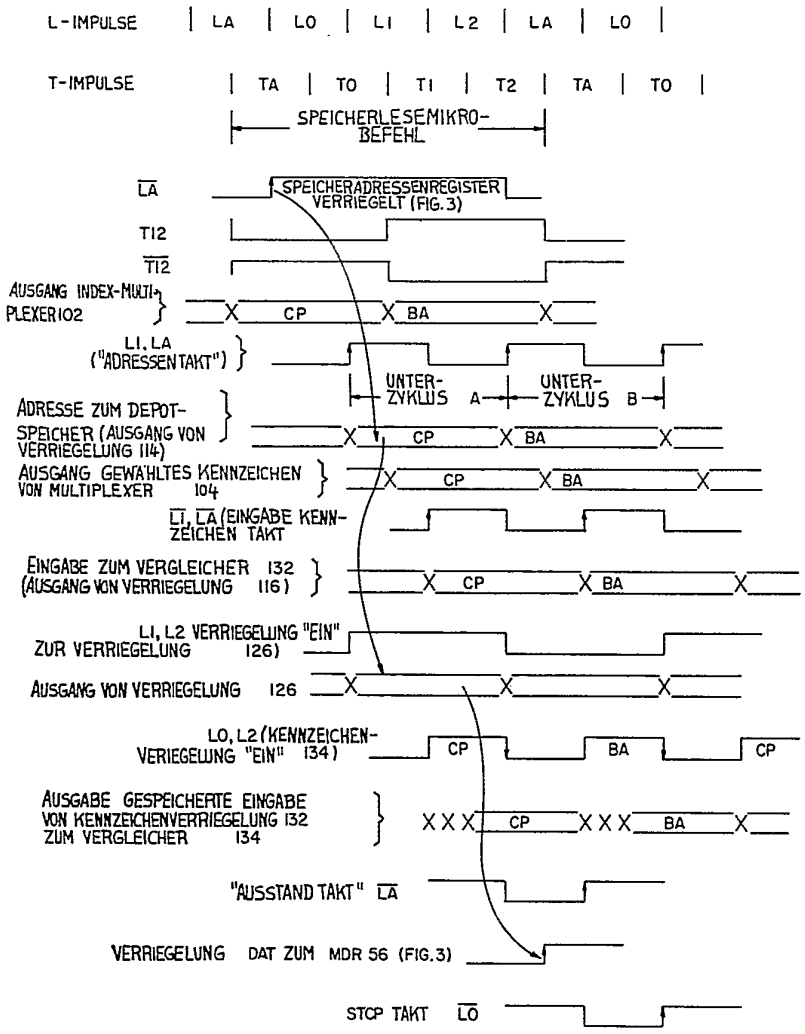

L-IMPULSE
LA
LO
L1
L2
LA
LO
T-IMPULSE
TA
TO
T1
T2
TA
TO
SPEICHERLESEMIKRO-BEFEHL
LA
SPEICHERADRESSENREGISTER VERRIEGELT (FIG. 3)
T12
T12
AUSGANG INDEX-MULTIPLEXER 102
CP
BA
L1, LA ("ADRESSENTAKT")
UNTER-ZYKLUS A
UNTER-ZYKLUS B
ADRESSE ZUM DEPOT-SPEICHER (AUSGANG VON VERRIEGELUNG 114)
AUSGANG GEWÄHLTES KENNZEICHEN VON MULTIPLEXER 104
L1, LA (EINGABE KENNZEICHEN TAKT
EINGABE ZUM VERGLEICHER 132 (AUSGANG VON VERRIEGELUNG 116)
L1, L2 VERRIEGELUNG "EIN" ZUR VERRIEGELUNG 126)
AUSGANG VON VERRIEGELUNG 126
LO, L2 (KENNZEICHEN-VERIEGELUNG "EIN" 134)
AUSGABE GESPEICHERTE EINGABE VON KENNZEICHENVERRIEGELUNG 132 ZUM VERGLEICHER 134
XXX
"AUSSTAND TAKT" LA
VERRIEGELUNG DAT ZUM MDR 56 (FIG. 3)
STOP TAKT LO

FIG 21

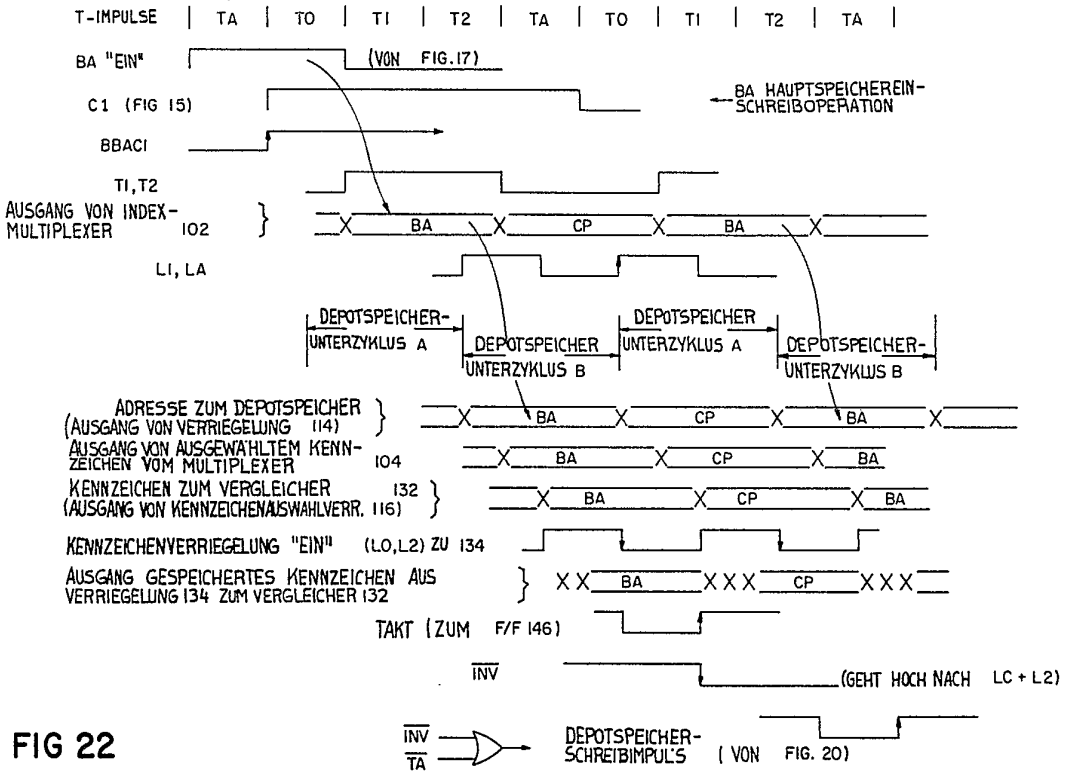

T-IMPULSE | TA | TO | TI | T2 | TA | TO | TI | T2 | TA |
BA "EIN"
(VON FIG. 17)
C1 (FIG 15)
BA HAUPTSPEICHEREIN-SCHREIBOPERATION
BBAC1
TI, T2
AUSGANG VON INDEX-MULTIPLEXER 102
BA
CP
BA
LI, LA
DEPOTSPEICHER-UNTERZYKLUS A
DEPOTSPEICHER UNTERZYKLUS B
DEPOTSPEICHER UNTERZYKLUS A
DEPOTSPEICHER-UNTERZYKLUS B
ADRESSE ZUM DEPOTSPEICHER (AUSGANG VON VERRIEGELUNG 114)
AUSGANG VON AUSGEWÄHLTEM KENNZEICHEN VOM MULTIPLEXER 104
KENNZEICHEN ZUM VERGLEICHER 132 (AUSGANG VON KENNZEICHENAUSWAHLVERR. 116)
KENNZEICHENVERRIEGELUNG "EIN" (LO, L2) ZU 134
AUSGANG GESPEICHERTES KENNZEICHEN AUS VERRIEGELUNG 134 ZUM VERGLEICHER 132
TAKT (ZUM F/F 146)
INV
(GEHT HOCH NACH LC + L2)
INV
TA
DEPOTSPEICHER-SCHREIBIMPULS (VON FIG. 20)

FIG 22

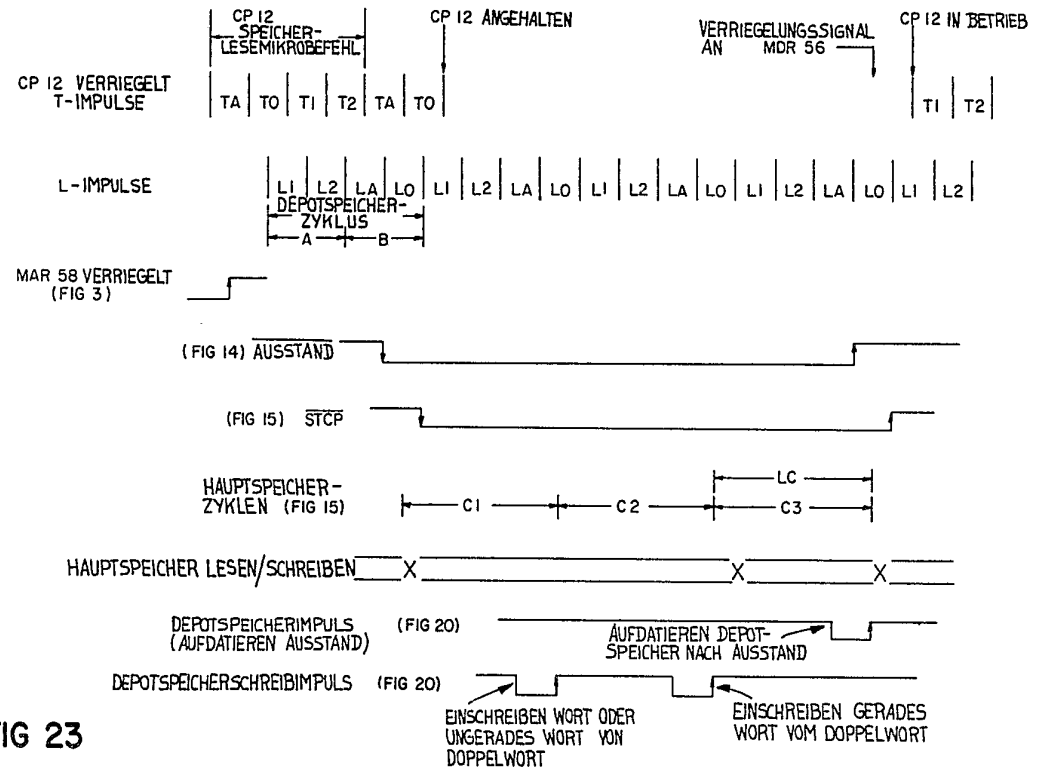

CP 12 SPEICHER-LESEMIKROBEFEHL
CP 12 ANGEHALTEN
VERRIEGELUNGSSIGNAL AN MDR 56
CP 12 IN BETRIEB
CP 12 VERRIEGELT T-IMPULSE
TA | TO | TI | T2 | TA | TO
TI | T2
L-IMPULSE
LI | L2 | LA | LO | LI | L2 | LA | LO | LI | L2 | LA | LO | LI | L2 | LA | LO | LI | L2 | LA | LO | LI | L2
DEPOTSPEICHER-ZYKLUS
A
B
MAR 58 VERRIEGELT (FIG 3)
(FIG 14) AUSSTAND
(FIG 15) STCP
HAUPTSPEICHER-ZYKLEN (FIG 15)
C1
C2
LC
C3
HAUPTSPEICHER LESEN/SCHREIBEN
DEPOTSPEICHERIMPULS (AUFDATIEREN AUSSTAND)
(FIG 20)
AUFDATIEREN DEPOT-SPEICHER NACH AUSSTAND
DEPOTSPEICHERSCHREIBIMPULS (FIG 20)
EINSCHREIBEN WORT ODER UNGERADES WORT VON DOPPELWORT
EINSCHREIBEN GERADES WORT VOM DOPPELWORT

FIG 23