

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 1 月 21 日 (21.01.2016)



(10) 国际公布号
WO 2016/008182 A1

- (51) 国际专利分类号:
G03F 1/00 (2012.01)
- (21) 国际申请号: PCT/CN2014/083742
- (22) 国际申请日: 2014 年 8 月 5 日 (05.08.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410344993.4 2014 年 7 月 18 日 (18.07.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 施明宏 (SHIH, Ming Hung); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 姜佳丽 (JIANG, Jiali); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建/刘华联, Beijing 100052 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: MASK, ARRAY SUBSTRATE MANUFACTURING METHOD, AND ARRAY SUBSTRATE

(54) 发明名称: 一种掩模板、阵列基板制作方法及阵列基板

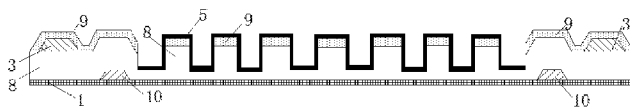


图 8 / FIG. 8

(57) Abstract: A mask, a corresponding array substrate manufacturing method, and an array substrate, applicable in the technical field of liquid crystal displays. The mask comprises an opaque area (5c) and a transparent area. The opaque area (5c) comprises a middle vertical trunk, a middle horizontal trunk, and branches extending from the middle vertical trunk and the middle horizontal trunk. The middle vertical trunk and the middle horizontal trunk respectively form with their branches a certain angle. The transparent area comprises a first transparent part (5d) provided between the branches, a light interference unit provided on the first transparent part (5d), where the light interference unit is used for processing a light of a first light intensity into a light of a second light intensity, and the first light intensity is greater than the second light intensity, and a second transparent part (7a) used for introducing the light of the first light intensity to form a contact hole (7) corresponding to the array substrate. The described arrangement increases the aperture ratio of a pixel unit and the transmittance of a liquid crystal panel.

(57) 摘要: 一种掩模板及对应的阵列基板制作方法和阵列基板, 应用于液晶显示技术领域, 该掩模板包括不透光区域 (5c) 和透光区域, 不透光区域 (5c) 包括中间竖直主干、中间水平主干及从中间竖直主干和中间水平主干延伸出的分支, 中间竖直主干与中间水平主干分别与其分支形成一定夹角; 透光区域包括设在分支之间的第一透光部分 (5d), 在第一透光部分 (5d) 上设置有光干涉单元, 该光干涉单元用以将具有第一光强的光处理为具有第二光强的光, 其中第一光强大于第二光强, 第二透光部分 (7a) 用于将第一光强的光引入以形成对应阵列基板上的接触孔 (7), 上述设置提高了像素单元的开口率以及液晶面板的穿透率。

一种掩模板、阵列基板制作方法及阵列基板

相关申请的交叉引用

本申请要求享有 2014 年 7 月 18 日提交的名称为“一种掩模板、阵列基板制作方法及阵列基板”的中国专利申请 CN201410344993.4 的优先权，该申请的全部内容通过引用并入本文中。

技术领域

本发明涉及液晶显示技术领域，具体地说，涉及一种掩模板及采用该掩模板制作阵列基板的方法和对应的阵列基板。

背景技术

传统的 HVA(High Vertical Alignment, 高垂直排列)像素电极 of Fine Slit (改进的狭缝) 结构形式。其中，狭缝部分不设置像素电极，这就使得该部分对电场的控制力较差，进而对液晶分子的控制力较差。因此，该部分就会出现暗纹，从而损失液晶效率，进而损失液晶面板的穿透率。为改善液晶面板的穿透率，出现了一种新的具有立体结构的像素电极。该立体结构的像素电极覆盖于像素单元的开口区上。

制作具有以上所述立体结构的像素电极的阵列基板，通常同时完成接触孔和立体结构像素电极中绝缘层的蚀刻。也就是说，采用一道掩模板同时实现接触孔和像素电极的立体结构。此种做法可以有效节约掩模板成本和制程时间，但会使立体结构像素电极中的部分绝缘层被全部蚀刻掉。如果此时为了提高液晶面板的开口率而添加屏蔽电极，可能会导致屏蔽电极与像素电极相接触。因此，在这种情况下无法添加屏蔽电极，就会降低液晶面板的开口率。

基于上述情况，亟需一种能形成立体结构像素电极且能提高液晶面板开口率的掩模板及其对应的阵列基板制作方法和阵列基板。

发明内容

为解决上述问题，本发明提供了一种能形成立体结构像素电极且能提高液晶面板开口率的掩模板及其对应的阵列基板制作方法和阵列基板。

根据本发明的一个方面，提供了一种掩模板，所述掩模板包括：

不透光区域，所述不透光区域包括中间竖直主干、中间水平主干及从所述中间竖直主干和所述中间水平主干延伸出的分支，所述中间竖直主干与中间水平主干分别与所述分支形成一定夹角；

透光区域，所述透光区域包括设在所述分支之间的第一透光部分，

其中，在所述第一透光部分上设置有光干涉单元，所述光干涉单元用以将具有第一光强的光处理为具有第二光强的光，其中所述第一光强大于第二光强。

根据本发明的一个实施例，所述透光区域还包括第二透光部分，所述第二透光部分用于直接将所述第一光强的光引入以形成对应于阵列基板上的接触孔。

根据本发明的一个实施例，所述光干涉单元的形状为网格状、条栅状或片状。

根据本发明的一个实施例，所述光干涉单元贯穿设在所述第一透光部分的中间位置。

根据本发明的一个实施例，所述光干涉单元用不透光材料或者半透光材料制成。

根据本发明的另一个方面，还提供了一种制作阵列基板的方法，采用以上任一项所述的掩模板形成绝缘结构体。

根据本发明的一个实施例，在形成第一金属导电层时还包括形成屏蔽电极。

根据本发明的再一个方面，还提供了一种阵列基板，所述阵列基板包括：

基底；

在基底上形成的多个像素单元，所述像素单元包括，

设置在开口区域的像素电极，在所述像素电极与所述基底之间设有绝缘结构体，所述绝缘结构体由采用以上任一项所述的掩模板蚀刻形成。

根据本发明的一个实施例，所述绝缘结构体包括中间竖直主干、中间水平主干及从所述中间竖直主干和所述中间水平主干延伸出的分支，所述中间竖直主干与所述中间水平主干分别与其分支形成一定夹角，其中，在相邻的两个分支之间包括具有绝缘材料的底面的凹槽。

根据本发明的一个实施例，在数据线与所述像素电极之间还设有与栅线同层的屏蔽电极，用以屏蔽所述数据线与所述像素电极之间的电信号。

本发明带来了以下有益效果：

本发明通过在掩模板上透光区域的第一透光部分设置光干涉单元，使得对应该部位的阵列基板上的绝缘材料不能被蚀刻到底，该部位未被蚀刻的绝缘材料和掩模板上不透光区域对应的阵列基板上的绝缘材料形成绝缘结构体。由于绝缘结构体的存在能在像素电极与数据线之间设置屏蔽电极，缩短了像素电极与数据线之间的距离。该种设计提高了像素

单元的开口率，提高了液晶面板的穿透率。

本发明的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要的附图做简单的介绍：

图 1 为现有的具有立体结构像素电极的阵列基板的平面结构图；

图 2 为对应形成图 1 中像素电极的掩模板的局部图案示意图；

图 3 为图 1 沿 A-A 方向的剖面结构图；

图 4 为本发明所述的掩模板的一个实施例的局部图案示意图；

图 5 为本发明所述的掩模板的另一个实施例的局部图案示意图；

图 6 为本发明所述的掩模板的再一个实施例的局部图案示意图；

图 7 为采用本发明所述的图 4-图 5 中的任一掩模板制成的阵列基板的一个实施例的平面结构图；

图 8 为图 7 沿 B-B 方向的剖面结构图；

其中，1、基底，2、栅线，3、数据线，4、TFT（薄膜晶体管），5、像素电极，5a、凸条，5b、凹槽，5c、不透光区域，5d、第一透光部分，6、公共电极线，7、接触孔，7a、第二透光部分，8、栅极绝缘层，9、沉积钝化层，10、屏蔽电极。

具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成技术效果的实现过程能充分理解并据以实施。需要说明的是，只要不构成冲突，本发明中的各个实施例以及各实施例中的各个特征可以相互结合，所形成的技术方案均在本发明的保护范围之内。

另外，在附图的流程图示出的步骤可以在诸如一组计算机可执行指令的计算机系统中执行，并且，虽然在流程图中示出了逻辑顺序，但是在某些情况下，可以以不同于此处的顺序执行所示出或描述的步骤。

如图 1 所示为现有的一种具有立体结构像素电极的阵列基板平面结构图。如图所示，该阵列基板包括基底 1 和像素单元。像素单元包括设置于基底 1 上的栅线 2、数据线 3、

TFT4、像素电极 5 和公共电极线 6。其中，栅线 2 与公共电极线 6 平行设置。栅线 2 和公共电极线 6 均与数据线 3 垂直设置。TFT4 设置于栅线 2 上，其栅极、源极、漏极分别与栅线 2、数据线 3 和像素电极 5 电连接。在一种设置中，TFT4 的漏极通过接触孔 7 与像素电极 5 连接。像素电极 5 设置在由栅线 2、数据线 3 和公共电极线 6 包围形成的开口区域中。

图中的像素电极层由一“米”字形的绝缘结构体来支撑。该绝缘结构体包括中间竖直主干、中间水平主干和分别从中延伸而形成的分支。中间竖直主干、中间水平主干和分支为凸起的绝缘部分，其与所涂敷的像素电极层合起来称为凸条 5a。各个凸条之间的部分为凹槽 5b。在现有的像素电极结构中，凹槽 5b 底部只包括像素电极层。在这种情况下，所涂敷的像素电极层与基底 1 直接接触。

如图 2 所示为对应形成图 1 中像素电极的掩模板图案。在采用正性光刻胶的条件下，图中不透光区域 5c 对应形成凸条 5a，图中 5d 为第一透光部分对应形成凹槽 5b。图中标注 7a 为第二透光部分对应形成阵列基板上的接触孔 7。

如图 3 所示为图 1 沿 A-A 方向的剖面结构图。如图所示，整个绝缘结构体表面均覆盖像素电极层。由该绝缘结构体支撑的像素电极层也就是像素电极 5。栅极绝缘层 8 覆盖于基底 1 上。沉积钝化层 9 覆盖于数据线 3 和栅极绝缘层 8 表面。

制作如上所述的阵列基板时，可采用如图 2 所示的掩模板同时实现接触孔结构和像素电极的立体结构。也就是说，接触孔、米字形的绝缘结构体采用一道掩模板在同一制程中完成。此种做法虽然能有效的节约掩模板成本和制程时间，但在制作过程中可能会使相邻分支之间的绝缘材料层全部蚀刻掉。这样在涂敷透明导电材料形成像素电极层的时候，透明导电材料可能会与基底 1 直接接触。如图 3 所示，凹槽部分的像素电极层与基底 1 之间的绝缘层被完全蚀刻掉，导致像素电极 5 与基底 1 接触。

此外，通常在液晶面板的设计过程中，为增加像素单元的开口率，往往在像素电极 5 与数据线 3 之间设置屏蔽结构，如屏蔽电极。屏蔽电极用于屏蔽像素电极 5 与数据线 3 之间的电信号干扰。将像素电极 5 与数据线 3 之间的电信号干扰屏蔽掉，就可以减小两者之间的距离。可将像素电极 5 尽可能地靠近数据线 3 设置，从而尽可能地扩大像素单元开口区域的面积。

但是，屏蔽电极与栅线通常在同一制程中形成。如果立体结构的像素电极的凹槽部分的绝缘层被完全蚀刻掉，覆盖于其上的像素电极 5 就会与基底 1 接触。由于屏蔽电极也与基底 1 直接接触，并位于像素电极 5 和数据线 3 之间，因此其有可能与无底部的凹槽上的像素电极层接触。在制作过程中，一旦不同层之间发生平移，则有可能导致像素电极层

与屏蔽电极电性接触，这在实际中是不允许的。一种可以解决的办法是在像素电极与屏蔽电极之间形成层差。以下详细介绍如何通过改进的掩模板来在阵列基板的制作中形成该层差的技术方案。

本发明所述的掩模板包括不透光区域 5c 和透光区域。其中，不透光区域 5c 与图 2 相同，也包括中间竖直主干、中间水平主干及从中间竖直主干和中间水平主干延伸出的分支，中间竖直主干与中间水平主干分别与其延伸出的分支形成一定的夹角。在该掩模板中，不透光区域整体形成“米”字形的图案。

透光区域分为第一透光部分 5d 和第二透光部分 7a。其中，第一透光部分 5d 设置在不透光区域 5c 的分支之间。第一透光部分 5d 中间设置有光干涉单元。该光干涉单元可将具有较大光照强度的第一光强的光通过第一透光部分 5d 后变为具有较小光照强度的第二光强的光。上述光干涉单元可采用不透光材料制成，当然，也可根据需要采用半透光材料制成。

在本发明的一个实施例中，该光干涉单元设置为网格状，如图 4 所示。在该图中，光线通过网格部分射入到待蚀刻阵列基板上。这样，网格中遮光部分所对应的阵列基板的部位也能被光照到，从而使得阵列基板上对应该部位的绝缘层可被蚀刻掉。但是，由于透过光干涉单元的光强度已经减弱，因此在相同的蚀刻时间里，可以保证掩模板的该部分所对应的位置上还保留一部分的绝缘材料。网格的大小可根据实际需要进行设置，其基本上与要保留的绝缘材料的厚度、光刻时间以及施加的光照强度有关。

在本发明的另一个实施例中，该光干涉单元设置为条栅状，如图 5 所示。在该图中，光线可通过条栅间隙射入到待蚀刻阵列基板上。这样，条栅遮光部分所对应的阵列基板的部位也能被光照到，从而使得阵列基板上对应该部位的绝缘层可被蚀刻掉。与上面网格例子类似，由于透过的光强度已经减弱，因此在相同的蚀刻时间里，可以保证掩模板的该部分所对应的位置上还保留一部分的绝缘材料。条栅之间的间距可根据实际需要进行设置，其基本上与要保留的绝缘材料的厚度、光刻时间以及施加的光照强度有关。

无论是网状的还是条栅状的光干涉单元，其均可以设置成与分支的两侧相接触从而占满整个第一透光部分 5d，如图 4 和 5 所示。然而，实际中，网状或条栅状的光干涉单元也可以仅设在相邻分支之间，其与分支的两侧之间保持一定间隙。

在本发明的另一个实施例中，该光干涉单元还可设置为沿透光区域长度方向的片状结构，如图 6 所示。在该图中，光线可通过片状结构两侧的透光部分而射入到待蚀刻阵列基板上。这样，片状结构所对应的阵列基板的部位也能被光照到，从而使得阵列基板上对应该部位的绝缘层可被蚀刻。不过，光强已有一定程度的减弱，因此同样蚀刻的时间以及

初始光强下，与片状结构的光干涉单元对应的阵列基板部分上的绝缘材料不会完全蚀刻，从而相较于之前保留了一定厚度的绝缘材料。

在一个具体的例子中，当光干涉单元为片状，并贯穿相邻的两分支设置时，为防止透过光干涉单元的光强度较大而导致对应该部分的绝缘层蚀刻到基底部分，这里还可设置片状的光干涉单元与相邻的分支的一侧的距离范围在 $0.2\mu\text{m}\sim 0.5\mu\text{m}$ 之间。实际中，也可通过改变光干涉单元的有效透光面积来控制对应阵列基板上绝缘材料的蚀刻深度。

当然，光干涉单元的设置形状并不限于以上所述的几种，凡能实现影响光照强度的形状设置均可用作此处的光干涉单元。

分别对应图 4、图 5 和图 6 中的第二透光部分 7a 设置为完全透光。该部分可将原始的具有第一光强的光直接引入，从而对应地形成阵列基板上的接触孔。

采用本发明所述的掩模板来制作对应的阵列基板主要包括以下步骤。

首先在基底上沉积第一层金属膜用以形成第一金属导电层。在形成第一金属导电层的过程中，形成栅线和公共电极线，并同时形成与公共电极线连接的屏蔽电极。

然后在第一金属导电层上沉积第一绝缘材料和半导体材料来形成中间层。

然后在中间层上沉积第二层金属膜用以形成第二金属导电层。在该过程中还包括形成 TFT 的源极与漏极。

之后采用上述的掩模板在第二金属导电层和裸露的中间层上形成绝缘结构体。在本发明的一个实施例中，在采用正性光刻胶的条件下，对应掩模板上不透光区域的阵列基板上的绝缘材料不被蚀刻形成凸起结构。掩模板上的透光区域设置为第一透光部分和第二透光部分两种。第一透光部分设置有光干涉单元。当第一光强的光透过该光干涉单元时变为强度减弱的第二光强的光。由于透过第一透光部分的光强减弱，使得对该部分的蚀刻深度变浅，不会将该部分对应的阵列基板上的绝缘材料蚀刻到底，则对应该部分形成凹陷结构。由具有凸起和凹陷结构的绝缘材料形成具有立体结构的绝缘结构体。第二透光部分直接将第一光强的光引入对应形成阵列基板上的接触孔。

最后，在绝缘结构体上涂敷透明导电材料，从而形成像素电极。

如图 7 所示为采用以上所述的掩模板和方法制作的阵列基板的一个实施例的平面结构图。

在图 7 中，阵列基板包括基底 1 和像素单元。该像素单元包括设置于基底 1 上的栅线 2、数据线 3、TFT4、像素电极 5 和公共电极线 6。其中，栅线 2 与公共电极线 6 平行设置。栅线 2 和公共电极线 6 均与数据线 3 垂直设置。TFT4 设置于栅线 2 上，其栅极、源极和漏极分别与栅线 2、数据线 3 和像素电极 5 电连接。其中，TFT4 的漏极通过接触

孔 7 与像素电极 5 连接。TFT4 设置于栅线上,可以避免占用像素单元的开口区域,有利于提高像素单元的开口率。像素电极 5 设置于由栅线 2、公共电极线 6 和数据线 3 包围形成的开口区域中。在像素电极 5 与两侧的数据线 3 之间设置有屏蔽电极 10。

像素电极 5 与基底 1 之间设有绝缘结构体。该绝缘结构体包括中间竖直主干、中间水平主干和分别从两种主干中延伸而出形成的分支。主干和分支构成“米”字形结构,这样的形状与上述掩模板的不透光区域的图案相对应。为描述的方便起见,针对掩模板和绝缘结构体均采用主干和分支这样的术语。但是,本领域的技术人员在阅读了本发明的全部内容之后,显然可以明白它们在不同的情况下所指的具体含义。

在绝缘结构体中,各个分支与主干的夹角范围为 $30^{\circ}\sim 60^{\circ}$ 。分支部分与覆盖于其上的像素电极材料形成凸条 5a,凸条 5a 之间为凹槽 5b。凸条 5a 和凹槽 5b 相间排列。凸条 5a 和凹槽 5b 的宽度范围在例如 $0.6\mu\text{m}\sim 1.6\mu\text{m}$ 之间。

下面,参照图 8 来进一步地详细明本发明的像素电极结构,其中,图 8 为图 7 沿 B-B 方向的剖面结构图。在该图中,像素电极 5 与基底 1 之间全部由绝缘结构体而隔开。

由该剖面图可以得知,米字形的绝缘结构体为立体结构,其包括凸起的分支和主干,以及各个分支之间的凹陷部分。该绝缘结构体上涂敷的像素电极材料与凸起部分构成上述的凸条。该绝缘结构体上涂敷的像素电极材料与凹陷部分形成凹槽。

由于凹槽表面的像素电极与基底之间具有绝缘材料,这就使得屏蔽电极 10 与凹槽表面的像素电极 5 之间具有层差。即使在制作过程中不同层之间有位置偏差,也能避免屏蔽电极 10 与像素电极 5 接触。因此,本发明中可以在数据线 3 和像素电极 5 之间设置屏蔽电极 10。屏蔽电极 10 的设置可以有效屏蔽数据线 3 和像素电极 5 之间的电信号干扰。在这种情况下,就可将像素电极 5 与数据线 3 之间的距离设置的尽可能小。由于像素电极 5 可以向数据线 3 的方向靠近设置,因此提高了像素单元开口区域的面积,进而提高了像素单元的开口率。

虽然本发明所公开的实施方式如上,但所述的内容只是为了便于理解本发明而采用的实施方式,并非用以限定本发明。任何本发明所属技术领域内的技术人员,在不脱离本发明所公开的精神和范围的前提下,可以在实施的形式上及细节上作任何的修改与变化,但本发明的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

权利要求书

1、一种掩模板，其中，所述掩模板包括：

不透光区域，所述不透光区域包括中间竖直主干、中间水平主干及从所述中间竖直主干和所述中间水平主干延伸出的分支，所述中间竖直主干与中间水平主干分别与所述分支形成一定夹角；

透光区域，所述透光区域包括设在所述分支之间的第一透光部分，

其中，在所述第一透光部分上设置有光干涉单元，所述光干涉单元用以将具有第一光强的光处理为具有第二光强的光，其中所述第一光强大于第二光强。

2、如权利要求 1 所述的掩模板，其中，所述透光区域还包括第二透光部分，所述第二透光部分用于直接将所述第一光强的光引入以形成对应于阵列基板上的接触孔。

3、如权利要求 2 所述的掩模板，其中，所述光干涉单元的形状为网格状、条栅状或片状。

4、如权利要求 3 所述的掩模板，其中，所述光干涉单元贯穿设在所述第一透光部分的中间位置。

5、如权利要求 1 所述的掩模板，其中，所述光干涉单元用不透光材料或者半透光材料制成。

6、一种制作阵列基板的方法，其中，采用一种掩模板形成绝缘结构体，所述掩模板包括：

不透光区域，所述不透光区域包括中间竖直主干、中间水平主干及从所述中间竖直主干和所述中间水平主干延伸出的分支，所述中间竖直主干与中间水平主干分别与所述分支形成一定夹角；

透光区域，所述透光区域包括设在所述分支之间的第一透光部分，

其中，在所述第一透光部分上设置有光干涉单元，所述光干涉单元用以将具有第一光强的光处理为具有第二光强的光，其中所述第一光强大于第二光强。

7、如权利要求 6 所述的方法，其中，所述掩模板的透光区域还包括第二透光部分，

所述第二透光部分用于直接将所述第一光强的光引入以形成对应于阵列基板上的接触孔。

8、如权利要求 7 所述的方法，其中，所述光干涉单元的形狀为网格状、条栅状或片状。

9、如权利要求 8 所述的方法，其中，所述光干涉单元贯穿设在所述第一透光部分的中间位置。

10、如权利要求 6 所述的方法，其中，所述光干涉单元用不透光材料或者半透光材料制成。

11、如权利要求 6 所述的方法，其中，在形成第一金属导电层时还包括形成屏蔽电极。

12、一种阵列基板，其中，所述阵列基板包括：

基底；

在基底上形成的多个像素单元，所述像素单元包括，

设置在开口区域的像素电极，在所述像素电极与所述基底之间设有绝缘结构体，所述绝缘结构体由一种掩模板蚀刻形成，所述掩模板包括：

不透光区域，所述不透光区域包括中间竖直主干、中间水平主干及从所述中间竖直主干和所述中间水平主干延伸出的分支，所述中间竖直主干与中间水平主干分别与所述分支形成一定夹角；

透光区域，所述透光区域包括设在所述分支之间的第一透光部分，

其中，在所述第一透光部分上设置有光干涉单元，所述光干涉单元用以将具有第一光强的光处理为具有第二光强的光，其中所述第一光强大于第二光强。

13、如权利要求 12 所述的阵列基板，其中，所述掩模板的透光区域还包括第二透光部分，所述第二透光部分用于直接将所述第一光强的光引入以形成对应于阵列基板上的接触孔。

14、如权利要求 13 所述的阵列基板，其中，所述光干涉单元的形狀为网格状、条栅

状或片状。

15、如权利要求 14 所述的阵列基板，其中，所述光干涉单元贯穿设在所述第一透光部分的中间位置。

16、如权利要求 12 所述的阵列基板，其中，所述光干涉单元用不透光材料或者半透光材料制成。

17、如权利要求 12 所述的阵列基板，其中，所述绝缘结构体包括中间竖直主干、中间水平主干及从所述中间竖直主干和所述中间水平主干延伸出的分支，所述中间竖直主干与所述中间水平主干分别与其分支形成一定夹角，其中，在相邻的两个分支之间包括具有绝缘材料的底面的凹槽。

18、如权利要求 17 所述的阵列基板，其中，在数据线与所述像素电极之间还设有与栅线同层的屏蔽电极，用以屏蔽所述数据线与所述像素电极之间的电信号。

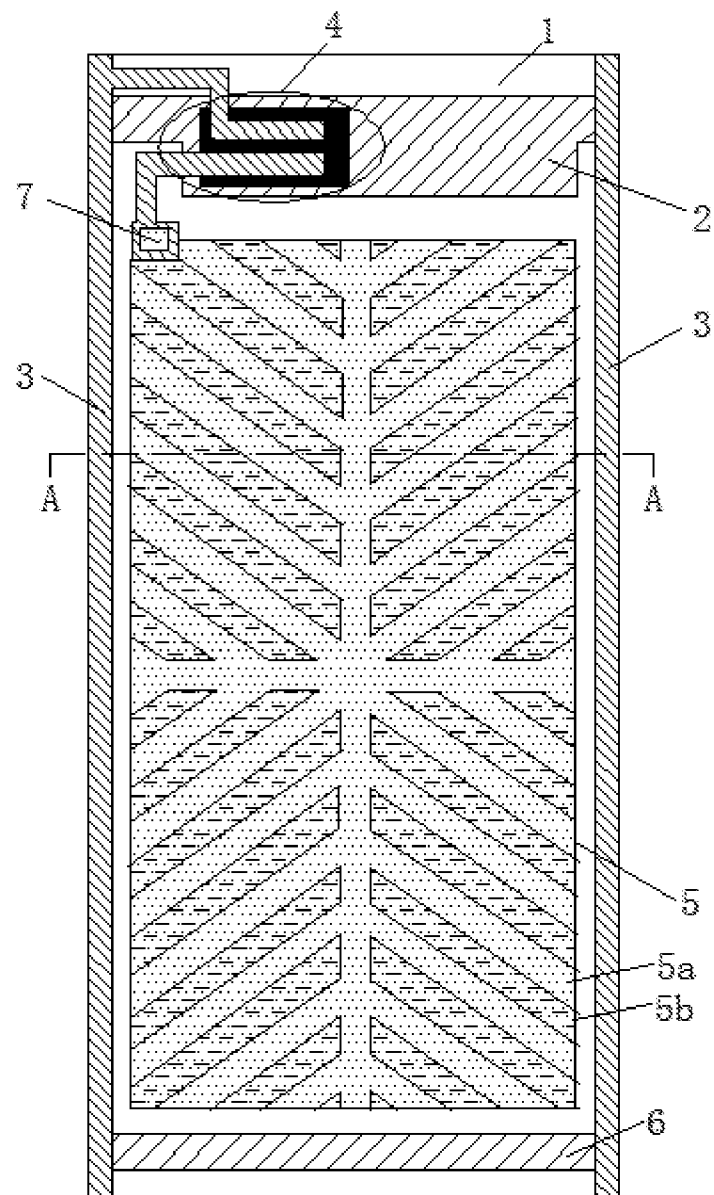


图 1

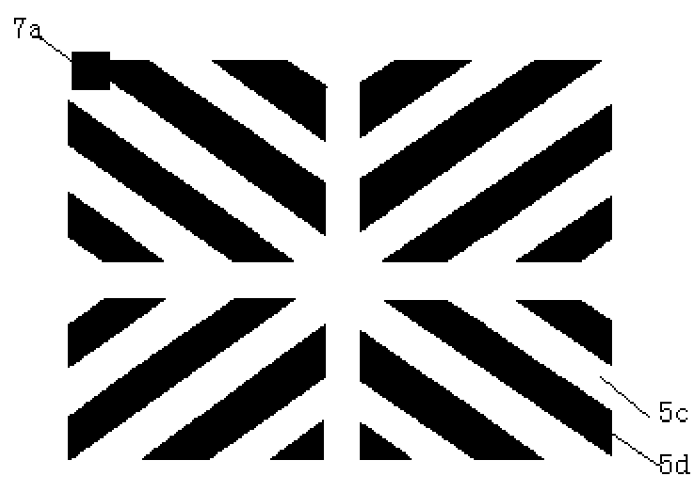


图 2

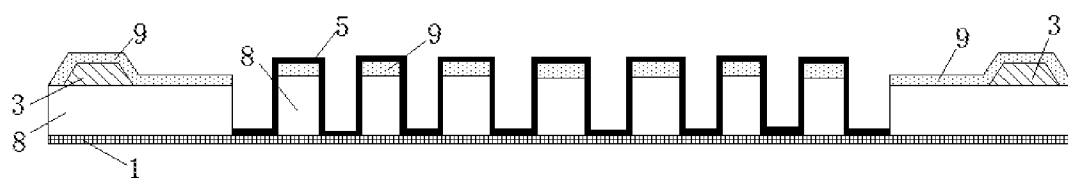
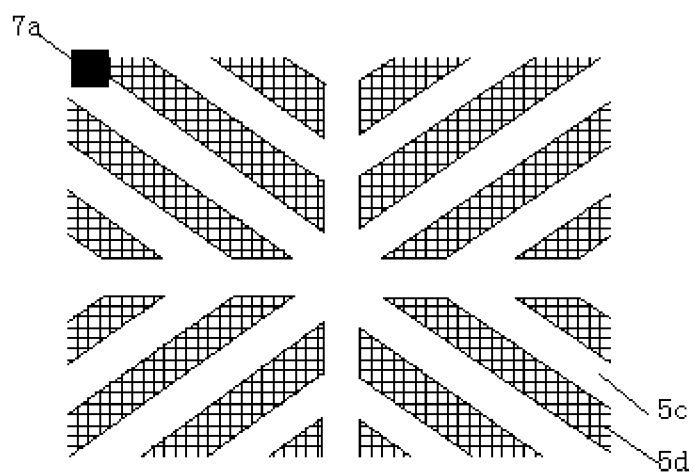


图 3



冬 4

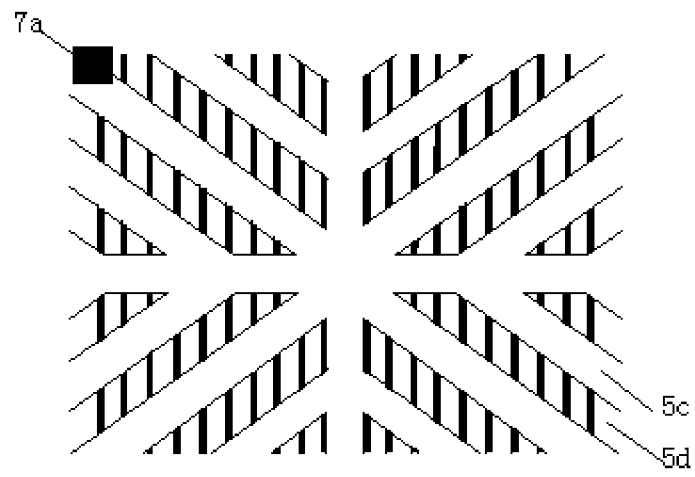


图 5

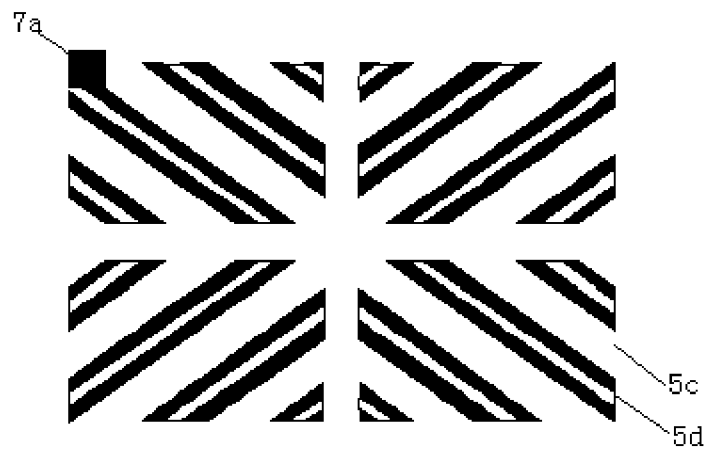


图 6

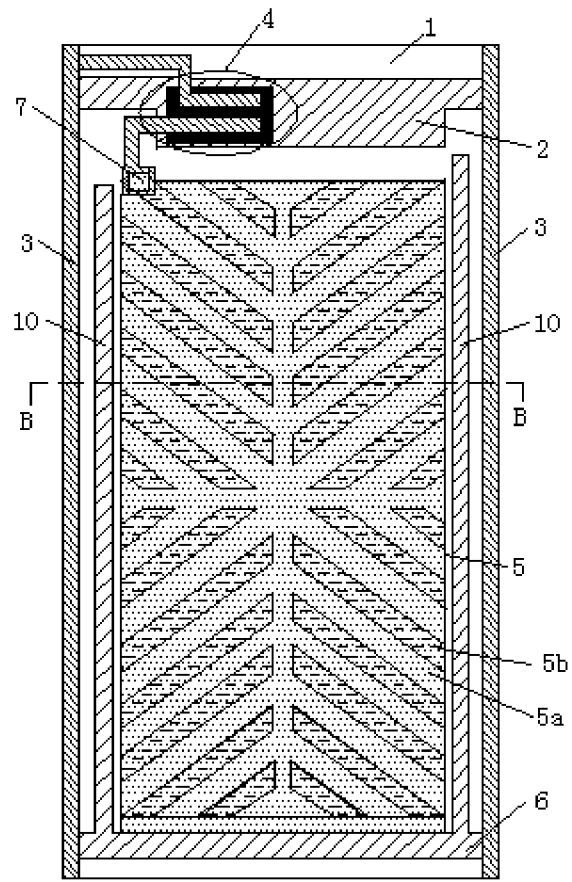


图 7

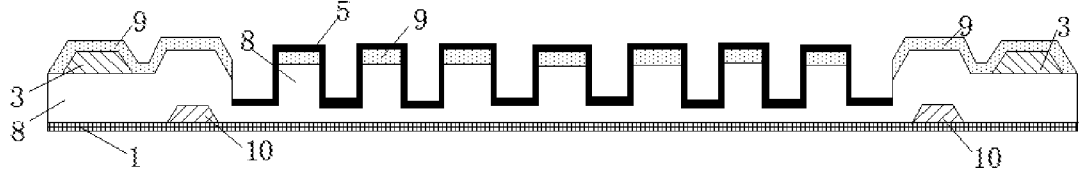


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/083742

A. CLASSIFICATION OF SUBJECT MATTER

G03F 1/00 (2012.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G03F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: display, slit, pixel, SHI Minghong, electrode, stripe, snow w flake, vertical, gray w scale, film

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102200664 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECH CO LTD) 28 September 2011 (28.09.2011) description, paragraphs [0003]-[0006] and figures 1 and 2	1-18
Y	CN 101527284 A (SEMICONDUCTOR ENERGY LAB) 09 September 2009 (09.09.2009) see description, page 15, the fifth paragraph to the last paragraph and figure 16	1-18
A	US 2014009709 A1 (SAMSUNG DISPLAY CO., LTD.) 09 January 2014 (09.01.2014) the whole document	1-18
A	CN 1664685 A (AU OPTRONICS CORP.) 07 September 2005 (07.09.2005) the whole document	1-18
A	CN 103337522 A (NANJING CEC-PANDA LCD TECHNOLOGY CO LTD) 02 October 2013 (02.10.2013) the whole document	1-18

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 March 2015	Date of mailing of the international search report 21 April 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer MIU, Gujin Telephone No. (86-10) 62413458

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2014/083742

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101179081 A (CHINA YINGGUAN CO LTD) 14 May 2008 (14.05.2008) the whole document	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/083742

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102200664 A	28 September 2011	WO 2012171273 A1	20 December 2012
		DE 112011105261 T5	27 March 2014
		CN 102200664 B	13 August 2014
		US 2012314154 A1	13 December 2012
		US 8610854 B2	17 December 2012
CN 101527284 A	09 September 2009	KR 20090095520 A	09 September 2009
		US 2009224249 A1	10 September 2009
		JP 2009239272 A	15 October 2009
		JP 2014206753 A	30 October 2014
		TW 200950583 A	01 December 2009
		JP 2014063179 A	10 April 2014
		US 8101442 B1	24 January 2012
		JP 5512988 B2	04 June 2014
		CN 101527284 B	02 July 2014
		CN 103987146 A	13 August 2014
US 2014009709 A1	09 January 2014	JP 5674899 B2	25 February 2015
		US 8896801 B2	25 November 2014
		KR 20140006588 A	16 January 2014
CN 1664685 A	07 September 2005	CN 100399134 C	02 July 2008
CN 103337522 A	02 October 2013	None	
CN 101179081 A	14 May 2008	CN 100483723 C	29 April 2009

国际检索报告

国际申请号

PCT/CN2014/083742

A. 主题的分类

G03F 1/00(2012.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G03F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT;CNKI;WPI;EPDOC:display, 开口, 配向, slit, pixel, 掩, 透光率, 垂直, 掩膜, 米, 灰度, 掩模, 像素电极, 施明宏, 干涉, 灰度, electrode, stripe, snow w flake

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 102200664 A (深圳市华星光电技术有限公司 等) 2011年 9月 28日 (2011 - 09 - 28) 说明书第0003段-第0006段, 附图1-2	1-18
Y	CN 101527284 A (株式会社半导体能源研究所) 2009年 9月 9日 (2009 - 09 - 09) 参见说明书第15页第5段-最后1段, 附图16	1-18
A	US 2014009709 A1 (SAMSUNG DISPLAY CO., LTD.) 2014年 1月 9日 (2014 - 01 - 09) 全文	1-18
A	CN 1664685 A (友达光电股份有限公司) 2005年 9月 7日 (2005 - 09 - 07) 全文	1-18
A	CN 103337522 A (南京中电熊猫液晶显示科技有限公司) 2013年 10月 2日 (2013 - 10 - 02) 全文	1-18
A	CN 101179081 A (中华映管股份有限公司) 2008年 5月 14日 (2008 - 05 - 14) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 3月 31日

国际检索报告邮寄日期

2015年 4月 21日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

受权官员

缪顾进

电话号码 (86-10)62413458

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/083742

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102200664	A	2011年 9月 28日	WO	2012171273	A1	2012年 12月 20日
				DE	112011105261	T5	2014年 3月 27日
				CN	102200664	B	2014年 8月 13日
				US	2012314154	A1	2012年 12月 13日
				US	8610854	B2	2013年 12月 17日
CN	101527284	A	2009年 9月 9日	KR	20090095520	A	2009年 9月 9日
				US	2009224249	A1	2009年 9月 10日
				JP	2009239272	A	2009年 10月 15日
				JP	2014206753	A	2014年 10月 30日
				TW	200950583	A	2009年 12月 1日
				JP	2014063179	A	2014年 4月 10日
				US	8101442	B2	2012年 1月 24日
				JP	5512988	B2	2014年 6月 4日
				CN	101527284	B	2014年 7月 2日
				CN	103987146	A	2014年 8月 13日
				JP	5674899	B2	2015年 2月 25日
US	2014009709	A1	2014年 1月 9日	US	8896801	B2	2014年 11月 25日
				KR	20140006588	A	2014年 1月 16日
CN	1664685	A	2005年 9月 7日	CN	100399134	C	2008年 7月 2日
CN	103337522	A	2013年 10月 2日	无			
CN	101179081	A	2008年 5月 14日	CN	100483723	C	2009年 4月 29日

表 PCT/ISA/210 (同族专利附件) (2009年7月)