

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月14日(14.03.2024)



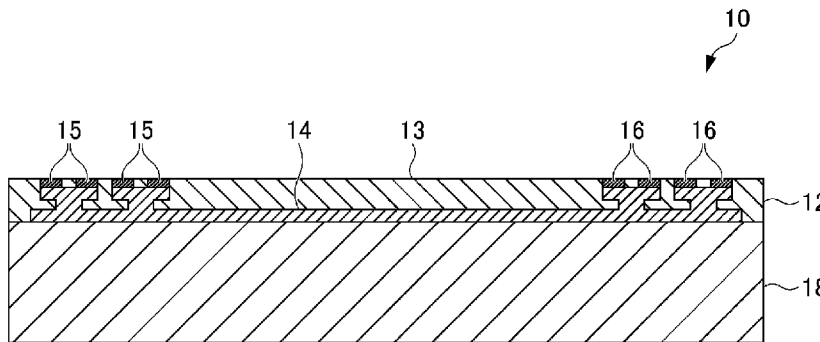
(10) 国際公開番号
WO 2024/053103 A1

- (51) 国際特許分類:
H01L 25/04 (2023.01) *H01L 25/18* (2023.01)
- (21) 国際出願番号: PCT/JP2022/033933
- (22) 国際出願日: 2022年9月9日(09.09.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ウルトラメモリ株式会社
(**ULTRAMEMORY INC.**) [JP/JP]; 〒1920083 東京都八王子市旭町1-1-8 アクセスビル3階 Tokyo (JP).
- (72) 発明者: 梶谷 一彦 (**KAJIGAYA Kazuhiko**);
〒1920083 東京都八王子市旭町1-1-8 アクセスビル3階 ウルトラメモリ株式会社内 Tokyo (JP).

- (74) 代理人: 正林 真之, 外(**SHOBAYASHI Masayuki** et al.); 〒1000005 東京都千代田区丸の内1-7-12 サピアタワー Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) **Title:** IC BRIDGE, IC MODULE, AND METHOD FOR MANUFACTURING IC MODULE

(54) 発明の名称: ICブリッジ、ICモジュールおよびICモジュールの製造方法



(57) **Abstract:** Provide is an IC bridge that facilitates thickness reduction after mounting, without detracting from handleability during mounting. The IC bridge 10, which bridges a first IC chip and a second IC chip to electrically connect the first IC chip and the second IC chip, comprises a bridging redistribution layer 12 disposed on the upper-surface side of the IC bridge, and a bridging resin layer 18 disposed on the back surface side of the IC bridge. The bridging redistribution layer 12 includes: a dielectric layer 13; a wire 14 that is disposed in the dielectric layer and electrically connects the first IC chip and the second IC chip; a first pad electrode 15 that is disposed exposed on the upper surface and electrically connects the wire and the first IC chip; and a second pad electrode 16 that is disposed exposed on the upper surface and electrically connects the wire and the second IC chip.

MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：実装時のハンドリングを損なうことなく、実装後の薄型化を容易にするＩＣブリッジを提供する。ＩＣブリッジ１０は、第１ＩＣチップと第２ＩＣチップとの間にブリッジされて、第１ＩＣチップと第２ＩＣチップとを電氣的に接続するＩＣブリッジであって、ＩＣブリッジの表面側に配置されたブリッジ用再配線層１２と、ＩＣブリッジの裏面側に配置されたブリッジ用樹脂層１８とを備える。ブリッジ用再配線層１２は、誘電体層１３と、誘電体層内に配置されており、第１ＩＣチップと第２ＩＣチップとを電氣的に接続する配線１４と、表面において露出して配置されており、配線と第１ＩＣチップとを電氣的に接続する第１パッド電極１５と、表面において露出して配置されており、配線と第２ＩＣチップとを電氣的に接続する第２パッド電極１６とを有する。

明 細 書

発明の名称：

ＩＣブリッジ、ＩＣモジュールおよびＩＣモジュールの製造方法

技術分野

[0001] 本発明は、ＩＣブリッジ、ＩＣモジュールおよびＩＣモジュールの製造方法に関する。

背景技術

[0002] ＩＣモジュールにおいて、ＴＳＶ（Through Silicon Via）技術を利用したＳｉインタポーザに複数のＩＣダイ（ＩＣチップ）を実装する３次元または２．５次元の実装技術が知られている。このような実装技術によれば、複数のＩＣダイ（ＩＣチップ）に対して高密度な配線を形成することができ、小型化、薄膜化、および広帯域化を実現することができる。しかし、このようなＳｉインタポーザは、比較的到高価である。

[0003] この点に関し、特許文献１には、このようなＳｉインタポーザに代えて再配線層（Redistribution Layer：ＲＤＬ）と小型のＳｉブリッジダイとを用い、これらに複数のＩＣダイ（ＩＣチップ）を実装する３次元または２．５次元の実装技術が開示されている。このように再配線層を用いて複数のＩＣダイ（ＩＣチップ）を実装するＩＣモジュールは、ＦＯＷＬＰ（Fan Out Wafer Level Package）技術を用いて製造されることが多い。このような実装技術によれば、比較的に安価で、複数のＩＣダイ（ＩＣチップ）に対して高密度な配線を形成することができ、小型化、薄膜化、および広帯域化を実現することができる。

[0004] より具体的には、特許文献１に記載のＩＣモジュールは、封止材（１１８）（モジュール用表面側樹脂層に相当）に埋め込まれたプロセッサダイ（１１４）およびメモリダイ（１１６）（第１ＩＣチップおよび第２ＩＣチップに相当）と、再配線層（１２０）（モジュール用再配線層に相当）と、封止材（１４６）（モジュール用裏面側樹脂層に相当）に埋め込まれたＳｉブリ

ッジダイ（１３２）（ＩＣブリッジに相当）および導電性ピラー（１２４、１２６、１３４、１３６）と、導電性バンプ（１４４）とを備える。このようなＩＣモジュールは、パッケージ基板（１４０）に実装されてパッケージ化される。

先行技術文献

特許文献

[0005] 特許文献１：米国特許出願公開第２０２０／０１８５３６７号明細書

発明の概要

発明が解決しようとする課題

[0006] Ｓｉブリッジダイ（ＩＣブリッジに相当）の厚さは、実装時のハンドリング（Ｓｉブリッジダイの反りの低減や欠けの防止等）のために概ね１００μｍ以上とされる。そのため、Ｓｉブリッジダイに並置される導電性ピラーの高さも概ね１００μｍ以上とされる。しかし、Ｓｉブリッジダイおよび導電性ピラーの高さを高くすると、ＩＣモジュールの更なる薄型化が妨げられる。また、導電性ピラーの高さを高くすると、導電性ピラーの径を太くする必要がある。導電性ピラーの径が太くなると、導電性ピラーの数が制限され、高集積化が妨げられる。

[0007] この点に関し、Ｓｉブリッジダイの実装後に、Ｓｉブリッジダイを研磨して、Ｓｉブリッジダイの厚さを薄くすることが考えられる。しかし、Ｓｉブリッジダイは比較的硬いため、Ｓｉブリッジダイと比較的柔らかい封止材とを同時に研磨すると研磨面の平坦性が損なわれるため、パッケージ基板に実装する際に導電性バンプの接続不良が生じる等の問題が起こる可能性がある。

[0008] 本発明は、実装時のハンドリングを損なうことなく、実装後の薄型化を容易にするＩＣブリッジ、ＩＣモジュールおよびＩＣモジュールの製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 本発明に係るICブリッジは、第1ICチップと第2ICチップとの間にブリッジされて、前記第1ICチップと前記第2ICチップとを電氣的に接続するICブリッジであって、前記ICブリッジの表面側に配置されたブリッジ用再配線層と、前記ICブリッジの裏面側に配置されたブリッジ用樹脂層とを備える。前記ブリッジ用再配線層は、誘電体層と、前記誘電体層内に配置されており、前記第1ICチップと前記第2ICチップとを電氣的に接続する配線と、前記表面において露出して配置されており、前記配線と前記第1ICチップとを電氣的に接続する第1パッド電極と、前記表面において露出して配置されており、前記配線と前記第2ICチップとを電氣的に接続する第2パッド電極とを有する。

[0010] 本発明に係るICモジュールは、表面から裏面に向けて順に積層されたモジュール用表面側樹脂層、モジュール用再配線層およびモジュール用裏面側樹脂層と、前記モジュール用表面側樹脂層内に配置されており、前記表面に沿って並んでいる第1ICチップおよび第2ICチップと、前記モジュール用再配線層内に配置されており、前記第1ICチップに電氣的に接続された第1配線および第3配線と、前記モジュール用再配線層内に配置されており、前記第2ICチップに電氣的に接続された第2配線および第4配線と、前記モジュール用裏面側樹脂層内に配置されており、前記表面側から前記裏面に向けて延在しており、一端が前記モジュール用再配線層の前記第1配線に電氣的に接続されており、他端が前記裏面において露出している第1導電体ピラーと、前記モジュール用裏面側樹脂層内に配置されており、前記表面側から前記裏面に向けて延在しており、一端が前記モジュール用再配線層の前記第2配線に電氣的に接続されており、他端が前記裏面において露出している第2導電体ピラーと、前記モジュール用裏面側樹脂層に埋め込まれており、前記第1ICチップと前記第2ICチップとの間にブリッジされて、前記モジュール用再配線層の前記第3配線および前記第4配線を介して前記第1ICチップと前記第2ICチップとを電氣的に接続する前記ICブリッジとを備える。前記ICブリッジの前記表面側から前記裏面側までの厚さ、およ

び、前記モジュール用裏面側樹脂層の前記表面側から前記裏面側までの厚さは、 $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である。

[0011] 本発明に係るICモジュールの製造方法は、表面から裏面に向けて順に積層されたモジュール用表面側樹脂層、モジュール用再配線層およびモジュール用裏面側樹脂層と、前記モジュール用表面側樹脂層内に配置されており、前記表面に沿って並んでいる第1ICチップおよび第2ICチップと、前記モジュール用再配線層内に配置されており、前記第1ICチップに電氣的に接続された第1配線および第3配線と、前記モジュール用再配線層内に配置されており、前記第2ICチップに電氣的に接続された第2配線および第4配線と、前記モジュール用裏面側樹脂層内に配置されており、前記表面側から前記裏面に向けて延在しており、一端が前記モジュール用再配線層の前記第1配線に電氣的に接続されており、他端が前記裏面において露出している第1導電体ピラーと、前記モジュール用裏面側樹脂層内に配置されており、前記表面側から前記裏面に向けて延在しており、一端が前記モジュール用再配線層の前記第2配線に電氣的に接続されており、他端が前記裏面において露出している第2導電体ピラーと、前記モジュール用裏面側樹脂層に埋め込まれており、前記第1ICチップと前記第2ICチップとの間にブリッジされて、前記モジュール用再配線層の前記第3配線および前記第4配線を介して前記第1ICチップと前記第2ICチップとを電氣的に接続するICブリッジとを備えるICモジュールの製造方法であって、前記第1ICチップおよび前記第2ICチップが配置された前記モジュール用表面側樹脂層を形成し、前記モジュール用再配線層を形成し、前記表面側から前記裏面側までの厚さが概ね $100\mu\text{m}$ 以上である前記ICブリッジと、前記第1導電体ピラーおよび前記第2導電体ピラーとが配置された前記モジュール用裏面側樹脂層の材料層を形成し、前記裏面における前記モジュール用裏面側樹脂層の材料層と前記ICブリッジの前記ブリッジ用樹脂層とを同時に研磨することにより、前記表面側から前記裏面側までの厚さが $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である前記ICブリッジおよび前記モジュール用裏面側樹脂層を得る。

発明の効果

[0012] 本発明によれば、ＩＣモジュールの実装時のＩＣブリッジのハンドリングを損なうことなく、ＩＣモジュールの実装後のＩＣブリッジの薄型化を容易にすることができる。

図面の簡単な説明

[0013] [図1]第１実施形態に係るＩＣモジュールを示す断面図である。

[図2]図１に示すＩＣモジュールにおけるＩＣブリッジであって、第１実施形態に係るＩＣブリッジを示す断面図である。

[図3A]第１実施形態に係るＩＣブリッジの製造方法の一例を示す図である。

[図3B]第１実施形態に係るＩＣブリッジの製造方法の一例を示す図である。

[図3C]第１実施形態に係るＩＣブリッジの製造方法の一例を示す図である。

[図3D]第１実施形態に係るＩＣブリッジの製造方法の一例を示す図である。

[図3E]第１実施形態に係るＩＣブリッジの製造方法の一例を示す図である。

[図4A]第１実施形態に係るＩＣブリッジの製造方法の他の一例を示す図である。

[図4B]第１実施形態に係るＩＣブリッジの製造方法の他の一例を示す図である。

[図4C]第１実施形態に係るＩＣブリッジの製造方法の他の一例を示す図である。

[図5A]第１実施形態に係るＩＣモジュールの製造方法の一例を示す図である。

[図5B]第１実施形態に係るＩＣモジュールの製造方法の一例を示す図である。

[図5C]第１実施形態に係るＩＣモジュールの製造方法の一例を示す図である。

[図6]第２実施形態に係るＩＣモジュールを示す断面図である。

[図7]図６に示すＩＣモジュールにおけるＩＣブリッジであって、第２実施形態に係るＩＣブリッジを示す断面図である。

[図8A]第2実施形態に係るＩＣブリッジの製造方法の一例を示す図である。

[図8B]第2実施形態に係るＩＣブリッジの製造方法の一例を示す図である。

[図8C]第2実施形態に係るＩＣブリッジの製造方法の一例を示す図である。

[図8D]第2実施形態に係るＩＣブリッジの製造方法の一例を示す図である。

[図8E]第2実施形態に係るＩＣブリッジの製造方法の一例を示す図である。

[図9A]第2実施形態に係るＩＣモジュールの製造方法の一例を示す図である

。

[図9B]第2実施形態に係るＩＣモジュールの製造方法の一例を示す図である

。

[図9C]第2実施形態に係るＩＣモジュールの製造方法の一例を示す図である

。

発明を実施するための形態

[0014] 以下、添付の図面を参照して本発明の実施形態の一例について説明する。
なお、各図面において同一または相当の部分に対しては同一の符号を附すこととする。

[0015] [第1実施形態]

(ＩＣモジュール：Integrated Circuit Module)

図1は、第1実施形態に係るＩＣモジュールを示す断面図である。図1に示すように、ＩＣモジュール100は、表面から裏面に向けて順に積層されたモジュール用表面側樹脂層110と、モジュール用再配線層130と、モジュール用裏面側樹脂層120とを備える。また、ＩＣモジュール100は、第1ＩＣチップ21と、第2ＩＣチップ22と、第1導電体バンプ111と、第2導電体バンプ112と、第3導電体バンプ113と、第4導電体バンプ114と、第1配線131と、第2配線132と、第3配線133と、第4配線134と、第1導電体ピラー121と、第2導電体ピラー122と、ＩＣブリッジ10と、第1導電体バンプ141と、第2導電体バンプ142とを備える。

[0016] 第1ＩＣチップ21および第2ＩＣチップ22 (Integrated Circuit chip

）（ＩＣダイ：Integrated Circuit dieともいう。）は、モジュール用表面側樹脂層１１０によって封止されている。すなわち、第１ＩＣチップ２１および第２ＩＣチップ２２は、モジュール用表面側樹脂層１１０内に配置されている。第１ＩＣチップ２１および第２ＩＣチップ２２は、ＩＣモジュールの表面に沿って並んでいる。第１ＩＣチップ２１および第２ＩＣチップ２２としては、特に限定されないが、ＳｏＣ（System On Chip）、ＭＰＵ（Micro Processing Unit）、ＦＰＧＡ（Field Programmable Gate Array）等の論理チップ、ＤＲＡＭ、ＳＲＡＭ等のメモリチップが挙げられる。第１ＩＣチップ２１と第２ＩＣチップ２２との組合せも特に限定されないが、図１ではＳｏＣとメモリとの組合せの例を記載する。

[0017] 第１ＩＣチップ２１は、第１導電体バンプ１１１および第３導電体バンプ１１３を介してモジュール用再配線層１３０に接続されている。第２ＩＣチップ２２は、第２導電体バンプ１１２および第４導電体バンプ１１４を介してモジュール用再配線層１３０に接続されている。第１導電体バンプ１１１、第２導電体バンプ１１２、第３導電体バンプ１１３および第４導電体バンプ１１４としては、マイクロバンプ、Ｃｕピラーバンプ等が挙げられる。

[0018] 第１導電体バンプ１１１、第２導電体バンプ１１２、および後述する第１配線１３１、第２配線１３２、第１導電体ピラー１２１、第２導電体ピラー１２２は、主に電源およびＧＮＤの供給、外部信号の送受信のために用いられる。

一方、第３導電体バンプ１１３、第４導電体バンプ１１４、および後述する第３配線１３３、第４配線１３４、ＩＣブリッジ１０は、第１ＩＣチップ２１と第２ＩＣチップ２２との間の通信インターフェース信号の送受信等のために用いられる。

[0019] モジュール用再配線層（Redistribution Layer：ＲＤＬ）１３０内には、第１配線１３１と、第２配線１３２と、第３配線１３３と、第４配線１３４とが配置されており、これらの配線は誘電体層１３６によって覆われている。第１配線１３１は、第１導電体バンプ１１１を介して第１ＩＣチップ２１

に電氣的に接続されており、第2配線132は、第2導電体バンプ112を介して第2ICチップ22に電氣的に接続されている。第3配線133は、第3導電体バンプ113を介して第1ICチップ21に電氣的に接続されており、第4配線134は、第4導電体バンプ114を介して第2ICチップ22に電氣的に接続されている。第1配線131、第2配線132、第3配線133および第4配線134の材料としては、Cu等の金属が挙げられる。誘電体層136の材料としては、ポリイミド等の有機材料が挙げられる。

[0020] 第1導電体ピラー121および第2導電体ピラー122（導電体ポストともいう。）は、モジュール用裏面側樹脂層120内に配置されており、ICモジュールの表面側から裏面に向けて延在している。第1導電体ピラー121の一端は、モジュール用再配線層130の第1配線131に電氣的に接続されており、第1導電体ピラー121の他端は、ICモジュールの裏面において露出している。第2導電体ピラー122の一端は、モジュール用再配線層130の第2配線132に電氣的に接続されており、第2導電体ピラー122の他端は、ICモジュールの裏面において露出している。第1導電体ピラー121および第2導電体ピラー122の材料としては、Cu等の金属が挙げられる。

[0021] 第1導電体バンプ141および第2導電体バンプ142は、ICモジュールの裏面に配置されている。第1導電体バンプ141は第1導電体ピラー121に接続されており、第2導電体バンプ142は第2導電体ピラー122に接続されている。第1導電体バンプ141および第2導電体バンプ142としては、C4（Controlled Collapsed Chip Connection）バンプ等が挙げられる。

[0022] ICブリッジ10は、モジュール用裏面側樹脂層120に埋め込まれており、第1ICチップ21と第2ICチップ22との間にブリッジされている。ICブリッジ10は、第3配線133および第4配線134に電氣的に接続されており、第3配線133、第3導電体バンプ113、第4配線134および第4導電体バンプ114を介して第1ICチップ21と第2ICチップ

プ22とを電氣的に接続する。ICブリッジ10の詳細は後述する。

[0023] モジュール用裏面側樹脂層120の表面側から裏面側までの厚さは、10 μ m以上50 μ m以下である。また、ICブリッジ10の表面側から裏面側までの厚さは、10 μ m以上50 μ m以下である。

[0024] 表面側から裏面側に向かう方向における位置であって、モジュール用裏面側樹脂層120の裏面側の面の位置と、後述するICブリッジ10のブリッジ用樹脂層18の裏面側の面の位置とは、揃っている。すなわち、モジュール用裏面側樹脂層120の裏面側の面と、後述するICブリッジ10のブリッジ用樹脂層18の裏面側の面とは、面合わせされており、段差を有さない。

[0025] モジュール用裏面側樹脂層120の材料とICブリッジ10のブリッジ用樹脂層18の材料とは、同一であってもよいし、異なってもよい。一般には、どちらもエポキシ樹脂系の材料等が使われる。

[0026] (ICブリッジ：Integrated Circuit bridge)

図2は、図1に示すICモジュールにおけるICブリッジであって、第1実施形態に係るICブリッジを示す断面図である。図2に示すように、ICブリッジ10は、ICブリッジの表面側、すなわちICモジュールの表面側に配置されたブリッジ用再配線層12と、ICブリッジの裏面側、すなわちICモジュールの裏面側に配置されたブリッジ用樹脂層18とを備える。

[0027] ブリッジ用再配線層(Redistribution Layer：RDL)12は、誘電体層13と、配線14と、第1パッド電極15および第2パッド電極16とを有する。配線14は、誘電体層13内に配置されており、上述した第1ICチップ21と第2ICチップ22とを電氣的に接続する。第1パッド電極15は、表面において露出して配置されており、配線14と上述した第1ICチップ21とを電氣的に接続する。第2パッド電極16は、表面において露出して配置されており、配線14と上述した第2ICチップ22とを電氣的に接続する。

[0028] 配線14の材料としてはCu等の金属が用いられ、第1パッド電極15および第2パッド電極16の材料としてはCuやAl等の金属が用いられる。誘電体層13の材料としては、ポリイミド等の有機材料が用いられる。

[0029] 図2に示すように、ICモジュール実装前のICブリッジ10単体では、表面から裏面までの厚さは、100 μ m以上または概ね100 μ m以上である。これにより、反りの低減や欠けを防ぐことでICモジュール実装時のICブリッジ10のハンドリングをし易くすることができる。

[0030] 一方、図1に示すように、ICモジュール実装後のICブリッジ10では、表面から裏面までの厚さは、10 μ m以上50 μ m以下である。これにより、実装後のICブリッジ10およびICモジュール100の薄型化が可能である。

以下では、ICブリッジ10およびICモジュール100の製造方法の一例について説明する。

[0031] (ICブリッジの製造方法の一例)

図3A～図3Eは、第1実施形態に係るICブリッジの製造方法の一例を示す図である。図3A～図3Eでは、同時に2つのICブリッジを製造する一例を示す。

[0032] まず、図3Aに示すように、ガラス等の平板状の第1キャリア基板B1上に配線14を形成し、配線14上に第1パッド電極15および第2パッド電極16を形成する。その後、配線14、第1パッド電極15および第2パッド電極16を覆うように、第1キャリア基板B1上に誘電体層13を積層する。その後、誘電体層13を研磨し、第1パッド電極15および第2パッド電極16を露出させる。これにより、配線14、第1パッド電極15および第2パッド電極16が誘電体層13によって覆われたブリッジ用再配線層12を形成する。なお、ブリッジ用再配線層12は、配線14、誘電体層13、第1パッド電極15および第2パッド電極16、誘電体層13をこの順に積層する方法で形成しても良い。

[0033] 次に、図3Bに示すように、第1キャリア基板B1の上下を反転し、ブリ

ッジ用再配線層 12 の第 1 キャリア基板 B 1 と反対側を、ガラス等の平板状の第 2 キャリア基板 B 2 に貼り付け、ブリッジ用再配線層 12 から第 1 キャリア基板 B 1 を剥離する。

[0034] 次に、図 3 C に示すように、ブリッジ用再配線層 12 の裏面にブリッジ用樹脂層 18 を塗布法等によって積層し、ブリッジ用樹脂層 18 を硬化させ、ブリッジ用樹脂層 18 の厚さが所定の厚さとなるようにブリッジ用樹脂層 18 の裏面を研磨する。所定の厚さとしては、前述のように生成された IC ブリッジ 10 のハンドリングのし易さを考慮して、 $100\mu\text{m}$ 以上程度と薄過ぎないこと好ましい。

[0035] 次に、図 3 D に示すように、第 2 キャリア基板 B 2 の上下を反転し、第 2 キャリア基板 B 2 を剥離し、図 3 E に示すように、それを個片化する。これにより、ブリッジ用再配線層 12 とブリッジ用樹脂層 18 とが積層された IC ブリッジ 10 が得られる。

[0036] (IC ブリッジダイの製造方法の他の一例)

図 4 A ～図 4 C は、第 1 実施形態に係る IC ブリッジの製造方法の他の一例を示す図である。図 4 A ～図 4 C でも、同時に 2 つの IC ブリッジを製造する一例を示す。

[0037] まず、図 4 A に示すように、第 1 キャリア基板 B 1 上にブリッジ用樹脂層 18 を塗布法等によって形成し、ブリッジ用樹脂層 18 を硬化させる。このとき、ブリッジ用樹脂層 18 を研削・研磨し、平坦な面を形成する。その後、ブリッジ用樹脂層 18 上に配線 14 を形成し、配線 14 上に第 1 パッド電極 15 および第 2 パッド電極 16 を形成する。その後、配線 14、第 1 パッド電極 15 および第 2 パッド電極 16 を覆うように、第 1 キャリア基板 B 1 上に誘電体層 13 を積層する。その後、誘電体層 13 を研磨し、第 1 パッド電極 15 および第 2 パッド電極 16 を露出させる。これにより、配線 14、第 1 パッド電極 15 および第 2 パッド電極 16 が誘電体層 13 によって覆われたブリッジ用再配線層 12 を形成する。なお、ブリッジ用再配線層 12 は、配線 14、誘電体層 13、第 1 パッド電極 15 および第 2 パッド電極 16

、誘電体層 13 をこの順に積層する方法で形成しても良い。

[0038] 次に、図 4 B に示すように、第 1 キャリア基板 B 1 を剥離し、図 4 C に示すように、それを個片化する。これにより、ブリッジ用再配線層 12 とブリッジ用樹脂層 18 とが積層された IC ブリッジ 10 が得られる。

[0039] (IC モジュールの製造方法の一例)

図 5 A ～図 5 C は、第 1 実施形態に係る IC モジュールの製造方法の一例を示す図である。図 5 A ～図 5 C では、同時に 2 つの IC モジュールを製造する一例を示す。

[0040] まず、図 5 A に示すように、公知の F O W L P (Fan Out Wafer Level Package) 技術等を用いて、

- ・第 1 IC チップ 21 および第 2 IC チップ 22 が配置され、これらの第 1 IC チップ 21 および第 2 IC チップ 22 を封止したモジュール用表面側樹脂層 110 を形成し、

- ・第 1 IC チップ 21 および第 2 IC チップ 22 に電氣的に接続された第 1 配線 131、第 2 配線 132、第 3 配線 133 および第 4 配線 134 が誘電体層 136 内に配置されたモジュール用再配線層 130 を形成し、

- ・第 1 配線 131 に接続された第 1 導電体ピラー 121 と、第 2 配線 132 に接続された第 2 導電体ピラー 122 と、第 1 IC チップ 21 と第 2 IC チップ 22 との間にブリッジされて第 3 配線 133 および第 4 配線 134 を介して第 1 IC チップ 21 と第 2 IC チップ 22 とを電氣的に接続する上述した IC ブリッジ 10 とが配置され、これらを封止したモジュール用裏面側樹脂層の材料層 120Z を形成し、

- ・これらのモジュール用表面側樹脂層 110、モジュール用再配線層 130、およびモジュール用裏面側樹脂層の材料層 120Z を積層する。

このとき、IC ブリッジ 10 の表面側から裏面側までの厚さは、図 2 に示すように 100 μ m 以上程度と厚い。これにより、実装時の IC ブリッジ 10 のハンドリングをし易くすることができる。

[0041] なお、これらのモジュール用表面側樹脂層 110、モジュール用再配線層

130、およびモジュール用裏面側樹脂層の材料層120Zの形成・積層方法としては、これに限定されず、様々な方法が適用されてもよい。

[0042] 次に、図3Bに示すように、モジュール用裏面側樹脂層の材料層120ZとICブリッジ10におけるブリッジ用樹脂層18とを同時に研磨する。これにより、第1導電体ピラー121の他端および第2導電体ピラー122の他端が露出する。

このとき、ICブリッジ10の表面側から裏面側までの厚さは、図1に示すように10 μ m以上50 μ m以下と薄くなる。これにより、実装後のICブリッジ10およびICモジュール100の薄型化が可能である。

[0043] 次に、図5Cに示すように、裏面に第1導電体バンプ141および第2導電体バンプ142を形成し、それを個片化することによって、図1に示すICブリッジ10およびICモジュール100が得られる。

[0044] 以上説明したように、本実施形態のICブリッジ10によれば、表面側に配置されたブリッジ用再配線層12と、裏面側に配置されたブリッジ用樹脂層18とを備える。そのため、ICブリッジ10単体の厚さを100 μ m以上または概ね100 μ mと比較的に厚くすることにより、実装時にハンドリングし易くすることができる。

一方、実装後、ICモジュール100のモジュール用裏面側樹脂層120の研磨と同時に、ICブリッジ10の裏面側のブリッジ用樹脂層18を容易に研磨することができ、ICブリッジ10の厚さを10 μ m以上50 μ m以下と薄くすることができる。

このように、実装時のハンドリングを損なうことなく、実装後の薄型化を容易にすることができる。

[0045] また、実装後にICブリッジ10の薄膜化を行うので、導電性ピラーの高さを低くすることができ、導電性ピラーの径を細くすることができる。そのため、導電性ピラーの狭ピッチ化が可能となり、導電性ピラーの数を増やすことができ、高集積化が可能となる。

また、導電性ピラーの高さを低くすることができるので製造歩留が向上する

。

[0046] ここで、特許文献１に記載のようにＳｉブリッジダイを用いる場合、ＩＣモジュール１００のモジュール用裏面側樹脂層１２０の硬さと比較して、Ｓｉブリッジダイの硬さが非常に硬いので、モジュール用裏面側樹脂層１２０とＳｉブリッジダイとを同時に研磨すると、裏面においてモジュール用裏面側樹脂層１２０とＳｉブリッジダイとに段差が生じることが予想される。

[0047] この点に関し、本実施形態のＩＣブリッジ１０によれば、ＩＣモジュール１００のモジュール用裏面側樹脂層１２０の硬さと、ＩＣブリッジ１０のブリッジ用樹脂層１８の硬さとが、例えばどちらもエポキシ樹脂系の材料を用いることで、ほぼ同等であるので、モジュール用裏面側樹脂層１２０とブリッジ用樹脂層１８とを同時に研磨しても、裏面においてモジュール用裏面側樹脂層１２０とＳｉブリッジダイとに段差が生じることが抑制され、裏面の平坦性の精度が向上する。

[0048] [第２実施形態]

(ＩＣモジュール：Integrated Circuit Module)

図６は、第２実施形態に係るＩＣモジュールを示す断面図である。図６に示す第２実施形態のＩＣモジュール１００は、図１に示す第１実施形態のＩＣモジュール１００と比較して、ＩＣブリッジ１０の構成が異なる。第２実施形態のＩＣモジュール１００のその他の構成は、第１実施形態のＩＣモジュール１００の構成と同一である。

[0049] すなわち、モジュール用裏面側樹脂層１２０の表面側から裏面側までの厚さは、 $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である。また、ＩＣブリッジ１０の表面側から裏面側までの厚さは、 $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である。

[0050] 詳細は後述するが、ＩＣブリッジ１０のモジュール用裏面側樹脂層１２０には導電体ピラー１９が配置されており、導電体ピラー１９は裏面において露出している。裏面において、導電体ピラー１９の位置には、第３導電体バンプ１４３が配置されている。

[0051] また、表面側から裏面側に向かう方向における位置であって、モジュール

用裏面側樹脂層 120 の裏面側の面の位置と、後述する IC ブリッジ 10 のブリッジ用樹脂層 18 の裏面側の面の位置とは、揃っている。すなわち、モジュール用裏面側樹脂層 120 の裏面側の面と、後述する IC ブリッジ 10 のブリッジ用樹脂層 18 の裏面側の面とは、面合わせされており、段差を有さない。

[0052] (ICブリッジ: Integrated Circuit bridge)

図 7 は、図 6 に示す IC モジュールにおける IC ブリッジであって、第 2 実施形態に係る IC ブリッジを示す断面図である。図 7 に示す第 2 実施形態の IC ブリッジ 10 は、図 2 に示す第 1 実施形態の IC ブリッジ 10 と比較して、導電体ピラー 19 を更に備える構成で異なる。第 2 実施形態の IC ブリッジ 10 のその他の構成は、第 1 実施形態の IC ブリッジ 10 の構成と同一である。

[0053] 導電体ピラー 19 (導電体ポストともいう。) は、ブリッジ用樹脂層 18 内に配置されており、表面側から裏面側に向けて延在している。導電体ピラー 19 における一端は、ブリッジ用再配線層 12 の配線 14 に電氣的に接続されており、導電体ピラー 19 における他端は、裏面において露出していない。導電体ピラー 19 の表面側から裏面側までの長さは、後述するように、モジュール用裏面側樹脂層の材料層 120 Z と IC ブリッジ 10 におけるブリッジ用樹脂層 18 とを同時に研磨した後に IC ブリッジ 10 におけるブリッジ用樹脂層 18 の裏面に露出する長さである。導電体ピラー 19 の材料としては、Cu 等の金属が挙げられる。

[0054] 図 7 に示すように、IC モジュール実装前の IC ブリッジ 10 単体では、表面から裏面までの厚さは、100 μm 以上程度である。これにより、IC モジュール実装時の IC ブリッジ 10 のハンドリングをし易くすることができる。

[0055] 一方、図 6 に示すように、IC モジュール実装後の IC ブリッジ 10 では、表面から裏面までの厚さは、10 μm 以上 50 μm 以下である。これにより、実装後の IC ブリッジ 10 および IC モジュール 100 の薄型化が可能

である。

以下では、ＩＣブリッジ１０およびＩＣモジュール１００の製造方法の一例について説明する。

[0056] （ＩＣブリッジの製造方法の一例）

図８Ａ～図８Ｅは、第２実施形態に係るＩＣブリッジの製造方法の一例を示す図である。図８Ａ～図８Ｅでは、同時に２つのＩＣブリッジを製造する一例を示す。

[0057] まず、図８Ａに示すように、ガラス等の平板状の第１キャリア基板Ｂ１上に配線１４を形成し、配線１４上に第１パッド電極１５および第２パッド電極１６を形成する。その後、配線１４、第１パッド電極１５および第２パッド電極１６を覆うように、第１キャリア基板Ｂ１上に誘電体層１３を積層する。その後、誘電体層１３を研磨し、第１パッド電極１５および第２パッド電極１６を露出させる。これにより、配線１４、第１パッド電極１５および第２パッド電極１６が誘電体層１３によって覆われたブリッジ用再配線層１２を形成する。なお、ブリッジ用再配線層１２は、配線１４、誘電体層１３、第１パッド電極１５および第２パッド電極１６、誘電体層１３をこの順に積層する方法で形成しても良い。

[0058] 次に、図８Ｂに示すように、第１キャリア基板Ｂ１の上下を反転し、ブリッジ用再配線層１２の第１キャリア基板Ｂ１と反対側を、ガラス等の平板状の第２キャリア基板Ｂ２に貼り付け、ブリッジ用再配線層１２から第１キャリア基板Ｂ１を剥離する。その後、ブリッジ用再配線層１２の裏面に導電体ピラー１９を形成する。導電体ピラー１９の長さは後述するように、モジュール用裏面側樹脂層の材料層１２０ＺとＩＣブリッジ１０におけるブリッジ用樹脂層１８とを同時に研磨した後にＩＣブリッジ１０におけるブリッジ用樹脂層１８の裏面に露出する長さとするのが好ましい。

[0059] 次に、図８Ｃに示すように、ブリッジ用再配線層１２の裏面にブリッジ用樹脂層１８を塗布法等によって積層し、ブリッジ用樹脂層１８を硬化させ、ブリッジ用樹脂層１８の厚さが所定の厚さとなるようにブリッジ用樹脂層１

8の裏面を研磨する。所定の厚さとしては、後述のように生成されたICブリッジ10のハンドリングのし易さを考慮して、100 μ m以上程度と薄過ぎないこと好ましい。

[0060] 次に、図8Dに示すように、第2キャリア基板B2の上下を反転し、第2キャリア基板B2を剥離し、図8Eに示すように、それを個片化する。これにより、ブリッジ用再配線層12とブリッジ用樹脂層18とが積層され、ブリッジ用樹脂層18に導電体ピラー19が配置されたICブリッジ10が得られる。

[0061] (ICモジュールの製造方法の一例)

図9A～図9Cは、第2実施形態に係るICモジュールの製造方法の一例を示す図である。図9A～図9Cでは、同時に2つのICモジュールを製造する一例を示す。

[0062] まず、図9Aに示すように、公知のFOWLP (Fan Out Wafer Level Package) 技術等を用いて、

- ・第1ICチップ21および第2ICチップ22が配置され、これらの第1ICチップ21および第2ICチップ22を封止したモジュール用表面側樹脂層110を形成し、

- ・第1ICチップ21および第2ICチップ22に電氣的に接続された第1配線131、第2配線132、第3配線133および第4配線134が誘電体層136内に配置されたモジュール用再配線層130を形成し、

- ・第1配線131に接続された第1導電体ピラー121と、第2配線132に接続された第2導電体ピラー122と、第1ICチップ21と第2ICチップ22との間にブリッジされて第3配線133および第4配線134を介して第1ICチップ21と第2ICチップ22とを電氣的に接続する上述したICブリッジ10とが配置され、これらを封止したモジュール用裏面側樹脂層の材料層120Zを形成し、

- ・これらのモジュール用表面側樹脂層110、モジュール用再配線層130、およびモジュール用裏面側樹脂層の材料層120Zを積層する。

このとき、ICブリッジ10の表面側から裏面側までの厚さは、図7に示すように100 μ m以上程度と厚い。これにより、実装時のICブリッジ10のハンドリングをし易くすることができる。

[0063] なお、これらのモジュール用表面側樹脂層110、モジュール用再配線層130、およびモジュール用裏面側樹脂層の材料層120Zの形成・積層方法としては、これに限定されず、様々な方法が適用されてもよい。

[0064] 次に、図9Bに示すように、モジュール用裏面側樹脂層の材料層120ZとICブリッジ10におけるブリッジ用樹脂層18とを同時に研磨する。これにより、第1導電体ピラー121の他端、第2導電体ピラー122の他端、および、ICブリッジ10のブリッジ用樹脂層18における導電体ピラー19の他端が露出する。

このとき、ICブリッジ10の表面側から裏面側までの厚さは、図1に示すように10 μ m以上50 μ m以下と薄くなる。これにより、実装後のICブリッジ10およびICモジュール100の薄型化が可能である。

[0065] 次に、図9Cに示すように、裏面に第1導電体バンプ141、第2導電体バンプ142および第3導電体バンプ143を形成し、それを個片化することによって、図6に示すICブリッジ10およびICモジュール100が得られる。

[0066] 以上説明したように、第2実施形態のICブリッジ10、ICモジュール100およびICモジュールの製造方法でも、第1実施形態のICブリッジ10、ICモジュール100およびICモジュールの製造方法と同様の利点を得ることができる。

[0067] また、第2実施形態のICブリッジ10によれば、裏面側のブリッジ用樹脂層18に導電体ピラー19を備えるので、ICブリッジ10は、導電体ピラー19を介して直接に電源または信号を受け、それらを第1ICチップ21および／または第2ICチップ22に供給することができる。例えば、ICブリッジ10は、第1ICチップ21と第2ICチップ22との間の通信インタフェース回路における駆動回路の電源を、導電体ピラー19を介して

直接に受け、それを第1 ICチップ21および／または第2 ICチップ22に供給することができる。

[0068] 以上、本発明の実施形態について説明したが、本発明は上述した実施形態に限定されることなく、種々の変更および変形が可能である。例えば、上述した実施形態では、2つのICチップ21、22の間にブリッジされるICブリッジ10およびそれを備えるICモジュール100について例示した。しかし、本発明の特徴は、これに限定されず、3つ以上のICチップの間にブリッジされるICブリッジおよびそれを備えるICモジュールにも適用可能である。

符号の説明

- [0069]
- 10 ICブリッジ
 - 12 ブリッジ用再配線層
 - 13 誘電体層
 - 14 配線
 - 15 第1パッド電極
 - 16 第2パッド電極
 - 18 ブリッジ用樹脂層
 - 19 導電体ピラー
 - 21 第1 ICチップ
 - 22 第2 ICチップ
 - 100 ICモジュール
 - 110 モジュール用表面側樹脂層
 - 111 第1導電体バンプ
 - 112 第2導電体バンプ
 - 113 第3導電体バンプ
 - 114 第4導電体バンプ
 - 120 モジュール用裏面側樹脂層
 - 120Z モジュール用裏面側樹脂層の材料層

- 1 2 1 第1導電体ピラー
- 1 2 2 第2導電体ピラー
- 1 3 0 モジュール用再配線層
- 1 3 1 第1配線
- 1 3 2 第2配線
- 1 3 3 第3配線
- 1 3 4 第4配線
- 1 3 6 誘電体層
- 1 4 1 第1導電体バンプ
- 1 4 2 第2導電体バンプ
- 1 4 3 第3導電体バンプ

請求の範囲

- [請求項1] 第1 ICチップと第2 ICチップとの間にブリッジされて、前記第1 ICチップと前記第2 ICチップとを電氣的に接続するICブリッジであって、
- 前記ICブリッジの表面側に配置されたブリッジ用再配線層と、
- 前記ICブリッジの裏面側に配置されたブリッジ用樹脂層と、
- を備え、
- 前記ブリッジ用再配線層は、
- 誘電体層と、
- 前記誘電体層内に配置されており、前記第1 ICチップと前記第2 ICチップとを電氣的に接続する配線と、
- 前記表面において露出して配置されており、前記配線と前記第1 ICチップとを電氣的に接続する第1パッド電極と、
- 前記表面において露出して配置されており、前記配線と前記第2 ICチップとを電氣的に接続する第2パッド電極と、
- を有する、ICブリッジ。
- [請求項2] 前記ブリッジ用樹脂層内に配置されており、前記表面側から前記裏面側に向けて延在している導電体ピラーを更に備え、
- 前記導電体ピラーにおける一端は、前記ブリッジ用再配線層の前記配線に電氣的に接続されており、
- 前記導電体ピラーにおける他端は、前記裏面において露出していない、
- 請求項1に記載のICブリッジ。
- [請求項3] 前記ブリッジ用樹脂層内に配置されており、前記表面側から前記裏面側に向けて延在している導電体ピラーを更に備え、
- 前記導電体ピラーにおける一端は、前記ブリッジ用再配線層の前記配線に電氣的に接続されており、
- 前記導電体ピラーにおける他端は、前記裏面において露出している

、

請求項 1 に記載の I C ブリッジ。

[請求項 4] 前記表面から前記裏面までの厚さは、 $100\mu\text{m}$ 以上である、請求項 1 または 2 に記載の I C ブリッジ。

[請求項 5] 前記表面から前記裏面までの厚さは、 $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である、請求項 1 または 3 に記載の I C ブリッジ。

[請求項 6] 表面から裏面に向けて順に積層されたモジュール用表面側樹脂層、モジュール用再配線層およびモジュール用裏面側樹脂層と、

前記モジュール用表面側樹脂層内に配置されており、前記表面に沿って並んでいる第 1 I C チップおよび第 2 I C チップと、

前記モジュール用再配線層内に配置されており、前記第 1 I C チップに電氣的に接続された第 1 配線および第 3 配線と、

前記モジュール用再配線層内に配置されており、前記第 2 I C チップに電氣的に接続された第 2 配線および第 4 配線と、

前記モジュール用裏面側樹脂層内に配置されており、前記表面側から前記裏面に向けて延在しており、一端が前記モジュール用再配線層の前記第 1 配線に電氣的に接続されており、他端が前記裏面において露出している第 1 導電体ピラーと、

前記モジュール用裏面側樹脂層内に配置されており、前記表面側から前記裏面に向けて延在しており、一端が前記モジュール用再配線層の前記第 2 配線に電氣的に接続されており、他端が前記裏面において露出している第 2 導電体ピラーと、

前記モジュール用裏面側樹脂層に埋め込まれており、前記第 1 I C チップと前記第 2 I C チップとの間にブリッジされて、前記モジュール用再配線層の前記第 3 配線および前記第 4 配線を介して前記第 1 I C チップと前記第 2 I C チップとを電氣的に接続する、請求項 1 または 3 に記載の I C ブリッジと、

を備え、

前記 I C ブリッジの前記表面側から前記裏面側までの厚さ、および、前記モジュール用裏面側樹脂層の前記表面側から前記裏面側までの厚さは、 $10\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下である、

I C モジュール。

[請求項7] 前記表面側から前記裏面側に向かう方向における位置であって、前記モジュール用裏面側樹脂層の前記裏面側の面の位置と、前記 I C ブリッジの前記ブリッジ用樹脂層の前記裏面側の面の位置とは、揃っている、請求項6に記載の I C モジュール。

[請求項8] 表面から裏面に向けて順に積層されたモジュール用表面側樹脂層、モジュール用再配線層およびモジュール用裏面側樹脂層と、

前記モジュール用表面側樹脂層内に配置されており、前記表面に沿って並んでいる第1 I C チップおよび第2 I C チップと、

前記モジュール用再配線層内に配置されており、前記第1 I C チップに電氣的に接続された第1 配線および第3 配線と、

前記モジュール用再配線層内に配置されており、前記第2 I C チップに電氣的に接続された第2 配線および第4 配線と、

前記モジュール用裏面側樹脂層内に配置されており、前記表面側から前記裏面に向けて延在しており、一端が前記モジュール用再配線層の前記第1 配線に電氣的に接続されており、他端が前記裏面において露出している第1 導電体ピラーと、

前記モジュール用裏面側樹脂層内に配置されており、前記表面側から前記裏面に向けて延在しており、一端が前記モジュール用再配線層の前記第2 配線に電氣的に接続されており、他端が前記裏面において露出している第2 導電体ピラーと、

前記モジュール用裏面側樹脂層に埋め込まれており、前記第1 I C チップと前記第2 I C チップとの間にブリッジされて、前記モジュール用再配線層の前記第3 配線および前記第4 配線を介して前記第1 I C チップと前記第2 I C チップとを電氣的に接続する I C ブリッジと

、

を備えるＩＣモジュールの製造方法であって、

前記第１ＩＣチップおよび前記第２ＩＣチップが配置された前記モジュール用表面側樹脂層を形成し、

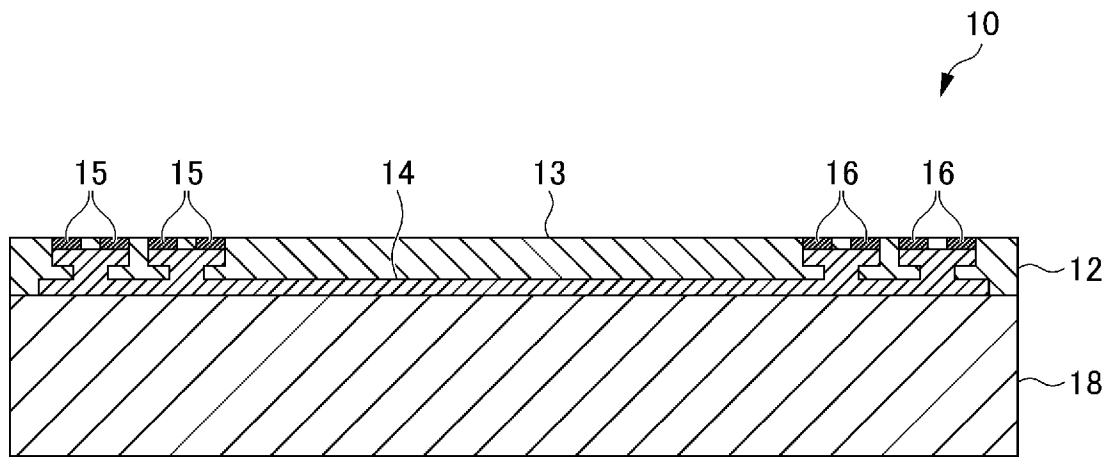
前記モジュール用再配線層を形成し、

前記表面側から前記裏面側までの厚さが $100\mu\text{m}$ 以上である請求項１または２に記載のＩＣブリッジと、前記第１導電体ピラーおよび前記第２導電体ピラーとが配置された前記モジュール用裏面側樹脂層の材料層を形成し、

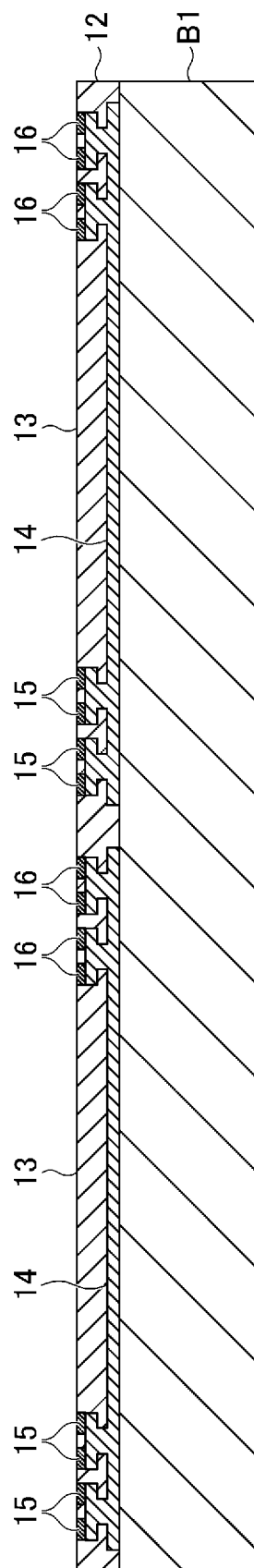
前記裏面における前記モジュール用裏面側樹脂層の材料層と請求項１または２に記載のＩＣブリッジの前記ブリッジ用樹脂層とを同時に研磨することにより、前記表面側から前記裏面側までの厚さが $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である前記ＩＣブリッジおよび前記モジュール用裏面側樹脂層を得る、

ＩＣモジュールの製造方法。

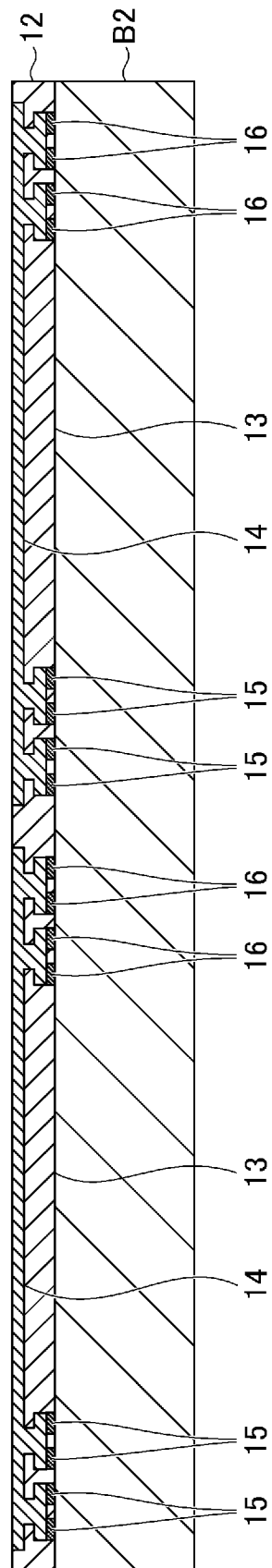
[図2]



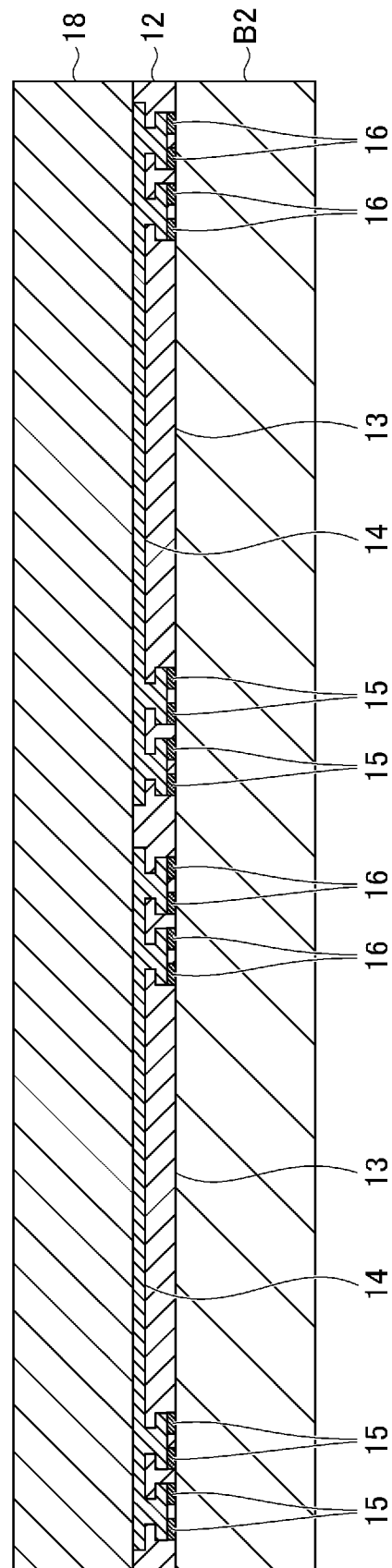
[図3A]



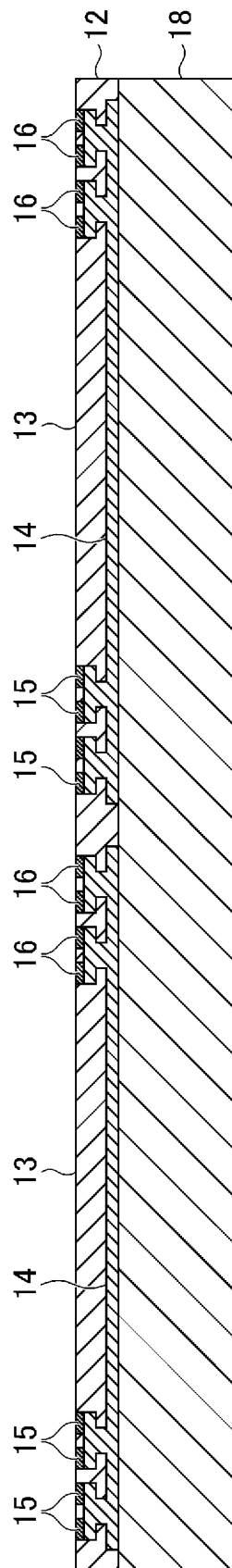
[図3B]



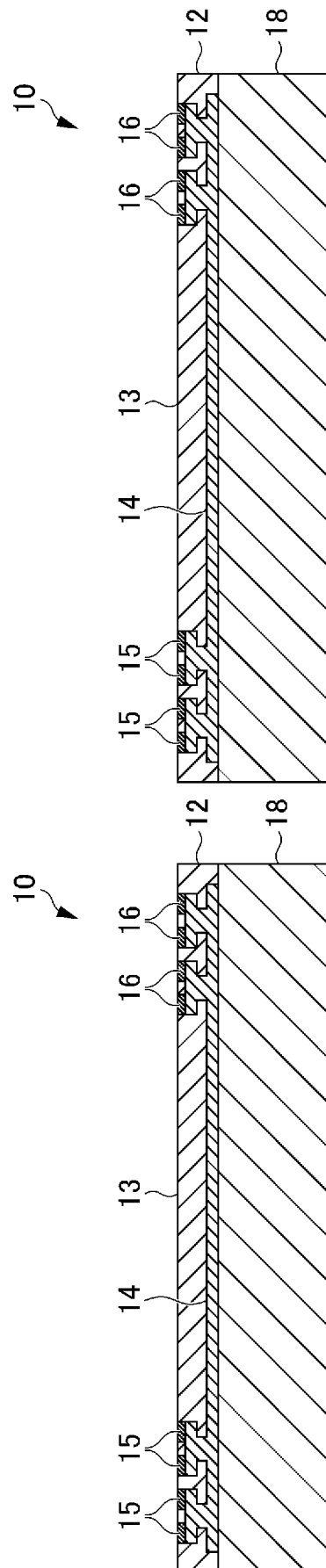
[図3C]



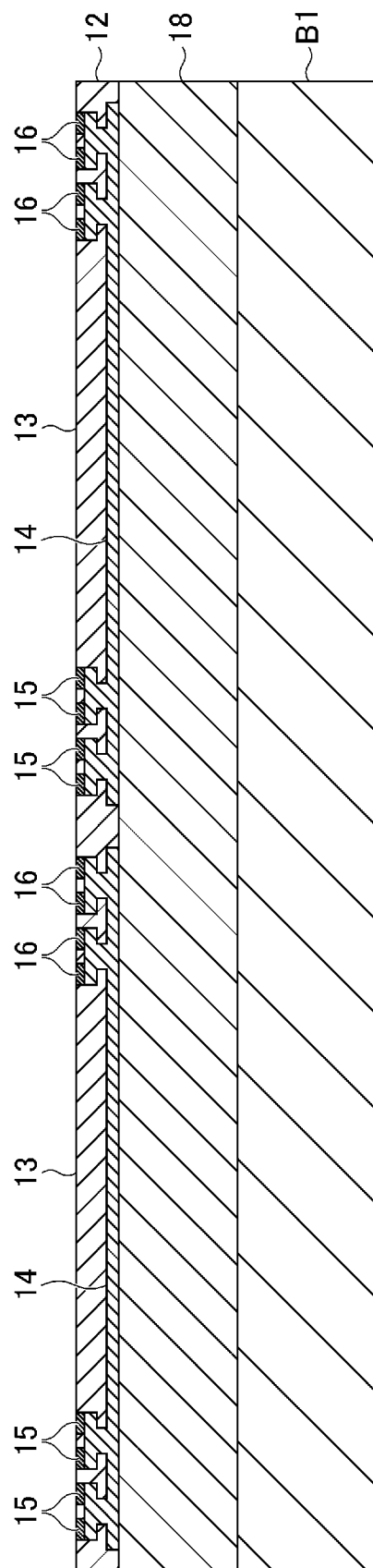
[図3D]



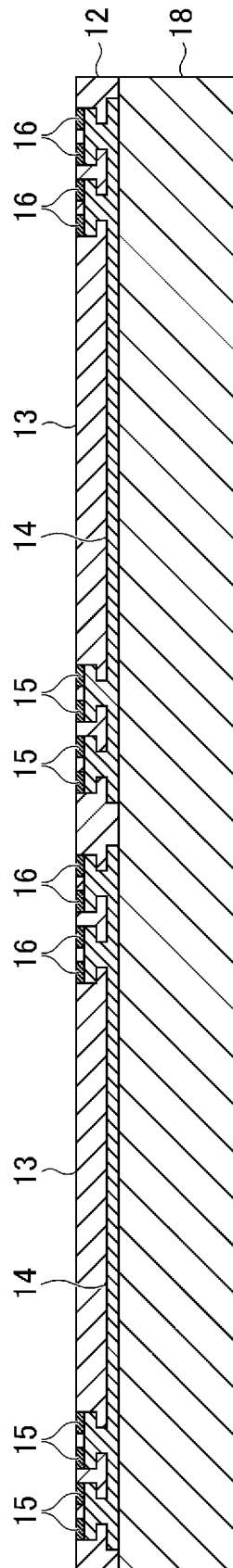
[図3E]



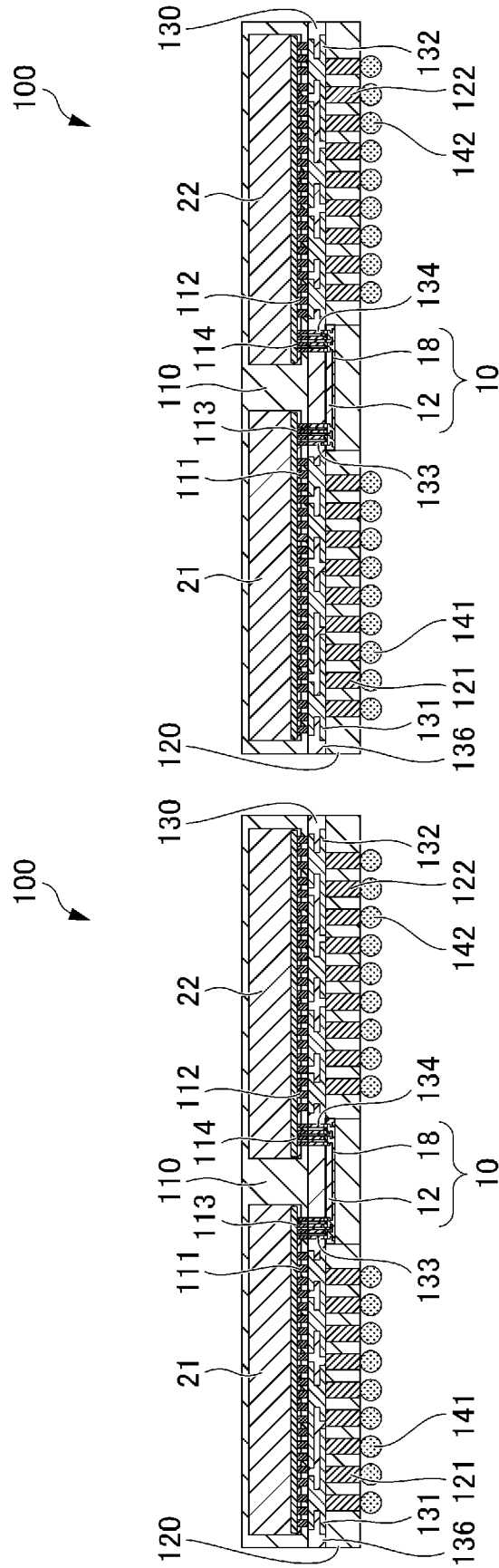
[図4A]



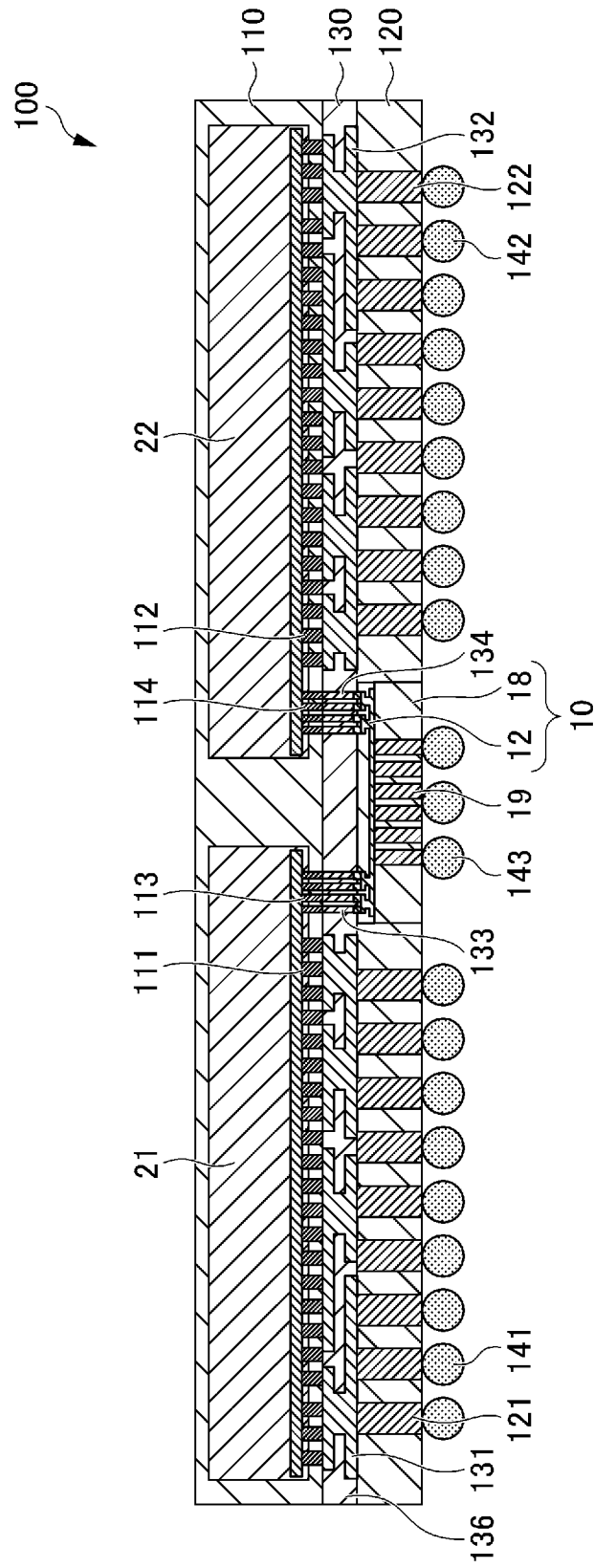
[図4B]



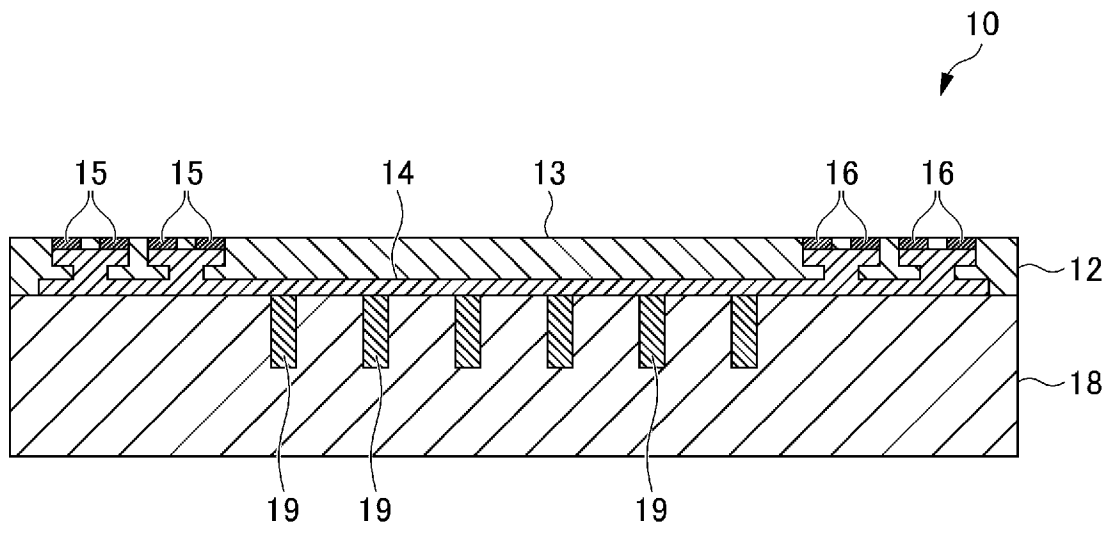
[図5C]



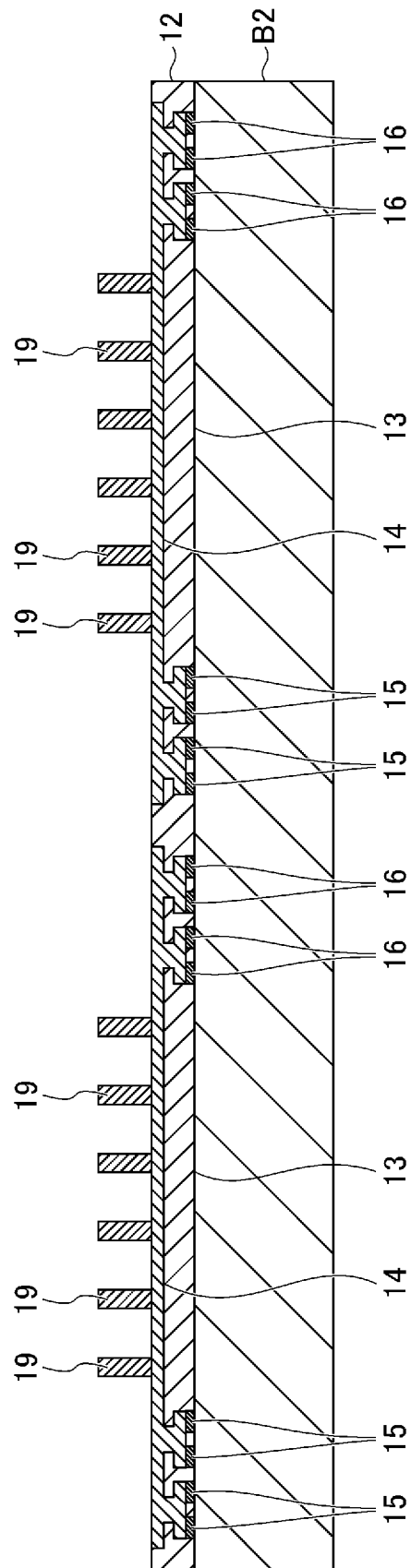
[図6]



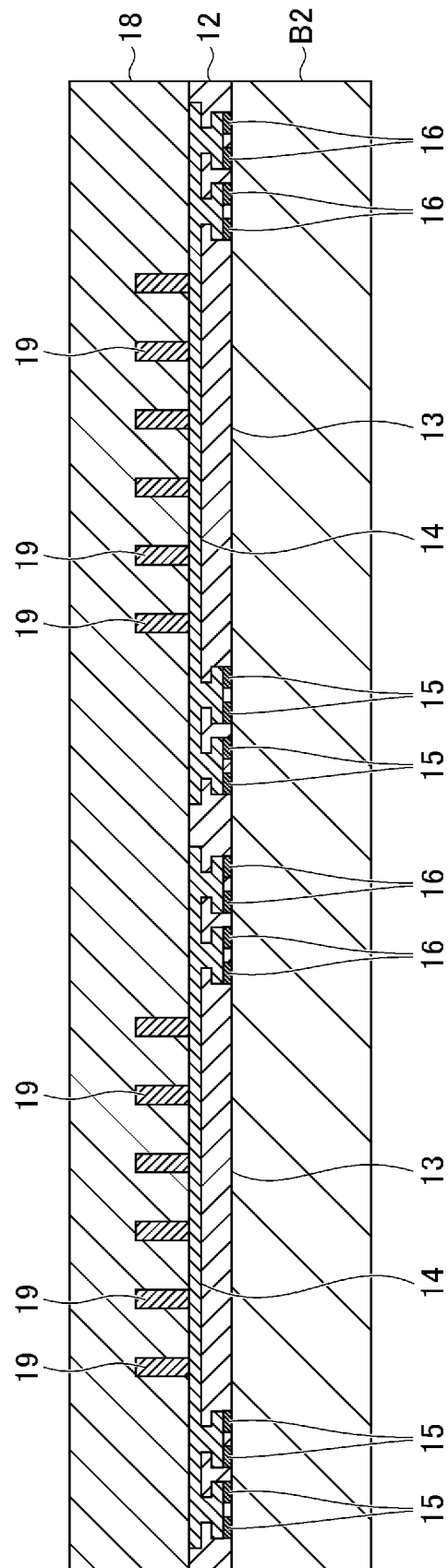
[図7]



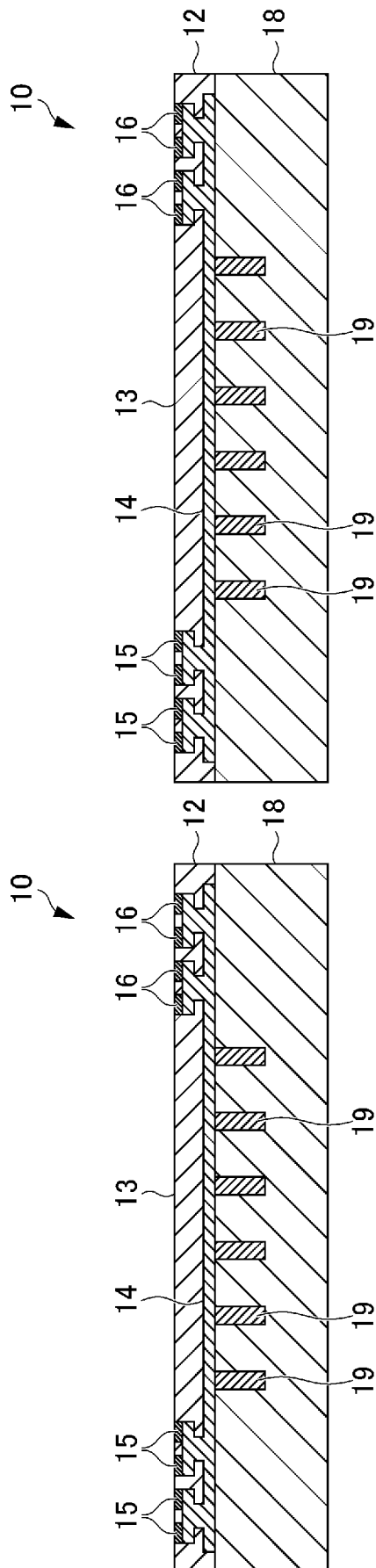
[図8B]



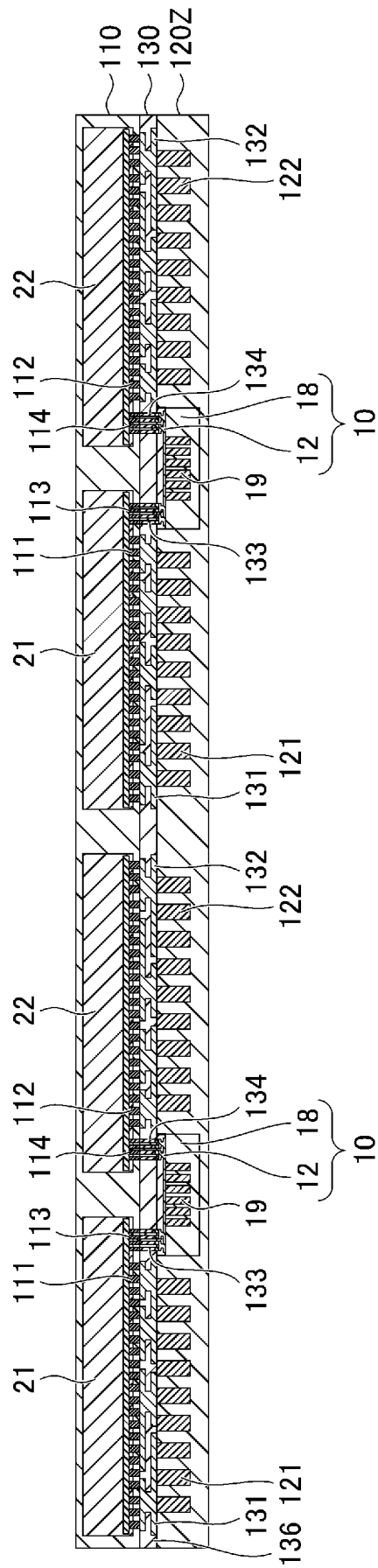
[図8C]



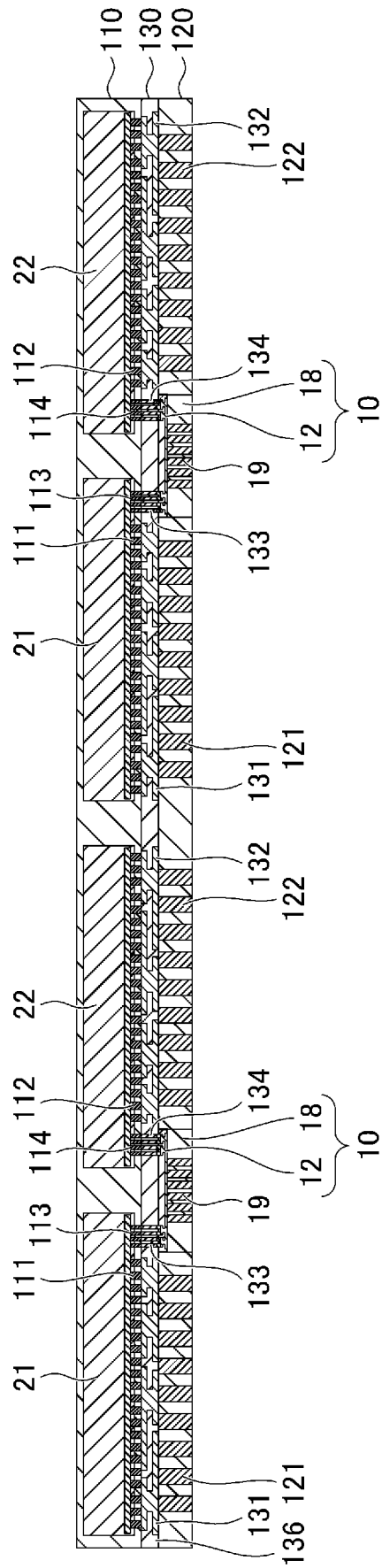
[図8E]



[図9A]



[図9B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/033933

A. CLASSIFICATION OF SUBJECT MATTER**H01L 25/04**(2023.01)i; **H01L 25/18**(2023.01)i

FI: H01L25/04 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/04; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-044654 A (SHINKO ELECTRIC IND. CO., LTD.) 03 March 2011 (2011-03-03) paragraphs [0001]-[0064], fig. 1	1
A	entire text, all drawings	2-8
X	US 2021/0375768 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 02 December 2021 (2021-12-02) paragraphs [0001]-[0086], fig. 5, 9	1
A	entire text, all drawings	2-8
X	US 2022/0223534 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 14 July 2022 (2022-07-14) paragraphs [0001]-[0121], fig. 1-5	1-8
A	JP 2007-287801 A (SONY CORP.) 01 November 2007 (2007-11-01) entire text, all drawings	1-8
A	JP 2019-125779 A (APPLIED MATERIALS, INC.) 25 July 2019 (2019-07-25) entire text, all drawings	1-8

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

11 November 2022

Date of mailing of the international search report

22 November 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/033933

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2020/0185367 A1 (ADVANCED MICRO DEVICES, INC.) 11 June 2020 (2020-06-11) entire text, all drawings	1-8

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/033933

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2011-044654	A	03 March 2011	(Family: none)	
US	2021/0375768	A1	02 December 2021	CN 113206059 A	
				TW 202145487 A	
US	2022/0223534	A1	14 July 2022	(Family: none)	
JP	2007-287801	A	01 November 2007	(Family: none)	
JP	2019-125779	A	25 July 2019	US 2019/0181092 A1	
				entire text, all drawings	
US	2020/0185367	A1	11 June 2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/04(2023.01)i; H01L 25/18(2023.01)i FI: H01L25/04 Z										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01L25/04; H01L25/18										
最小限資料以外の資料で調査を行った分野に含まれるもの										
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2022年									
日本国実用新案登録公報	1996-2022年									
日本国登録実用新案公報	1994-2022年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2011-044654 A（新光電気工業株式会社）03.03.2011（2011-03-03） [0001]-[0064], 図1	1								
A	全文, 全図	2-8								
X	US 2021/0375768 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 02.12.2021 (2021-12-02) [0001]-[0086], 図5, 9	1								
A	全文, 全図	2-8								
X	US 2022/0223534 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 14.07.2022 (2022-07-14) [0001]-[0121], 図1-5	1-8								
A	JP 2007-287801 A（ソニー株式会社）01.11.2007（2007-11-01） 全文, 全図	1-8								
A	JP 2019-125779 A（アブライド マテリアルズ インコーポレイテッド）25.07.2019 （2019-07-25） 全文, 全図	1-8								
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 11.11.2022	国際調査報告の発送日 22.11.2022									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 庄司 一隆 5F 1215 電話番号 03-3581-1101 内線 3516									

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2020/0185367 A1 (ADVANCED MICRO DEVICES, INC.) 11.06.2020 (2020 - 06 - 11) 全文, 全図	1-8

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/033933

引用文献			公表日	パテントファミリー文献	公表日
JP	2011-044654	A	03.03.2011	(ファミリーなし)	
US	2021/0375768	A1	02.12.2021	CN 113206059	A
				TW 202145487	A
US	2022/0223534	A1	14.07.2022	(ファミリーなし)	
JP	2007-287801	A	01.11.2007	(ファミリーなし)	
JP	2019-125779	A	25.07.2019	US 2019/0181092	A1
				全文, 全図	
US	2020/0185367	A1	11.06.2020	(ファミリーなし)	