



# (12) 发明专利

(10) 授权公告号 CN 110114718 B

(45) 授权公告日 2023. 10. 10

(21) 申请号 201880005141.9

(22) 申请日 2018.01.05

(65) 同一申请的已公布的文献号  
申请公布号 CN 110114718 A

(43) 申请公布日 2019.08.09

(30) 优先权数据  
2017-004905 2017.01.16 JP  
2017-012927 2017.01.27 JP

(85) PCT国际申请进入国家阶段日  
2019.06.18

(86) PCT国际申请的申请数据  
PCT/IB2018/050073 2018.01.05

(87) PCT国际申请的公布数据  
W02018/130920 JA 2018.07.19

(73) 专利权人 株式会社半导体能源研究所  
地址 日本神奈川县

(72) 发明人 山崎舜平 高桥圭 黑川义元

(74) 专利代理机构 北京信慧永光知识产权代理  
有限责任公司 11290  
专利代理师 李雪春 王维玉

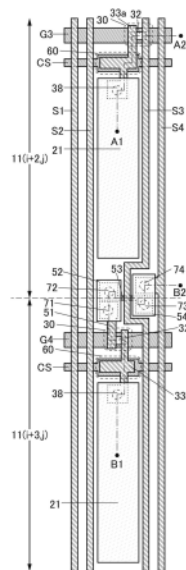
(51) Int.Cl.  
G02F 1/1368 (2006.01)  
G02F 1/133 (2006.01)  
G09G 3/20 (2006.01)  
G09G 3/36 (2006.01)  
H01L 29/786 (2006.01)

(56) 对比文件  
CN 103163697 A, 2013.06.19  
US 2012319106 A1, 2012.12.20  
CN 105629614 A, 2016.06.01  
CN 103077955 A, 2013.05.01  
US 2009224259 A1, 2009.09.10  
马群刚. Sputter成膜工艺.《TFT-LCD原理与  
设计》. 电子工业出版社, 2011, 第123页.

审查员 俞思敏  
权利要求书3页 说明书43页 附图59页

(54) 发明名称  
显示装置及其制造方法

(57) 摘要  
实现适合于大型化的显示装置。该显示装置包括第一至第三布线、第一晶体管、第一至第三导电层以及第一像素电极，第一布线在第一方向上延伸并与第二及第三布线交叉，第二和第三布线都在与第一方向交叉的第二方向上延伸，第一晶体管的栅极与第一布线电连接，第一晶体管的源极和漏极中的一个通过第一至第三导电层电连接于第二布线，第二导电层具有与第三布线重叠的区域，第一导电层、第三导电层以及第一像素电极包含同一材料，第一布线及第二导电层包含同一材料，第一布线被供应选择信号，并且，第二及第三布线分别被供应不同的信号。



1. 一种显示装置,包括:

第一布线;

第二布线;

第三布线;

晶体管;

第一导电层;

第二导电层;

第三导电层;以及

像素电极,

其中,所述第一布线在第一方向上延伸,

其中,所述第二布线和所述第三布线都在与所述第一方向交叉的第二方向上延伸,

其中,所述晶体管包括包含金属氧化物的第一半导体层,

其中,所述晶体管的栅极与所述第一布线电连接,

其中,所述晶体管的源极和漏极中的一个通过所述第一导电层、所述第二导电层以及所述第三导电层电连接于所述第二布线,

其中,所述第二导电层具有与所述第三布线重叠的区域,

其中,所述第一导电层、所述第三导电层以及所述像素电极包含同一材料,所述第一导电层、所述第三导电层以及所述像素电极包含的所述同一材料是透光性的导电材料,

其中,所述第一布线及所述第二导电层包含同一材料,

其中,所述第一布线被供应选择信号,

并且,其中,所述第二布线及所述第三布线分别被供应不同的信号。

2. 一种显示装置,包括:

第一布线;

第二布线;

第三布线;

晶体管;

第一导电层;

第二导电层;

第三导电层;

像素电极;

第一绝缘层;以及

第二绝缘层,

其中,所述第一布线在第一方向上延伸,

其中,所述第二布线和所述第三布线都在与所述第一方向交叉的第二方向上延伸,

其中,所述晶体管包括包含金属氧化物的第一半导体层,

其中,所述晶体管的栅极与所述第一布线电连接,

其中,所述晶体管的源极和漏极中的一个通过所述第一导电层、所述第二导电层以及所述第三导电层电连接于所述第二布线,

其中,所述第二导电层具有与所述第三布线重叠的区域,

其中,所述第一导电层、所述第三导电层以及所述像素电极包含同一材料,所述第一导电层、所述第三导电层以及所述像素电极包含的所述同一材料是透光性的导电材料,

其中,所述第一布线及所述第二导电层包含同一材料,

其中,所述第一导电层通过所述第二绝缘层中的第一开口部与所述晶体管的源极和漏极中的所述一个接触且通过所述第一绝缘层及所述第二绝缘层中的第二开口部与所述第二导电层接触,

并且,其中,所述第三导电层通过所述第一绝缘层及所述第二绝缘层中的第三开口部与所述第二导电层接触且通过所述第二绝缘层中的第四开口部与所述第二布线接触。

3. 根据权利要求1或2所述的显示装置,还包括:

与所述第二布线及所述第三布线电连接的第一源极驱动器及第二源极驱动器。

4. 根据权利要求1或2所述的显示装置,

其中,所述金属氧化物包含铟、锌以及M,

并且,其中,所述M为铝、钛、镓、锗、钇、镧、铈、锡、钨或铅。

5. 根据权利要求1或2所述的显示装置,

其中,所述第一布线是栅极线,

并且,其中,所述第二布线及所述第三布线分别是第一源极线及第二源极线。

6. 一种显示装置的制造方法,

该显示装置包括:

第一布线;

第二布线;

第三布线;

晶体管;

第一导电层;

第二导电层;

第三导电层;

像素电极;

第一绝缘层;以及

第二绝缘层,

其中,所述第一布线在第一方向上延伸,

其中,所述第二布线和所述第三布线都在与所述第一方向交叉的第二方向上延伸,

其中,所述晶体管包括包含金属氧化物的第一半导体层,

其中,所述晶体管的栅极与所述第一布线电连接,

其中,所述晶体管的源极和漏极中的一个通过所述第一导电层、所述第二导电层以及所述第三导电层电连接于所述第二布线,

其中,所述第二导电层具有与所述第三布线重叠的区域,

其中,所述第一导电层、所述第三导电层以及所述像素电极包含同一材料,所述第一导电层、所述第三导电层以及所述像素电极包含的所述同一材料是透光性的导电材料,

其中,所述第一布线及所述第二导电层包含同一材料,

该方法包括如下步骤:

在所述第二绝缘层中形成第一开口部及第四开口部；  
在所述第一绝缘层及所述第二绝缘层中形成第二开口部及第三开口部；  
形成所述第一导电层，该第一导电层通过所述第一开口部与所述晶体管的源极和漏极中的所述一个接触且通过所述第二开口部与所述第二导电层接触；以及  
形成所述第三导电层，该第三导电层通过所述第三开口部与所述第二导电层接触且通过所述第四开口部与所述第二布线接触。

7. 根据权利要求6所述的显示装置的制造方法，

其中，所述第一布线是栅极线，

并且，其中，所述第二布线及所述第三布线分别是第一源极线及第二源极线。

## 显示装置及其制造方法

### 技术领域

[0001] 本发明的一个方式涉及一种显示装置及其制造方法。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本说明书等所公开的本发明的一个方式的技术领域的实例,可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、电子设备、照明装置、输入装置、输入输出装置、这些装置的驱动方法或这些装置的制造方法。

[0003] 注意,在本说明书等中,半导体装置是指通过利用半导体特性而能够工作的所有装置。晶体管、半导体电路、运算装置、存储装置等都是半导体装置的一个方式。此外,摄像装置、电光装置、发电装置(包括薄膜太阳能电池、有机薄膜太阳能电池等)及电子设备有时包括半导体装置。

### 背景技术

[0004] 近年来,对高分辨率的显示装置需求很高。例如,家用电视装置(也称为电视或电视接收器)的主流是分辨率为全高清(Full High-Definition,像素数为 $1920 \times 1080$ )的显示装置,并且正在对诸如4K(像素数为 $3840 \times 2160$ )、8K(像素数为 $7680 \times 4320$ )等高分辨率的显示装置进行进一步的研究。

[0005] 此外,已知有作为显示装置之一的液晶显示装置。透射型液晶显示装置通过利用液晶的光学调制作用控制背光的光透过量,来表示对比度而进行图像显示。

[0006] 此外,作为场效应晶体管的一种,已知使用形成在具有绝缘表面的衬底上的半导体膜来形成沟道形成区域的薄膜晶体管。在专利文献1中公开了作为使用于薄膜晶体管的沟道形成区域的半导体膜使用非晶硅的技术。例如,液晶显示装置的薄膜晶体管被用作各像素的开关晶体管。

[0007] [先行技术文献]

[0008] [专利文献]

[0009] [专利文献1]日本专利申请公开第2001-053283号公报

### 发明内容

[0010] 发明所要解决的技术问题

[0011] 在为电视装置及显示器装置等显示装置的情况下,当分辨率高或者屏幕尺寸大时,该显示装置所包括的晶体管等的负载也明显增大。由此,尤其是在晶体管的场效应迁移率低的情况下,有时很难以高驱动频率工作。

[0012] 本发明的一个方式的目的之一是提供一种高分辨率的显示装置及其制造方法。此外,本发明的一个方式的目的之一是提供一种适合于大型化的显示装置及其制造方法。此外,本发明的一个方式的目的之一是提供一种廉价的显示装置及其制造方法。此外,本发明的一个方式的目的之一是提供一种生产率高的显示装置及其制造方法。此外,本发明的一个方式的目的之一是提供一种可靠性高的显示装置及其制造方法。此外,本发明的一个方

式的目的之一是提供一种使用非晶硅等的显示装置及其制造方法。此外,本发明的一个方式的目的之一是提供一种使用金属氧化物等的显示装置及其制造方法。此外,本发明的一个方式的目的之一是提供一种新颖的显示装置及其制造方法。

[0013] 注意,这些目的的记载不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。此外,可以从说明书、附图、权利要求书等的记载衍生出上述以外的目的。

[0014] 解决技术问题的手段

[0015] 本发明的一个方式是包括第一布线、第二布线、第三布线、第一晶体管、第一导电层、第二导电层、第三导电层以及第一像素电极的显示装置,第一布线在第一方向上延伸并与第二布线及第三布线交叉,第二布线和第三布线都在与第一方向交叉的第二方向上延伸,第一晶体管的栅极与第一布线电连接,第一晶体管的源极和漏极中的一个通过第一导电层、第二导电层以及第三导电层电连接于第二布线,第二导电层具有与第三布线重叠的区域,第一导电层、第三导电层以及第一像素电极包含同一材料,第一布线及第二导电层包含同一材料,第一布线被供应选择信号,并且第二布线及第三布线分别被供应不同的信号。

[0016] 在上述方式中,第二布线及第三布线可以电连接于第一源极驱动器及第二源极驱动器。

[0017] 在上述方式中,还可以包括第四布线、第五布线、第六布线、第二晶体管、第四导电层、第五导电层、第六导电层以及第二像素电极,第四布线在第一方向上延伸并与第二布线、第三布线、第五布线以及第六布线交叉,第五布线和第六布线都在与第一方向交叉的第二方向上延伸,第二晶体管的栅极与第四布线电连接,第二晶体管的源极和漏极中的一个通过第四导电层、第五导电层以及第六导电层电连接于第五布线,第五导电层具有与第六布线重叠的区域,第四导电层、第六导电层以及第二像素电极包含同一材料,第四布线及第五导电层包含同一材料,第四布线被供应与第一布线相同的选择信号,并且第二布线、第三布线、第五布线以及第六布线分别被供应不同的信号。

[0018] 在上述方式中,第五布线及第六布线可以电连接于第一源极驱动器及第二源极驱动器。

[0019] 在上述方式中,第一晶体管可以包括第一半导体层,第二晶体管可以包括第二半导体层,并且第一半导体层和第二半导体层都可以具有位于第三布线与第六布线之间的部分。

[0020] 在上述方式中,第一半导体层和第二半导体层都可以包含非晶硅。

[0021] 在上述方式中,第一半导体层和第二半导体层都可以包含微晶硅或多晶硅。

[0022] 在上述方式中,第一半导体层和第二半导体层都可以包含金属氧化物。

[0023] 在上述方式中,金属氧化物可以包含铟、锌以及M(M为铝、钛、镓、锗、钇、锆、镧、铈、锡、钨或铅)。

[0024] 本发明的一个方式是显示装置的制造方法,该制造方法包括形成栅极线及第一导电层的步骤、形成第一绝缘层的步骤、形成半导体层的步骤、形成第一源极线、第二源极线、具有与半导体层接触的区域的第二导电层及第三导电层的步骤、形成第二绝缘层的步骤、在第二绝缘层中形成到达第二导电层的第一开口部、到达第三导电层的第二开口部以及到达第二源极线的第三开口部且在第一绝缘层及第二绝缘层中以夹持第一源极线的方式形成到达第一导电层的第四开口部及第五开口部的步骤以及以通过第一开口部电连接于第

二导电层的方式形成像素电极,以通过第二开口部电连接于第三导电层并通过第四开口部电连接于第一导电层的方式形成第四导电层,且以通过第三开口部电连接于第二源极线并通过第五开口部电连接于第一导电层的方式形成第五导电层的步骤。

[0025] 发明效果

[0026] 本发明的一个方式可以提供一种高分辨率的显示装置及其制造方法。此外,本发明的一个方式可以提供一种适合于大型化的显示装置及其制造方法。此外,本发明的一个方式可以提供一种廉价的显示装置及其制造方法。此外,本发明的一个方式可以提供一种生产率高的显示装置及其制造方法。此外,本发明的一个方式可以提供一种可靠性高的显示装置及其制造方法。此外,本发明的一个方式可以提供一种使用非晶硅等的显示装置及其制造方法。此外,本发明的一个方式可以提供一种使用金属氧化物等的显示装置及其制造方法。此外,本发明的一个方式可以提供一种新颖的显示装置及其制造方法。

[0027] 注意,这些效果的记载不妨碍其他效果的存在。本发明的一个方式并不需要实现所有上述效果。此外,可以从说明书、附图、权利要求书等的记载衍生出上述以外的效果。

[0028] 附图简要说明

[0029] [图1]是示出显示装置的结构实例的图。

[0030] [图2]是示出显示装置的结构实例的图。

[0031] [图3]是示出显示装置的结构实例的图。

[0032] [图4]是示出显示装置的结构实例的图。

[0033] [图5]是示出显示装置的结构实例的图。

[0034] [图6]是示出显示装置的结构实例的图。

[0035] [图7]是示出显示装置的结构实例的图。

[0036] [图8A和图8B]是示出显示装置的结构实例的图。

[0037] [图9]是示出显示装置的结构实例的图。

[0038] [图10]是示出显示装置的结构实例的图。

[0039] [图11]是示出显示装置的结构实例的图。

[0040] [图12]是示出显示装置的结构实例的图。

[0041] [图13]是示出显示装置的结构实例的图。

[0042] [图14]是示出显示装置的结构实例的图。

[0043] [图15]是示出显示装置的结构实例的图。

[0044] [图16]是示出显示装置的结构实例的图。

[0045] [图17A至图17C]是示出显示装置的制造方法的一个例子的图。

[0046] [图18A和图18B]是示出显示装置的制造方法的一个例子的图。

[0047] [图19A和图19B]是示出显示装置的制造方法的一个例子的图。

[0048] [图20A至图20C]是示出显示装置的制造方法的一个例子的图。

[0049] [图21A和图21B]是示出显示装置的制造方法的一个例子的图。

[0050] [图22A和图22B]是示出显示装置的制造方法的一个例子的图。

[0051] [图23A和图23B]是示出显示装置的结构实例的图。

[0052] [图24A至图24F]是示出晶体管的结构实例的图。

[0053] [图25A至图25C]是示出晶体管的结构实例的图。

- [0054] [图26A至图26C]是示出晶体管的结构实例的图。
- [0055] [图27A至图27C]是示出晶体管的结构实例的图。
- [0056] [图28A至图28D]是示出晶体管的结构实例的图。
- [0057] [图29A至图29C]是示出晶体管的结构实例的图。
- [0058] [图30A和图30B]是示出激光照射方法及激光晶化装置的一个例子的图。
- [0059] [图31A和图31B是]示出激光照射方法的一个例子的图。
- [0060] [图32]是示出显示面板的结构实例的图。
- [0061] [图33A至图33D]是示出电子设备的结构实例的图。
- [0062] [图34A和图34B]是示出实施例1的显示器模块的方框图及示出实施例1的像素的电路图。
- [0063] [图35A和图35B]是示出实施例1的像素布局的俯视图。
- [0064] [图36]是示出实施例1的数据写入时间的估算结果的图。
- [0065] [图37]是示出实施例1的数据写入时间的估算结果的图。
- [0066] [图38A和图38B]是示出实施例1的显示器模块的方框图及示出实施例1的像素的电路图。
- [0067] [图39A和图39B]是示出实施例1的像素布局的俯视图。
- [0068] [图40]是示出实施例1的数据写入时间的估算结果的图。
- [0069] [图41]是示出实施例1的数据写入时间的估算结果的图。
- [0070] [图42]是示出实施例1的数据写入时间的估算结果的图。
- [0071] [图43]是示出实施例1的数据写入时间的估算结果的图。
- [0072] 实施发明的方式
- [0073] 参照附图对实施方式进行详细说明。注意,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限于以下所示的实施方式的记载内容中。
- [0074] 在下面说明的发明结构中,在不同的附图中共同使用相同的符号来表示相同的部分或具有相同功能的部分,而省略反复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加符号。
- [0075] 在本说明书所说明的各附图中,有时为了明确起见,夸大表示各构成要素的大小、层的厚度、区域。因此,本发明并不一定限定于附图中的尺寸。
- [0076] 在本说明书等中使用的“第一”、“第二”等序数词是为了避免构成要素的混淆而附记的,而不是为了在数目方面上进行限定的。
- [0077] 晶体管是半导体元件的一种,可以进行电流或电压的放大、控制导通或非导通的开关工作等。本说明书中的晶体管包括IGFET(Insulated Gate Field Effect Transistor:绝缘栅场效应晶体管)和薄膜晶体管(TFT:Thin Film Transistor)。
- [0078] 此外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,“源极”及“漏极”的功能有时互相调换。因此,在本说明书等中,可以互相调换使用“源极”和“漏极”。
- [0079] 在本说明书等中,有时可以将“源极”、“漏极”、“栅极”分别换称为“源电极”、“漏电

极”、“栅电极”。

[0080] 在本说明书等中，“电连接”包括通过“具有某种电作用的元件”连接的情况。这里，“具有某种电作用的元件”只要可以进行连接对象间的电信号的授受，就对其没有特别的限制。例如，“具有某种电作用的元件”不仅包括电极和布线，而且还包括晶体管等的开关元件、电阻元件、线圈、电容元件、其他具有各种功能的元件等。

[0081] 在本说明书等中，显示装置的一个方式的显示面板是指能够在显示面显示(输出)图像等的面板。因此，显示面板是输出装置的一个方式。

[0082] 在本说明书等中，有时将在显示面板的衬底上安装有例如FPC(Flexible Printed Circuit:柔性印刷电路)或TCP(Tape Carrier Package:载带封装)等连接器的结构或在衬底上以COG(Chip On Glass:玻璃覆晶封装)方式等直接安装IC的结构称为显示面板模块或显示模块，或者也简单地称为显示面板等。

[0083] 此外，在本说明书等中，触摸传感器是指能够检测出手指或触屏笔等被检测体的接触、按压或靠近等的传感器。此外，也可以具有检测其位置信息的功能。因此，触摸传感器是输入装置的一个方式。例如，触摸传感器可以采用具有一个以上的传感器元件的结构。

[0084] 此外，在本说明书等中，有时将包括触摸传感器的衬底称为触摸传感器面板，或者简单地称为触摸传感器等。此外，在本说明书等中，有时将在触摸传感器面板的衬底上安装有例如FPC或TCP等连接器的结构或者在衬底上以COG方式等安装有IC的结构称为触摸传感器面板模块、触摸传感器模块、传感器模块，或者简单地称为触摸传感器等。

[0085] 注意，在本说明书等中，显示装置的一个方式的触摸面板具有如下功能：在显示面显示(输出)图像等的功能；以及检测出手指或触屏笔等被检测体接触、被压或靠近显示面的作为触摸传感器的功能。因此，触摸面板是输入输出装置的一个方式。

[0086] 触摸面板例如也可以称为具有触摸传感器的显示面板(或显示装置)、具有触摸传感器功能的显示面板(或显示装置)。

[0087] 触摸面板也可以包括显示面板及触摸传感器面板。或者，也可以是显示面板内部或表面具有触摸传感器的功能的结构。

[0088] 此外，在本说明书等中，有时将在触摸面板的衬底上安装有例如FPC或TCP等连接器的结构或者在衬底上以COG方式等安装有IC的结构称为触摸面板模块、显示模块，或者简单地称为触摸面板等。

[0089] (实施方式1)

[0090] 在本实施方式中，对本发明的一个方式的显示装置进行说明。

[0091] 本发明的一个方式是包括多个像素排列为矩阵状的显示部的显示装置。在显示部中分别设置有被供应选择信号的多个布线(也称为栅极线或扫描线)以及被供应写入到像素的信号(也称为视频信号等)的多个布线(也称为源极线、信号线、数据线等)。在此，多个栅极线或多个源极线分别彼此平行，而栅极线和源极线彼此交叉。

[0092] 一个像素至少包括一个晶体管及一个显示元件。显示元件包括被用作像素电极的导电层，该导电层与晶体管的源极和漏极中的一个电连接。此外，晶体管的栅极与栅极线电连接，源极和漏极中的另一个与源极线电连接。

[0093] 在此，将栅极线的延伸方向称为行方向或第一方向，将源极线的延伸方向称为列方向或第二方向。

[0094] 在此,优选对相邻的三个以上的栅极线供应相同的选择信号。就是说,这些栅极线的选择期间优选为同一个选择期间。尤其是,优选将四个栅极线设为一组,以简化驱动电路的结构。

[0095] 在对四个栅极线供应相同的选择信号时,在列方向上相邻的四个像素同时被选择。由此,这四个像素分别与不同的源极线连接。就是说,在每个列中设置四个源极线。

[0096] 通过采用在每个列中设置四个源极线的结构,可以使一水平期间比现有技术变得 longer。例如在对四个栅极线供应相同的选择信号时,可以得到现有技术的四倍的一水平期间。再者,由于可以减少源极线之间的寄生电容,所以可以减少源极线的负载。由此,即使是4K、8K等分辨率极高的显示装置,也可以使用场效应迁移率低的晶体管工作。当然,分辨率超过8K(例如是10K、12K或16K等)的显示装置也可以使用本发明的一个方式的结构工作。此外,上述结构也可以应用于屏幕尺寸为对角线50英寸以上、60英寸以上或者70英寸以上的大型显示装置。

[0097] 在每个列中设置四个源极线的情况下,可以在像素的左侧排列两个源极线,在像素的右侧排列两个源极线。换言之,可以在像素的左外侧、左内侧、右内侧、右外侧分别设置源极线。在该结构中,与像素的左外侧的源极线电连接的晶体管的源极和像素的左内侧的源极线交叉。此外,在该结构中,与像素的右外侧的源极线电连接的晶体管的源极和像素的右内侧的源极线交叉。在本发明的一个方式中,使用可以与像素电极通过同一工序形成的导电层及可以与晶体管的栅极通过同一工序形成的导电层,抑制与像素的左外侧的源极线电连接的晶体管的源极和像素的左内侧的源极线发生短路。此外,在本发明的一个方式中,使用可以与像素电极通过同一工序形成的导电层及可以与晶体管的栅极通过同一工序形成的导电层,抑制与像素的右外侧的源极线电连接的晶体管的源极和像素的右内侧的源极线发生短路。由此,即使采用在每个列中设置四个源极线的结构,也可以抑制与在每个列中设置一个或两个源极线的结构相比工序数增加,具体而言就是抑制增加光刻工序的工序数。就是说,可以抑制增加光掩模的个数。因此,可以抑制显示装置的制造成本的增加。

[0098] 下面,对显示装置的更具体实例参照附图进行说明。

[0099] [显示装置的结构实例]

[0100] 图1示出本发明的一个方式的显示装置10的方框图。显示装置10包括显示部17、栅极驱动器12a、栅极驱动器12b、源极驱动器13a以及源极驱动器13b。在显示部17中,将像素11设置为矩阵状。注意,在本说明书等中,将第*i*行第*j*列的像素11记载为像素11(*i*,*j*)。

[0101] 图1示出将栅极驱动器12a和栅极驱动器12b设置在夹着显示部17彼此相对的位置的例子。栅极驱动器12a及栅极驱动器12b与多个布线 $GL_0$ 连接。在图1中,示出布线 $GL_0(i)$ 。布线 $GL_0(i)$ 与四个布线(布线 $GL(i)$ 、布线 $GL(i+1)$ 、布线 $GL(i+2)$ 、布线 $GL(i+3)$ )电连接。因此,对这四个布线供应相同的选择信号。注意,布线 $GL_0$ 及布线 $GL$ 被用作栅极线。

[0102] 栅极驱动器12a及栅极驱动器12b具有对同一个布线 $GL_0$ 供应相同的选择信号的功能。由此,与显示装置10只有一个栅极驱动器的情况相比,可以缩短布线 $GL_0$ 的充放电时间。由此,即使是4K、8K等分辨率极高的显示装置,也可以使用场效应迁移率低的晶体管工作。此外,本发明的一个方式的显示装置可以应用于屏幕尺寸为对角线50英寸以上、60英寸以上或者70英寸以上的大型显示装置。

[0103] 图1示出夹着显示部17设置源极驱动器13a和源极驱动器13b的例子。源极驱动器

13a及源极驱动器13b与多个布线连接。在一个像素列中设置有四个布线。在图1中,示出对应于第j列的像素列的四个布线(布线 $SL_1(j)$ 、布线 $SL_2(j)$ 、布线 $SL_3(j)$ 及布线 $SL_4(j)$ )、对应于第j+1列的像素列的四个布线(布线 $SL_1(j+1)$ 、布线 $SL_2(j+1)$ 、布线 $SL_3(j+1)$ 及布线 $SL_4(j+1)$ )。对不同的布线分别可以供应不同的信号。例如,对布线 $SL_1(j)$ 、布线 $SL_2(j)$ 、布线 $SL_3(j)$ 及布线 $SL_4(j)$ 分别可以供应不同的信号。注意,布线SL(布线 $SL_1$ 、布线 $SL_2$ 、布线 $SL_3$ 及布线 $SL_4$ )被用作源极线。

[0104] 源极驱动器13a及源极驱动器13b具有对同一个布线SL供应相同的信号的功能。由此,与显示装置10只有一个源极驱动器的情况相比,可以缩短布线SL的充放电时间。由此,即使是4K、8K等分辨率极高的显示装置,也可以使用场效应迁移率低的晶体管工作。此外,本发明的一个方式的显示装置可以应用于屏幕尺寸为对角线50英寸以上、60英寸以上或者70英寸以上的大型显示装置。

[0105] 一个像素11是对应于一个颜色的像素。因此,在利用多个像素所发射的光的混色进行彩色显示时,像素11也可以被称为子像素。

[0106] 此外,在列方向上排列为一系列的多个像素优选为分别发射相同的颜色的像素。在使用液晶元件作为显示元件的情况下,在列方向上排列为一系列的像素中设置有与液晶元件重叠并使相同的颜色的光透过的着色层。

[0107] 在此,当使用场效应迁移率低的晶体管时,可以将显示装置中的显示部分成多个显示区域而驱动。但是在上述情况下,有时因驱动电路的特性的不均匀等使被分割的显示区域的边界被看到,而导致可见度降低。此外,需要进行用来预先分割被输入的图像数据的图像处理等,因此需要高速且大规模的图像处理装置。

[0108] 另一方面,本发明的一个方式的显示装置即使在使用场效应迁移率较低的晶体管的情况下也无需将显示部分割成多个显示区域而驱动。

[0109] 显示装置10还可以包括保护电路。图2示出在图1所示的结构的显示装置10中还设置有保护电路18a、保护电路18b、保护电路19a以及保护电路19b的显示装置10的方框图。保护电路18a及保护电路18b与布线 $GL_0$ 电连接。保护电路19a及保护电路19b与布线 $SL_1$ 、布线 $SL_2$ 、布线 $SL_3$ 以及布线 $SL_4$ 电连接。

[0110] 可以将保护电路18a设置在栅极驱动器12a一侧,可以将保护电路18b设置在栅极驱动器12b一侧。就是说,可以将保护电路18a和保护电路18b设置在夹着显示部17彼此相对的位置。此外,可以将保护电路19a设置在源极驱动器13a一侧,可以将保护电路19b设置在源极驱动器13b一侧。就是说,可以将保护电路19a和保护电路19b设置在夹着显示部17彼此相对的位置。

[0111] 通过在显示装置10中设置保护电路,可以保护像素11免受噪声、浪涌或静电放电等的影响。由此可以提高显示装置10的可靠性。

[0112] 虽然在图1中示出在一个像素列中设置四个源极线的例子,但是本发明的一个方式不局限于此。图3示出在一个像素列中设置三个源极线(布线 $SL_1$ 、布线 $SL_2$ 以及布线 $SL_3$ )的结构。在具有该结构的显示装置10中,布线 $GL_0(i)$ 与三个布线(布线 $GL(i)$ 、布线 $GL(i+1)$ 以及布线 $GL(i+2)$ )电连接,并且对这三个布线供应相同的选择信号。在本发明的一个方式中,可以在一个像素列中设置五个以上的源极线。

[0113] 图1示出配置有两个栅极驱动器及两个源极驱动器的例子,但是也可以采用配置

有栅极驱动器及源极驱动器中的一个或配置有一个栅极驱动器及一个源极驱动器的结构。

[0114] 图4示出在一个像素列中配置一个源极驱动器13a及一个源极驱动器13b的例子。就是说,沿着矩形的显示部17的一边设置与像素列相同个数的源极驱动器13a,并且在夹着显示部17与源极驱动器13a相对的位置设置与像素列相同个数的源极驱动器13b。图4示出在一个布线 $GL_0$ 中配置一个栅极驱动器12a及一个栅极驱动器12b的例子。也就是说,沿着矩形的显示部17的一边设置将像素行除以4的个数的栅极驱动器12a,并且在夹着显示部17与栅极驱动器12a相对的位置设置将像素行除以4的个数的栅极驱动器12b。通过采用这种结构,即使是大型显示装置也可以减少起因于布线电阻的电位下降导致的显示的不均匀。

[0115] 在显示装置10中可以设置基准电压生成电路。基准电压生成电路具有生成源极驱动器所供应的信号的基准电压的功能。作为基准电压生成电路,例如可以使用伽马参考电压生成电路。图5示出在图4所示的结构的显示装置10中设置具有对源极驱动器13a供应基准电压的功能的基准电压生成电路16a及具有对源极驱动器13b供应基准电压的功能的基准电压生成电路16b的情况。通过采用图5所示的结构的显示装置10,可以提高由各源极驱动器13a生成的信号的电压准确度及由各源极驱动器13b生成的信号的电压准确度。

[0116] 图6示出在图4所示的结构的显示装置10中设置具有对源极驱动器13a及源极驱动器13b供应基准电压的功能的基准电压生成电路16的情况。通过采用图6所示的结构的显示装置10,也可以提高由各源极驱动器13a生成的信号的电压准确度及由各源极驱动器13b生成的信号的电压准确度。

[0117] [像素的结构实例]

[0118] 下面将说明配置在显示装置10的显示部17中的像素的结构实例。

[0119] 图7示出包括列方向上配置为一列的四个像素的像素11(i,j)、像素11(i+1,j)、像素11(i+2,j)以及像素11(i+3,j)的电路图。

[0120] 一个像素11包括晶体管30、液晶元件20以及电容元件60。

[0121] 布线S1至布线S4分别对应于源极线,布线G1至布线G4分别对应于栅极线。例如,在图7所示的情况下,布线S1对应于布线 $SL_1(j)$ ,布线S2对应于布线 $SL_2(j)$ ,布线S3对应于布线 $SL_3(j)$ ,并且布线S4对应于布线 $SL_4(j)$ 。此外,在图7所示的情况下,布线G1对应于布线 $GL(i)$ ,布线G2对应于布线 $GL(i+1)$ ,布线G3对应于布线 $GL(i+2)$ ,并且布线G4对应于布线 $GL(i+3)$ 。

[0122] 像素11(i,j)所具有的晶体管30的源极和漏极中的一个与布线S1电连接,像素11(i,j)所具有的晶体管30的栅极与布线G1电连接。像素11(i+1,j)所具有的晶体管30的源极和漏极中的一个与布线S2电连接,像素11(i+1,j)所具有的晶体管30的栅极与布线G2电连接。像素11(i+2,j)所具有的晶体管30的源极和漏极中的一个与布线S3电连接,像素11(i+2,j)所具有的晶体管30的栅极与布线G3电连接。像素11(i+3,j)所具有的晶体管30的源极和漏极中的一个与布线S4电连接,像素11(i+3,j)所具有的晶体管30的栅极与布线G4电连接。

[0123] 此外,晶体管30的源极和漏极中的另一个与电容元件60的一个电极及液晶元件20的一个电极(像素电极)电连接。电容元件60的另一个电极与布线CS电连接,布线CS被供应共同电位。

[0124] 晶体管30具有通过切换开启状态和关闭状态控制将从源极线供应的信号写入到

像素11的功能。具体而言,通过使晶体管30处于开启状态,可以将对应于从源极线供应的信号的电荷写入到与该晶体管30电连接的电容元件60。此外,通过使晶体管30处于关闭状态,可以保持写入在电容元件60中的电荷。

[0125] 作为晶体管30,可以使用包含非晶硅的晶体管。包含非晶硅的晶体管的场效应迁移率不容易得到提高,但是,本发明的一个方式的显示装置即使使用上述晶体管也可以实现4K、8K等极高分辨率。此外,还可以实现屏幕尺寸为对角线50英寸以上、60英寸以上或者70英寸以上的大型显示装置。

[0126] 此外,作为晶体管30,可以使用在沟道形成区域中含有金属氧化物(metal oxide)的晶体管(以下称为OS晶体管)。与硅等半导体相比,金属氧化物的能隙大,且OS晶体管的少数载流子密度低。由此,OS晶体管在关闭状态下流过源极与漏极之间的电流(以下称为关态电流(off-state current))极小。因此,通过使用OS晶体管作为晶体管30,可以在电容元件60中长期保持电荷。由此,可以减少向电容元件60写入电荷的频率,即刷新工作的频率,可以减少显示装置10的功耗。

[0127] 在本说明书等中,金属氧化物是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导体(包括透明氧化物导体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在将金属氧化物用于晶体管的半导体层的情况下,有时将该金属氧化物称为氧化物半导体。换言之,在金属氧化物具有放大作用、整流作用和开关作用中的至少一个的情况下,可以将该金属氧化物称为金属氧化物半导体(metal oxide semiconductor),将其简称为OS。此外,OS FET是指包含金属氧化物或氧化物半导体的晶体管。

[0128] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0129] 此外,在本说明书等中,有时记载CAAC(c-axis aligned crystal)或CAC(Cloud-Aligned Composite)。注意,CAAC是指结晶结构的一个例子,CAC是指功能或材料构成的一个例子。

[0130] 此外,在本说明书等中,CAC-OS或CAC-metal oxide在材料的一部分中具有导电性的功能,在材料的另一部分中具有绝缘性的功能,作为材料的整体具有半导体的功能。此外,在将CAC-OS或CAC-metal oxide用于晶体管的活性层的情况下,导电性的功能是使被用作载流子的电子(或空穴)流过的功能,绝缘性的功能是不使被用作载流子的电子流过的功能。通过导电性的功能和绝缘性的功能的互补作用,可以使CAC-OS或CAC-metal oxide具有开关功能(开启/关闭的功能)。通过在CAC-OS或CAC-metal oxide中使各功能分离,可以最大限度地提高各功能。

[0131] 此外,在本说明书等中,CAC-OS或CAC-metal oxide包括导电性区域及绝缘性区域。导电性区域具有上述导电性的功能,绝缘性区域具有上述绝缘性的功能。此外,在材料中,导电性区域和绝缘性区域有时以纳米粒子级分离。此外,导电性区域和绝缘性区域有时在材料中不均匀地分布。此外,有时导电性区域被观察为其边缘模糊且以云状连接。

[0132] 在CAC-OS或CAC-metal oxide中,有时导电性区域及绝缘性区域以0.5nm以上且10nm以下,优选为0.5nm以上且3nm以下的尺寸分散在材料中。

[0133] 此外,CAC-OS或CAC-metal oxide由具有不同带隙的成分构成。例如,CAC-OS或

CAC-metal oxide由具有起因于绝缘性区域的宽隙的成分及具有起因于导电性区域的窄隙的成分构成。在该结构中,当使载流子流过时,载流子主要在具有窄隙的成分中流过。此外,具有窄隙的成分与具有宽隙的成分互补作用,与具有窄隙的成分联动地在具有宽隙的成分中载流子流过。因此,在将上述CAC-OS或CAC-metal oxide用于晶体管的沟道形成区域时,在晶体管的导通状态中可以得到高电流驱动力,即大通态电流及高场效应迁移率。

[0134] 就是说,也可以将CAC-OS或CAC-metal oxide称为基质复合材料(matrix composite)或金属基质复合材料(metal matrix composite)。

[0135] 图8A示出像素11(i+2, j)及像素11(i+3, j)的布局实例。

[0136] 在图8A等中,对在相同层中设置的构成要素附加相同的阴影线。此外,在下面的图中,有时也对在相同层中设置的构成要素附加相同的阴影线。

[0137] 如图8A所示,在行方向(横方向)上布线G3、布线G4及布线CS延伸,在列方向(纵方向)上布线S1至布线S4延伸。

[0138] 对像素11(i+2, j)的结构实例进行说明。在像素11(i+2, j)所具有的晶体管30中,在布线G3上设置半导体层32,布线G3的一部分被用作栅极。此外,布线S3的一部分被用作源极和漏极中的一个。半导体层32具有位于布线S2和布线S3之间的区域。

[0139] 此外,与半导体层32电连接地设置被用作晶体管30的源极和漏极中的另一个及电容元件60的一个电极的导电层33a。此外,设置被用作像素电极的导电层21,并且导电层33a通过开口部38与导电层21电连接。

[0140] 对像素11(i+3, j)的结构实例进行说明。在像素11(i+3, j)所具有的晶体管30中,在布线G4上设置半导体层32,布线G4的一部被用作栅极。半导体层32具有位于布线S2和布线S3之间的区域。

[0141] 此外,与半导体层32电连接地设置被用作晶体管30的源极和漏极中的另一个及电容元件60的一个电极的导电层33a。此外,设置被用作像素电极的导电层21,并且导电层33a通过开口部38与导电层21电连接。

[0142] 此外,与半导体层32电连接地设置被用作晶体管30的源极和漏极中的一个的导电层51。导电层51通过开口部71与形成在与导电层21相同层中的导电层52电连接。导电层52通过开口部72与形成在与布线G4相同层中的导电层53电连接。导电层53通过开口部73与形成在与导电层21相同层中的导电层54电连接。导电层54通过开口部74与布线S4电连接。

[0143] 就是说,在像素11(i+3, j)中,被用作晶体管30的源极和漏极中的一个的导电层51通过导电层52、导电层53以及导电层54与布线S4电连接。在像素11(i+3, j)采用图8A所示的结构的情况下,导电层51、布线S3以及布线S4设置在相同层中,并且导电层53具有与布线S3重叠的区域,但是可以抑制晶体管30的源极和漏极中的一个与布线S3发生短路。此外,导电层52及导电层54可以与被用作像素电极的导电层21通过同一工序形成,导电层53可以与布线G4通过同一工序形成。由此,即使采用在每个列中配置四个源极线的结构,也可以抑制与每个列中配置一个或两个源极线的结构相比工序数增加,具体而言就是抑制增加光刻工序的工序数。就是说,可以抑制增加光掩模的个数。因此,可以抑制显示装置的制造成本的增加。

[0144] 图8B示出像素11(i, j)及像素11(i+1, j)的布局实例。如图8B所示,在行方向上布线G1及布线G2延伸。

[0145] 在像素11(i, j)中,被用作晶体管30的源极和漏极中的一个的导电层51通过导电层52、导电层53以及导电层54与布线S1电连接。除此之外,像素11(i, j)的结构与像素11(i+3, j)的结构相同。

[0146] 在像素11(i+1, j)中,布线S2的一部分被用作晶体管30的源极和漏极中的一个。除此之外,像素11(i+1, j)的结构与像素11(i+2, j)的结构相同。

[0147] 以上是对像素的结构实例的说明。

[0148] [截面结构实例]

[0149] 下面,对显示装置的截面结构的一个例子进行说明。

[0150] [截面结构实例1]

[0151] 图9示出沿着图8A中的切断线A1-A2的截面的一个例子。这里,示出作为显示元件应用透射式液晶元件20的情况的实例。在图9中,衬底15一侧是显示面一侧。

[0152] 显示装置10具有在衬底14与衬底15之间夹持液晶22的结构。液晶元件20包括设置在衬底14一侧的导电层21、设置在衬底15一侧的导电层23以及它们之间的液晶22。此外,在液晶22与导电层21之间设置有取向膜24a,在液晶22与导电层23之间设置有取向膜24b。

[0153] 导电层21被用作像素电极。此外,导电层23被用作共同电极等。此外,导电层21及导电层23都具有透过可见光的功能。因此,液晶元件20是透射式液晶元件。

[0154] 在衬底15的衬底14一侧的面上设置有着色层41及遮光层42。以覆盖着色层41及遮光层42的方式设置有绝缘层26,以覆盖绝缘层26的方式设置有导电层23。此外,着色层41设置在与导电层21重叠的区域中。遮光层42覆盖晶体管30及开口部38等。

[0155] 在衬底14的外侧配置有偏振片39a,在衬底15的外侧配置有偏振片39b。再者,在偏振片39a的外侧配置有背光单元90。

[0156] 在衬底14上设置有晶体管30及电容元件60等。晶体管30被用作像素11的选择晶体管。晶体管30通过开口部38与液晶元件20电连接。

[0157] 图9所示的晶体管30是所谓底栅极型沟道蚀刻结构的晶体管。晶体管30包括被用作栅极的导电层31、被用作栅极绝缘层的绝缘层34、半导体层32、被用作源区域及漏区域的一对杂质半导体层35、被用作源极及漏极的一对导电层33a及导电层33b。半导体层32的与导电层31重叠的部分被用作沟道形成区域。杂质半导体层35与半导体层32接触,导电层33a及导电层33b与杂质半导体层35接触。

[0158] 在本说明书等中,杂质半导体层有时被简单地称为半导体层。

[0159] 此外,导电层31对应于图8A中的布线G3的一部分,导电层33b对应于布线S3的一部分。此外,将在后面说明的导电层31a及导电层33c分别对应于布线CS的一部分及布线S4的一部分。

[0160] 作为半导体层32,优选使用包含硅的半导体。例如,可以使用非晶硅、微晶硅或多晶硅等。尤其是,使用非晶硅时可以高成品率地形成在大型衬底上,所以是优选的。本发明的一个方式的显示装置即使使用包含场效应迁移率较低的非晶硅的晶体管也可以进行良好的显示。

[0161] 杂质半导体层35使用添加有赋予一种导电类型的杂质元素的半导体而形成。当晶体管为n型时,作为添加有赋予一种导电类型的杂质元素的半导体,例如可以举出添加有P或As的硅。或者,当晶体管为p型时,作为添加赋予一种导电类型的杂质元素,例如可以添加

B,但是晶体管优选为n型。杂质半导体层35可以使用非晶半导体或者如微晶半导体等的结晶半导体而形成。

[0162] 电容元件60由导电层31a、绝缘层34及导电层33a构成。此外,在导电层31上隔着绝缘层34设置有导电层33c。

[0163] 此外,以覆盖晶体管30等的方式层叠有绝缘层82及绝缘层81。被用作像素电极的导电层21设置在绝缘层81上。此外,导电层21通过设置在绝缘层81及绝缘层82中的开口部38与导电层33a电连接。绝缘层81优选被用作平坦化层。绝缘层82优选被用作抑制杂质等扩散到晶体管30等的保护膜。例如,绝缘层82可以使用无机绝缘材料,绝缘层81可以使用有机绝缘材料。

[0164] 在本说明书等中,有时将绝缘层82及绝缘层81看作一个绝缘层。

[0165] [截面结构实例2]

[0166] 图10示出沿着图8A中的切断线B1-B2的截面的一个例子。图10所示的晶体管30包括被用作栅极的导电层31、被用作栅极绝缘层的绝缘层34、半导体层32、被用作源区域及漏区域的一对杂质半导体层35、被用作源极及漏极的一对导电层33a及导电层51。半导体层32的与导电层31重叠的部分被用作沟道形成区域。杂质半导体层35与半导体层32接触,导电层33a及导电层51与杂质半导体层35接触。

[0167] 注意,导电层31对应于图8A中的布线G4的一部分。此外,与图9所示的情况同样,导电层31a、导电层33b及导电层33c分别对应于布线CS的一部分、布线S3的一部分及布线S4的一部分。此外,导电层33b设置为具有隔着绝缘层34与导电层53重叠的区域。

[0168] 此外,如上所述那样,导电层51通过设置在绝缘层81及绝缘层82中的开口部71与导电层52电连接。导电层52通过设置在绝缘层81、绝缘层82及绝缘层34中的开口部72与导电层53电连接。导电层53通过设置在绝缘层81、绝缘层82及绝缘层34中的开口部73与导电层54电连接。导电层54通过设置在绝缘层81及绝缘层82中的开口部74与导电层33c电连接。就是说,如上所述那样,被用作晶体管30的源极和漏极中的一个的导电层51通过导电层52、导电层53及导电层54与对应于布线S4的一部分的导电层33c电连接。此外,开口部72和开口部73夹着导电层33b地形成。根据上述结构,可以抑制被用作晶体管30的源极和漏极中的一个的导电层51和对应于布线S3的一部分的导电层33b发生短路。注意,如图10所示,导电层52及导电层54形成在与导电层21相同的层中,导电层53形成在与导电层31及导电层31a相同的层中。

[0169] 注意,形成在相同的层中的构成要素可以具有相同材料。就是说,例如导电层21、导电层52及导电层54分别可以具有相同材料。此外,例如导电层31、导电层31a及导电层53分别可以具有相同材料。

[0170] [截面结构实例3]

[0171] 图11示出图10所示的结构的变形实例。在图11中,示出将着色层41设置在衬底14一侧时的实例。由此,可以简化衬底15一侧的结构。

[0172] 此外,在将着色层41用作平坦化膜时,也可以采用不设置绝缘层81的结构。由此,可以减少显示装置10的制造工序数,而可以降低显示装置10的制造成本。

[0173] [截面结构实例4]

[0174] 图12示出图10所示的结构的变形实例。在图12中,示出省略导电层52、导电层53、

导电层54、开口部72及开口部73的实例。此时，导电层51通过在与导电层21相同层中形成的导电层55与导电层33c电连接。具体而言，导电层51通过开口部71与导电层55电连接，并且导电层33c通过开口部74与导电层55电连接。即使采用图12所示的结构，也可以抑制导电层51和导电层33b发生短路。

[0175] [截面结构实例5]

[0176] 图13示出图9所示的结构的变形实例，图14示出图10所示的结构的变形实例，图15示出图11所示的结构的变形实例，图16示出图12所示的结构的变形实例。图13至图16所示的结构的与图9至图12不同之处是没有杂质半导体层35。

[0177] 在图13至图16所示的结构中，半导体层32优选使用包含金属氧化物的半导体。通过作为半导体层32使用包含金属氧化物的半导体，就是说，通过将OS晶体管用作晶体管30，如上所述那样，在电容元件60中能够长期间保持对应于从源极线供应的信号的电荷。因此，可以降低对电容元件60写入电荷的频率，即刷新工作的频率，由此可以降低显示装置10的功耗。

[0178] 以上是对截面结构实例的说明。

[0179] [各构成要素]

[0180] 下面，说明上述各构成要素。

[0181] [衬底]

[0182] 显示面板所包括的衬底可以使用具有平坦面的材料。作为提取来自显示元件的光的一侧的衬底，使用使该光透过的材料。例如，可以使用玻璃、石英、陶瓷、蓝宝石或有机树脂等的材料。

[0183] 通过使用厚度薄的衬底，可以实现显示面板的轻量化及薄型化。再者，通过使用其厚度允许其具有柔性的衬底，可以实现具有柔性的显示面板。或者，可以将薄得足以具有柔性的玻璃等用于衬底。或者，可以使用玻璃与树脂材料由粘合层贴合在一起的复合材料。

[0184] [晶体管]

[0185] 晶体管包括被用作栅极的导电层、半导体层、被用作源极的导电层、被用作漏电极的导电层以及被用作栅极绝缘层的绝缘层。

[0186] 对本发明的一个方式的显示装置所包括的晶体管的结构没有特别的限制。例如，可以采用平面型晶体管、交错型晶体管或反交错型晶体管。此外，还可以采用顶栅型或底栅型的晶体管结构。此外，也可以在其沟道上下设置有栅极。

[0187] [半导体层]

[0188] 对于晶体管的半导体层的结晶性也没有特别的限制，可以使用非晶半导体或具有结晶性的半导体（微晶半导体、多晶半导体、单晶半导体或其一部分具有结晶区域的半导体）。当使用具有结晶性的半导体时可以抑制晶体管的特性劣化，所以是优选的。

[0189] 作为晶体管的半导体层，可以使用例如第14族的元素（硅、锗等）。在使用硅作为晶体管的半导体层的情况下，作为硅，特别优选使用非晶硅。在使用非晶硅时，可以在大型衬底上高成品率地形成晶体管，从而可以提高本发明的一个方式的显示装置的量产性。

[0190] 此外，也可以使用微晶硅、多晶硅、单晶硅等的具有结晶性的硅。尤其是，多晶硅与单晶硅相比能够在低温下形成，并且其场效应迁移率及可靠性比非晶硅高。

[0191] 本实施方式所示的底栅型的晶体管由于能够减少制造工序，所以是优选的。此外，

此时通过使用非晶硅,与多晶硅相比可以在更低的温度下形成,因此作为半导体层下方的布线或电极的材料及衬底材料可以使用耐热性低的材料,由此可以扩大材料的选择范围。例如,可以适合使用极大面积的玻璃衬底等。另一方面,顶栅型的晶体管容易自对准地形成杂质区域,从而可以减少特性的不均匀等,所以是优选的。此时,尤其适合使用多晶硅或单晶硅等。

[0192] 作为晶体管的半导体层,可以使用金属氧化物。典型的是,可以使用包含硅的半导体、包含砷化镓的半导体或包含铟的金属氧化物等。

[0193] 尤其优选使用其带隙比硅宽的金属氧化物。通过使用带隙比硅宽且载流子密度比硅小的半导体材料,可以降低晶体管的关态电流,所以是优选的。

[0194] 因为使用其带隙比硅宽的金属氧化物的晶体管的关态电流低,所以能够长期间保持储存于与晶体管串联连接的电容元件中的电荷。通过将这种晶体管用于像素,可以在保持显示在各显示部上的图像的灰度的同时停止驱动电路。其结果是,可以实现功耗极低的显示装置。

[0195] 半导体层例如优选包括至少包含铟、锌及M(铝、钛、镓、锗、铋、锆、镧、铈、锡、钨或钨等金属)的以“ $\text{In-M-Zn}$ 类氧化物”表示的膜。此外,为了减少使用该半导体层的晶体管的电特性不均匀,除了上述元素以外,优选还包含稳定剂(stabilizer)。

[0196] 作为稳定剂,除了上述以M表示的金属之外,例如还有镓、锡、钨、铝或锆等。此外,作为其他稳定剂,可以举出镧系元素的镧、铈、镨、钕、钐、铕、钆、铈、钪、钇、铽、镱、镱、镱、镱、镱等。

[0197] 作为构成半导体层的金属氧化物,例如可以使用 $\text{In-Ga-Zn}$ 类氧化物、 $\text{In-Al-Zn}$ 类氧化物、 $\text{In-Sn-Zn}$ 类氧化物、 $\text{In-Hf-Zn}$ 类氧化物、 $\text{In-La-Zn}$ 类氧化物、 $\text{In-Ce-Zn}$ 类氧化物、 $\text{In-Pr-Zn}$ 类氧化物、 $\text{In-Nd-Zn}$ 类氧化物、 $\text{In-Sm-Zn}$ 类氧化物、 $\text{In-Eu-Zn}$ 类氧化物、 $\text{In-Gd-Zn}$ 类氧化物、 $\text{In-Tb-Zn}$ 类氧化物、 $\text{In-Dy-Zn}$ 类氧化物、 $\text{In-Ho-Zn}$ 类氧化物、 $\text{In-Er-Zn}$ 类氧化物、 $\text{In-Tm-Zn}$ 类氧化物、 $\text{In-Yb-Zn}$ 类氧化物、 $\text{In-Lu-Zn}$ 类氧化物、 $\text{In-Sn-Ga-Zn}$ 类氧化物、 $\text{In-Hf-Ga-Zn}$ 类氧化物、 $\text{In-Al-Ga-Zn}$ 类氧化物、 $\text{In-Sn-Al-Zn}$ 类氧化物、 $\text{In-Sn-Hf-Zn}$ 类氧化物、 $\text{In-Hf-Al-Zn}$ 类氧化物。

[0198] 注意,在此例如 $\text{In-Ga-Zn}$ 类氧化物是指作为主要成分具有In、Ga和Zn的氧化物,对In、Ga、Zn的原子个数比没有限制。例如,原子个数比也可以设定为 $\text{In:Ga:Zn}=1:1:1$ 、 $\text{In:Ga:Zn}=2:2:1$ 、 $\text{In:Ga:Zn}=3:1:2$ 、 $\text{In:Ga:Zn}=4:2:3$ 、 $\text{In:Ga:Zn}=5:1:6$ ,或者其附近。此外,也可以包含In、Ga、Zn以外的金属元素。

[0199] 此外,半导体层和导电层也可以具有上述氧化物中的相同的金属元素。通过使半导体层和导电层具有相同的金属元素,可以降低制造成本。例如,通过使用由相同的金属组成的金属氧化物靶材,可以降低制造成本。此外,也可以共享对半导体层和导电层进行加工时的蚀刻气体或蚀刻液。然而,即使半导体层和导电层具有相同的金属元素,有时其组成也互不相同。例如,在晶体管及电容元件的制造工序中,有时膜中的金属元素脱离而成为不同的金属组成。

[0200] 构成半导体层的金属氧化物的能隙优选为 $2\text{eV}$ 以上,更优选为 $2.5\text{eV}$ 以上,进一步优选为 $3\text{eV}$ 以上。如此,通过使用能隙宽的金属氧化物,可以减少晶体管的关态电流。

[0201] 当构成半导体层的金属氧化物为 $\text{In-M-Zn}$ 氧化物时,优选用来形成 $\text{In-M-Zn}$ 氧化物膜的溅射靶材的金属元素的原子个数比满足 $\text{In} \geq \text{M}$ 。这种溅射靶材的金属元素的原子个数

比优选为In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2、In:M:Zn=4:2:4.1、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8、In:M:Zn=6:1:6、In:M:Zn=5:2:5等。注意,包含在所形成的半导体层中的金属元素的原子个数比分别包括包含在上述溅射靶材中的金属元素的原子个数比的 $\pm 40\%$ 的范围内的变动作为误差。

[0202] 构成半导体层的金属氧化物优选为将在后面说明的CAC-OS或CAC-metal oxide。由此,可以提高晶体管的场效应迁移率。

[0203] 优选将载流子密度低的金属氧化物用于半导体层。例如,作为半导体层可以使用载流子密度为 $1 \times 10^{17}/\text{cm}^3$ 以下,优选为 $1 \times 10^{15}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{13}/\text{cm}^3$ 以下,进一步优选为 $1 \times 10^{11}/\text{cm}^3$ 以下,更进一步优选为低于 $1 \times 10^{10}/\text{cm}^3$ , $1 \times 10^{-9}/\text{cm}^3$ 以上的金属氧化物。因为这种半导体层的杂质浓度及缺陷能级密度低,所以具有稳定的特性。注意,在半导体层为金属氧化物时,作为杂质可以举出例如水或氢等。

[0204] 在本说明书等中,有时将杂质浓度及缺陷态密度低的金属氧化物称为高纯度本征的金属氧化物或实质上高纯度本征的金属氧化物。

[0205] 因为高纯度本征的金属氧化物或实质上高纯度本征的金属氧化物的载流子发生源较少,所以可以降低载流子密度。因此,具有该金属氧化物的晶体管很少具有负阈值电压的电特性(也称为常开启特性)。因为高纯度本征或实质上高纯度本征的金属氧化物具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。包含高纯度本征或实质上高纯度本征的金属氧化物的晶体管的关态电流极小,即便是沟道宽度W为 $1 \times 10^6 \mu\text{m}$ 、沟道长度L为 $10 \mu\text{m}$ 的元件,当源极与漏极间的电压(漏极电压)在1V至10V的范围时,关态电流也可以为半导体参数分析仪的测定极限以下,即 $1 \times 10^{-13}\text{A}$ 以下。

[0206] 注意,可用于本发明的一个方式的半导体层不局限于上述记载,可以根据所需的晶体管的半导体特性及电特性(场效应迁移率、阈值电压等)来使用具有适当的组成的材料。此外,优选适当地设定半导体层的载流子密度、杂质浓度、缺陷密度、金属元素与氧的原子个数比、原子间距离、密度等,以得到所需的晶体管的半导体特性。

[0207] 当构成半导体层的金属氧化物包含第14族元素之一的硅或碳时,半导体层中的氧缺陷增加,会使该半导体层变为n型。因此,将半导体层中的硅或碳的浓度(通过二次离子质谱分析法测得的浓度)设定为 $2 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{17}\text{atoms}/\text{cm}^3$ 以下。

[0208] 此外,有时当碱金属及碱土金属与金属氧化物键合时生成载流子,而使晶体管的关态电流增大。因此,将通过二次离子质谱分析法测得的半导体层的碱金属或碱土金属的浓度设定为 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{16}\text{atoms}/\text{cm}^3$ 以下。

[0209] 此外,半导体层例如也可以具有非单晶结构。非单晶结构例如包括多晶结构、微晶结构或非晶结构。在非单晶结构中,非晶结构的缺陷态密度最高。

[0210] 非晶结构的金属氧化物例如具有无秩序的原子排列且不具有结晶成分。或者,非晶结构的氧化物膜例如是完全的非晶结构且不具有结晶部。

[0211] 此外,半导体层也可以为具有非晶结构的区域、微晶结构的区域、多晶结构的区域和单晶结构的区域中的两种以上的混合膜。混合膜有时例如具有包括上述区域中的两种以上的区域的单层结构或叠层结构。

[0212] [导电层]

[0213] 作为可用于晶体管的栅极、源极及漏极和构成显示装置的各种布线及电极等导电层的材料,可以举出铝、钛、铬、镍、铜、钇、锆、钼、银、钽或钨等金属或者以上述金属为主要成分的合金等。此外,可以以单层或叠层结构使用包含这些材料的膜。例如,可以举出包含硅的铝膜的单层结构、在钛膜上层叠铝膜的两层结构、在钨膜上层叠铝膜的两层结构、在铜-镁-铝合金膜上层叠铜膜的两层结构、在钛膜上层叠铜膜的两层结构、在钨膜上层叠铜膜的两层结构、依次层叠钛膜或氮化钛膜、铝膜或铜膜以及钛膜或氮化钛膜的三层结构、以及依次层叠钼膜或氮化钼膜、铝膜或铜膜以及钼膜或氮化钼膜的三层结构等。此外,可以使用氧化铟、氧化锡或氧化锌等氧化物。此外,通过使用包含锰的铜,可以提高蚀刻时的形状的控制性,所以是优选的。

[0214] 此外,作为能够用于晶体管的栅极、源极及漏极以及构成显示装置的各种布线及电极等导电层的具有透光性的导电材料,可以使用氧化铟、铟锡氧化物、铟锌氧化物、氧化锌、添加镓的氧化锌等导电氧化物或石墨烯。或者,可以使用金、银、铂、镁、镍、钨、铬、钼、铁、钴、铜、钇或钛等金属材料、包含该金属材料的合金材料。或者,还可以使用该金属材料的氮化物(例如,氮化钛)等。此外,当使用金属材料或合金材料(或者它们的氮化物)时,将其形成得薄到具有透光性,即可。此外,可以将上述材料的叠层膜用作导电层。例如,通过使用银和镁的合金与铟锡氧化物的叠层膜等,可以提高导电性,所以是优选的。上述材料也可以用于构成显示装置的各种布线及电极等的导电层、显示元件所包括的导电层(被用作像素电极或共同电极的导电层)。

[0215] [绝缘层]

[0216] 作为可用于各绝缘层的绝缘材料,例如可以使用丙烯酸树脂或环氧树脂等树脂、具有硅氧烷键的树脂、无机绝缘材料如氧化硅、氧氮化硅、氮氧化硅、氮化硅或氧化铝等。

[0217] 此外,当半导体层包含金属氧化物时、具有与该半导体层接触的区域绝缘层优选具有含有超过化学计量组成的氧的区域(氧过剩区域)。例如,具有与半导体层32接触的区域绝缘层34及绝缘层82优选具有氧过剩区域。由此,能够从绝缘层34及绝缘层82对半导体层32供应氧。在半导体层32包含金属氧化物的情况下,当该金属氧化物中形成氧缺陷时,由于氢等杂质混入到该氧缺陷中,因而有时生成成为载流子的电子。由此,有时晶体管的电特性劣化。在具有与半导体层接触的区域绝缘层包含氧过剩区域的情况下,可以从绝缘层对半导体层供应氧,因此能够填补氧缺陷。由此,可以抑制晶体管的电特性的劣化。此外,为了在绝缘层中设置氧过剩区域,例如在氧气氛下形成绝缘层即可。或者,在氧气氛下对形成后的绝缘层进行热处理。

[0218] [液晶元件]

[0219] 作为液晶元件,可以采用使用VA(Vertical Alignment:垂直取向)模式的元件。作为垂直取向模式,可以使用MVA(Multi-Domain Vertical Alignment:多象限垂直取向)模式、PVA(Patterned Vertical Alignment:垂直取向构型)模式、ASV(Advanced Super View:高级超视觉)模式等。

[0220] 此外,作为液晶元件,可以采用使用各种模式的液晶元件。例如,除了VA模式以外,可以使用TN(Twisted Nematic:扭曲向列)模式、IPS(In-Plane-Switching:平面切换)模式、FFS(Fringe Field Switching:边缘电场转换)模式;ASM(Axially Symmetric Aligned Micro-cell:轴对称排列微单元)模式、OCB(Optically Compensated Birefringence:光学

补偿弯曲)模式、FLC(Ferroelectric Liquid Crystal:铁电性液晶)模式、AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式、ECB(Electrically Controlled Birefringence:电控双折射)模式、宾主模式等的液晶元件。

[0221] 此外,液晶元件是利用液晶的光学调制作用来控制光的透过或非透过的元件。液晶的光学调制作用由施加到液晶的电场(包括横向电场、纵向电场或倾斜方向电场)控制。作为用于液晶元件的液晶可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC:Polymer Dispersed Liquid Crystal:聚合物分散液晶)、高分子网络型液晶(PNLC:Polymer Network Liquid Crystal)、铁电液晶、反铁电液晶等。这些液晶材料根据条件呈现出胆甾相、近晶相、立方相、手向列相、各向同性相等。

[0222] 此外,作为液晶材料,可以使用正型液晶和负型液晶中的任一种,根据所使用的模式或设计采用适当的液晶材料即可。

[0223] 此外,为了控制液晶的取向,可以设置取向膜。在采用横向电场方式的情况下,也可以使用不使用取向膜的呈现蓝相的液晶。蓝相是液晶相的一种,是指当使胆甾液晶的温度上升时即将从胆甾相转变到各向同性相之前出现的相。因为蓝相只在窄的温度范围内出现,所以将其中混合了几wt%以上的手征试剂的液晶组合物用于液晶层,以扩大温度范围。包含呈现蓝相的液晶和手征试剂的液晶组成物的响应速度快,并且其具有光学各向同性。此外,包含呈现蓝相的液晶和手征试剂的液晶组成物不需要取向处理,并且视角依赖性小。此外,由于不需要设置取向膜而不需要摩擦处理,因此可以防止由于摩擦处理而引起的静电破坏,并可以降低制造工序中的液晶显示装置的不良及破损。

[0224] 此外,作为液晶元件,可以举出透射型液晶元件、反射型液晶元件、半透射型液晶元件等。

[0225] 在本发明的一个方式中,透射型液晶元件是尤为合适的。

[0226] 当采用透射型液晶元件或半透射型液晶元件时,以夹着一对衬底的方式设置两个偏振片。此外,在一个偏振片的外侧设置背光源。背光源可以是直下型背光源,也可以是边缘照明型背光源。当使用具有LED(Light Emitting Diode:发光二极管)的直下型背光源时,容易进行局部调光(local dimming)处理,由此可以提高对比度,所以是优选的。此外,当使用边缘照明型背光源时,可以将包括背光源的模块形成得较薄,所以是优选的。

[0227] 此外,通过使边缘照明型背光源为关闭状态,可以进行透空显示。

[0228] [着色层]

[0229] 作为能够用于着色层的材料,可以举出金属材料、树脂材料、包含颜料或染料的树脂材料等。

[0230] [遮光层]

[0231] 作为能够用于遮光层的材料,可以举出碳黑、钛黑、金属、金属氧化物或包含多个金属氧化物的固溶体的复合氧化物等。遮光层也可以为包含树脂材料的膜或包含金属等无机材料的薄膜。此外,也可以对遮光层使用包含着色层的材料的膜的叠层膜。例如,可以采用包含用于使某个颜色的光透过的着色层的材料的膜与包含用于使其他颜色的光透过的着色层的材料的膜的叠层结构。通过使着色层与遮光层的材料相同,除了可以使用相同的装置以外,还可以简化工序,因此是优选的。

[0232] 以上是各构成要素的说明。

[0233] [像素等的制造方法的实例]

[0234] 下面,对显示装置10的制造方法的实例进行说明。

[0235] 构成显示装置的薄膜(绝缘膜、半导体膜、导电膜等)都可以利用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法、真空蒸镀法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、原子层沉积(ALD:Atomic Layer Deposition)法等形成。作为CVD法的例子,也可以举出等离子体增强化学气相沉积(PECVD)法及热CVD法等。作为热CVD法的例子,可以举出有机金属化学气相沉积(MOCVD:Metal Organic CVD)法。

[0236] 构成显示装置的薄膜(绝缘膜、半导体膜、导电膜等)都可以利用旋涂法、浸渍法、喷涂法、喷墨印刷法、分配器法、丝网印刷法、胶版印刷法等的方法或刮刀(doctor knife)、狭缝式涂布、辊涂、帘式涂布、刮刀式涂布等形成。

[0237] 当对构成显示装置的薄膜进行加工时,可以利用光刻法等。此外,可以利用使用遮蔽掩模的成膜方法形成岛状的薄膜。此外,可以利用纳米压印法、喷砂法、剥离法等对薄膜进行加工。

[0238] 在光刻法中,作为用于曝光的光,例如可以举出i线(波长为365nm)、g线(波长为436nm)、h线(波长为405nm)或将这些光混合而成的光。此外,还可以使用紫外光、KrF激光或ArF激光等。此外,也可以利用液浸曝光技术进行曝光。作为用于曝光的光,也可以举出极紫外光(EUV:Extreme Ultra-Violet light)及X射线等。此外,也可以使用电子束代替用于曝光的光。当使用极紫外光、X射线或电子束时,可以进行极其微细的加工,所以是优选的。此外,在通过电子束等的扫描进行曝光时,不需要光掩模。

[0239] 作为薄膜的蚀刻方法,可以利用干蚀刻法、湿蚀刻法及喷砂法等。

[0240] [制造方法实例1]

[0241] 图17A至图19B示出图10所示的结构像素11(i+3, j)等的制造方法的一个例子。当制造显示装置10时,首先在衬底14上形成导电层。接着,通过光刻法等进行图案化,并且通过蚀刻法等对该导电层进行加工,来形成导电层31、导电层31a及导电层53(图17A)。如上所述,导电层31对应于布线G3的一部分,导电层31a对应于布线CS的一部分。

[0242] 接着,形成绝缘层34。如上所述,绝缘层34被用作设置在显示装置10中的晶体管的栅极绝缘层。

[0243] 然后,在绝缘层34上形成半导体层。在使用非晶硅作为半导体层的情况下,可以使用甲硅烷等材料通过CVD法等形成半导体层。由此,可以由氢终结包含在半导体层中的硅的悬空键,来实现热力学上的稳定化。像这样,将包含氢的非晶硅称为氢化非晶硅。

[0244] 接着,在上述半导体层上形成作为包含杂质的半导体层的杂质半导体层。在使用氢化非晶硅作为杂质半导体层的情况下,为了形成n型晶体管,可以对甲硅烷等材料添加磷化氢或砷化氢等通过CVD法等形成杂质半导体层。此外,为了形成p型晶体管,可以对甲硅烷等材料添加乙硼烷等通过CVD法等形成杂质半导体层。

[0245] 然后,通过光刻法等进行图案化且通过蚀刻法等对所形成的半导体层进行加工,来形成半导体层32及杂质半导体层35(图17B)。

[0246] 接着,在绝缘层34上及杂质半导体层35上形成导电层。然后,通过光刻法等进行图案化且通过蚀刻法等对该导电层进行加工,形成导电层51、导电层33a、导电层33b及导电层33c(图17C)。如上所述,导电层51被用作晶体管30的源极和漏极中的一个,导电层33a被用

作晶体管30的源极和漏极中的另一个及电容元件60的一个电极。此外,导电层33b对应于布线S3的一部分,导电层33c对应于布线S4的一部分。此外,导电层33b以具有重叠于导电层53的区域的方式形成。

[0247] 接着,形成绝缘层82,然后形成绝缘层81。在形成绝缘层81之后,通过化学机械抛光(CMP,即Chemical Mechanical Polishing)等平坦化处理法等对绝缘层81进行平坦化处理。

[0248] 接着,通过光刻法等进行图案化。然后,通过蚀刻法等对绝缘层81及绝缘层82进行加工,来形成到达导电层51的开口部71、到达导电层33a的开口部38以及到达导电层33c的开口部74。此外,通过蚀刻法等对绝缘层81、绝缘层82及绝缘层34进行加工,来以夹着导电层33b的方式形成到达导电层53的开口部72及开口部73(图18A)。通过上述工序形成开口部38及开口部71至开口部74。

[0249] 接着,在绝缘层81上的开口部38及开口部71至开口部74中形成导电层。然后,通过光刻法等进行图案化,并且通过蚀刻法等对该导电层进行加工,形成导电层21、导电层52及导电层54(图18B)。导电层21通过开口部38与导电层33a电连接。导电层52通过开口部71与导电层51电连接,并且导电层52通过开口部72与导电层53电连接。导电层54通过开口部73与导电层53电连接,并且导电层54通过开口部74与导电层33c电连接。如上所述,导电层21被用作设置在显示装置10中的液晶元件的像素电极。此外,被用作晶体管30的源极和漏极中的一个的导电层51通过导电层52、导电层53及导电层54与对应于布线S4的一部分的导电层33c电连接。

[0250] 接着,形成取向膜24a(图19A)。然后,在衬底15上形成遮光层42、着色层41、绝缘层26、导电层23以及取向膜24b(图19B)。着色层41通过使用光刻法、印刷法、或喷墨法可以形成。例如,通过利用喷墨法,可以在室温、低真空下、或在大型衬底上形成着色层41。由此,即使为分辨率为4K或8K等极高分辨率的显示装置,也可以形成着色层41。此外,即使在屏幕尺寸为对角线50英寸以上、60英寸以上、或70英寸以上的大型显示装置中,也可以形成着色层41。此外,不使用抗蚀剂掩模也可以形成着色层41,因此能够减少显示装置10的制造工序数,而能够降低制造成本。

[0251] 接着,在图19A所示的衬底14和图19B所示的衬底15之间使用粘合层(未图示)密封液晶22。然后形成偏振片39a、偏振片39b及背光单元90。通过上述工序,可以制造图10所示的结构显示装置10。

[0252] 在此,当制造显示装置时,制造工序中的光刻工序越少,即光掩模的个数越少,可以降低制造成本。

[0253] 例如,图17A至图18B示出经过共计五个光刻工序可以形成衬底14一侧的结构的制造工序:即导电层31等的制造工序(图17A)、半导体层32等的制造工序(图17B)、导电层33a等的制造工序(图17C)、开口部38等的制造工序(图18A)以及导电层21等的制造工序(图18B)。就是说,可以由五个光掩模制造背板衬底。

[0254] 在显示装置中,当采用在一个像素列中设置一个或两个源极线的结构时,也可以不设置图10所示的结构的像素11,例如所有像素11可以都采用图9所示的结构。在此情况下,当制造背板衬底时需要经过共计五个光刻工序。就是说,需要五个光掩模。由此可知,即使在采用在一个像素列中设置四个源极线的结构的情况下,也可以使用与在一个像素列中

设置一个或两个源极线的情况相同的光掩模数制造显示装置。由此,能够抑制在一个像素列中设置四个源极线的结构的显示装置的制造成本比在一个像素列中设置一个或两个源极线的结构的显示装置的制造成本高。

[0255] [制造方法实例2]

[0256] 图20A至图22B示出图14所示的结构的像素11(i+3, j)等的制造方法的一个例子。图20A、图20B、图20C、图21A、图21B、图22A及图22B分别对应于图17A、图17B、图17C、图18A、图18B、图19A及图19B。图20A至图22B所示的制造方法与上述制造方法的不同之处是在图20B所示的工序中不形成杂质半导体层35。

[0257] 在图20A至图22B所示的制造方法中,例如可以使用金属氧化物作为在绝缘层34上形成的半导体层。在此情况下,该半导体层可以通过溅射法而形成。在作为半导体层使用例如In-Ga-Zn类氧化物的情况下,可以通过将In-Ga-Zn类氧化物用作靶材的溅射法形成半导体层。其他工序可以是与图17A至图19B所示的制造方法同样的。

[0258] 以上是对像素等的制造方法的一个例子的说明。

[0259] [导电层的形状]

[0260] 作为可以用于栅极线及源极线等布线的导电层,使用金属及合金等低电阻的材料时可以降低布线电阻,所以是优选的。此外,在采用大屏幕的显示装置的情况下,增大布线的宽度也是有效的。但是,上述导电膜不使可见光透过,所以在透过型的液晶显示装置中,随着布线本身的宽度增大或者布线的数量增加,有时会导致开口率下降。

[0261] 于是,通过改良导电层的端部的形状,可以高效地提取背光单元的光。

[0262] 图23A示出构成源极线等的导电层33及其附近的截面图。导电层33的端部为倒锥形。导电层33例如也可以为导电层33a、导电层33b及导电层33c。此外,导电层33例如也可以为导电层51。

[0263] 在此,锥角是指:薄膜的端部中的其底面(与被形成面接触的面)与其侧面所形成的角度。锥角大于0度且小于180度。此外,锥角小于90度时称为正锥形,大于90度时称为倒锥形。

[0264] 如图23A所示,通过使导电层33具有倒锥形形状,从背光单元入射的光50的一部分被导电层33的侧面反射,到达液晶22。其结果,与导电层33的侧面是垂直时以及是正锥形时相比,可以提高光取出效率。

[0265] 在此,导电层33的锥角优选大于90度且小于135度,更优选为91度以上且120度以下,进一步优选为95度以上且110度以下。

[0266] 此外,图23B示出构成栅极线等的导电层31具有倒锥形形状的情况的实例。通过除了导电层33以外还使导电层31为倒锥形形状,可以更有效地提高光取出效率。

[0267] 以上是对导电层形状的说明。

[0268] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0269] (实施方式2)

[0270] 在本实施方式中,参照附图说明可以用于上述实施方式所示的显示装置等的晶体管的一个例子。

[0271] [晶体管的结构实例1]

[0272] 以下说明图9至图12等所示的晶体管的变形例子。

[0273] 在图24A所示的晶体管中,在半导体层32与杂质半导体层35之间形成有半导体层37。

[0274] 半导体层37可以使用与半导体层32同样的半导体膜形成。半导体层37用作进行杂质半导体层35的蚀刻时防止半导体层32被蚀刻而消失的蚀刻停止层。此外,虽然在图24A中示出半导体层37被左右分离的例子,但是半导体层37的一部分也可以覆盖半导体层32的沟道形成区域。

[0275] 此外,可以使半导体层37的杂质浓度低于杂质半导体层35的浓度杂质。由此,可以将半导体层37用作LDD(Lightly Doped Drain:轻掺杂漏极)区域,由此可以抑制驱动晶体管时的热沟道效应。

[0276] 图24B所示的晶体管在半导体层32的沟道形成区域上设置有绝缘层84。绝缘层84用作杂质半导体层35的蚀刻时的蚀刻停止层。

[0277] 图24C所示的晶体管包括半导体层32p代替半导体层32。半导体层32p含有具有高结晶性的半导体膜。例如,半导体层32p含有多晶半导体或单晶半导体。由此,可以实现具有高场效应迁移率的晶体管。

[0278] 图24D所示的晶体管在半导体层32的沟道形成区域中包括半导体层32p。例如,图24D所示的晶体管可以通过对成为半导体层32的半导体膜照射激光等来使该半导体膜局部晶化而形成。由此,可以实现具有高场效应迁移率的晶体管。

[0279] 图24E所示的晶体管在图24A所示的晶体管的半导体层32的沟道形成区域中包括结晶性的半导体层32p。

[0280] 图24F所示的晶体管在图24B所示的晶体管的半导体层32的沟道形成区域中包括结晶性的半导体层32p。

[0281] [晶体管的结构实例2]

[0282] 以下说明图13至图16等所示的晶体管的变形例子。

[0283] 下面,作为晶体管的结构实例,参照图25A至图25C对晶体管200a进行说明。图25A是晶体管200a的俯视图。图25B相当于图25A所示的点划线X1-X2之间的截面图,图25C相当于图25A所示的点划线Y1-Y2之间的截面图。注意,在图25A中,为了简便起见,省略晶体管200a的构成要素的一部分(具有栅极绝缘层的功能的绝缘层等)。下面,有时将点划线X1-X2方向称为沟道长度方向,将点划线Y1-Y2方向称为沟道宽度方向。注意,有时在后面的晶体管的俯视图也与图25A同样地省略构成要素的一部分。

[0284] 晶体管200a包括绝缘层224上的导电层221;绝缘层224及导电层221上的绝缘层211;绝缘层211上的半导体层231;半导体层231及绝缘层211上的导电层222a;半导体层231及绝缘层211上的导电层222b;半导体层231、导电层222a及导电层222b上的绝缘层212;以及绝缘层212上的导电层223。

[0285] 注意,绝缘层224也可以用作衬底。在将绝缘层224用作衬底的情况下,该衬底可以为包含与实施方式1所示的衬底14相同的材料的衬底。

[0286] 此外,作为导电层221及导电层223,可以包含例如与实施方式1所示的导电层31相同的材料。作为绝缘层211,可以包含例如与实施方式1所示的绝缘层34相同的材料。作为导电层222a及导电层222b,可以包含例如与实施方式1所示的导电层33及导电层51相同的材

料。作为绝缘层212,可以包含例如与实施方式1所示的绝缘层82相同的材料。

[0287] 此外,作为半导体层231,可以包含例如与实施方式1所示的半导体层32相同的材料。在本实施方式中,说明半导体层231为包含金属氧化物的半导体层。

[0288] 绝缘层211及绝缘层212包括开口部235。导电层223通过开口部235与导电层221电连接。

[0289] 在此,绝缘层211被用作晶体管200a的第一栅极绝缘层,绝缘层212被用作晶体管200a的第二栅极绝缘层。此外,在晶体管200a中,导电层221被用作第一栅极,导电层222a被用作源极和漏极中的一个,导电层222b被用作源极和漏极中的另一个。此外,在晶体管200a中,导电层223被用作第二栅极。

[0290] 晶体管200a为所谓的沟道蚀刻型晶体管,具有双栅结构。

[0291] 晶体管200a也可以不包括导电层223。此时,晶体管200a为所谓的沟道蚀刻型的晶体管,具有底栅极结构。

[0292] 如图25B和图25C所示,半导体层231位于与导电层221及导电层223相对的位置,夹在两个用作栅极的导电层之间。导电层223的沟道长度方向上的长度及导电层223的沟道宽度方向上的长度分别比半导体层231的沟道长度方向上的长度及半导体层231的沟道宽度方向上的长度长,并且导电层223隔着绝缘层212覆盖半导体层231整体。

[0293] 换言之,导电层221和导电层223在形成在绝缘层211及绝缘层212中的开口部235中彼此连接,且包括位于半导体层231的侧端部的外侧的区域。

[0294] 通过采用这种结构,可以利用导电层221及导电层223的电场电围绕晶体管200a所包括的半导体层231。如晶体管200a所示,将由第一栅极及第二栅极的电场电围绕形成沟道形成区域的半导体层的晶体管的装置结构称为surrounded channel(s-channel)结构。

[0295] 因为晶体管200a具有s-channel结构,所以可以使用用作第一栅极的导电层221对半导体层231有效地施加用来诱发沟道的电场。由此,晶体管200a的电流驱动能力得到提高,从而可以得到高的通态电流特性。此外,由于可以增加通态电流,所以可以使晶体管200a微型化。此外,由于晶体管200a具有半导体层231被用作第一栅极的导电层221及用作第二栅极的导电层223围绕的结构,所以可以提高晶体管200a的机械强度。

[0296] 由于具有s-channel结构的晶体管200a的场效应迁移率高且驱动能力高,因此通过将晶体管200a用于驱动电路(典型为栅极驱动器),可以提供边框宽度窄(也称为窄边框)的显示装置。

[0297] 下面,作为晶体管的结构的实例,参照图26A至图26C对晶体管200b进行说明。图26A是晶体管200b的俯视图。图26B相当于图26A所示的点划线X1-X2之间的截面图,图26C相当于图26A所示的点划线Y1-Y2之间的截面图。

[0298] 晶体管200b的与晶体管200a的不同之处是晶体管200b具有半导体层231、导电层222a、导电层222b及绝缘层212的叠层结构。

[0299] 绝缘层212包括:半导体层231、导电层222a及导电层222b上的绝缘层212a;绝缘层212a上的绝缘层212b。绝缘层212具有对半导体层231供应氧的功能。换言之,绝缘层212包含氧。绝缘层212a为能够透过氧的绝缘层。绝缘层212a还被用作在后面形成绝缘层212b时缓和和对半导体层231的损伤的膜。

[0300] 作为绝缘层212a,可以使用厚度为5nm以上且150nm以下,优选为5nm以上且50nm以

下的氧化硅、氧氮化硅等。

[0301] 此外,优选使绝缘层212a中的缺陷量少,典型的是,通过电子自旋共振(ESR)测得的起因于硅的悬空键的 $g=2.001$ 处呈现的信号的自旋密度优选为 $3 \times 10^{17}$  spins/cm<sup>3</sup>以下。这是因为若绝缘层212a的缺陷密度高,氧则与该缺陷键合,而使绝缘层212a中的氧透过性减少。

[0302] 在绝缘层212a中,有时从外部进入绝缘层212a的氧不是全部移动到绝缘层212a的外部,而是其一部分残留在绝缘层212a的内部。此外,有时在氧进入绝缘层212a的同时,绝缘层212a中含有的氧移动到绝缘层212a的外部,而在绝缘层212a中发生氧的移动。在形成能够使氧透过的氧化物绝缘层作为绝缘层212a时,可以使从设置在绝缘层212a上的绝缘层212b脱离的氧经由绝缘层212a移动到半导体层231中。

[0303] 此外,绝缘层212a可以使用起因于氮氧化物的态密度低的氧化物绝缘层形成。注意,该起因于氮氧化物的态密度有时会形成在金属氧化物的价带顶的能量与金属氧化物的导带底的能量之间。作为上述氧化物绝缘层,可以使用氮氧化物的释放量少的氧氮化硅膜或氮氧化物的释放量少的氧氮化铝膜等。

[0304] 此外,在热脱附谱分析(TDS:Thermal Desorption Spectroscopy)中,氮氧化物的释放量少的氧氮化硅膜是氮释放量比氮氧化物的释放量多的膜,典型的是氮释放量为 $1 \times 10^{18}$  cm<sup>3</sup>以上且 $5 \times 10^{19}$  cm<sup>3</sup>以下。注意,该氮释放量为在进行膜表面温度为50℃以上且650℃以下,优选为50℃以上且550℃以下的加热处理时的释放量。

[0305] 氮氧化物(NO<sub>x</sub>,x大于0且为2以下,优选为1以上且2以下),典型的是NO<sub>2</sub>或NO,在绝缘层212a等中形成能级。该能级位于半导体层231的能隙中。由此,当氮氧化物扩散到绝缘层212a与半导体层231的界面时,有时该能级在绝缘层212a一侧俘获电子。其结果是,被俘获的电子留在绝缘层212a与半导体层231的界面附近,由此使晶体管的阈值电压向正方向漂移。

[0306] 此外,当进行加热处理时,氮氧化物与氮及氧起反应。当进行加热处理时,绝缘层212a所包含的氮氧化物与绝缘层212b所包含的氮起反应,由此绝缘层212a所包含的氮氧化物减少。因此,在绝缘层212a与半导体层231的界面中不容易俘获电子。

[0307] 通过作为绝缘层212a使用上述氧化物绝缘层,可以降低晶体管的阈值电压的漂移,从而可以降低晶体管的电特性的变动。

[0308] 此外,上述氧化物绝缘层的利用SIMS测得的氮浓度为 $6 \times 10^{20}$  atoms/cm<sup>3</sup>以下。

[0309] 通过在衬底温度为220℃以上且350℃以下的情况下利用使用硅烷及一氧化二氮的PECVD法形成上述氧化物绝缘层,可以形成致密且硬度高的膜。

[0310] 绝缘层212b为包含超过化学计量组成的氧的氧化物绝缘层。该氧化物绝缘层通过加热而其一部分的氧脱离。上述氧化物绝缘层包括通过TDS分析测得的氧释放量为 $1.0 \times 10^{19}$  atoms/cm<sup>3</sup>以上,优选为 $3.0 \times 10^{20}$  atoms/cm<sup>3</sup>以上的区域。上述氧释放量为TDS分析中的加热处理温度为50℃以上且650℃以下或50℃以上且550℃以下的范围的总量。此外,上述氧释放量为在TDS中换算为氧原子的总量。

[0311] 作为绝缘层212b可以使用厚度为30nm以上且500nm以下,优选为50nm以上且400nm以下的氧化硅膜、氧氮化硅膜等。

[0312] 此外,优选使绝缘层212b中的缺陷量较少,典型的是,通过ESR测得的起因于硅的

悬空键的 $g=2.001$ 处呈现的信号的自旋密度低于 $1.5 \times 10^{18} \text{ spins/cm}^3$ ,更优选为 $1 \times 10^{18} \text{ spins/cm}^3$ 以下。由于绝缘层212b与绝缘层212a相比离半导体层231更远,所以绝缘层212b的缺陷密度也可以高于绝缘层212a。

[0313] 此外,因为绝缘层212a和绝缘层212b可以使用包括相同种类材料的绝缘层,所以有时无法明确地确认绝缘层212a与绝缘层212b之间的界面。因此,在本实施方式中,以虚线图示出绝缘层212a与绝缘层212b之间的界面。注意,在本实施方式中,虽然说明了绝缘层212a与绝缘层212b的两层结构,但是不局限于此,例如,也可以采用绝缘层212a的单层结构、三层以上的叠层结构。

[0314] 在晶体管200b中,半导体层231包括绝缘层211上的半导体层231\_1及半导体层231\_1上的半导体层231\_2。半导体层231\_1及半导体层231\_2包含相同的元素。例如,半导体层231\_1及半导体层231\_2优选各各自包含上述半导体层231所包含的元素。

[0315] 半导体层231\_1及半导体层231\_2优选各各自包括In的原子个数比大于M的原子个数比的区域。例如,优选将半导体层231\_1及半导体层231\_2的In、M及Zn的原子个数比设定为In:M:Zn=4:2:3附近。在此,“附近”表示在In为4的情况下M为1.5以上且2.5以下,Zn为2以上且4以下的情况。或者,优选将半导体层231\_1及半导体层231\_2的In、M及Zn的原子个数比设定为In:M:Zn=5:1:6附近。如此,通过使半导体层231\_1及半导体层231\_2具有大致相同的组成,可以使用相同的溅射靶材形成,所以可以抑制制造成本。此外,在使用相同的溅射靶材的情况下,可以在真空的同一处理室中连续地形成半导体层231\_1及半导体层231\_2,所以可以抑制杂质混入半导体层231\_1与半导体层231\_2的界面。

[0316] 半导体层231\_1可以包含其结晶性比半导体层231\_2低的区域。例如可以使用X线衍射(XRD:X-Ray Diffraction)或透射电子显微镜(TEM:Transmission Electron Microscope)对半导体层231\_1及半导体层231\_2的结晶性进行分析。

[0317] 半导体层231\_1的结晶性低的区域被用作过剩氧的扩散路径,可以将过剩氧扩散到其结晶性比半导体层231\_1高的半导体层231\_2。如此,通过采用结晶结构不同的半导体层的叠层结构且将结晶性低的区域用作过剩氧的扩散路径,可以提供高可靠性的晶体管。

[0318] 当半导体层231\_2包含其结晶性比半导体层231\_1高的区域时,可以抑制有可能混入半导体层231的杂质。尤其是,通过提高半导体层231\_2的结晶性,可以抑制对导电层222a及导电层222b进行加工时的损伤。半导体层231的表面,即半导体层231\_2的表面暴露于对导电层222a及导电层222b进行加工时的蚀刻剂或蚀刻气体。然而在半导体层231\_2包含结晶性高的区域的情况下,其蚀刻耐性高于结晶性低的半导体层231\_1。因此,半导体层231\_2被用作蚀刻停止膜。

[0319] 当半导体层231\_1包含其结晶性比半导体层231\_2低的区域时,载流子密度有时得到提高。

[0320] 在半导体层231\_1的载流子密度高时,费米能级有可能相对于半导体层231\_1的导带变高。由此,有时半导体层231\_1的导带底变低,使半导体层231\_1的导带底与有可能形成在栅极绝缘层(在此,绝缘层211)中的陷阱能级的能量差变大。在该能量差变大的情况下,有时俘获在栅极绝缘层中的电荷减少,而可以降低晶体管的阈值电压的变动。此外,在半导体层231\_1的载流子密度高时,可以提高半导体层231的场效应迁移率。

[0321] 虽然示出了在晶体管200b中半导体层231具有两层的叠层结构的例子,但是不局

限于此,半导体层231也可以具有三层以上的叠层结构。

[0322] 晶体管200b所包括的导电层222a包括导电层222a\_1、导电层222a\_1上的导电层222a\_2、导电层222a\_2上的导电层222a\_3。晶体管200b所包括的导电层222b包括导电层222b\_1、导电层222b\_1上的导电层222b\_2、导电层222b\_2上的导电层222b\_3。

[0323] 例如,导电层222a\_1、导电层222b\_1、导电层222a\_3及导电层222b\_3优选包含钛、钨、钼、钨、钨、钨、锡和锌的中的任何一个或多个。此外,导电层222a\_2及导电层222b\_2优选包含铜、铝和银的中的任何一个或多个。

[0324] 更具体而言,作为导电层222a\_1、导电层222b\_1、导电层222a\_3及导电层222b\_3可以使用In-Sn氧化物或In-Zn氧化物,作为导电层222a\_2及导电层222b\_2可以使用铜。

[0325] 导电层222a\_1的端部包括位于导电层222a\_2的端部的外侧的区域,导电层222a\_3包括覆盖导电层222a\_2的顶面及侧面且与导电层222a\_1接触的区域。此外,导电层222b\_1的端部包括位于导电层222b\_2的端部的外侧的区域,导电层222b\_3包括覆盖导电层222b\_2的顶面及侧面且与导电层222b\_1接触的区域。

[0326] 通过采用上述结构,可以降低导电层222a及导电层222b的布线电阻,且可以抑制铜扩散到半导体层231,所以是优选的。

[0327] 下面,作为晶体管的结构的一个例子,参照图27A至图27C对晶体管200c进行说明。图27A是晶体管200c的俯视图。图27B相当于图27A所示的点划线X1-X2之间的截面图,图27C相当于图27A所示的点划线Y1-Y2之间的截面图。

[0328] 晶体管200c包括绝缘层224上的导电层221;导电层221及绝缘层224上的绝缘层211;绝缘层211上的半导体层231;半导体层231及绝缘层211上的绝缘层216;半导体层231及绝缘层216上的导电层222a;半导体层231及绝缘层216上的导电层222b;绝缘层216、导电层222a以及导电层222b上的绝缘层212;以及绝缘层212上的导电层223。

[0329] 绝缘层211、绝缘层216以及绝缘层212包括开口部235。被用作晶体管200c的第一栅极的导电层221通过开口部235与被用作晶体管200c的第二栅极的导电层223电连接。此外,绝缘层216包括开口部238a及开口部238b。被用作晶体管200c的源极和漏极中的一个的导电层222a通过开口部238a与半导体层231电连接。被用作晶体管200c的源极和漏极中的另一个的导电层222b通过开口部238b与半导体层231电连接。

[0330] 绝缘层216被用作晶体管200c的沟道保护层。在不包括绝缘层216的情况下,当通过蚀刻法等形成导电层222a及导电层222b时,半导体层231的沟道形成区域会受损伤。由此,有时晶体管的电特性不稳定。在形成绝缘层216并设置开口部238a及开口部238b之后形成导电层,并且通过蚀刻法等对该导电层进行加工来形成导电层222a及导电层222b,因此能够抑制半导体层231的沟道形成区域受损伤。由此,可以使晶体管的电特性稳定化,而能够实现可靠性高的晶体管。

[0331] 绝缘层216可以包含例如与绝缘层212相同的材料。

[0332] 绝缘层216优选包括氧过剩区域。通过绝缘层216包括氧过剩区域,可以对半导体层231的沟道形成区域供应氧。因此,过剩氧可以填补在该沟道形成区域中形成的氧缺陷,由此可以提供高可靠性的显示装置。

[0333] 在形成开口部238a及开口部238b之后,优选对半导体层231添加杂质元素。具体而言,优选添加形成氧缺陷的元素或与氧缺陷键合的元素。由此能够提高半导体层231中的与

导电层222a重叠的区域(源区域和漏区域中的一个)及与导电层222b重叠的区域(源区域和漏区域中的另一个)的导电性,将在后面说明详细内容。由此,晶体管200c的电流驱动能力得到提高,从而能够得到高通态电流特性。

[0334] 晶体管200c为所谓的沟道保护型晶体管,具有双栅结构。

[0335] 晶体管200c与晶体管200a及晶体管200b同样地具有s-channel结构。通过采用这种结构,可以由导电层221及导电层223的电场电围绕晶体管200c所包括的半导体层231。

[0336] 因为晶体管200c具有s-channel结构,所以可以使用导电层221或导电层223对半导体层231有效地施加用来诱发沟道的电场。由此,晶体管200c的电流驱动能力得到提高,从而可以得到高通态电流特性。此外,由于可以增加通态电流,所以可以使晶体管200c微型化。此外,由于晶体管200c具有半导体层231被导电层221及导电层223围绕的结构,所以可以提高晶体管200c的机械强度。

[0337] 注意,晶体管200c也可以是不包括导电层223的结构。此时,晶体管200c为所谓的沟道保护型晶体管,具有底栅结构。

[0338] 下面,参照图28A至图28D对晶体管的结构实例进行说明。

[0339] 图28A和图28B是晶体管200d的截面图,图28C和图28D是晶体管200e的截面图。注意,晶体管200d是之前所示的晶体管200b的变形实例,晶体管200e是之前所示的晶体管200c的变形实例。因此,在图28A至图28D中,具有与晶体管200b及晶体管200c相同的功能的部分由相同的符号表示,省略其详细说明。

[0340] 注意,图28A是晶体管200d的沟道长度方向上的截面图,图28B是晶体管200d的沟道宽度方向上的截面图。图28C是晶体管200e的沟道长度方向上的截面图,图28D是晶体管200e的沟道宽度方向上的截面图。

[0341] 图28A及图28B所示的晶体管200d的与晶体管200b的不同之处在于不包括导电层223及开口部235。此外,晶体管200d在绝缘层212、导电层222a以及导电层222b的结构上与晶体管200b不同。

[0342] 在晶体管200d中,绝缘层212包括绝缘层212c及绝缘层212c上的绝缘层212d。绝缘层212c具有对半导体层231供应氧并抑制杂质(典型为水、氢等)的进入的功能。作为绝缘层212c可以使用氧化铝膜、氧氮化铝膜、或氮氧化铝膜。尤其是,作为绝缘层212c,优选为通过反应性溅射法形成的氧化铝膜。注意,作为通过反应性溅射法形成氧化铝膜的方法的实例,可以举出以下示出的方法。

[0343] 首先,对溅射处理室内引入混合惰性气体(典型为Ar气体)和氧气体的气体。接着,通过对放在溅射处理室中的铝靶材施加电压,来可以形成氧化铝膜。注意,作为对铝靶材施加电压的电源,可以举出DC电源、AC电源或RF电源。尤其是,当使用DC电源时生产率得到提高,这是优选的。

[0344] 绝缘层212d具有抑制杂质(典型为水、氢等)的进入的功能。作为绝缘层212d可以使用氮化硅膜、氮氧化硅膜、或氧氮化硅膜。尤其是,作为绝缘层212d,优选为通过PECVD法形成的氮化硅膜。通过PECVD法形成的氮化硅膜容易得到高的膜密度,所以是优选的。注意,通过PECVD法形成的氮化硅膜有时膜中的氢浓度高。

[0345] 在晶体管200d中,因为在绝缘层212d的下层设有绝缘层212c,所以在绝缘层212d中包含的氢不扩散或者不容易扩散到半导体层231一侧。

[0346] 注意,与晶体管200b不同,晶体管200d是单栅的晶体管。通过作为晶体管200d采用单栅的晶体管,可以减少掩模数,从而能够使生产率得到提高。

[0347] 图28C及图28D所示的晶体管200e在绝缘层216及绝缘层212的结构上与晶体管200c不同。具体而言,晶体管200e包括绝缘层216a代替绝缘层216,并且包括绝缘层212d代替绝缘层212。此外,在晶体管200e中,半导体层231包括半导体层231\_1及半导体层231\_2。

[0348] 绝缘层216a具有与绝缘层212c相同的功能。

[0349] 通过采用晶体管200d及晶体管200e的结构,可以不需要大型设备投资,而可以利用现有的生产线来进行制造。例如,能够简单地将氢化非晶硅的制造工厂换成氧化物半导体的制造工厂。

[0350] 下面,作为晶体管的结构实例,参照图29A至图29C对晶体管200f进行说明。图29A是晶体管200f的俯视图。图29B相当于图29A所示的点划线X1-X2之间的截面图,图29C相当于图29A所示的点划线Y1-Y2之间的截面图。

[0351] 图29A至图29C所示的晶体管200f包括绝缘层224上的导电层221;导电层221及绝缘层224上的绝缘层211;绝缘层211上的半导体层231;半导体层231上的绝缘层212;绝缘层212上的导电层223;绝缘层211、半导体层231及导电层223上的绝缘层215。半导体层231包括与导电层223重叠的沟道形成区域231i;与绝缘层215接触的源区域231s;与绝缘层215接触的漏区域231d。

[0352] 绝缘层215包含氮或氢。通过使绝缘层215与源区域231s及漏区域231d接触,绝缘层215中的氮或氢添加到源区域231s及漏区域231d中。源区域231s及漏区域231d在被添加氮或氢时其载流子密度得到提高。

[0353] 此外,晶体管200f也可以包括通过设置在绝缘层215中的开口部236a与源区域231s电连接的导电层222a。此外,晶体管200f也可以包括通过设置在绝缘层215的开口部236b与漏区域231d电连接的导电层222b。

[0354] 绝缘层211被用作第一栅极绝缘层,绝缘层212被用作第二栅极绝缘层。此外,绝缘层215被用作保护绝缘层。

[0355] 此外,绝缘层212包括过剩氧区域。通过绝缘层212包括过剩氧区域,可以对半导体层231所包括的沟道形成区域231i中供应过剩氧。因此,过剩氧可以填补有可能形成在沟道形成区域231i中的氧缺陷,从而能够提供高可靠性的显示装置。

[0356] 此外,为了对半导体层231供应过剩氧,也可以对形成在半导体层231的下方的绝缘层211供应过剩氧。此时,包含在绝缘层211中的过剩氧有可能供应给半导体层231所包括的源区域231s及漏区域231d。当对源区域231s及漏区域231d供应过剩氧时,有时源区域231s及漏区域231d的电阻会上升。

[0357] 另一方面,当形成在半导体层231上的绝缘层212包含过剩氧时,可以只对沟道形成区域231i选择性地供应过剩氧。或者,可以在对沟道形成区域231i、源区域231s及漏区域231d供应过剩氧之后,选择性地提高源区域231s及漏区域231d的载流子密度,而可以抑制源区域231s及漏区域231d的电阻上升。

[0358] 半导体层231所包括的源区域231s及漏区域231d分别优选具有形成氧缺陷的元素或与氧缺陷键合的元素。作为形成该氧缺陷的元素或与氧缺陷键合的元素,典型地可举出氢、硼、碳、氮、氟、磷、硫、氯、钛、稀有气体等。此外,作为稀有气体元素的典型例子,有氦、

氮、氩、氦以及氙等。在绝缘层215包含上述形成氧缺陷的元素中的一个或多个时,上述形成氧缺陷的元素从绝缘层215扩散到源区域231s及漏区域231d,及/或通过杂质添加处理添加到源区域231s及漏区域231d中。

[0359] 当杂质元素添加到金属氧化物中时,金属氧化物中的金属元素与氧的键合被切断而形成氧缺陷。或者,当对金属氧化物添加杂质元素时,金属氧化物中的与金属元素键合的氧与杂质元素键合,氧从金属元素脱离,而形成氧缺陷。其结果是,金属氧化物中的载流子密度增高,由此导电率得到提高。

[0360] 导电层221被用作第一栅极,导电层223被用作第二栅极,导电层222a被用作源极,导电层222b被用作漏极。

[0361] 此外,如图29C所示,绝缘层211及绝缘层212形成有开口部237。导电层221通过开口部237与导电层223电连接。因此,同一电位被施加到导电层221及导电层223。此外,也可以不设置开口部237,而对导电层221、导电层223施加不同电位。或者,也可以不设置开口部237,且将导电层221用作遮光膜。例如,通过使用遮光性材料形成导电层221,可以抑制光从下方照射到沟道形成区域231i。

[0362] 如图29B和图29C所示,半导体层231位于与被用作第一栅极的导电层221及被用作第二栅极的导电层223的每一个相对的位置,夹在两个被用作栅极的导电层之间。

[0363] 此外,晶体管200f也与晶体管200a、晶体管200b及晶体管200c同样地具有s-channel结构。通过采用这种结构,可以利用被用作第一栅极的导电层221及被用作第二栅极的导电层223的电场电围绕晶体管200f所包括的半导体层231。

[0364] 因为晶体管200f具有s-channel结构,所以可以使用导电层221或导电层223对半导体层231有效地施加用来诱发沟道的电场。由此,晶体管200f的电流驱动能力得到提高,从而可以得到高通态电流特性。此外,由于可以增加通态电流,所以可以使晶体管200f微型化。此外,由于晶体管200f具有半导体层231被导电层221及导电层223围绕的结构,所以可以提高晶体管200f的机械强度。

[0365] 根据导电层223的相对于半导体层231的位置或者导电层223的形成方法可以将晶体管200f称为TGSA(Top Gate Self Aligned)型FET。

[0366] 与晶体管200b同样,晶体管200f的半导体层231也可以具有两层以上叠层。

[0367] 此外,在晶体管200f中,绝缘层212只设置在与导电层223重叠的部分,但是不局限于此,绝缘层212也可以覆盖半导体层231。此外,也可以不设置导电层221。

[0368] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0369] (实施方式3)

[0370] 在本实施方式中,对能够用于晶体管的半导体层的多晶硅的晶化方法及激光晶化装置的实例进行说明。

[0371] 为了形成结晶性良好的多晶硅层,优选采用在衬底上形成非晶硅层并对该非晶硅层照射激光而进行晶化的方法。例如,作为激光使用线状光束,一边移动衬底一边将该线状光束照射到非晶硅层,由此可以在衬底上的所希望的区域形成多晶硅层。

[0372] 使用线状光束的方法的生产量比较好。然而,使用线状光束的方法是将激光以相对地移动的方式多次照射到一个区域的方法,因此,激光的输出变动及起因于激光的输出

变动的光束分布的变化容易导致结晶性不均匀。例如,当将用该方法晶化的半导体层用于显示装置的像素所包括的晶体管时,有时在显示屏幕上出现起因于结晶性不均匀的无规则的条纹。

[0373] 此外,理想的是线状光束的长度为衬底的一边的长度以上,但是线状光束的长度受到激光振荡器的输出和光学系统的结构的限制。因此,当对大型衬底进行处理时,对衬底面内折回地照射激光是现实的。因此,产生重复照射激光的区域。该区域的结晶性容易与其他区域的结晶性不同,因此该区域有时发生显示不均匀。

[0374] 为了抑制上述问题的发生,也可以对衬底上的非晶硅层局部性地照射激光而使其晶化。通过局部性地照射激光,容易形成结晶性不均匀少的多晶硅层。

[0375] 图30A是说明对形成在衬底上的非晶硅层局部性地照射激光的方法的图。

[0376] 从光学系统单元821射出的激光826被镜子822反射而入射到微透镜阵列823。微透镜阵列823集聚激光826而形成多个激光束827。

[0377] 形成有非晶硅层840的衬底830固定在载物台815。通过对非晶硅层840照射多个激光束827,可以同时形成多个多晶硅层841。

[0378] 微透镜阵列823所包括的各微透镜优选以显示装置的像素间距设置。或者,也可以以像素间距的整数倍的间隔设置。无论采用上述任何方式,都可以通过反复在X方向或Y方向上移动载物台815并照射激光来在对应于所有的像素的区域形成多晶硅层。

[0379] 例如,在微透镜阵列823以像素间距具有M行N列(M和N为自然数)的微透镜的情况下,首先,通过对指定的开始位置照射激光,形成M行N列的多晶硅层841。然后,在行方向上移动载物台815相当于N列的距离并照射激光,由此形成M行2N列的多晶硅层841。通过反复进行该工序,可以在所希望的区域中形成多个多晶硅层841。此外,在折回地照射激光的情况下,反复进行在行方向上移动载物台815相当于N列的距离并照射激光的工序及在列方向上移动载物台815相当于M行的距离并照射激光的工序。

[0380] 此外,通过适当地调节激光的振荡频率及载物台815的移动速度,即使是一边在一个方向上移动载物台815一边照射激光的方法,也可以以像素间距形成多晶硅层。

[0381] 例如可以将激光束827的尺寸设定为包括一个晶体管的半导体层整体的程度的面积。或者,可以将其设定为包括一个晶体管的沟道形成区域整体的程度的面积。或者,可以将其设定为包括一个晶体管的沟道形成区域的一部分的程度的面积。激光束827的尺寸根据所需要的晶体管的电特性适当地设定即可。

[0382] 此外,在制造一个像素包括多个晶体管的显示装置的情况下,可以将激光束827的尺寸设定为包括一个像素内的各晶体管的半导体层整体的程度的面积。此外,也可以将激光束827的尺寸设定为包括多个像素所包括的晶体管的半导体层整体的程度的面积。

[0383] 此外,如图31A所示,也可以在镜子822与微透镜阵列823之间设置掩模824。掩模824中设置有对应于各微透镜的多个开口。可以将该开口的形状反映到激光束827的形状,如图31A所示,在掩模824包括圆形开口的情况下,可以获得圆形激光束827。此外,在掩模824包括矩形开口的情况下,可以获得矩形激光束827。例如,掩模824在只想使晶体管的沟道形成区域晶化的情况等下有效。此外,如图31B所示,也可以将掩模824设置在光学系统单元821与镜子822之间。

[0384] 图30B是说明对可用于上述局部性的激光照射工序的激光晶化装置的主要结构的

立体图。激光晶化装置包括作为X-Y载物台的构成要素的移动机构812、移动机构813及载物台815。此外,还包括用来对激光束827进行成型的激光振荡器820、光学系统单元821、镜子822及微透镜阵列823。

[0385] 移动机构812及移动机构813具有在水平方向上进行往复直线运动的功能。作为对移动机构812及移动机构813供应动力的机构,例如可以使用用电动机驱动的滚珠丝杠机构816等。移动机构812及移动机构813的各移动方向垂直地相交,所以固定在移动机构813的载物台815可以在X方向及Y方向上自如地移动。

[0386] 载物台815包括真空吸着机构等固定机构,可以固定衬底830等。此外,载物台815也可以根据需要包括加热机构。此外,虽然未图示,但是载物台815包括弹力顶出杆及其上下机构,在将衬底830等搬出或搬入时,可以在上下方向上移动衬底830等。

[0387] 激光振荡器820能够输出具有适于处理目的的波长及强度的光即可,优选使用脉冲激光器,但是也可以使用CW激光器。典型的是,使用能够照射波长为351nm至353nm(XeF)或308nm(XeCl)等的紫外光的准分子激光器。或者,也可以使用固体激光(YAG激光、光纤激光等)的二倍频(515nm、532nm等)或者三倍频(343nm、355nm等)。此外,也可以设置多个激光振荡器820。

[0388] 光学系统单元821例如包括镜子、光束扩展器、光束均质器等,可以使从激光振荡器820输出的激光825的能量的面内分布均匀且扩展。

[0389] 作为镜子822,例如可以使用介电质多层膜镜子,以使激光的入射角大致为45°的方式设置。微透镜阵列823例如可以具有在石英板的顶面或顶底面上设置有多个凸透镜的形状。

[0390] 通过采用上述激光晶化装置,可以形成结晶性不均匀少的多晶硅层。

[0391] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0392] (实施方式4)

[0393] 以下,对可用于本发明的一个方式所公开的晶体管的CAC (cloud-aligned composite) -OS的构成进行说明。

[0394] CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸分别为0.5nm以上且10nm以下,优选为1nm以上且2nm以下或近似的尺寸。注意,在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域以0.5nm以上且10nm以下,优选为1nm以上且2nm以下或近似的尺寸混合的状态称为马赛克(mosaic)状或补丁(patch)状。

[0395] 金属氧化物优选至少包含镧。尤其是,优选包含镧及铈。除此之外,也可以还包含选自铝、镓、铋、铜、钒、铍、硼、硅、钛、铁、镍、锆、锆、钼、镉、铟、铪、铌、钽、钨和镁等中的一种或多种。

[0396] 例如,In-Ga-Zn氧化物中的CAC-OS(在CAC-OS中,尤其可以将In-Ga-Zn氧化物称为CAC-IGZO)是指通过将材料分成镧氧化物(以下,称为 $\text{InO}_{X1}$ ( $X1$ 为大于0的实数))或镧铈氧化物(以下,称为 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ ( $X2$ 、 $Y2$ 及 $Z2$ 为大于0的实数))等以及镓氧化物(以下,称为 $\text{GaO}_{X3}$ ( $X3$ 为大于0的实数))或镓铈氧化物(以下,称为 $\text{Ga}_{X4}\text{Zn}_{Y4}\text{O}_{Z4}$ ( $X4$ 、 $Y4$ 及 $Z4$ 为大于0的实数))等而成为马赛克状,且马赛克状的 $\text{InO}_{X1}$ 或 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 均匀地分布在膜中的构成(以下,也称为云



[0408] CAC-OS的结构与金属元素均匀地分布的IGZO化合物不同,具有与IGZO化合物不同的性质。换言之,CAC-OS具有以 $\text{GaO}_{\text{X}3}$ 等为主要成分的区域及以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域互相分离且以各元素为主要成分的区域为马赛克状的构成。

[0409] 在此,以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域导电性高于以 $\text{GaO}_{\text{X}3}$ 等为主要成分的区域。换言之,当载流子流过以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域时,呈现金属氧化物的导电性。因此,当以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域在金属氧化物中以云状分布时,可以实现高场效应迁移率( $\mu$ )。

[0410] 另一方面,以 $\text{GaO}_{\text{X}3}$ 等为主要成分的区域绝缘性高于以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域。换言之,当以 $\text{GaO}_{\text{X}3}$ 等为主要成分的区域在金属氧化物中分布时,可以抑制泄漏电流而实现良好的开关工作。

[0411] 因此,当将CAC-OS用于半导体元件时,通过起因于 $\text{GaO}_{\text{X}3}$ 等的绝缘性及起因于 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 的导电性的互补作用可以实现高通态电流( $I_{\text{on}}$ )及高场效应迁移率( $\mu$ )。

[0412] 此外,使用CAC-OS的半导体元件具有高可靠性。因此,CAC-OS适合用于显示器等各种半导体装置。

[0413] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0414] (实施方式5)

[0415] 在本实施方式中,对上述实施方式中说明的显示装置的其他结构实例进行说明。

[0416] 图32示出显示装置10的结构实例。显示装置10包括设置在衬底14上的显示部17。显示部17包括与布线GL及布线SL连接的多个像素11。

[0417] 此外,在显示装置10中,设置有多个TAB(Tape Automated Bonding:带式自动接合)带121a及多个TAB带121b。在夹着显示部17彼此相对的位置设置TAB带121a和TAB带121b。在TAB带121a中安装形成有栅极驱动器12a等的集成电路,在TAB带121b中安装形成有栅极驱动器12b等的集成电路。栅极驱动器12a及栅极驱动器12b与多个布线GL连接并具有对布线GL供应选择信号的功能。

[0418] 此外,在显示装置10中设置有多个印刷电路板131a及多个TAB带132a,设置有多个印刷电路板131b及多个TAB带132b。在夹着显示部17彼此相对的位置设置印刷电路板131a及TAB带132a和印刷电路板131b及TAB带132b。

[0419] 印刷电路板131a分别与多个TAB带132a连接并具有将从外部输入的信号分配到TAB带132a的功能。印刷电路板131b分别与多个TAB带132b连接并具有将从外部输入的信号分配到TAB带132b的功能。此外,在TAB带132a中安装有形成有源极驱动器13a等的集成电路,在TAB带132b中安装有形成有源极驱动器13b等的集成电路。源极驱动器13a及源极驱动器13b与多个布线SL连接并具有对布线SL供应信号的功能。

[0420] 在制造能够对应于2K、4K、8K广播等的大屏幕的显示面板的情况下,如图32所示那样,优选设置多个印刷电路板131a及多个印刷电路板131b。由此,可以容易对显示装置10输入图像数据。

[0421] 注意,栅极驱动器12a、栅极驱动器12b、源极驱动器13a以及源极驱动器13b可以通过COG(Chip On Glass)方式、COF(Chip on Film)方式等设置在衬底14上。

[0422] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而

实施。

[0423] (实施方式6)

[0424] 在本实施方式中,参照附图对本发明的一个方式的电子设备进行说明。

[0425] 以下所例示的电子设备是在显示部中包括本发明的一个方式的显示装置的电子设备,因此是可以实现高分辨率的电子设备。此外,可以实现兼具高分辨率及大屏幕特性的电子设备。

[0426] 在本发明的一个方式的电子设备的显示部上例如可以显示具有全高清、4K2K、8K4K、16K8K或更高的分辨率的影像。此外,显示部的屏幕尺寸可以为对角线20英寸以上、30英寸以上、50英寸以上、60英寸以上或70英寸以上。

[0427] 作为电子设备,例如除了电视装置、台式或笔记本型个人计算机、用于计算机等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。

[0428] 可以将本发明的一个方式的电子设备或照明装置沿着房屋或高楼的内壁或外壁、汽车的内部装饰或外部装饰的曲面组装。

[0429] 本发明的一个方式的电子设备也可以包括天线。通过由天线接收信号,可以在显示部上显示影像或数据等。此外,在电子设备包括天线及二次电池时,可以用天线进行非接触电力传送。

[0430] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有测定如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0431] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。

[0432] 图33A示出电视装置的实例。在电视装置7100的外壳7101中组装有显示部7000。在此示出利用支架7103支撑外壳7101的结构。

[0433] 可以对显示部7000适用本发明的一个方式的显示装置。使用本发明的一个方式的显示装置的电视装置7100可以显示高分辨率的图像。此外,该电视装置7100可以在大屏幕上显示高分辨率的图像。

[0434] 可以通过利用外壳7101所包括的操作开关或另外提供的遥控操作机7111进行图33A所示的电视装置7100的操作。此外,也可以在显示部7000中具备触摸传感器,也可以通过用指头等触摸显示部7000进行操作。此外,也可以在遥控操作机7111中具备显示从该遥控操作机7111输出的数据的显示部。通过利用遥控操作机7111所具备的操作键或触摸面板,可以进行频道及音量的操作,并可以对显示在显示部7000上的影像进行操作。

[0435] 此外,电视装置7100具备接收机及调制解调器等。可以通过利用接收机接收一般的电视广播。再者,可以通过调制解调器将电视装置连接到有线或无线方式的通信网络,从而进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者之间等)的信息通信。

[0436] 图33B示出笔记型个人计算机7200。笔记型个人计算机7200包括外壳7211、键盘7212、指向装置7213、外部连接端口7214等。在外壳7211中组装有显示部7000。

[0437] 可以对显示部7000适用本发明的一个方式的显示装置。使用本发明的一个方式的显示装置的笔记本式个人计算机7200可以显示高分辨率的图像。此外,该笔记本式个人计算机7200可以在大屏幕上显示高分辨率的图像。

[0438] 图33C和图33D示出数字标牌的例子。

[0439] 图33C所示的数字标牌7300包括外壳7301、显示部7000及扬声器7303等。此外,还可以包括LED灯、操作键(包括电源开关或操作开关)、连接端子、各种传感器、麦克风等。

[0440] 图33D示出设置于圆柱状柱子7401上的数字标牌7400。数字标牌7400包括沿着柱子7401的曲面设置的显示部7000。

[0441] 在图33C和图33D中,可以对显示部7000适用本发明的一个方式的显示装置。使用本发明的一个方式的显示装置的数字标牌7300及数字标牌7400可以显示高分辨率的图像。此外,该数字标牌7300及数字标牌7400可以在大屏幕上显示高分辨率的图像。

[0442] 显示部7000越大,一次能够提供的信息量越多。显示部7000越大,越容易吸引人的注意,例如可以提高广告宣传效果。

[0443] 通过将触摸面板用于显示部7000,不仅可以在显示部7000上显示静态图像或动态图像,使用者还能够直觉性地进行操作,所以是优选的。此外,在用于提供线路信息或交通信息等信息的用途时,可以通过直觉性的操作提高易用性。

[0444] 如图33C和图33D所示,数字标牌7300或数字标牌7400优选通过无线通信可以与用户所携带的智能手机等信息终端设备7311或信息终端设备7411联动。例如,显示在显示部7000上的广告信息可以显示在信息终端设备7311或信息终端设备7411的屏幕。此外,通过操作信息终端设备7311或信息终端设备7411,可以切换显示部7000的显示。

[0445] 此外,可以在数字标牌7300或数字标牌7400上以信息终端设备7311或信息终端设备7411的屏幕为操作单元(控制器)执行游戏。由此,不特定多个用户可以同时参加游戏,享受游戏的乐趣。

[0446] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0447] [实施例1]

[0448] 在本实施例中,说明具有对角线65英寸的像素区域的8K4K液晶显示器模块的数据写入时间的估算结果。

[0449] 尤其是,在实施例中,确认当将本发明的一个方式适用于对晶体管的半导体层使用非晶硅(a-Si:H)的大型且高分辨率的显示器时,是否能够使该显示器工作。

[0450] 此外,8K4K显示器的分辨率是极高的分辨率,如:水平分辨率为7680,垂直分辨率为4320。此外,作为8K4K显示器的国际规格有Recommendation ITU-R BT.2020-2。在该规格中,驱动方法为逐行扫描方式,最大帧率为120Hz。

[0451] 在将场效应迁移率低的晶体管用于高分辨率且大型的显示器模块的情况下,有时不能在帧期间中完成图像的改写工作,而无法驱动。此时,可以采用将像素区域分为多个(例如四个),对其分别配置扫描线驱动电路(也称为栅极驱动器)及信号线驱动电路(也称为源极驱动器)的结构。该结构是通过在多个像素区域中同时改写图像,在使用场效应迁移

率低的晶体管时实现在帧期间中的图像改写的结构。

[0452] 然而,分割像素区域的结构有如下忧虑:源极驱动器或栅极驱动器等IC以及这些驱动器附带的构件的增大所引起的成本的增大;布线数的增大所引起的开口率的下降;IC的安装所引起的边框面积的增大;需要另行设置使被分割的像素区域同步的电路;被分割的像素区域的边界部被看到而导致的可见度的下降;等。此外,为了分割被输入的图像数据需要图像处理等,并且需要高速且大规模的图像处理装置。

[0453] 于是,在本实施例中,除了逐一对各栅极线供应选择信号且各像素逐一被选择的结构以外,还考查了对两个或四个像素同时供应选择信号,并且在列方向上相邻的两个或四个像素同时被选择的结构。同时被选择的两个或四个像素分别连接于不同的源极线。即,每列配置有两个或四个源极线。在本实施例中,使用上述结构中的像素布局进行数据写入时间的估算。

[0454] 此外,在本实施例中,考查了作为晶体管的半导体层使用非晶硅的情况以及使用金属氧化物的情况。

[0455] 当作为半导体层使用非晶硅时,使用通过使作为设计参数的场效应迁移率从使用微晶硅制造的晶体管的实测值变化而得到的虚拟参数进行了数据写入时间的估算。

[0456] 关于使用金属氧化物的半导体层,考查了以下两种构成。作为金属氧化物,使用In-Ga-Zn氧化物。第一种是将In、Ga以及Zn的原子个数比为In:Ga:Zn=1:1:1附近的金属氧化物的单层用于半导体层。第二种是将In、Ga及Zn的原子个数比为In:Ga:Zn=4:2:3附近的金属氧化物的叠层用于半导体层。具体而言,设想作为第一金属氧化物层使用CAC-OS(Cloud-Aligned Composite oxide semiconductor)膜,作为第二金属氧化物层使用CAAC-OS(c-axis-aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)膜的情况。

[0457] 表1示出在本实施例中使用的各层的参数。这些参数是假设将金属氧化物用于半导体层的晶体管时的参数。此外,在本实施例中,在将非晶硅用于半导体层的情况下也使用相同的参数。

[0458] [表1]

[0459]

	材料	膜厚度	薄层电阻	相对介电常数
对置电极	ITSO	100nm	100 Ω /平方	-
液晶层	液晶材料	3200nm	0.011fF/μm <sup>2</sup>	4
像素电极	ITSO	100nm	100 Ω /平方	-
平坦化膜	丙烯酸树脂	3000nm	0.012fF/μm <sup>2</sup>	4
钝化膜2	SiN	100nm	0.620fF/μm <sup>2</sup>	7
钝化膜1	SiON\SiON	430nm	0.082fF/μm <sup>2</sup>	4
SD布线*	Cu	600nm***	0.050 Ω /平方	-
半导体层	IGZO或a-Si:H	40nm	-	-
栅极绝缘层**	SiON	280nm	0.127fF/μm <sup>2</sup>	4
栅极布线*	Cu	600nm***	0.050 Ω /平方	-
衬底	玻璃	-	-	-

[0460] \*根据Ta<sub>2</sub>N<sub>5</sub>\_10nm\Cu\_300nm的薄层电阻0.1 Ω /平方的换算值。

[0461] \*\*将SiN\_400nm\SiON\_50nm换算为SiON单层的值。

[0462] \*\*\*在半导体层为IGZO,同时选择两个像素的情况下,估算为700nm。

[0463] 〈像素被逐一选择的情况〉

[0464] 图34A是示出在本实施例中使用的显示器模块的结构方框图。该结构中,对栅极线逐一供应选择信号,并且像素被逐一选择。栅极驱动器及源极驱动器都是外置型。对栅极线从两个栅极驱动器IC供应相同的信号。对源极线从一个源极驱动器IC供应信号。像素区域没有被分割。像素区域的尺寸为对角线65英寸,有效像素数为 $7680 \times \text{RGB(H)} \times 4320 \text{(V)}$ 。

[0465] 图34B示出像素PIX(i,j)的电路图。像素PIX(i,j)包括晶体管M1、电容器C1及液晶元件LC。晶体管M1的栅极与栅极线GL(i)连接。晶体管M1的源极和漏极中的一个与源极线SL(j)连接,另一个与电容器C1的一个电极以及液晶元件LC的一个电极连接。电容器C1中的另一个电极与布线CSCOM连接。液晶元件LC的另一个电极与布线TCOM连接。

[0466] 图35A、图35B示出像素被逐一选择时的显示器模块的像素布局。图35A是从栅极线GL(i)到像素电极的叠层结构从像素电极一侧看时的俯视图。图35B是从图35A去除像素电极时的顶面图。

[0467] 像素尺寸是 $62.5\mu\text{m} \times 187.5\mu\text{m}$ 。晶体管M1是底栅顶接触结构的沟道蚀刻型晶体管。晶体管M1的沟道长度L是 $4\mu\text{m}$ ,沟道宽度W是 $8\mu\text{m}$ ,与栅极重叠的LDD区域(以下称为重叠LDD区域 $L_{ov}$ )是 $2\mu\text{m}$ 。栅极线GL(i)的宽度是 $10\mu\text{m}$ ,布线CSCOM的宽度是 $3.5\mu\text{m}$ 。源极线SL(j)的宽度是 $10\mu\text{m}$ ,但是在与其他布线(栅极线GL(i)及布线CSCOM)交叉的部分上,源极线SL(j)的宽度是 $4\mu\text{m}$ 。开口率是45.6%。

[0468] 首先,参照图36说明将金属氧化物用于半导体层时的数据写入时间的估算。

[0469] 通过从图35A的像素布局提取寄生电阻及寄生电容且只使晶体管的场效应迁移率的参数变化,估算像素的栅极线的充电时间以及源极线及像素的充电时间。在本实施例中,数据写入时间相当于栅极线的充电时间和源极线及像素的充电时间的总和。此外,在本实施例中,栅极线的充电时间是栅极线的电位达到输入电压的最大值的75%的时间,源极线及像素的充电时间是源极线的电位达到输入电压的最大值的99%的时间。

[0470] 此外,在此,使用将In、Ga及Zn的原子个数比为In:Ga:Zn=4:2:3附近的金属氧化物的叠层用于半导体层时的以场效应迁移率为1而规格化的值(规格化迁移率)。晶体管的尺寸没有变化。像素区域整体的负载为如下:栅极线的寄生电阻 $R_{g1}$ 是 $3.60\text{k}\Omega$ ,栅极线的寄生电容 $C_{g1}$ 是 $255\text{pF}$ ,源极线的寄生电阻 $R_{s1}$ 是 $5.80\text{k}\Omega$ ,源极线的寄生电容 $C_{s1}$ 是 $147\text{pF}$ ,像素的寄生电阻 $C_{pix}$ 是 $216.6\text{fF}$ 。在本实施例中,像素的寄生电容 $C_{pix}$ 包括电容器的存储电容、液晶元件的电容以及节点A的寄生电容。此外,在本实施例中,节点A是各像素中的晶体管的源极或漏极、电容器中的一个电极以及液晶元件的一个电极连接的节点。

[0471] 在图36中,规格化迁移率是1的结果相当于将In、Ga及Zn的原子个数比为In:Ga:Zn=4:2:3附近的金属氧化物的叠层用于半导体层的情况(图36中记为CAC\CAAC)。此时,数据写入时间是 $3.55\mu\text{s}$ ,短于以60Hz驱动时的一水平期间的 $3.85\mu\text{s}$ ,估算结果是可以以60Hz驱动工作。此外,上述数据写入时间长于以120Hz驱动时的一水平期间 $1.93\mu\text{s}$ ,因此估算结果是难以120Hz驱动工作。

[0472] 在图36中,规格化迁移率是0.5的结果相当于将In、Ga及Zn的原子个数比为In:Ga:Zn=1:1:1附近的金属氧化物的单层用于半导体层的情况(图36中记为IGZO(111))。此时,

数据写入时间是 $4.17\mu\text{s}$ ,长于以 $60\text{Hz}$ 驱动时的一水平期间的 $3.85\mu\text{s}$ ,因此估算结果是不但很难以 $120\text{Hz}$ 驱动工作而且也很难以 $60\text{Hz}$ 驱动工作。

[0473] 接着,参照图37说明将非晶硅用于半导体层时的数据写入时间的估算。

[0474] 通过从图35A的像素布局提取寄生电阻及寄生电容,在使用微晶硅制造的晶体管的实测值中使作为设计参数的场效应迁移率变化,来估算像素的栅极线的充电时间以及源极线及像素的充电时间。晶体管的尺寸及存储电容器的尺寸没有变化。在实际上将非晶硅用于半导体层时需要更大尺寸的晶体管及存储电容器,所以数据写入时间需要长于本实施例的结果。像素区域整体的负载为如下:栅极线的寄生电阻 $R_{g1}$ 是 $3.60\text{k}\Omega$ ,栅极线的寄生电容 $C_{g1}$ 是 $255\text{pF}$ ,源极线的寄生电阻 $R_{s1}$ 是 $5.80\text{k}\Omega$ ,源极线的寄生电容 $C_{s1}$ 是 $147\text{pF}$ ,像素的寄生电阻 $C_{\text{pix}}$ 是 $216.6\text{fF}$ 。

[0475] 图37中,场效应迁移率是 $0.6、0.7、0.8[\text{cm}^2/\text{Vs}]$ 的结果相当于将非晶硅用于半导体层的情况。此时,数据写入时间分别为 $19.66\mu\text{s}、16.19\mu\text{s}、13.81\mu\text{s}$ ,长于以 $120\text{Hz}$ 驱动时的一水平期间 $1.93\mu\text{s}$ 及以 $60\text{Hz}$ 驱动时的一水平期间 $3.85\mu\text{s}$ ,因此估算结果是不但难以以 $120\text{Hz}$ 驱动工作而且还难以以 $60\text{Hz}$ 驱动工作。

[0476] 〈每两个像素同时被选择的情况〉

[0477] 图38A是示出在本实施例中使用的显示器模块的结构的方框图。在该构成中,对每两个栅极线同时供应选择信号,并且在列方向上相邻的每两个像素同时被选择。栅极驱动器及源极驱动器都是外置型。对栅极线从两个栅极驱动器IC供应相同的信号。栅极线 $GL_0(i)$ 与栅极线 $GL(i)$ 及栅极线 $GL(i+1)$ 电连接,同时驱动第 $i$ 行和第 $(i+1)$ 行的两行的像素。对源极线从一个源极驱动器IC供应信号。像素区域没有被分割。像素区域的尺寸为对角线65英寸,有效像素数为 $7680 \times \text{RGB(H)} \times 4320(\text{V})$ 。

[0478] 图38B示出像素 $\text{PIX}(i, j)$ 及像素 $\text{PIX}(i+1, j)$ 的电路图。

[0479] 首先,说明像素 $\text{PIX}(i, j)$ 的结构。像素 $\text{PIX}(i, j)$ 包括晶体管 $M1$ 、电容器 $C1$ 及液晶元件 $LC$ 。晶体管 $M1$ 的栅极与栅极线 $GL(i)$ 连接。晶体管 $M1$ 的源极和漏极中的一个与源极线 $SL_1(j)$ 连接,另一个与电容器 $C1$ 的一个电极以及液晶元件 $LC$ 的一个电极连接。电容器 $C1$ 的另一个电极与布线 $\text{CSCOM}$ 连接。液晶元件 $LC$ 的另一个电极与布线 $\text{TCOM}$ 连接。

[0480] 首先,说明像素 $\text{PIX}(i+1, j)$ 的结构。像素 $\text{PIX}(i+1, j)$ 包括晶体管 $M2$ 、电容器 $C2$ 及液晶元件 $LC$ 。晶体管 $M2$ 的栅极与栅极线 $GL(i+1)$ 连接。晶体管 $M2$ 的源极和漏极中的一个与源极线 $SL_2(j)$ ,另一个与电容器 $C2$ 的一个电极以及液晶元件 $LC$ 的一个电极连接。电容器 $C2$ 的另一个电极与布线 $\text{CSCOM}$ 连接。液晶元件 $LC$ 的另一个电极与布线 $\text{TCOM}$ 连接。

[0481] 图39A、图39B示出每两个像素同时被选择时的显示器模块的像素布局。图39A是栅极线 $GL(i)$ 到像素电极的叠层结构从像素电极一侧看时的俯视图。图39B是从图39A中去除像素电极时的俯视图。

[0482] 像素尺寸是 $62.5\mu\text{m} \times 187.5\mu\text{m}$ 。晶体管 $M1$ 是底栅顶接触结构的沟道蚀刻型晶体管。晶体管 $M1$ 的沟道长度 $L$ 是 $4\mu\text{m}$ ,沟道宽度 $W$ 是 $8\mu\text{m}$ ,重叠 $\text{LDD}$ 区域 $L_{\text{ov}}$ 是 $2\mu\text{m}$ 。栅极线 $GL(i)$ 的宽度是 $10\mu\text{m}$ ,布线 $\text{CSCOM}$ 的宽度是 $3.5\mu\text{m}$ 。源极线 $SL_1(j)$ 及源极线 $SL_2(j)$ 的宽度都是 $10\mu\text{m}$ ,但是在与栅极线交叉的部分中,源极线 $SL_1(j)$ 及源极线 $SL_2(j)$ 的宽度的宽度都是 $4\mu\text{m}$ 。开口率是 $37.3\%$ 。

[0483] 首先,参照图40说明将金属氧化物用于半导体层时的数据的写入时间的估算。

[0484] 通过从图39A的像素布局提取寄生电阻及寄生电容且只使迁移率的参数变化,估算像素的栅极线的充电时间以及源极线及像素的充电时间。在此,使用将In、Ga及Zn的原子个数比为In:Ga:Zn=4:2:3附近的金属氧化物的叠层用于半导体层时的以场效应迁移率为1而规格化的值(规格化迁移率)。晶体管的尺寸没有变化。整个像素区域的负载为如下:栅极线的寄生电阻 $R_{g1}$ 是3.60k $\Omega$ ,栅极线的寄生电容 $C_{g1}$ 是364pF,源极线的寄生电阻 $R_{s1}$ 是4.83k $\Omega$ ,源极线的寄生电容 $C_{s1}$ 是182pF,像素的寄生电容 $C_{pix}$ 是191fF。

[0485] 在图40中,规格化迁移率是1的结果相当于将In、Ga及Zn的原子个数比为In:Ga:Zn=4:2:3附近的金属氧化物的叠层用于半导体层的情况(图40中记为CAC\CAAC)。此时,数据写入时间是3.49 $\mu$ s,短于以120Hz驱动时的一水平期间的3.83 $\mu$ s,估算结果是可以以120Hz驱动工作。

[0486] 在图40中,规格化迁移率是0.5的结果相当于将In、Ga及Zn的原子个数比为In:Ga:Zn=1:1:1附近的金属氧化物的单层用于半导体层的情况(图40中记为IGZO(111))。此时,数据写入时间是4.02 $\mu$ s,短于以60Hz驱动时的一水平期间7.66 $\mu$ s,估算结果是可以以60Hz驱动工作。此外,上述数据写入时间长于以120Hz驱动时的一水平期间3.83 $\mu$ s,估算结果是难以以120Hz驱动工作。

[0487] 在图40中,由于对两个栅极线供应相同的选择信号,所以可以使一水平期间的长度为图36所示的二倍。由此,利用场效应迁移率低的晶体管容易使高分辨率的显示装置工作。

[0488] 图36及图40的结果示出:将CAC\CAAC用于半导体层时,在对像素逐一进行写入的结构中难以以120Hz驱动的工作可以通过采用同时对两个像素写入的结构实现。

[0489] 此外,图36及图40的结果示出:将IGZO(111)用于半导体层时,在对像素逐一进行写入的结构中难以以60Hz驱动的工作可以通过采用同时对两个像素写入的结构实现。

[0490] 接着,参照图41说明将非晶硅用于半导体层时的数据写入时间的估算。

[0491] 通过从图39A的像素布局提取寄生电阻及寄生电容,在使用微晶硅制造的晶体管的实测值中使作为设计参数的场效应迁移率变化,来估算像素的栅极线的充电时间以及源极线及像素的充电时间。晶体管的尺寸及存储电容器的尺寸没有变化。像素区域整体的负载为如下:栅极线的寄生电阻 $R_{g1}$ 是3.60k $\Omega$ ,栅极线的寄生电容 $C_{g1}$ 是364pF,源极线的寄生电阻 $R_{s1}$ 是4.83k $\Omega$ ,源极线的寄生电容 $C_{s1}$ 是182pF,像素的寄生电容 $C_{pix}$ 是191fF。

[0492] 在图41中,场效应迁移率是0.6、0.7、0.8[ $\text{cm}^2/\text{Vs}$ ]的结果相当于将非晶硅用于半导体层的情况。此时,数据写入时间分别为17.98 $\mu$ s、14.89 $\mu$ s、12.78 $\mu$ s,长于以120Hz驱动时的一水平期间3.83 $\mu$ s及以60Hz驱动时的一水平期间7.66 $\mu$ s,估算结果是不但难以以120Hz驱动而且还难以以60Hz驱动工作。

[0493] 从图41的结果估算出:将非晶硅用于半导体层的情况与将金属氧化物用于半导体层的情况不同(参照图40的结果),即使使前者为对两个像素同时写入的结构也难以以60Hz驱动工作。

[0494] 〈四个像素同时被选择的情况〉

[0495] 除了只设置有一个源极驱动器13的结构以外,示出用于本实施例的显示器模块的结构方框图与图1同样。像素区域的尺寸为对角线65英寸,有效像素数为7680 $\times$ RGB(H) $\times$ 4320(V)。此外,设置在像素区域中的像素的电路图与图7同样,像素布局与图8A及图8B同

样。

[0496] 像素尺寸是 $62.5\mu\text{m}\times 187.5\mu\text{m}$ 。设置在像素中的晶体管都是底栅顶接触结构的沟道蚀刻型晶体管,其尺寸相同。具体而言,两个晶体管的沟道长度 $L$ 是 $4\mu\text{m}$ ,沟道宽度 $W$ 是 $8\mu\text{m}$ ,重叠LDD区域 $L_{ov}$ 是 $3\mu\text{m}$ 。各栅极线的宽度都是 $10\mu\text{m}$ ,各布线CS的宽度都是 $5\mu\text{m}$ 。各源极线的宽度都是 $4\mu\text{m}$ 。开口率是29%。

[0497] 首先,参照图42说明将金属氧化物用于半导体层时的数据写入时间的估算。

[0498] 通过从图8A及图8B的像素布局提取寄生电阻及寄生电容且只使迁移率的参数变化,估算出像素的栅极线的充电时间以及源极线及像素的充电时间。在此,使用将In、Ga及Zn的原子个数比为In:Ga:Zn=4:2:3附近的金属氧化物的叠层用于半导体层时的以场效应迁移率为1而规格化的值(规格化迁移率)。晶体管的尺寸没有变化。像素区域整体的负载为如下:栅极线的寄生电阻 $R_{g1}$ 是 $3.53\text{k}\Omega$ ,栅极线的寄生电容 $C_{g1}$ 是 $518\text{pF}$ ,源极线的寄生电阻 $R_{s1}$ 是 $10.28\text{k}\Omega$ ,源极线的寄生电容 $C_{s1}$ 是 $170\text{pF}$ ,像素的寄生电阻 $C_{pix}$ 是 $99.7\text{fF}$ 。

[0499] 在图42中,规格化迁移率是1的结果相当于将In、Ga及Zn的原子个数比为In:Ga:Zn=4:2:3附近的金属氧化物的叠层用于半导体层的情况(图42中记为CAC\CAAC)。此时,数据写入时间是 $5.05\mu\text{s}$ ,短于以120Hz驱动时的一水平期间 $7.61\mu\text{s}$ ,估算结果是可以以120Hz驱动工作。

[0500] 在图42中,规格化迁移率是0.5的结果相当于将In、Ga及Zn的原子个数比为In:Ga:Zn=1:1:1附近的金属氧化物的单层用于半导体层的情况(图42中记为IGZO(111))。此时,数据写入时间是 $5.22\mu\text{s}$ ,短于以120Hz驱动时的一水平期间 $7.61\mu\text{s}$ ,估算结果是可以以120Hz驱动工作。

[0501] 在图42中,由于对四个栅极线供应相同的选择信号,所以可以使一水平期间的长度为图36所示的4倍。由此,利用场效应迁移率低的晶体管容易使高分辨率的显示装置工作。

[0502] 图42的结果示出:通过采用同时写入四个像素的结构,即使将其迁移率比CAC\CAAC小的IGZO(111)用于半导体层,也可以实现以120Hz驱动的工作。

[0503] 接着,参照图43说明将非晶硅用于半导体层时的数据写入时间的估算。

[0504] 通过从图8A及图8B的像素布局提取寄生电阻及寄生电容,在使用微晶硅制造的晶体管的实测值中使作为设计参数的场效应迁移率变化,来估算像素的栅极线的充电时间以及源极线及像素的充电时间。晶体管的尺寸及存储电容器的尺寸没有变化。像素区域整体的负载为如下:栅极线的寄生电阻 $R_{g1}$ 是 $3.53\text{k}\Omega$ ,栅极线的寄生电容 $C_{g1}$ 是 $518\text{pF}$ ,源极线的寄生电阻 $R_{s1}$ 是 $10.28\text{k}\Omega$ ,源极线的寄生电容 $C_{s1}$ 是 $170\text{pF}$ ,像素的寄生电阻 $C_{pix}$ 是 $99.7\text{fF}$ 。

[0505] 图43中,场效应迁移率是0.6、0.7、0.8[ $\text{cm}^2/\text{Vs}$ ]的结果相当于将非晶硅用于半导体层的情况。此时,数据写入时间分别为 $11.66\mu\text{s}$ 、 $10.06\mu\text{s}$ 、 $9.01\mu\text{s}$ ,短于以60Hz驱动时的一水平期间 $15.3\mu\text{s}$ ,估算结果是可以以60Hz驱动工作。此外,该数据写入时间长于以120Hz驱动时的一水平期间 $7.61\mu\text{s}$ ,估算结果是难以以120Hz驱动工作。

[0506] 图37、图41及图43的结果示出:将非晶硅用于半导体层时,通过采用同时在四个像素中进行写入的结构,可以实现60Hz驱动的工作。

[0507] 如上所述,估算结果为:通过采用本发明的一个方式,即使在作为晶体管的半导体层使用非晶硅的情况下也可以使如对角线65英寸且分辨率为8K4K那样大型且高分辨率的

显示器工作。

- [0508] [符号说明]
- [0509] 10 显示装置
- [0510] 11 像素
- [0511] 12a 栅极驱动器
- [0512] 12b 栅极驱动器
- [0513] 13 源极驱动器
- [0514] 13a 源极驱动器
- [0515] 13b 源极驱动器
- [0516] 14 衬底
- [0517] 15 衬底
- [0518] 16 基准电压生成电路
- [0519] 16a 基准电压生成电路
- [0520] 16b 基准电压生成电路
- [0521] 17 显示部
- [0522] 18a 保护电路
- [0523] 18b 保护电路
- [0524] 19a 保护电路
- [0525] 19b 保护电路
- [0526] 20 液晶元件
- [0527] 21 导电层
- [0528] 22 液晶
- [0529] 23 导电层
- [0530] 24a 取向膜
- [0531] 24b 取向膜
- [0532] 26 绝缘层
- [0533] 30 晶体管
- [0534] 31 导电层
- [0535] 31a 导电层
- [0536] 32 半导体层
- [0537] 32p 半导体层
- [0538] 33 导电层
- [0539] 33a 导电层
- [0540] 33b 导电层
- [0541] 33c 导电层
- [0542] 34 绝缘层
- [0543] 35 杂质半导体层
- [0544] 37 半导体层
- [0545] 38 开口部

- [0546] 39a 偏振片
- [0547] 39b 偏振片
- [0548] 41 着色层
- [0549] 42 遮光层
- [0550] 50 光
- [0551] 51 导电层
- [0552] 52 导电层
- [0553] 53 导电层
- [0554] 54 导电层
- [0555] 55 导电层
- [0556] 60 电容元件
- [0557] 71 开口部
- [0558] 72 开口部
- [0559] 73 开口部
- [0560] 74 开口部
- [0561] 81 绝缘层
- [0562] 82 绝缘层
- [0563] 84 绝缘层
- [0564] 90 背光单元
- [0565] 121a TAB带
- [0566] 121b TAB带
- [0567] 131a 印刷电路板
- [0568] 131b 印刷电路板
- [0569] 132a TAB带
- [0570] 132b TAB带
- [0571] 200a 晶体管
- [0572] 200b 晶体管
- [0573] 200c 晶体管
- [0574] 200d 晶体管
- [0575] 200e 晶体管
- [0576] 200f 晶体管
- [0577] 211 绝缘层
- [0578] 212 绝缘层
- [0579] 212a 绝缘层
- [0580] 212b 绝缘层
- [0581] 212c 绝缘层
- [0582] 212d 绝缘层
- [0583] 215 绝缘层
- [0584] 216 绝缘层

- [0585] 216a 绝缘层
- [0586] 221 导电层
- [0587] 222a 导电层
- [0588] 222a\_1 导电层
- [0589] 222a\_2 导电层
- [0590] 222a\_3 导电层
- [0591] 222b 导电层
- [0592] 222b\_1 导电层
- [0593] 222b\_2 导电层
- [0594] 222b\_3 导电层
- [0595] 223 导电层
- [0596] 224 绝缘层
- [0597] 231 半导体层
- [0598] 231\_1 半导体层
- [0599] 231\_2 半导体层
- [0600] 231d 漏区域
- [0601] 231i 沟道形成区域
- [0602] 231s 源区域
- [0603] 235 开口部
- [0604] 236a 开口部
- [0605] 236b 开口部
- [0606] 237 开口部
- [0607] 238a 开口部
- [0608] 238b 开口部
- [0609] 812 移动机构
- [0610] 813 移动机构
- [0611] 815 载物台
- [0612] 816 滚珠丝杠机构
- [0613] 820 激光振荡器
- [0614] 821 光学系统单元
- [0615] 822 镜子
- [0616] 823 微透镜阵列
- [0617] 824 掩模
- [0618] 825 激光
- [0619] 826 激光
- [0620] 827 激光束
- [0621] 830 衬底
- [0622] 840 非晶硅层
- [0623] 841 多晶硅层

- [0624] 7000 显示部
- [0625] 7100 电视装置
- [0626] 7101 外壳
- [0627] 7103 支架
- [0628] 7111 遥控操作机
- [0629] 7200 笔记本式个人计算机
- [0630] 7211 外壳
- [0631] 7212 键盘
- [0632] 7213 指向装置
- [0633] 7214 外部连接端口
- [0634] 7300 数字标牌
- [0635] 7301 外壳
- [0636] 7303 扬声器
- [0637] 7311 信息终端设备
- [0638] 7400 数字标牌
- [0639] 7401 柱子
- [0640] 7411 信息终端设备

10

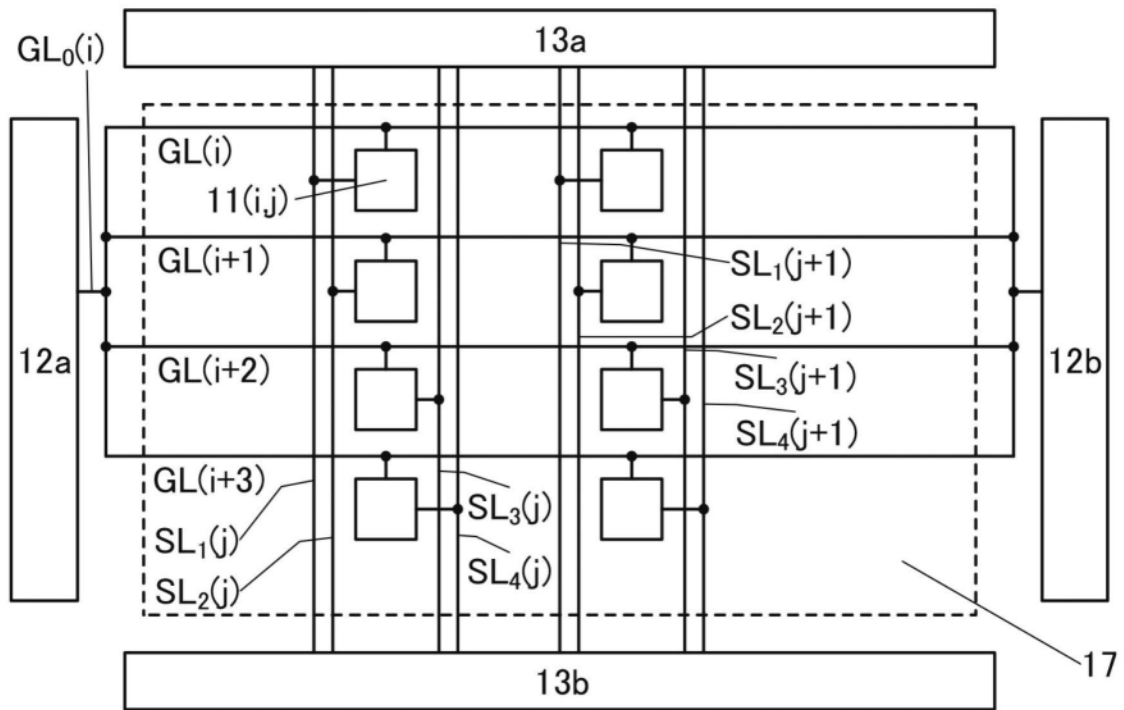


图1

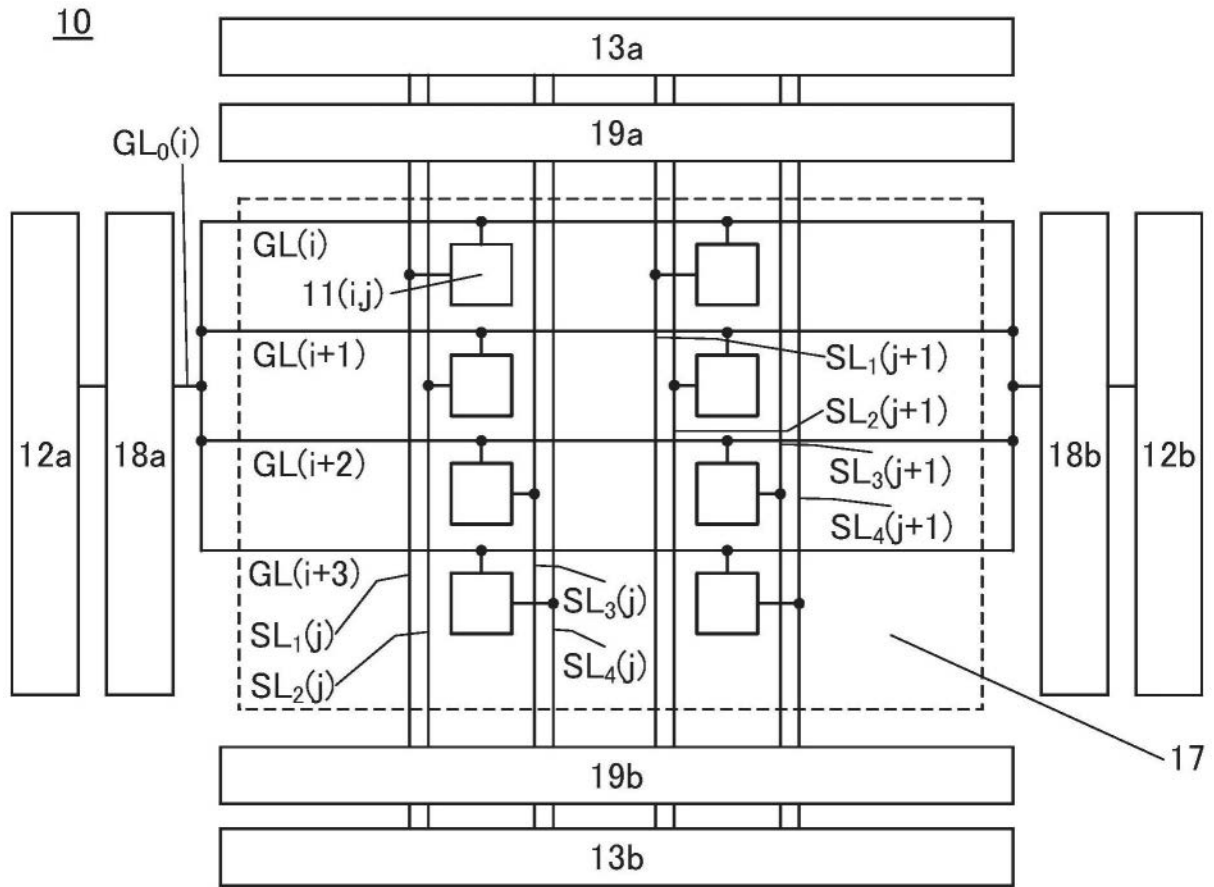


图2

10

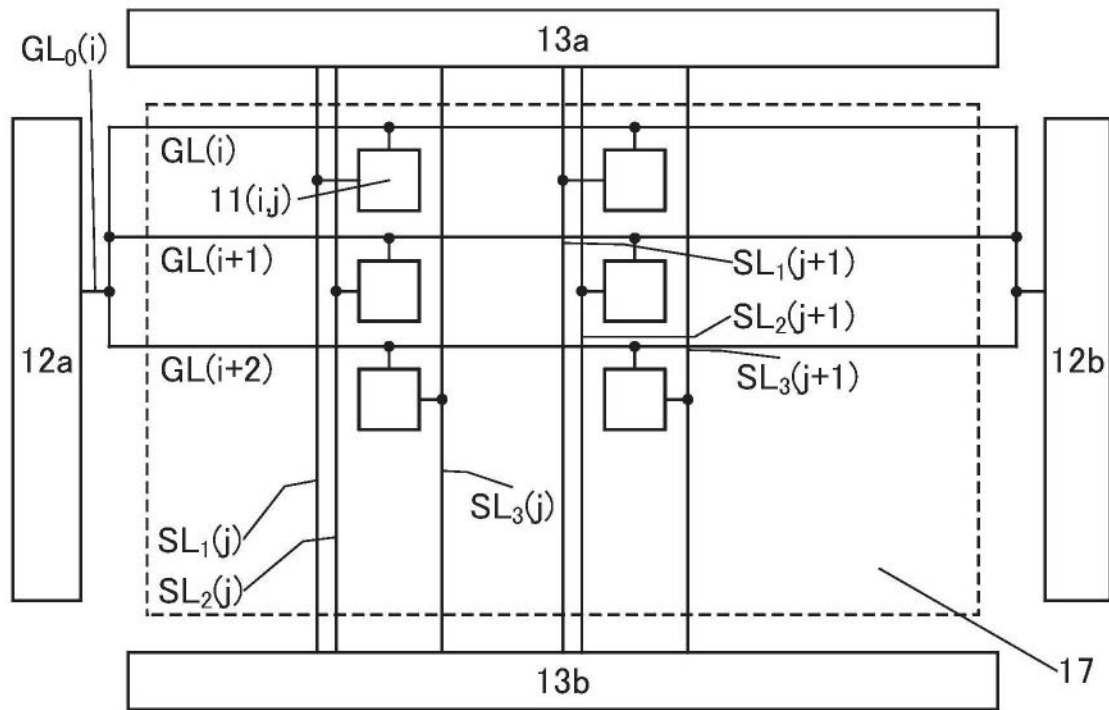


图3

10

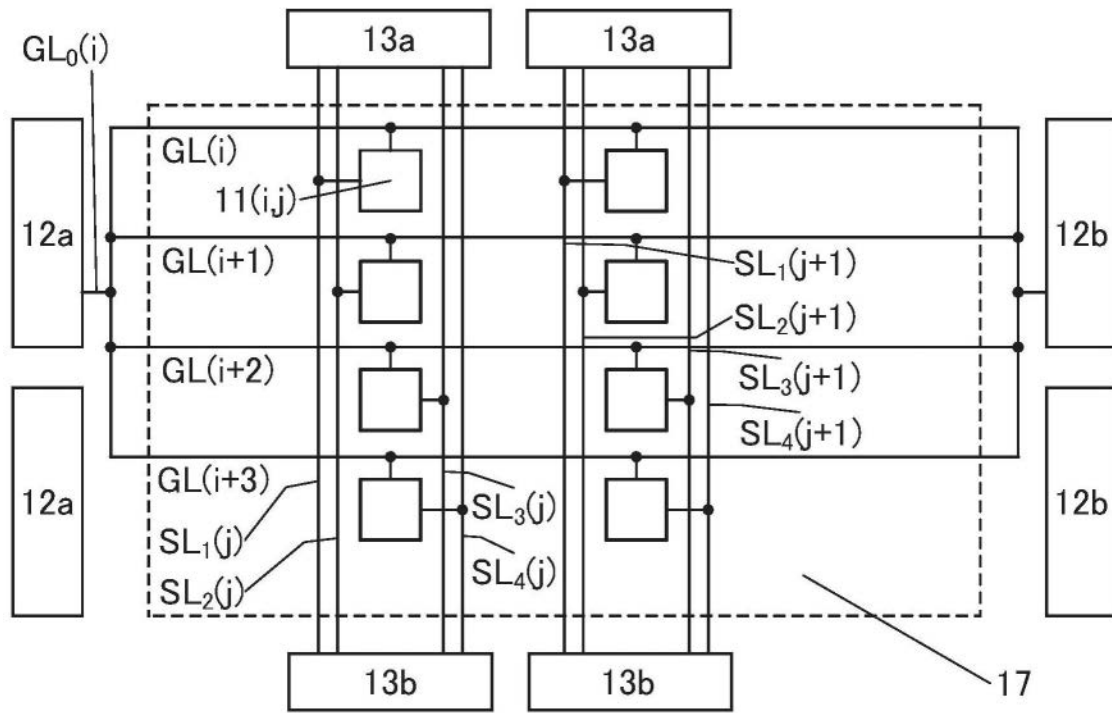


图4

10

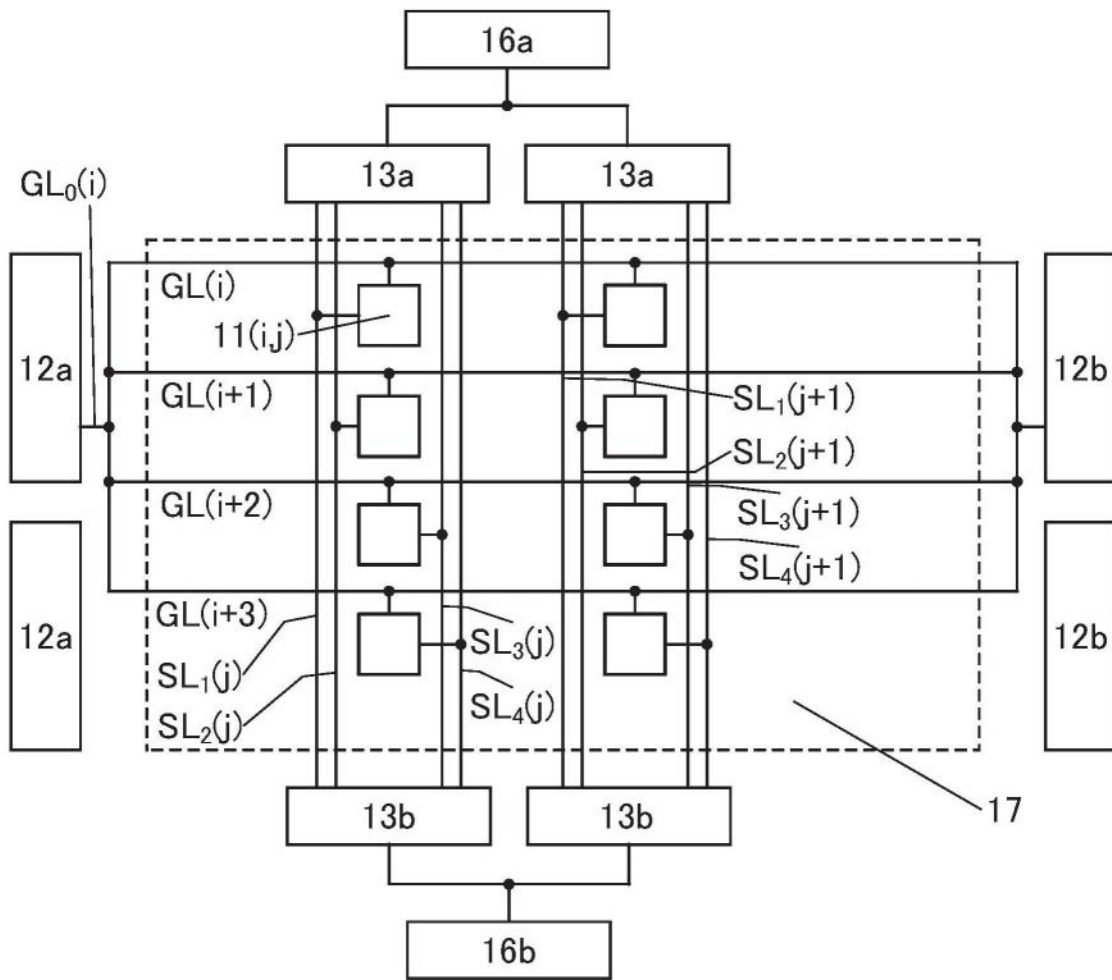


图5

10

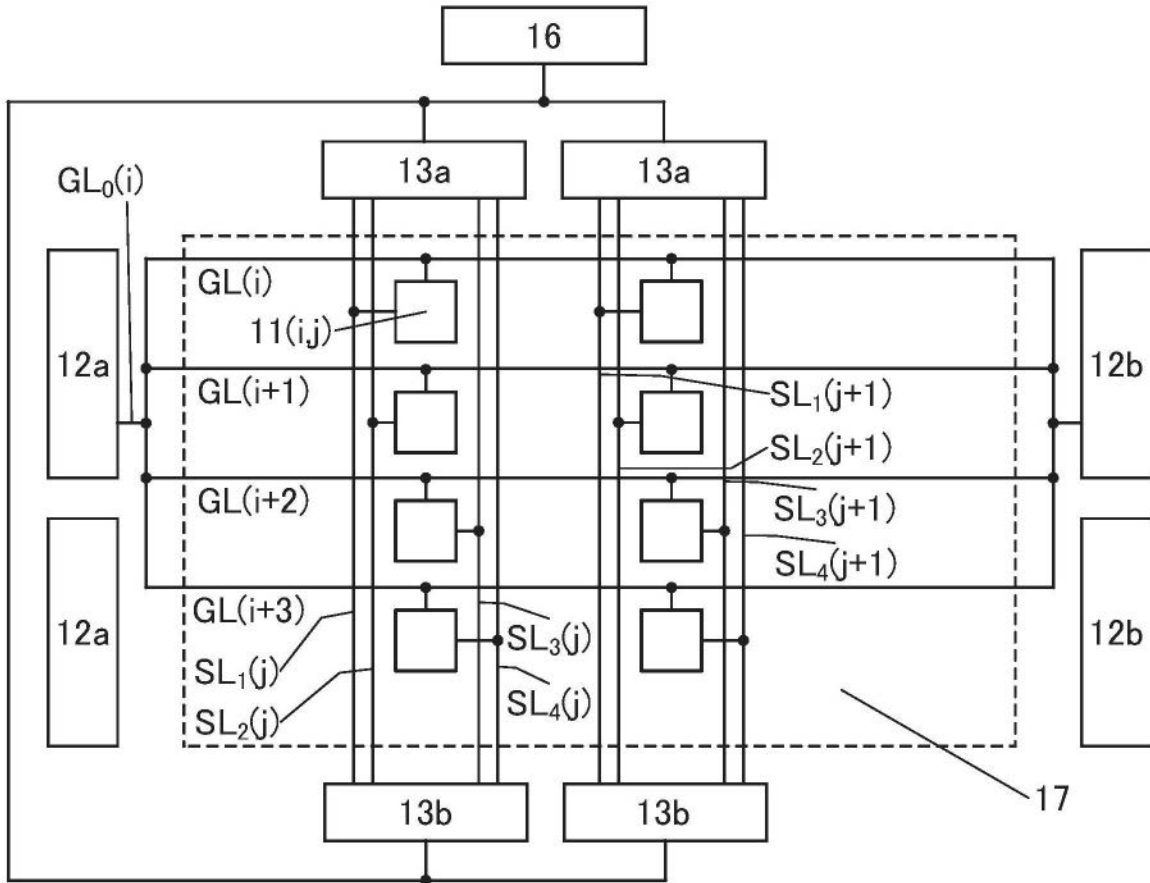


图6

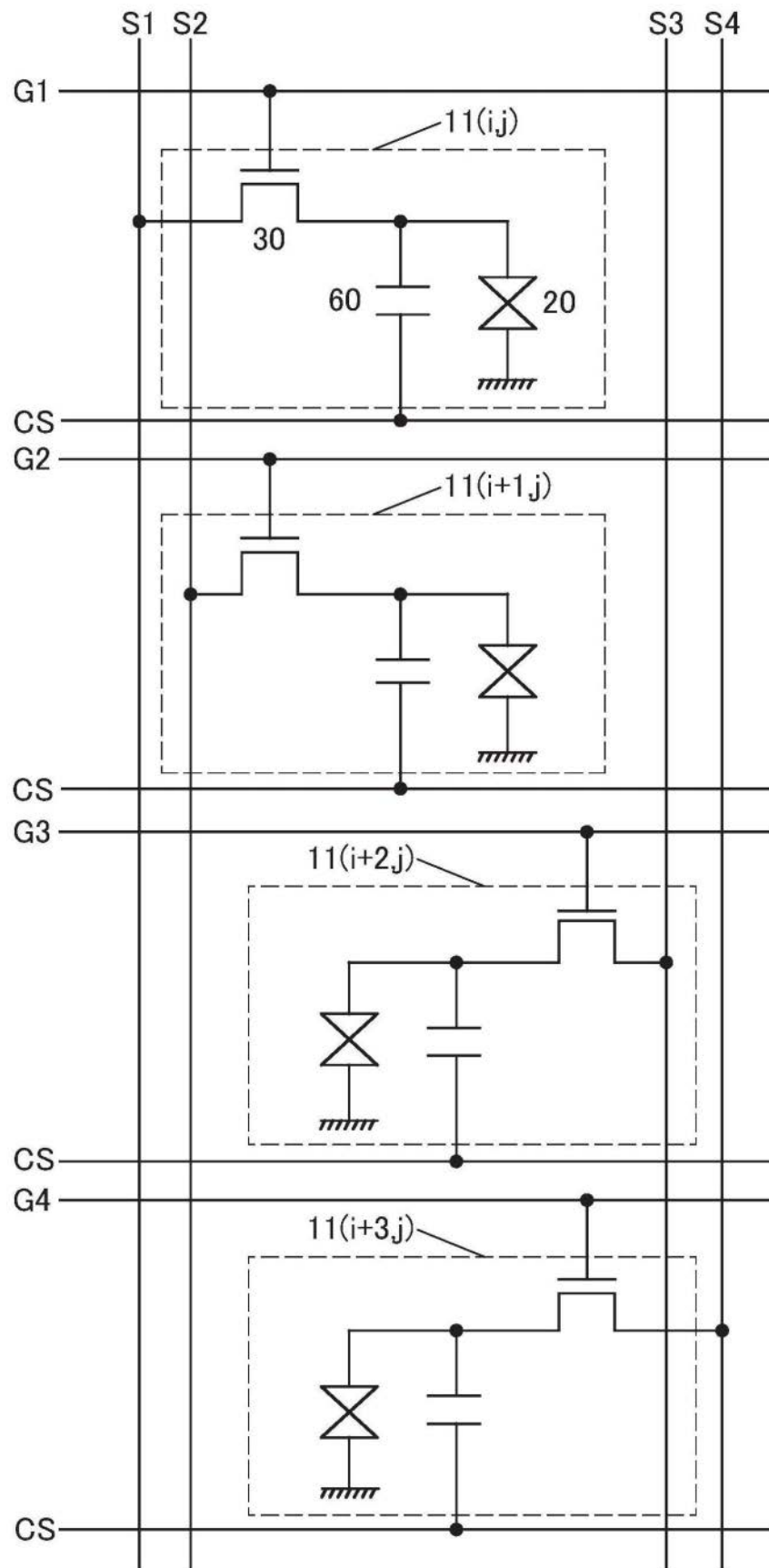


图7

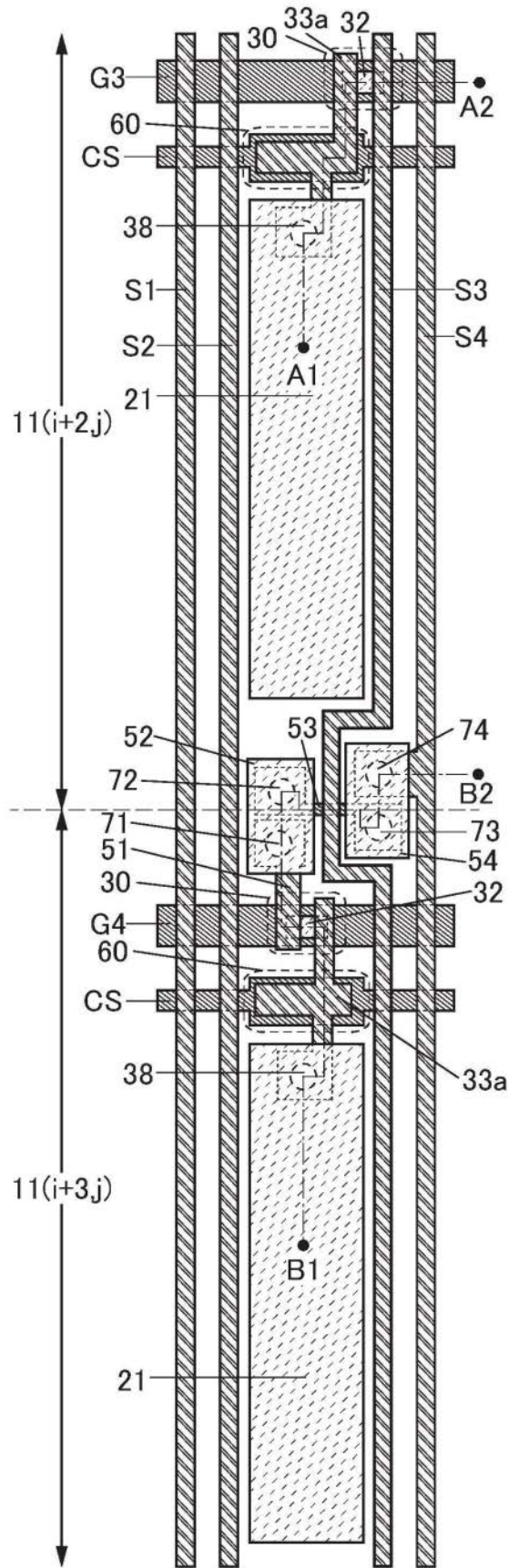


图8A

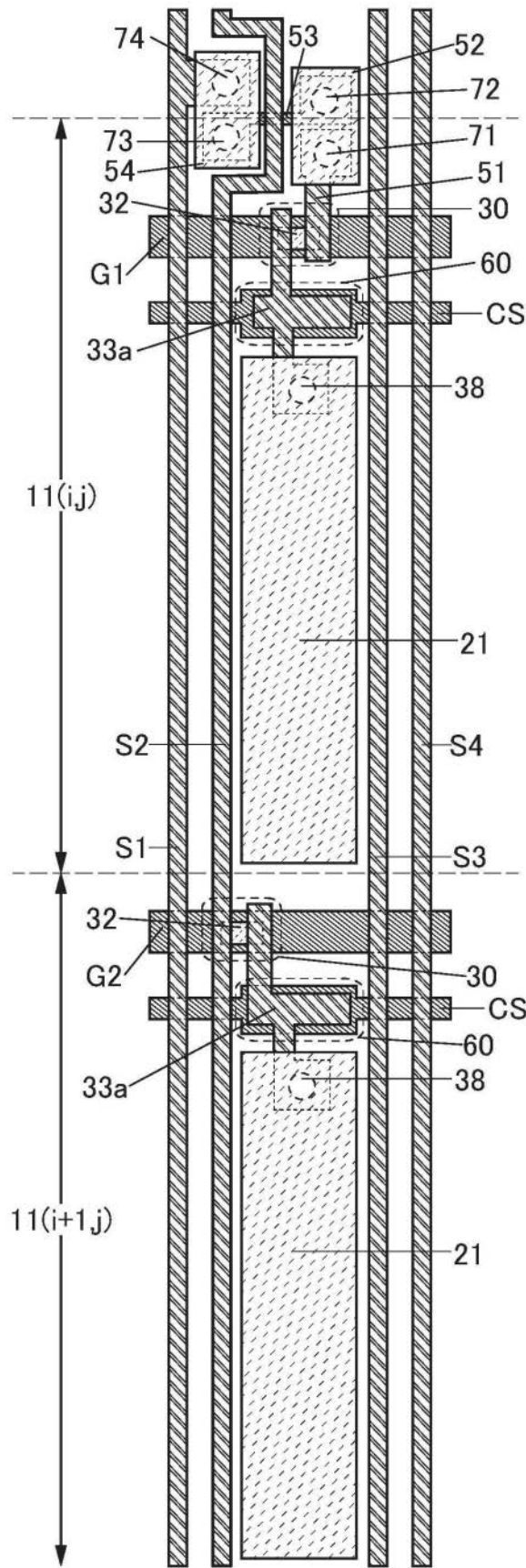


图8B

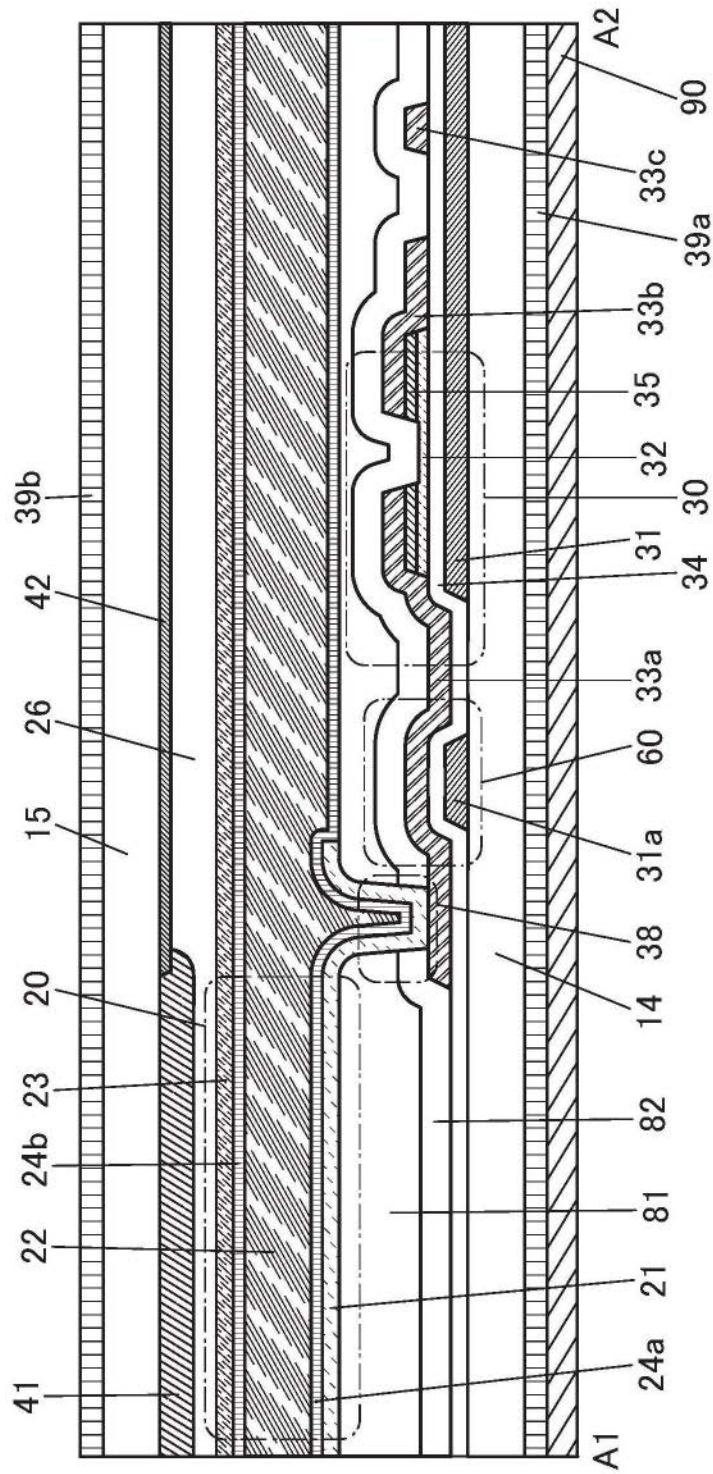


图9

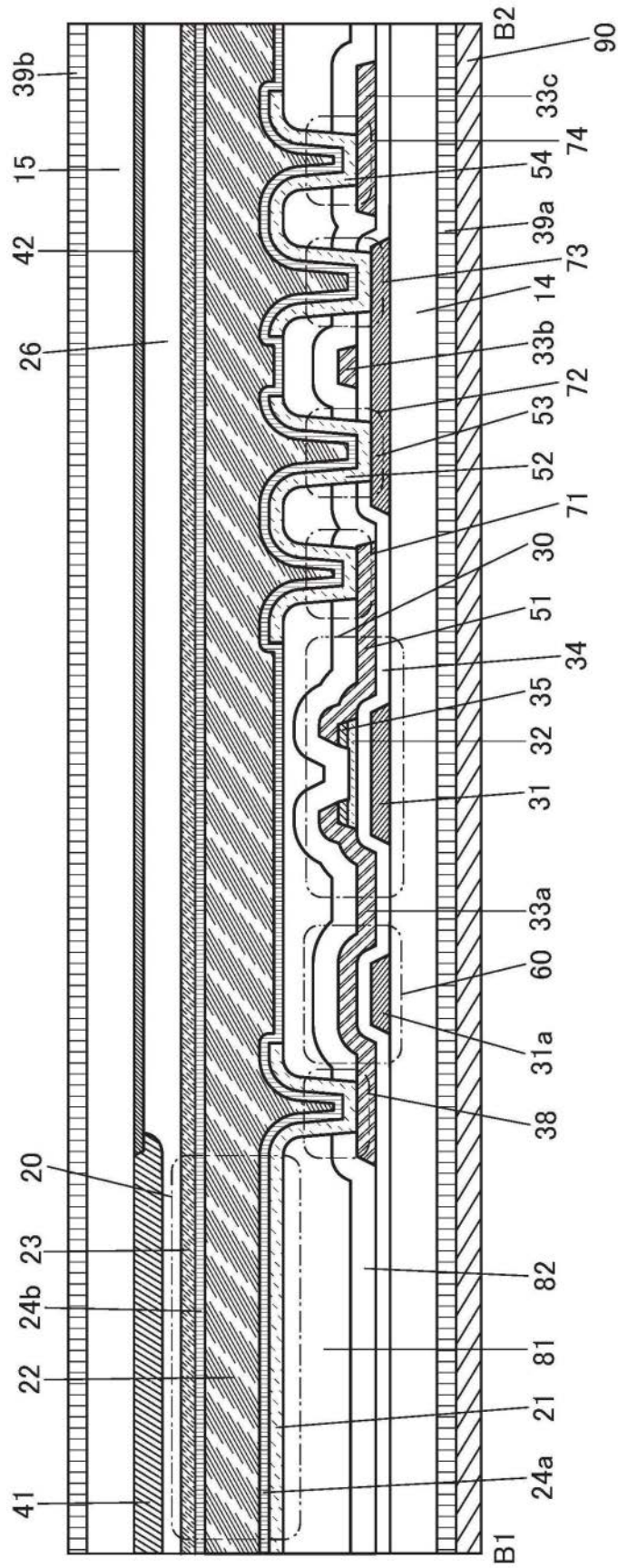


图10

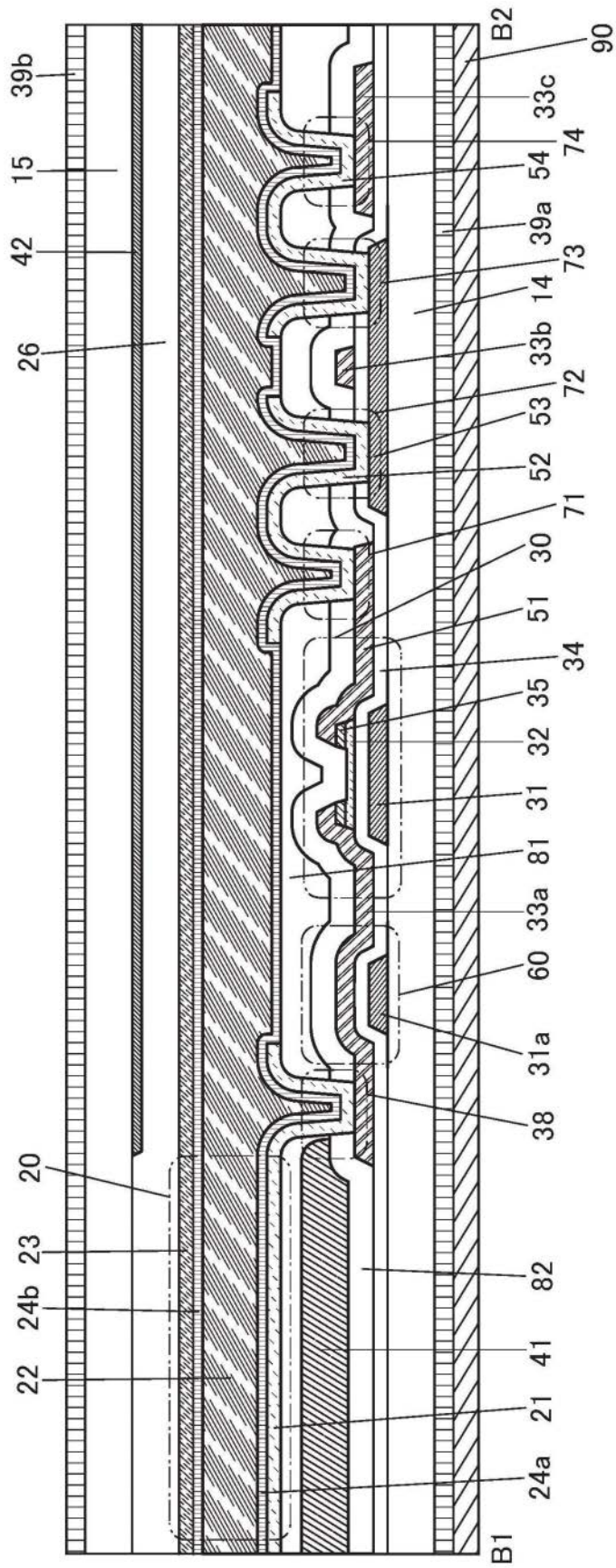


图11

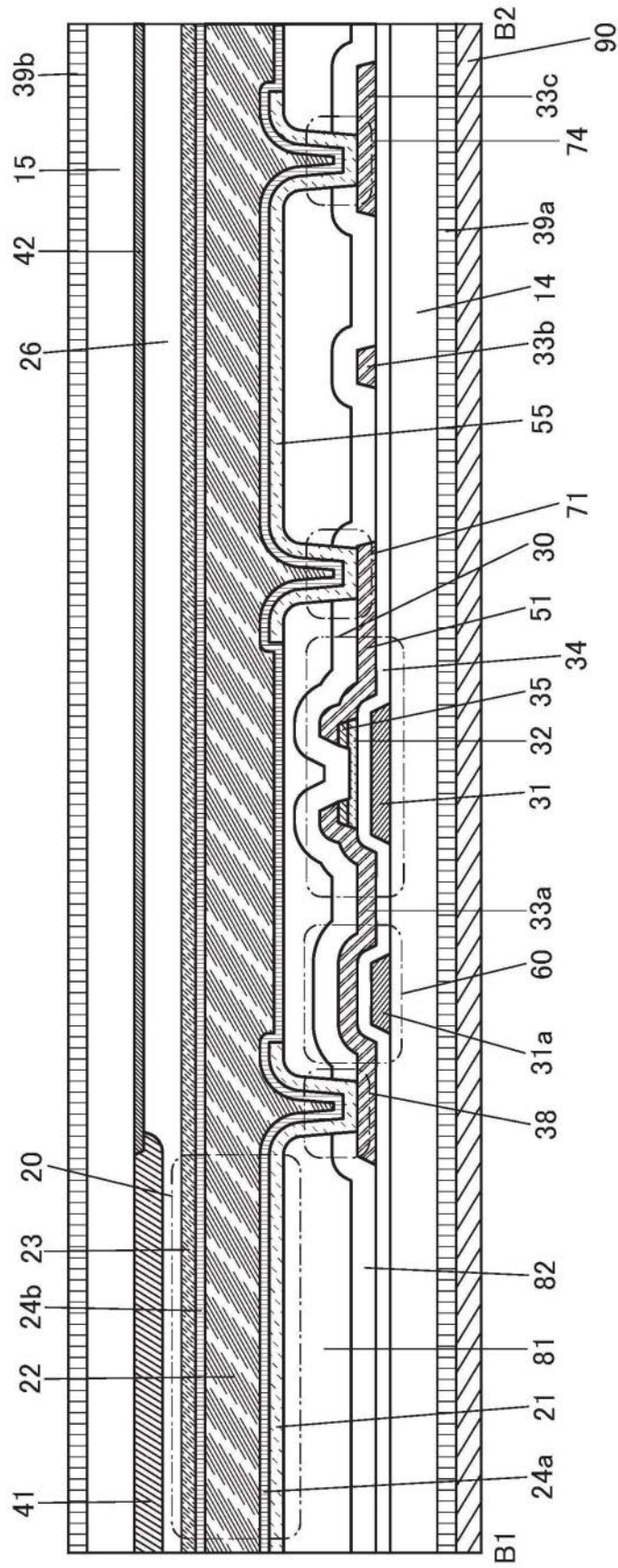


图12

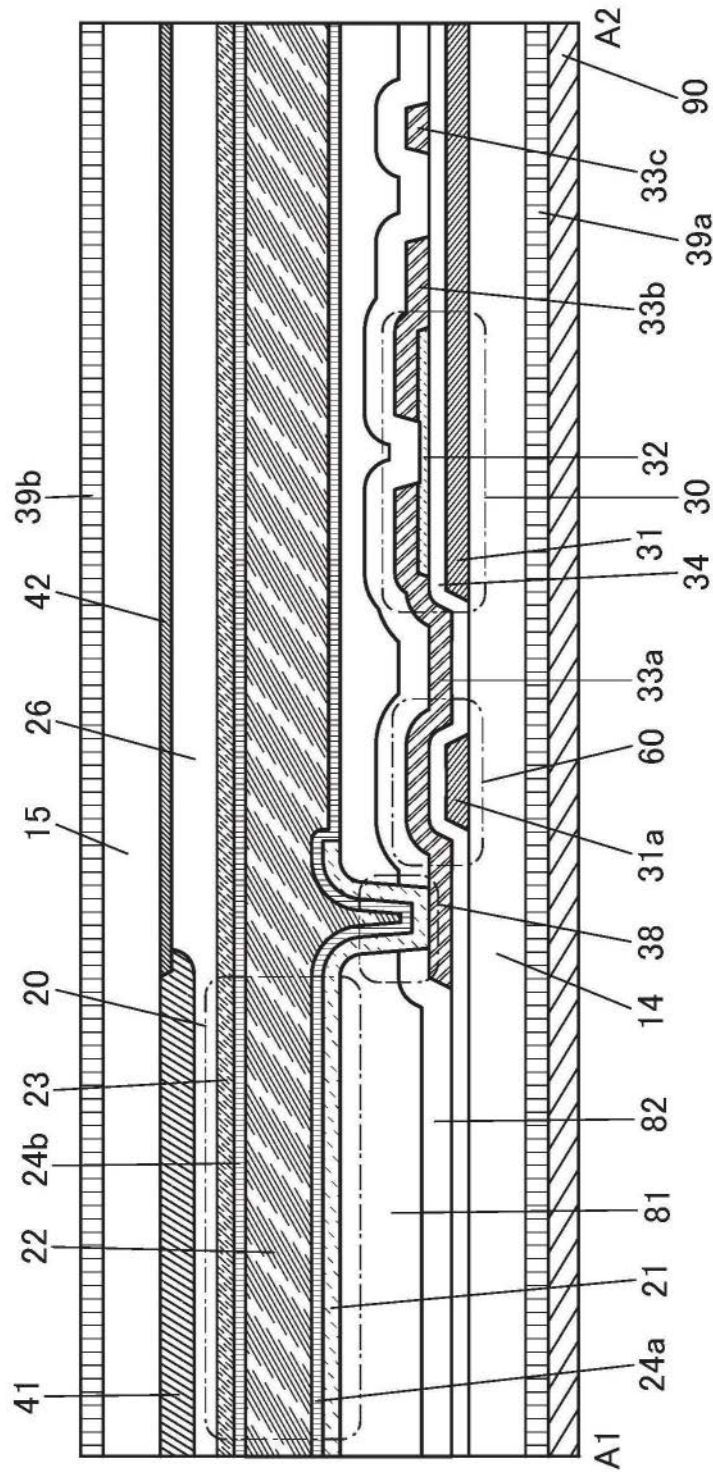


图13

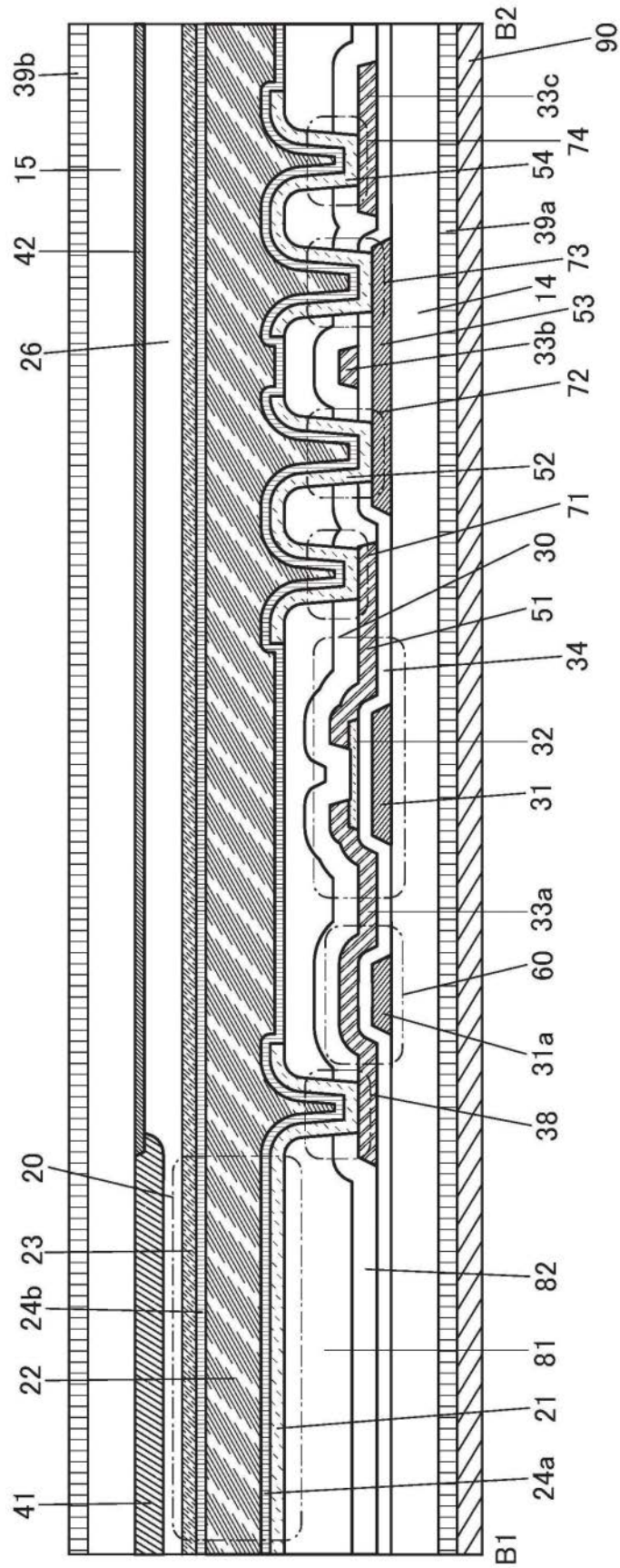


图14

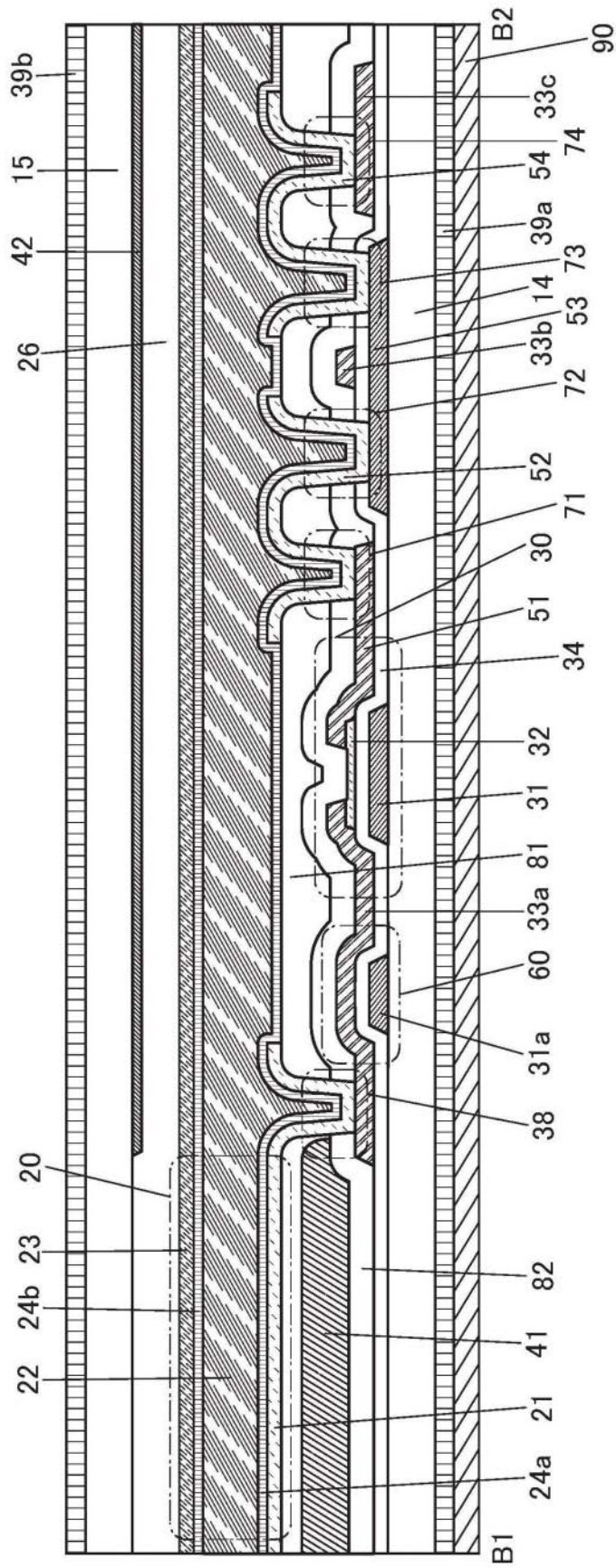


图15



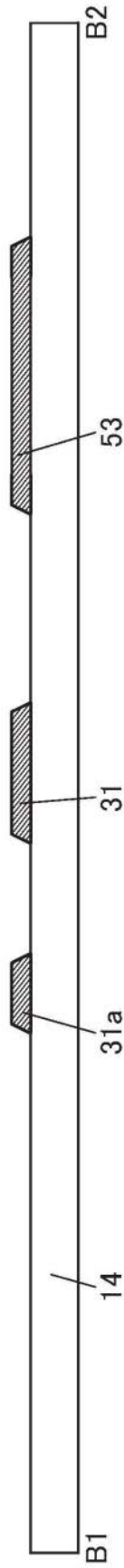


图17A

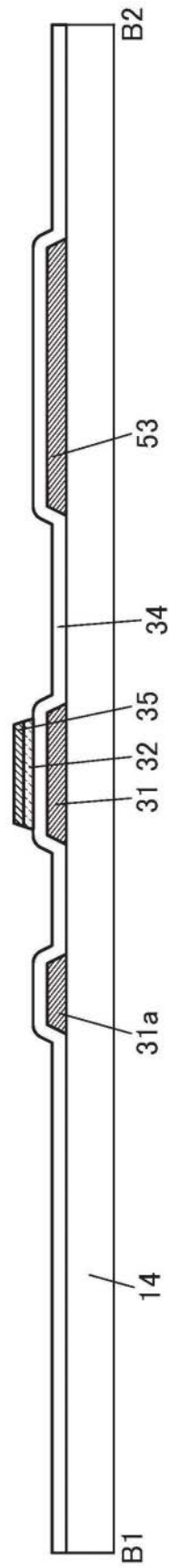


图17B

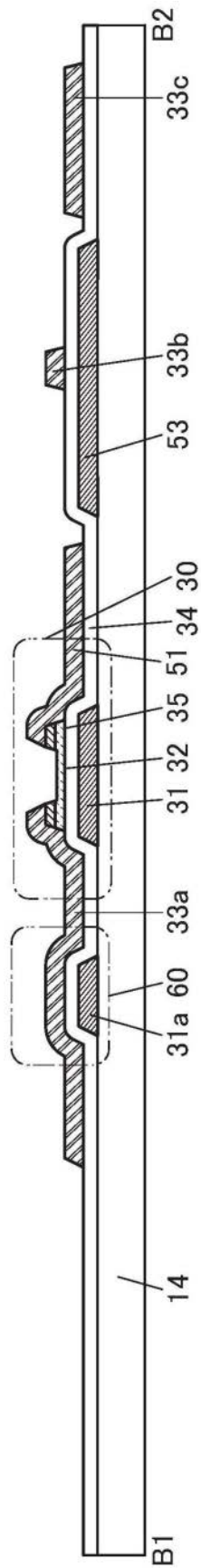


图17C

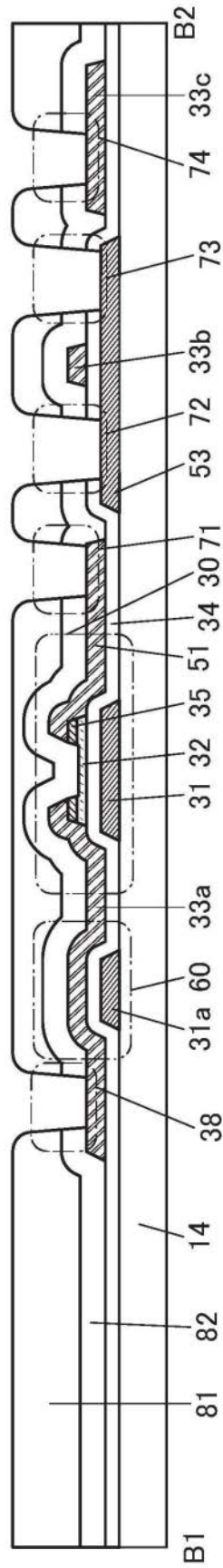


图18A

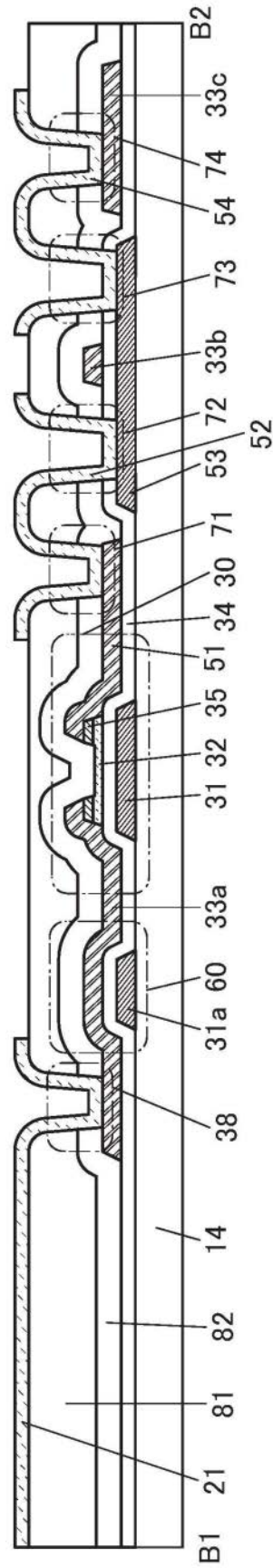


图18B

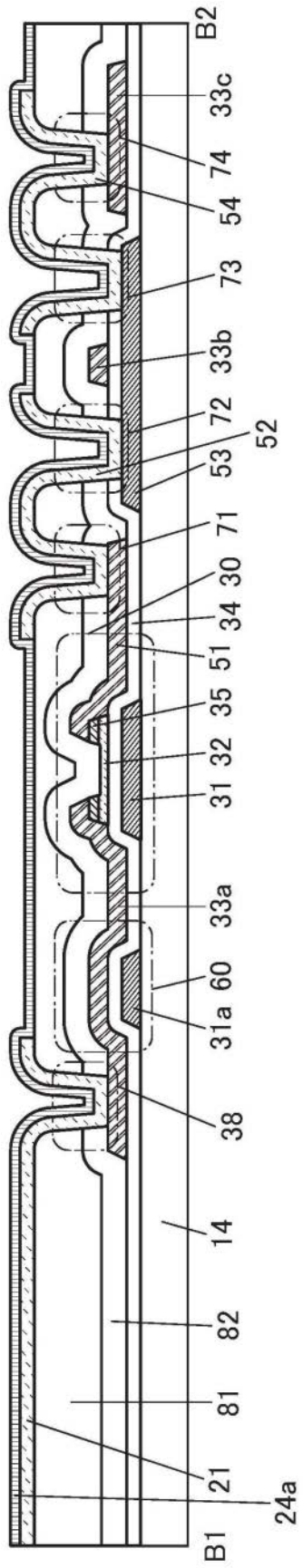


图19A

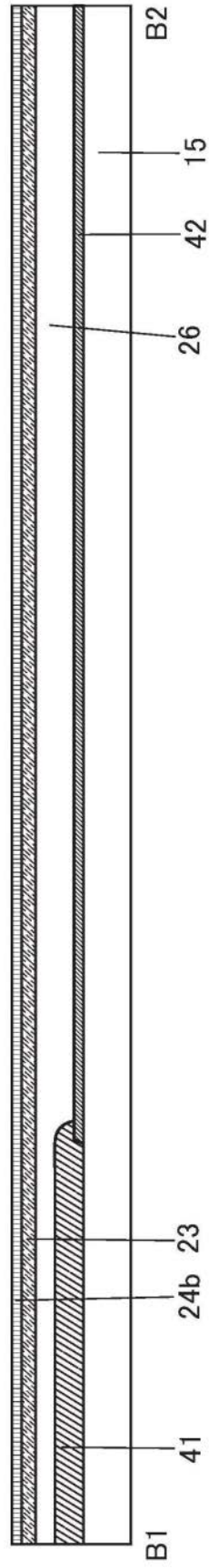


图19B

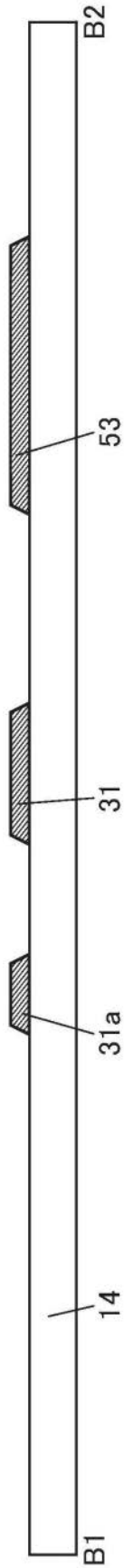


图20A

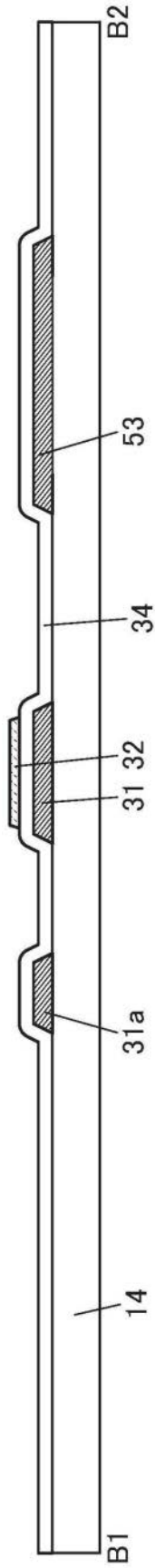


图20B

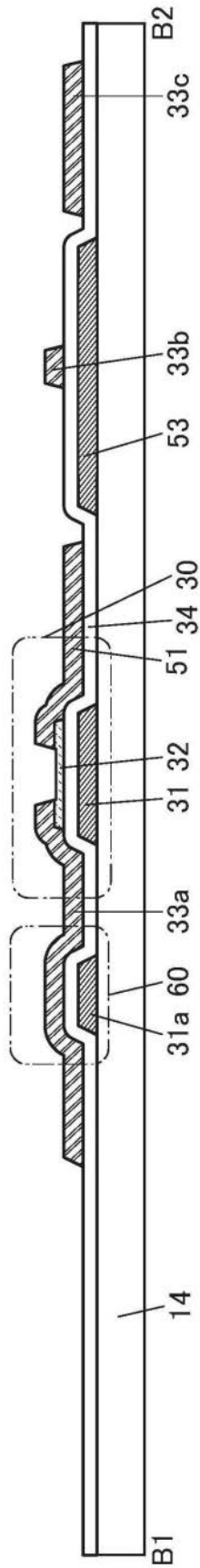


图20C

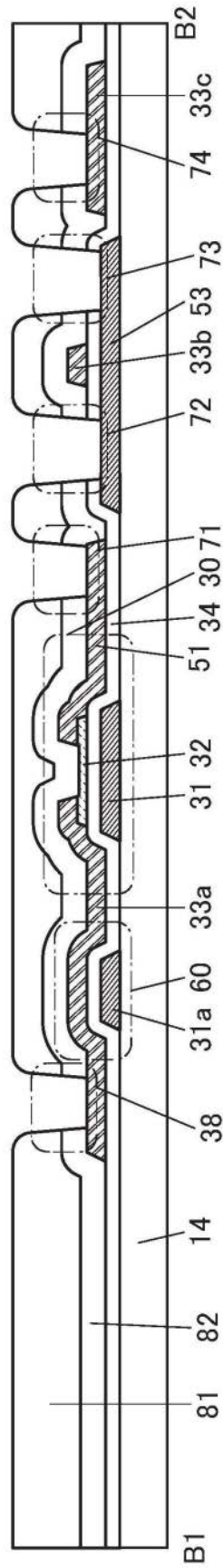


图21A

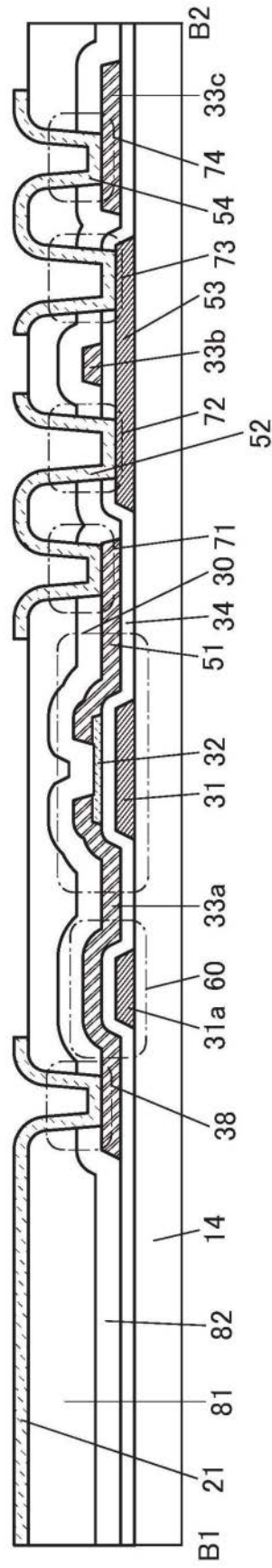


图21B

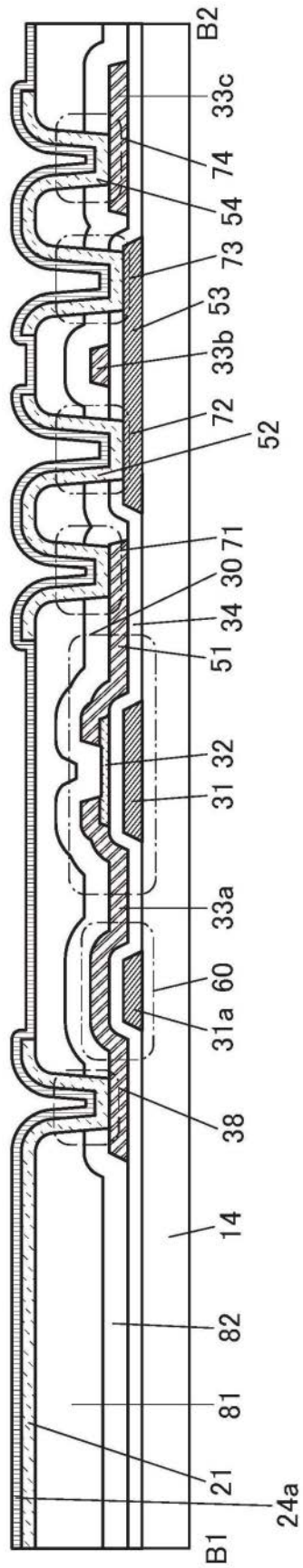


图22A

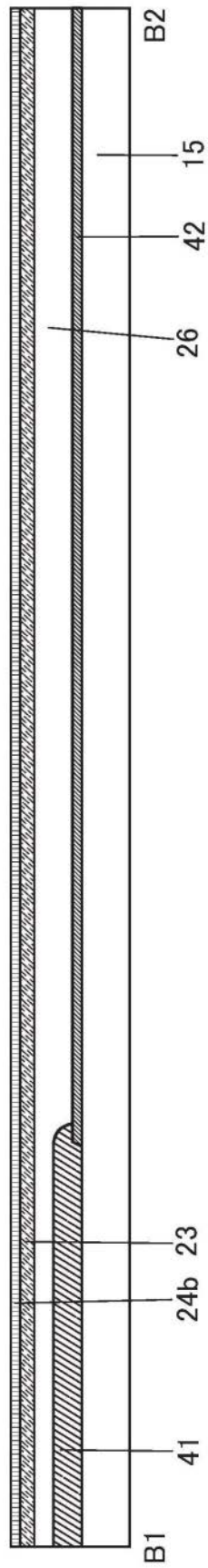


图22B



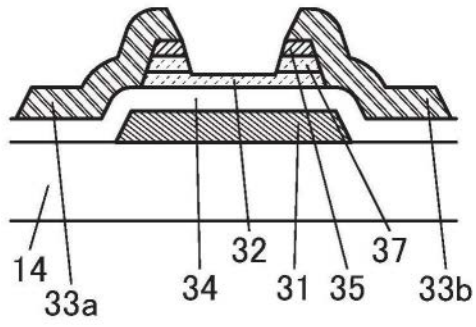


图24A

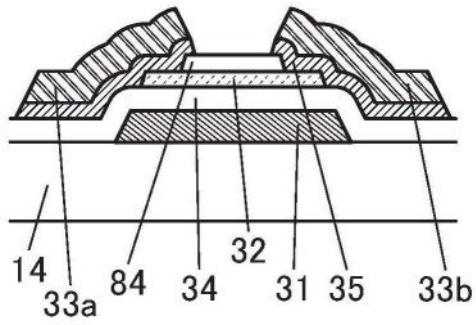


图24B

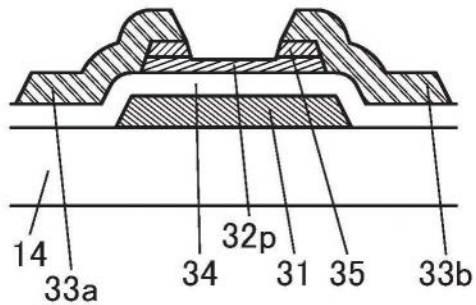


图24C

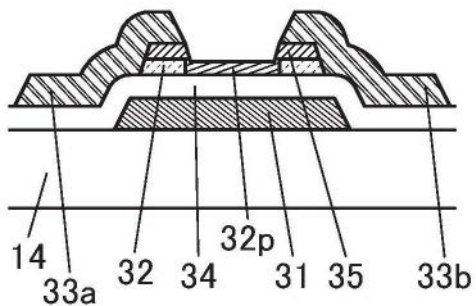


图24D

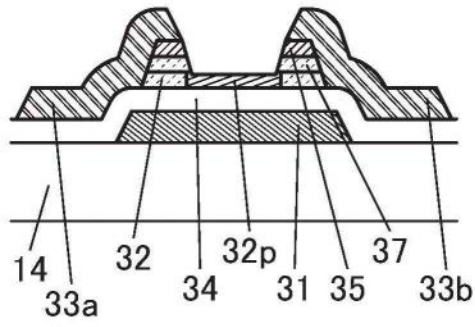


图24E

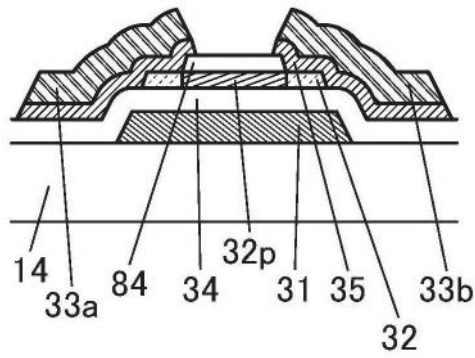


图24F

200a

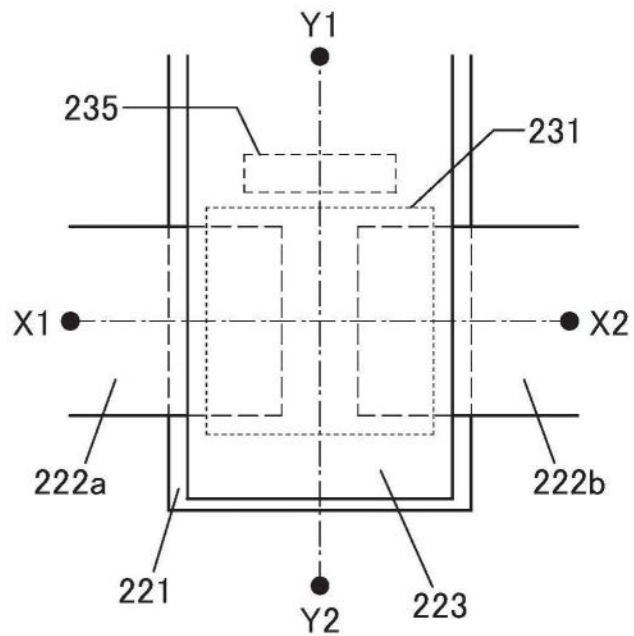


图25A

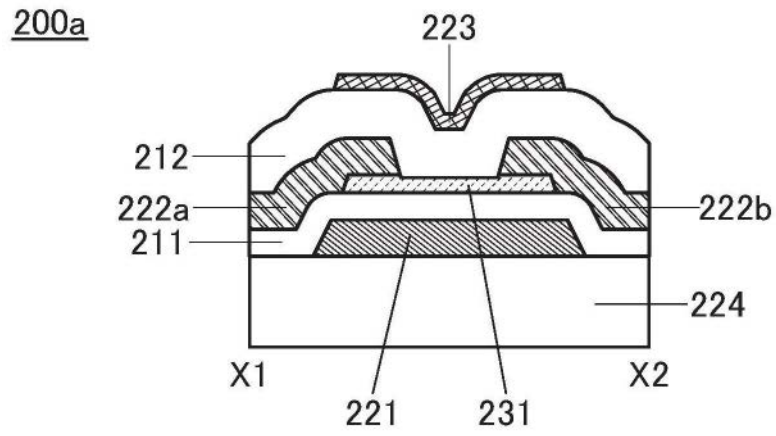


图25B

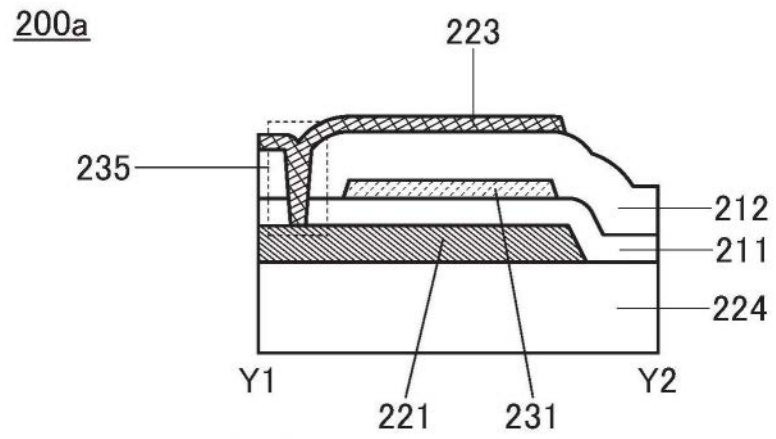


图25C

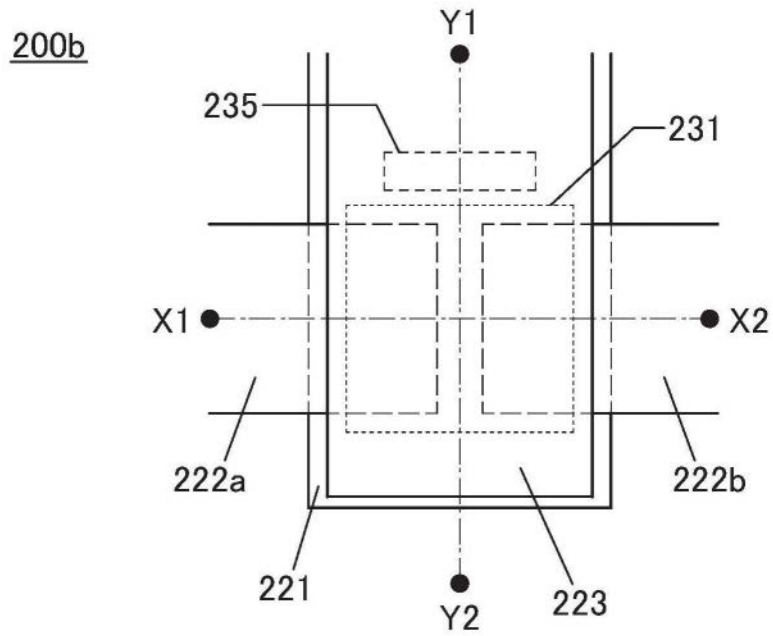


图26A

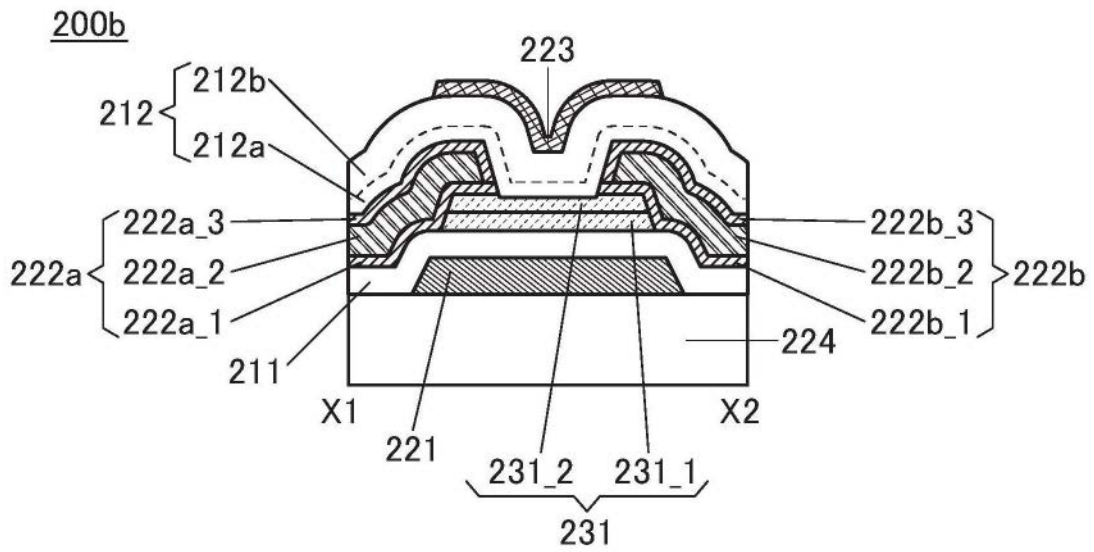


图26B

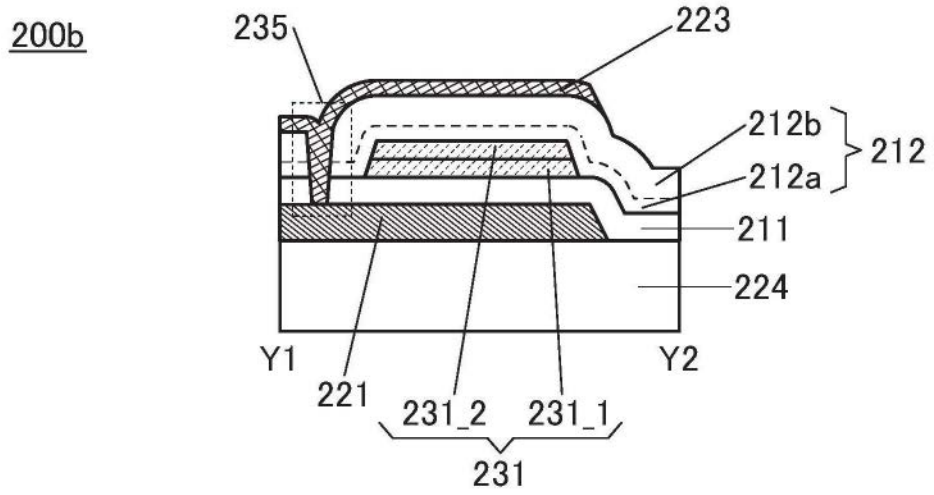


图26C

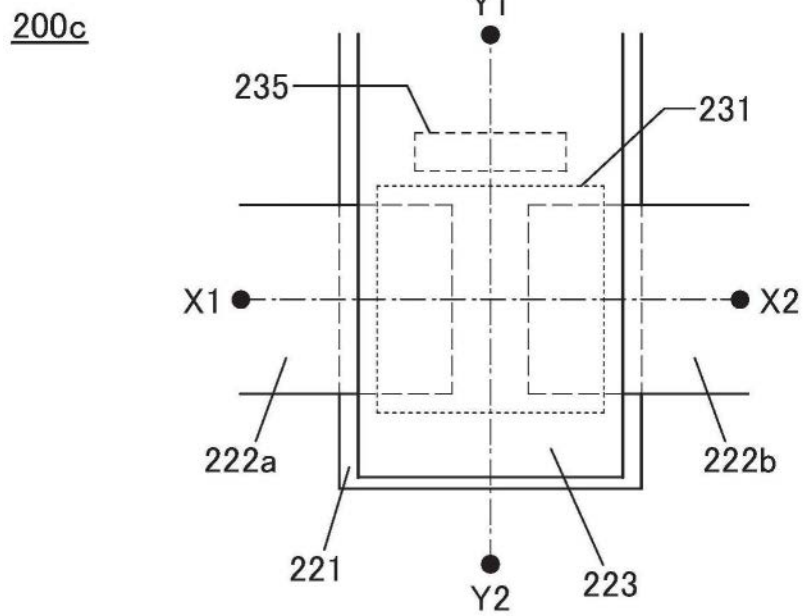


图27A

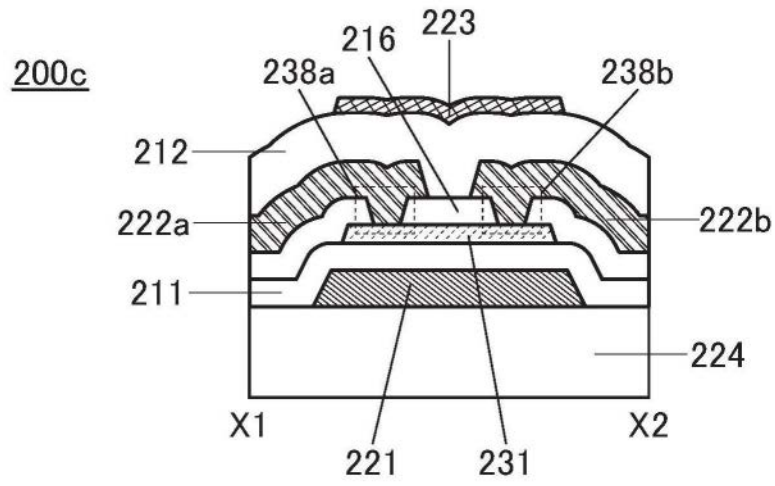


图27B

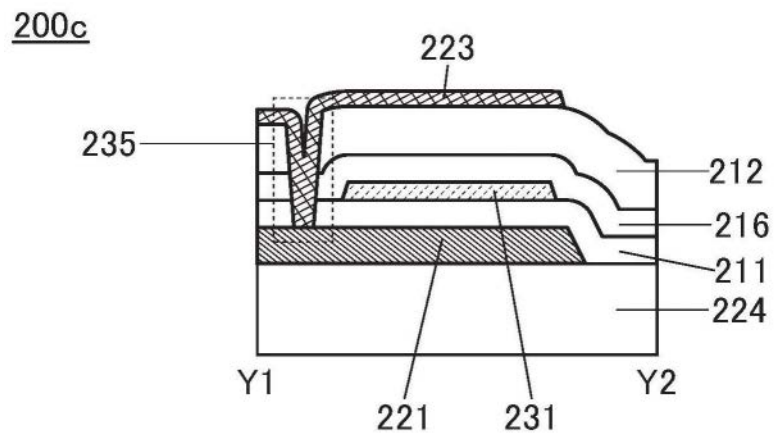


图27C

200d

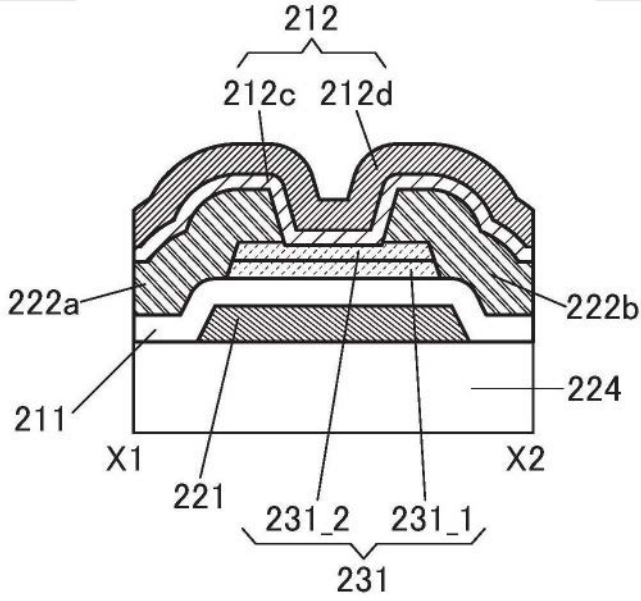


图28A

200d

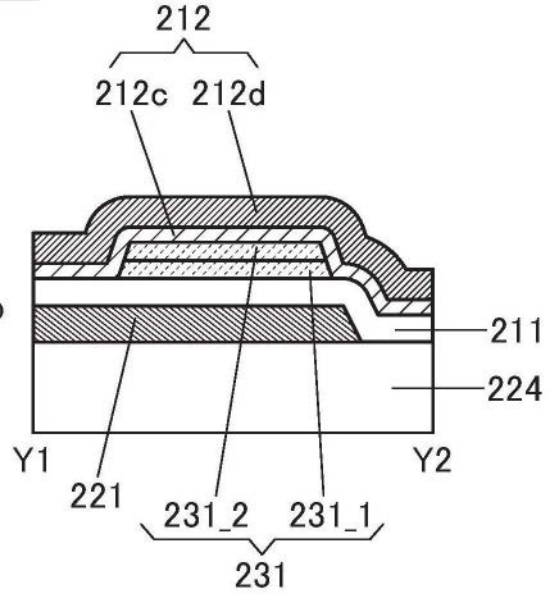


图28B

200e

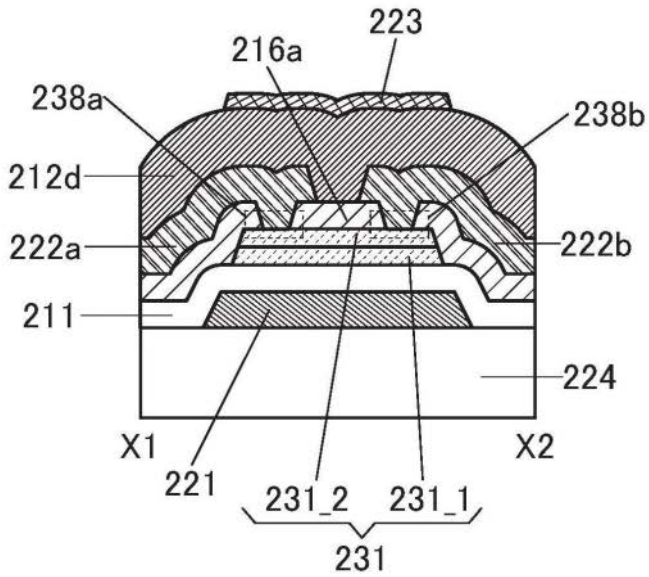


图28C

200e

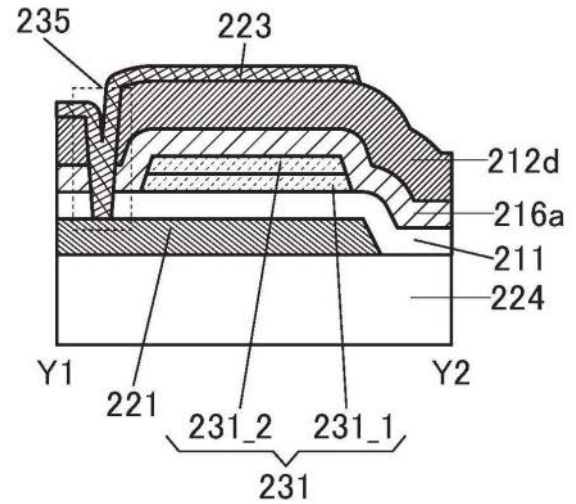


图28D



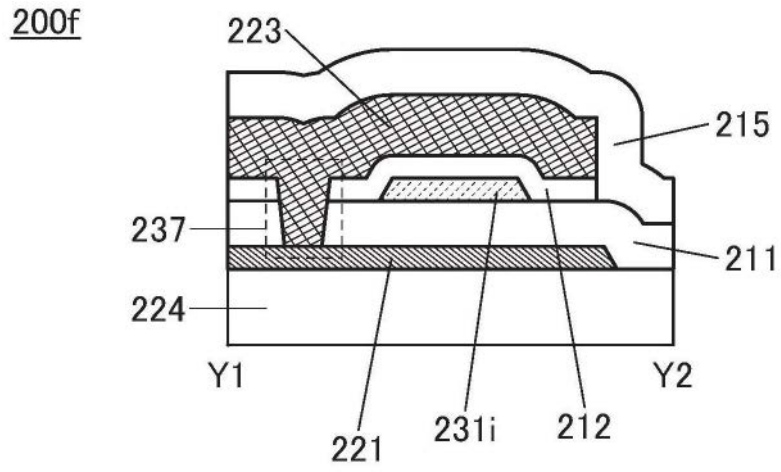


图29C

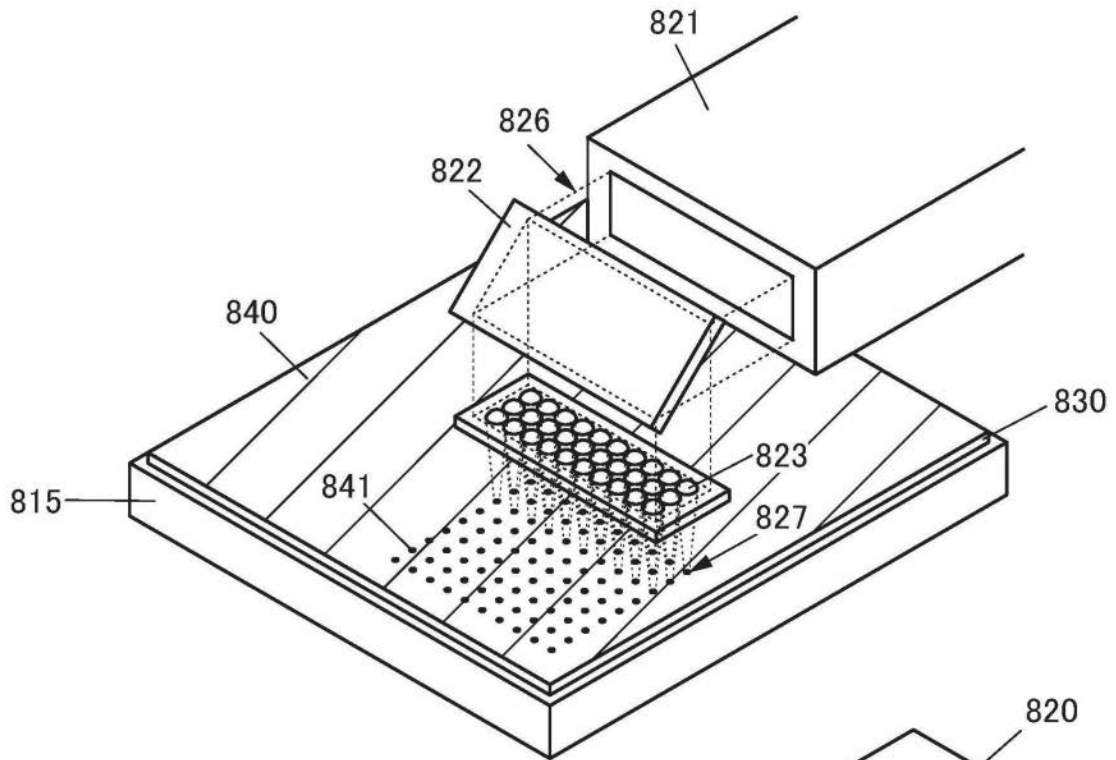


图30A

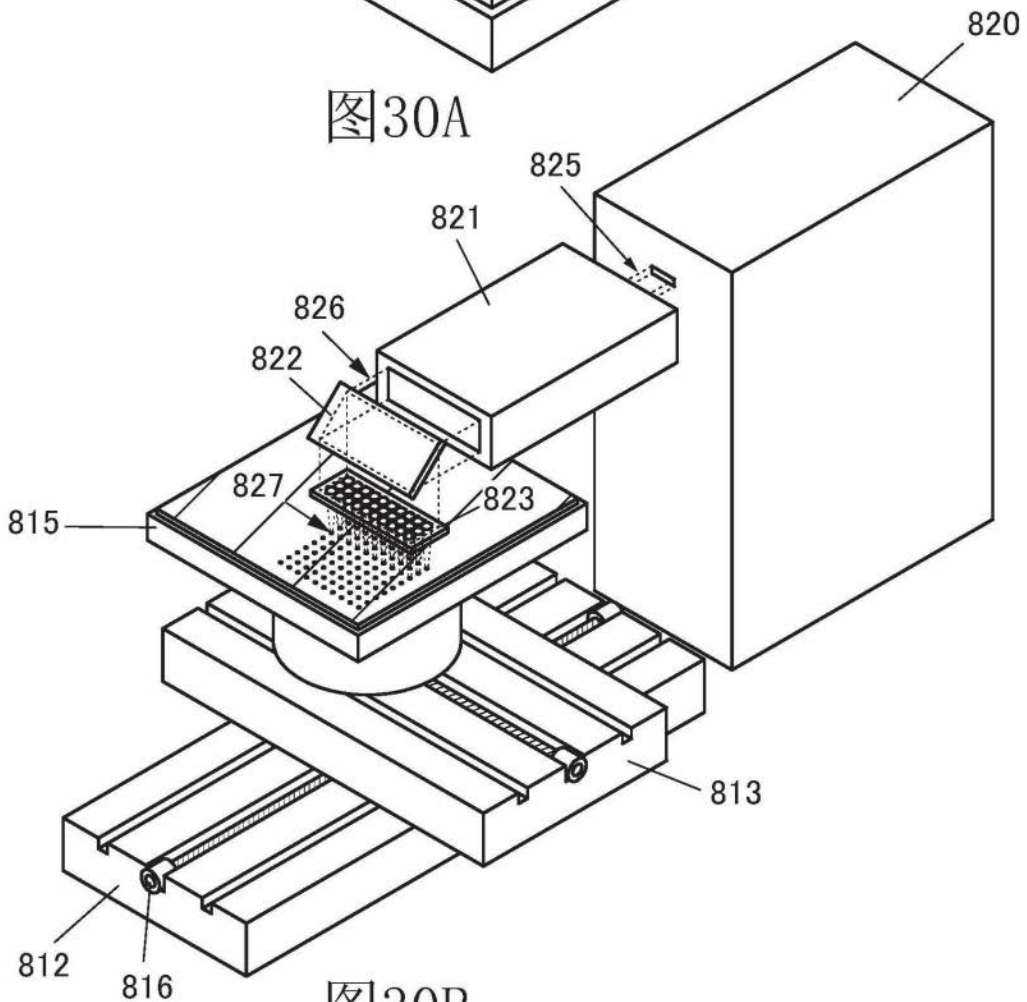


图30B

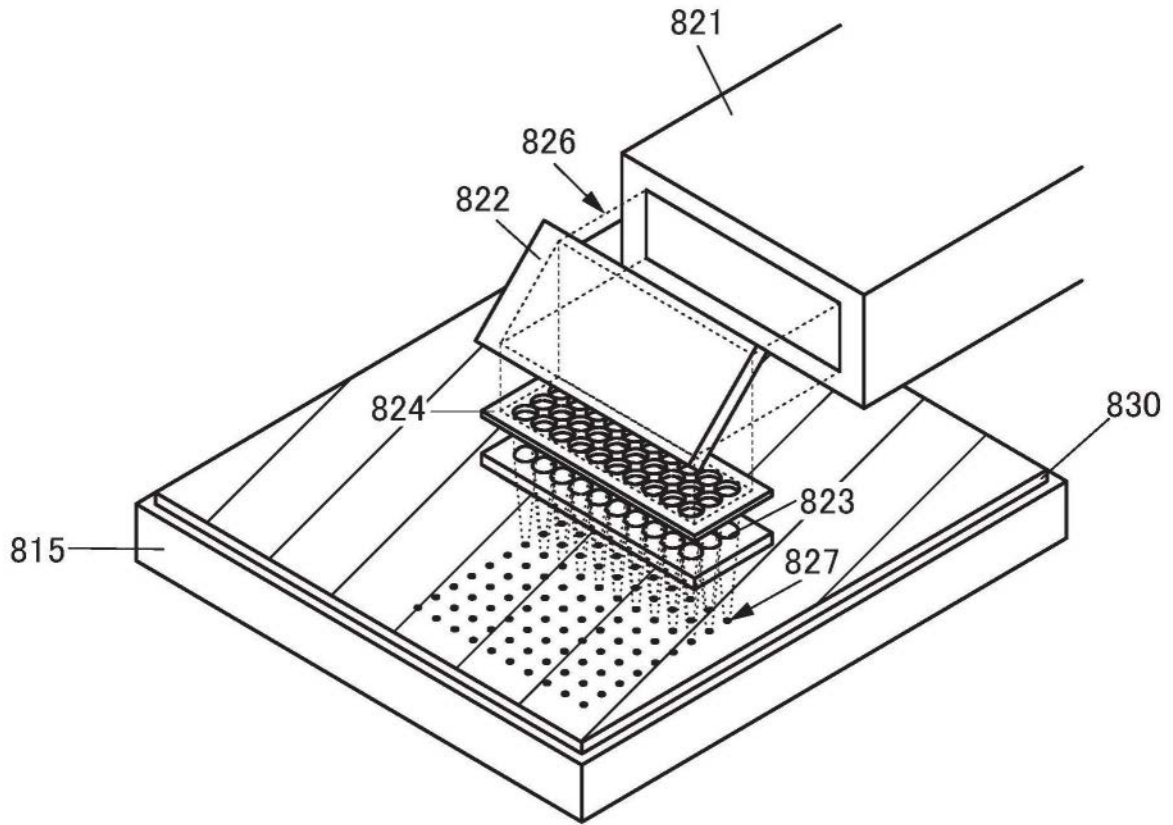


图31A

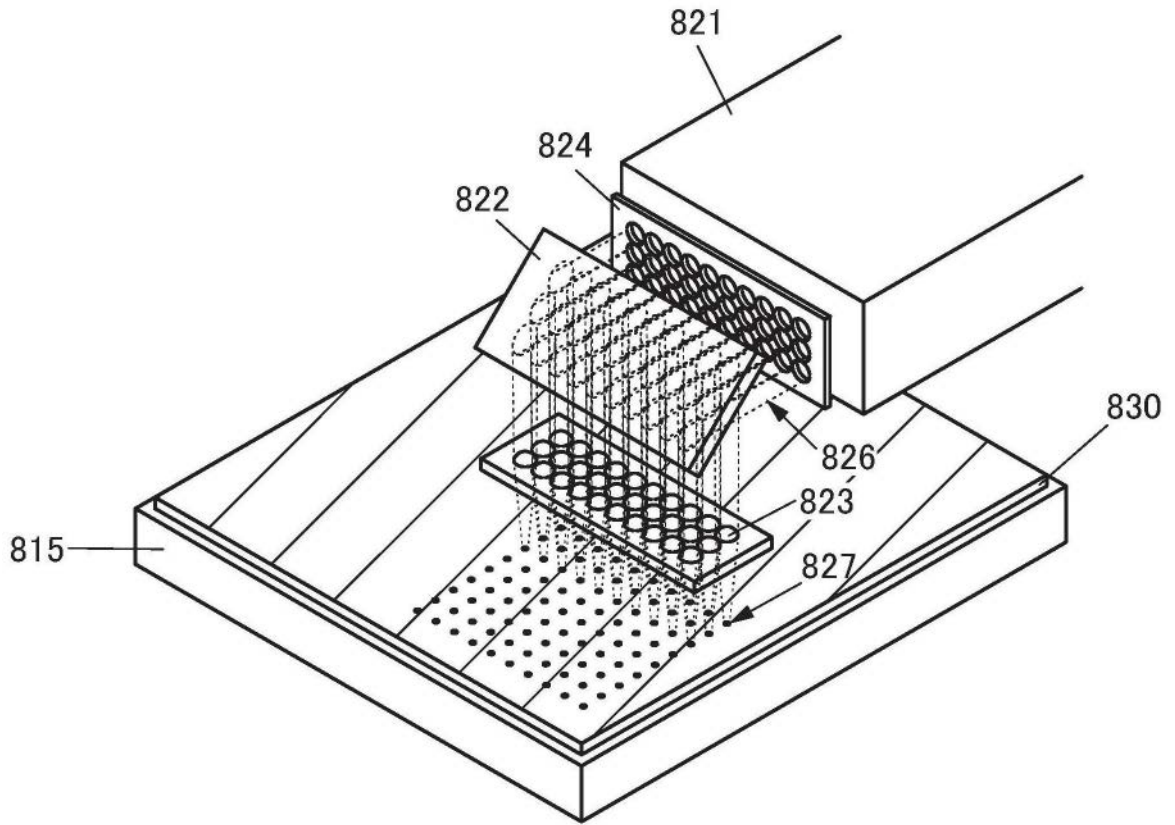


图31B

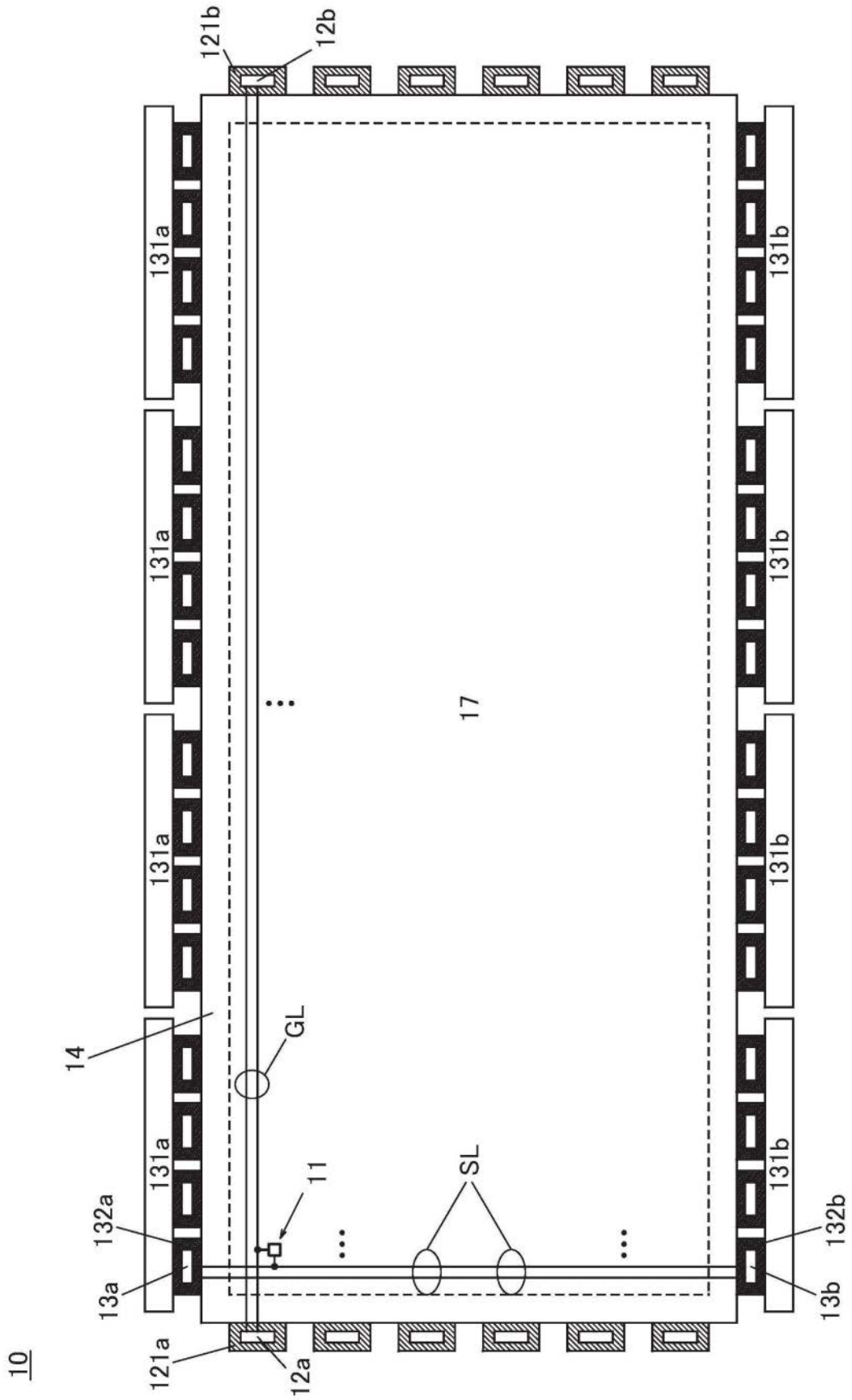


图32

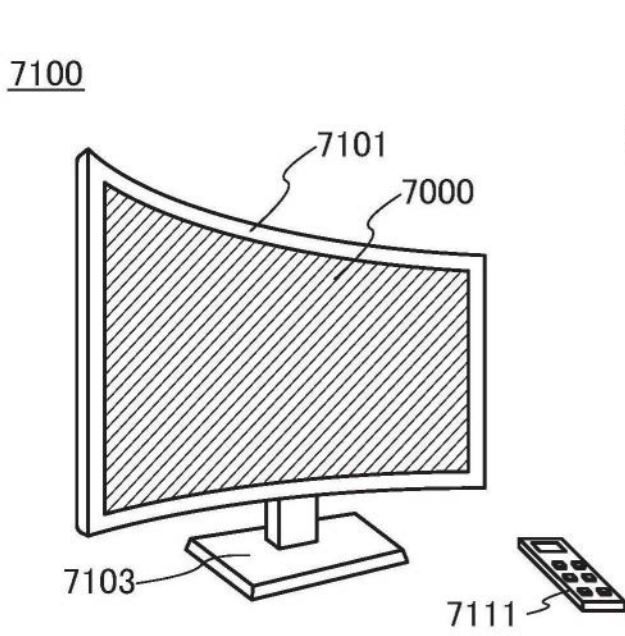


图33A

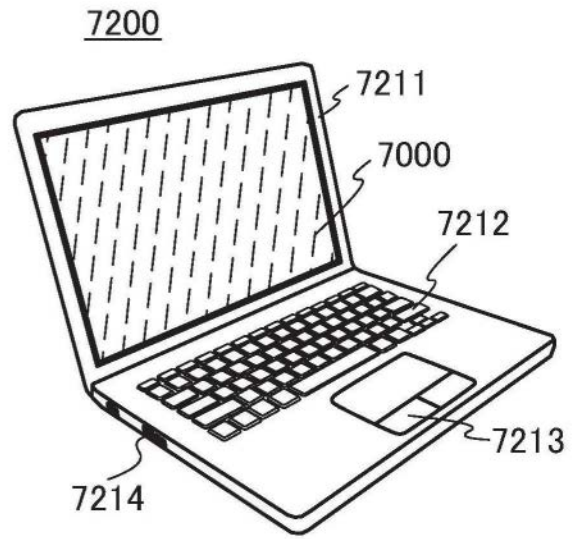


图33B

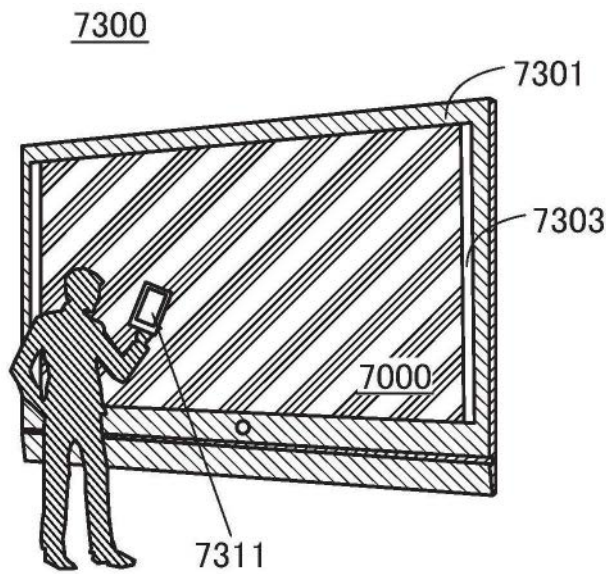


图33C

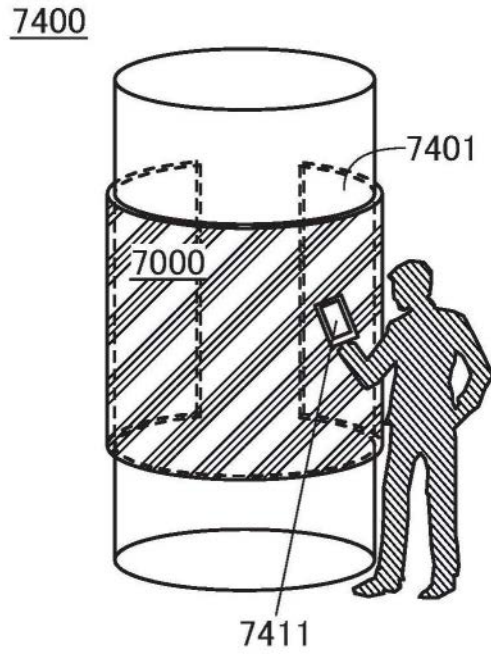


图33D

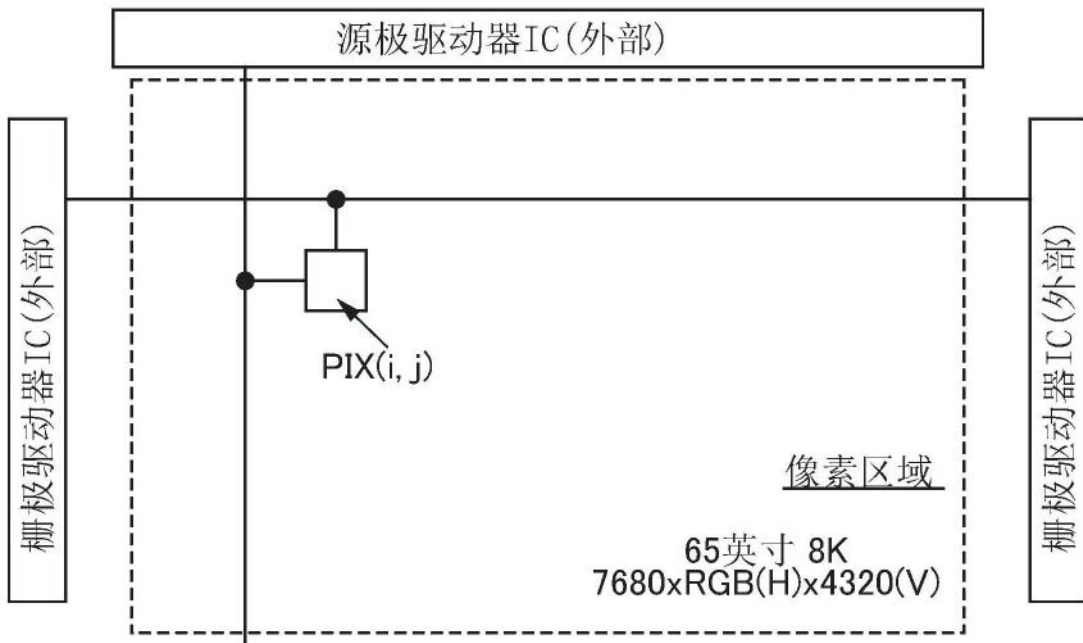


图34A

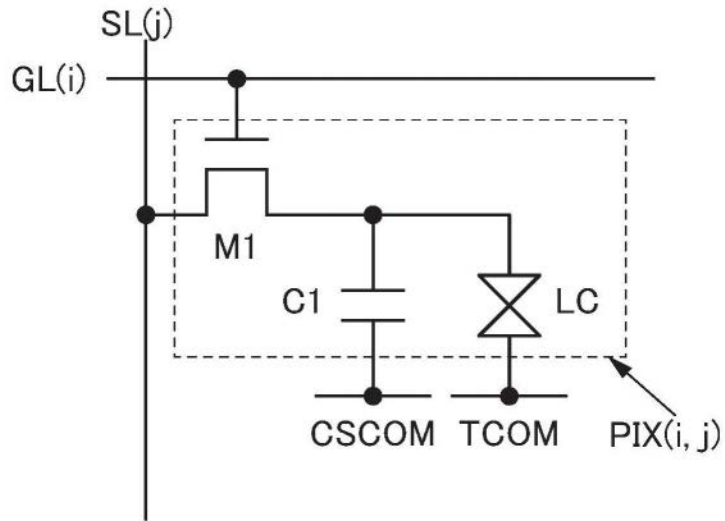


图34B

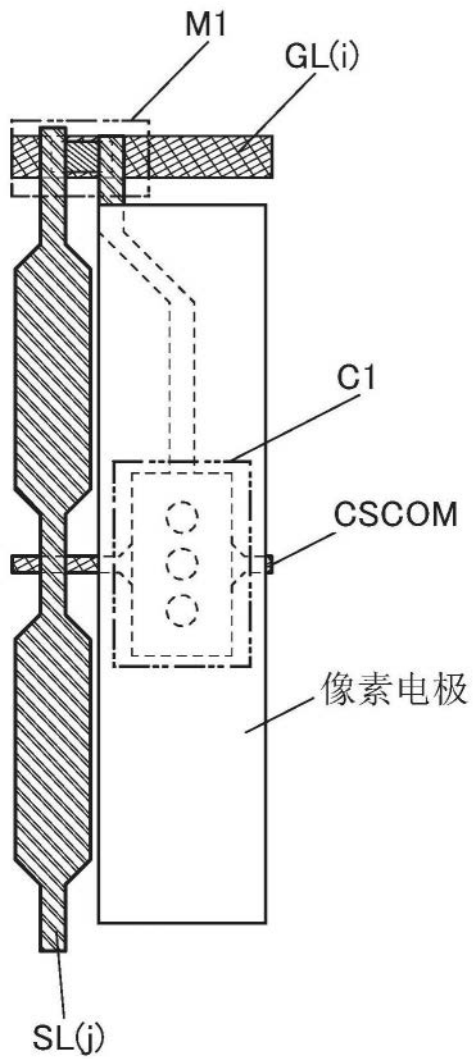


图35A

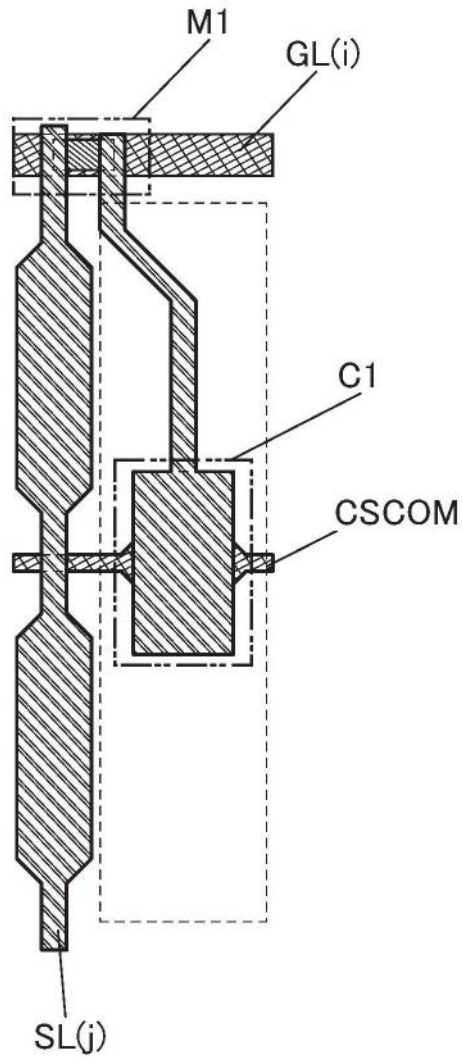


图35B

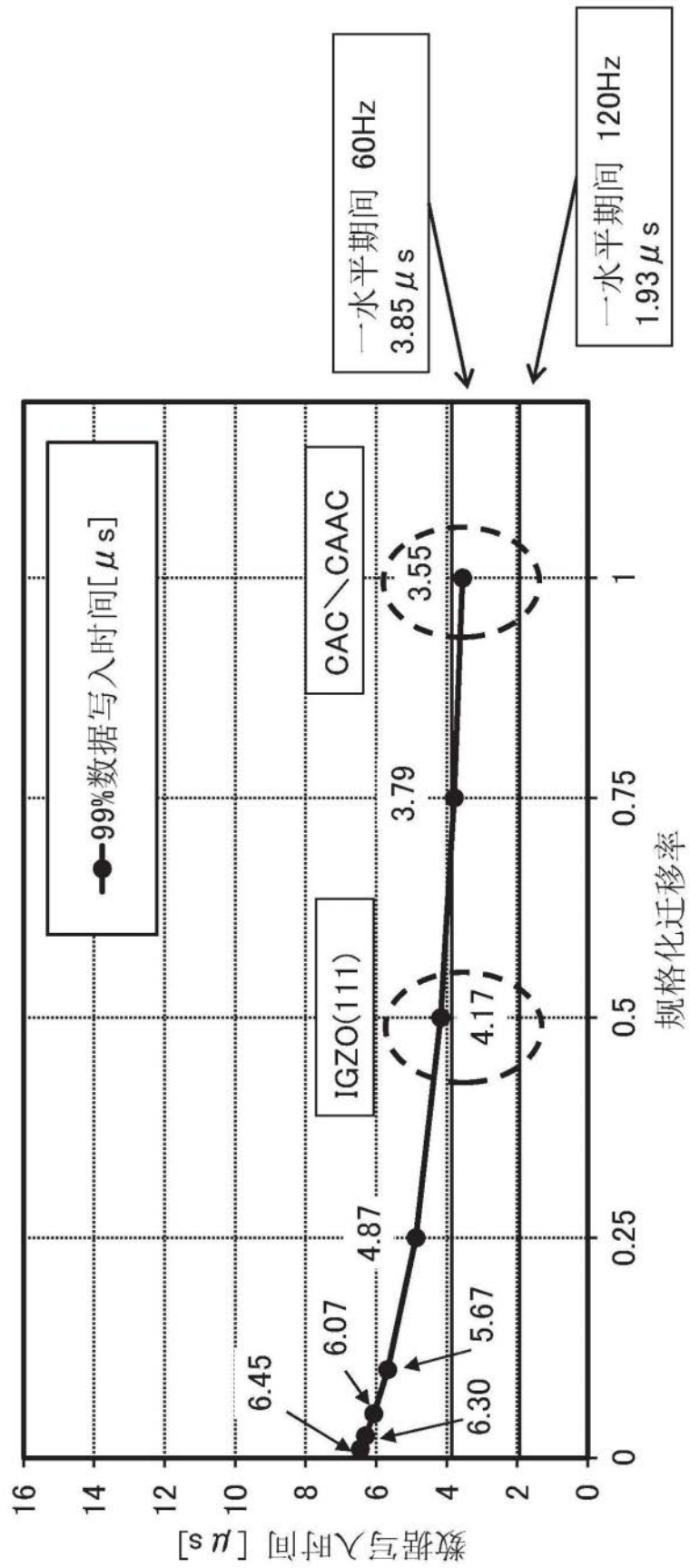


图36

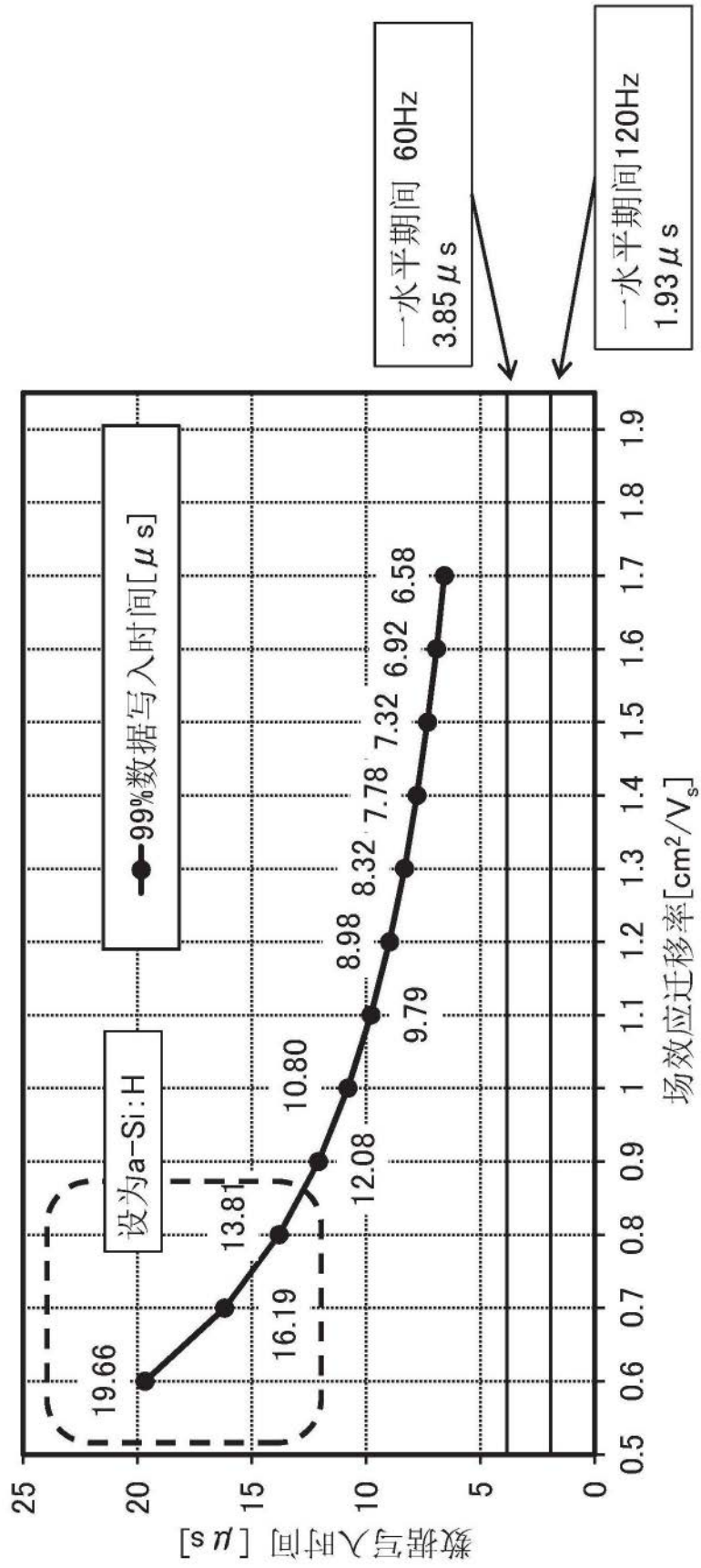


图37

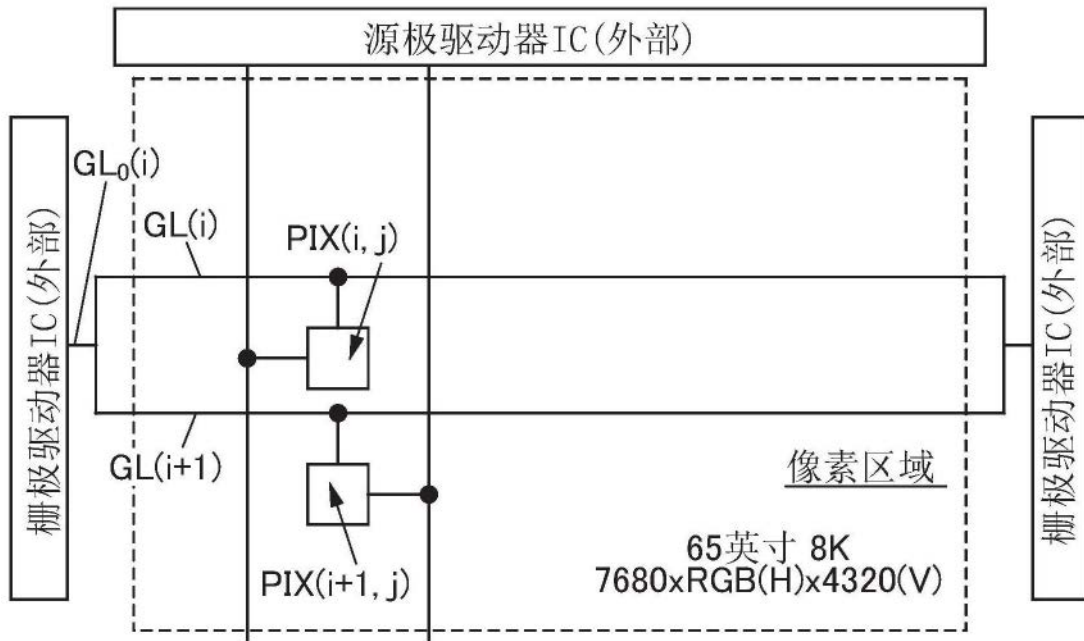


图38A

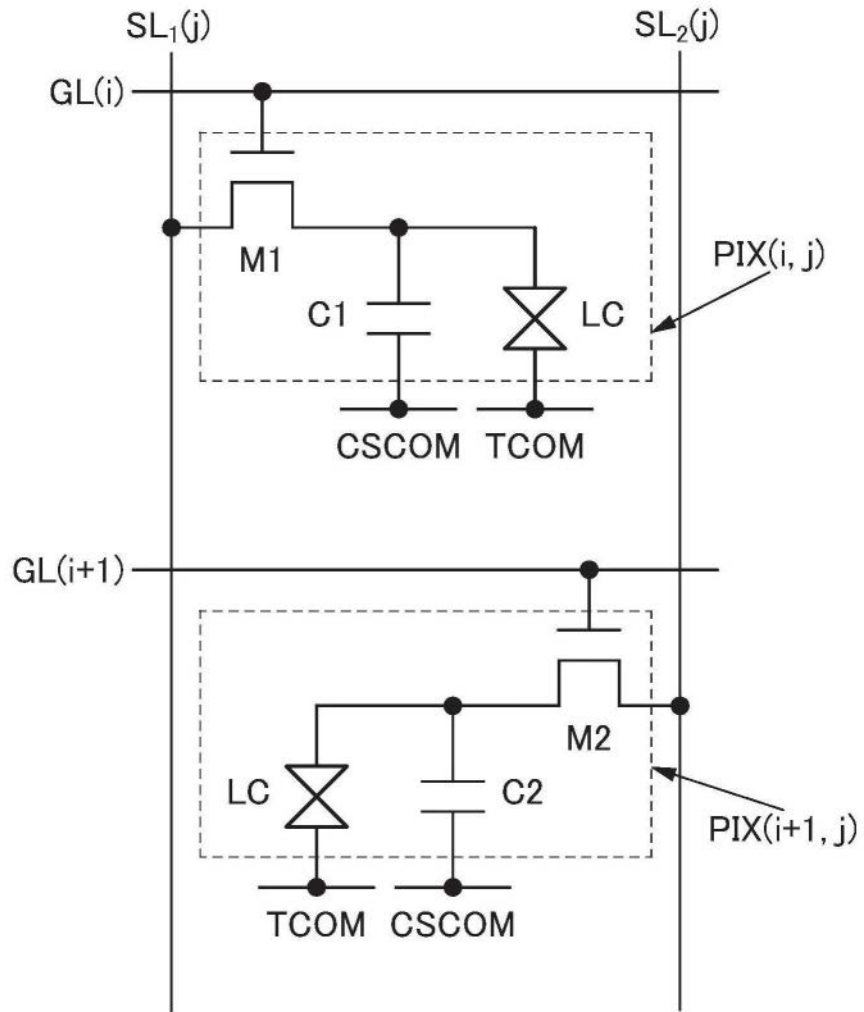


图38B

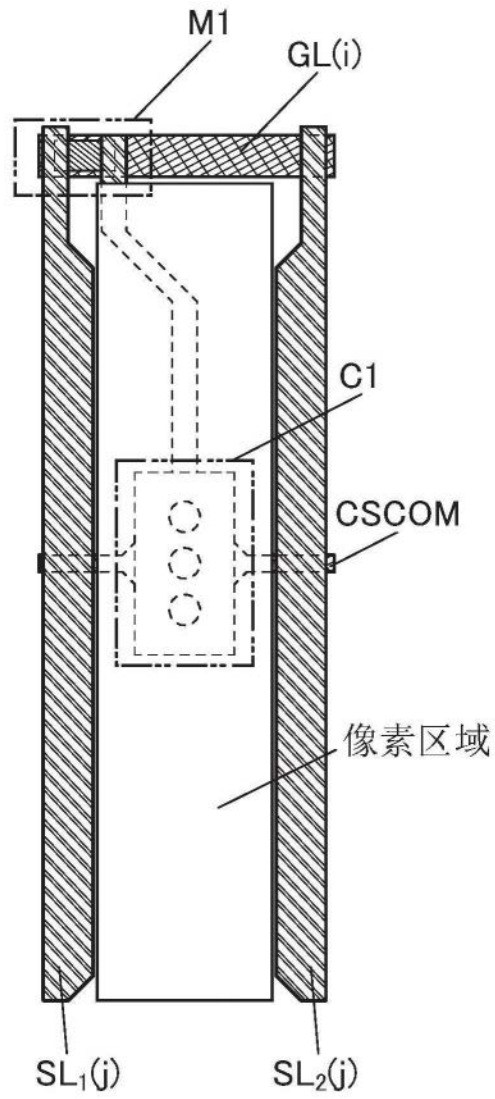


图39A

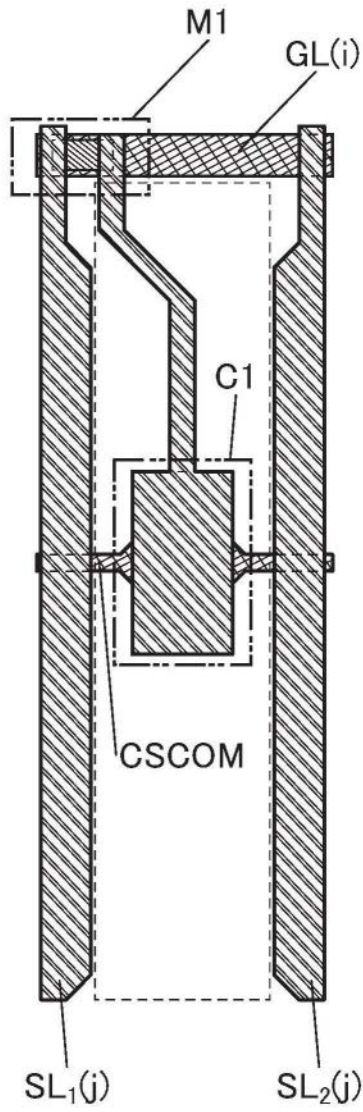


图39B

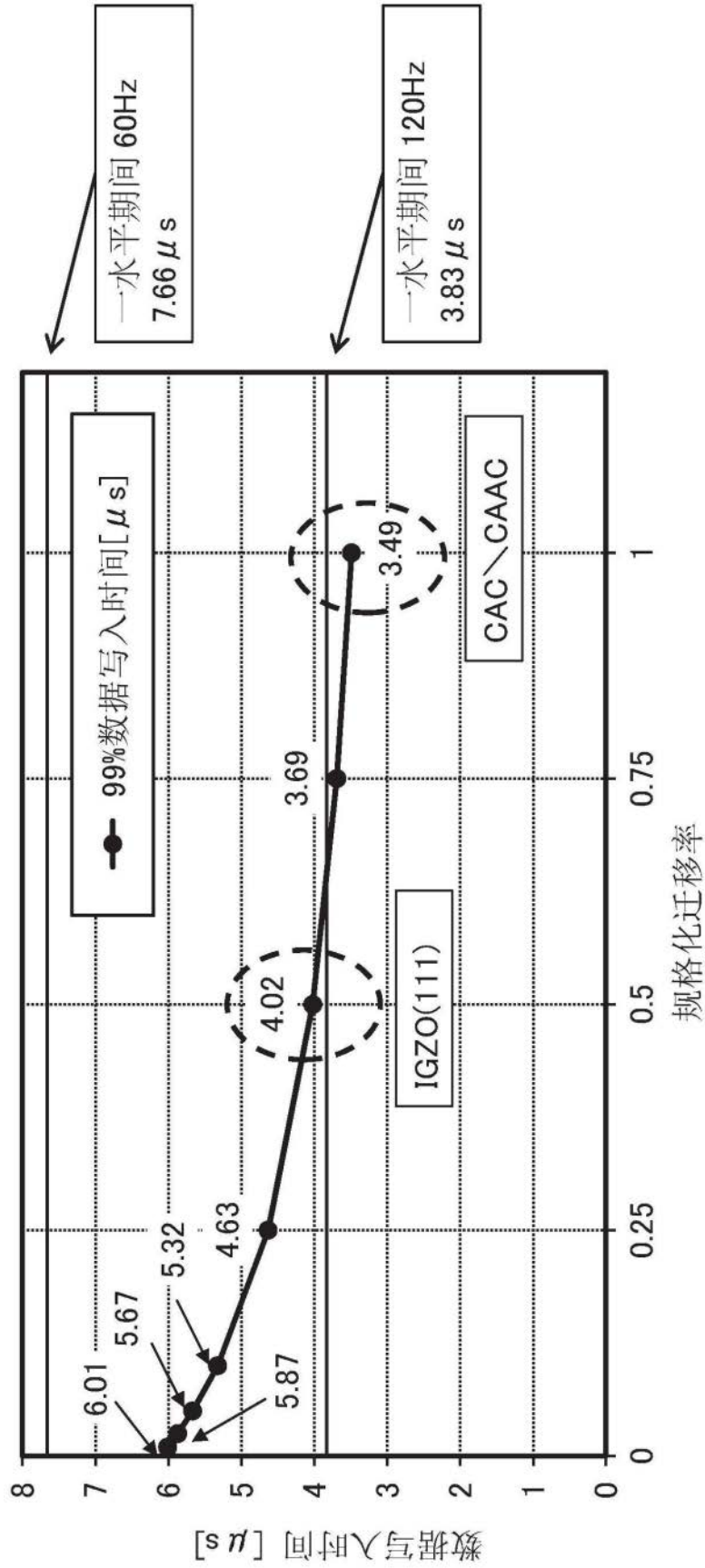


图40

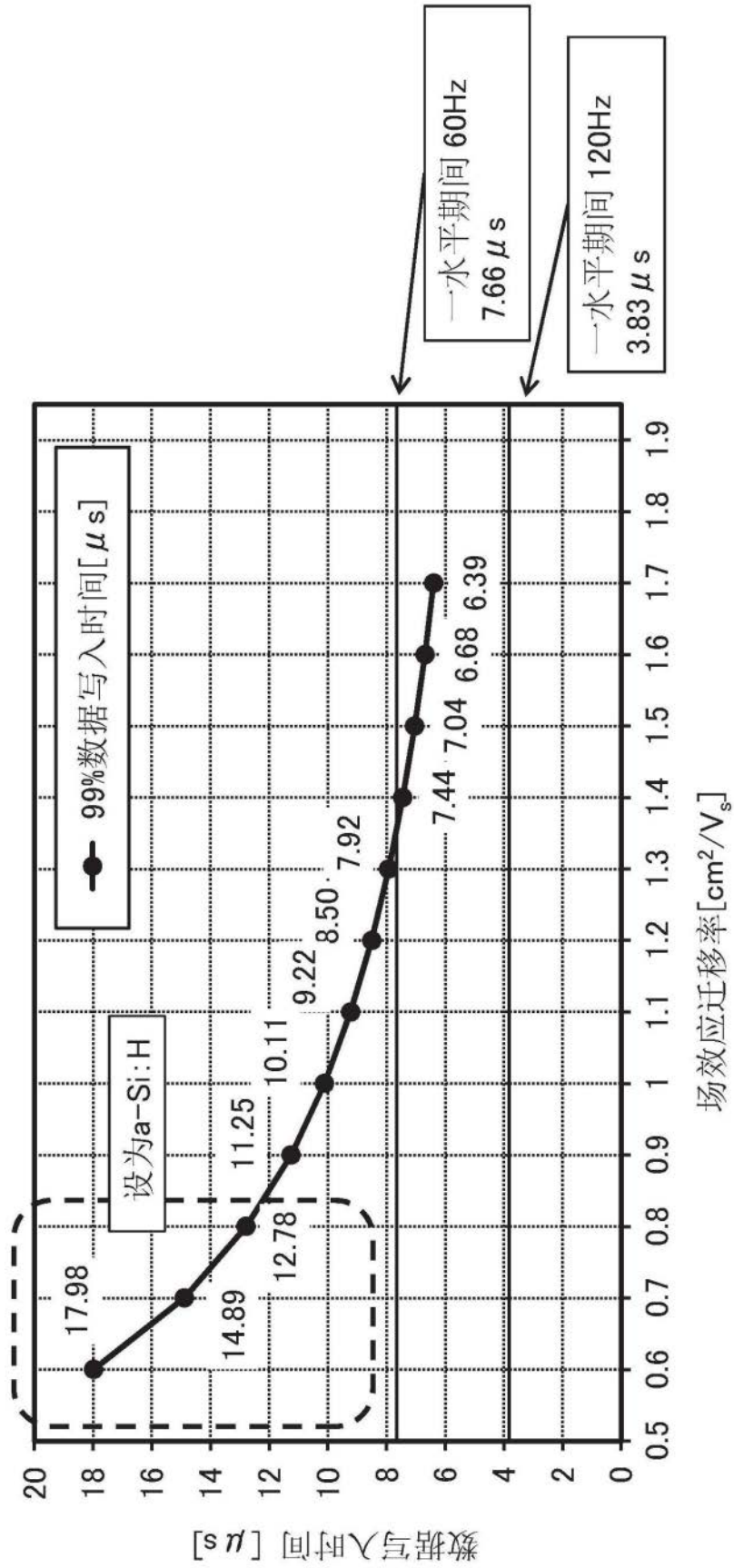


图41

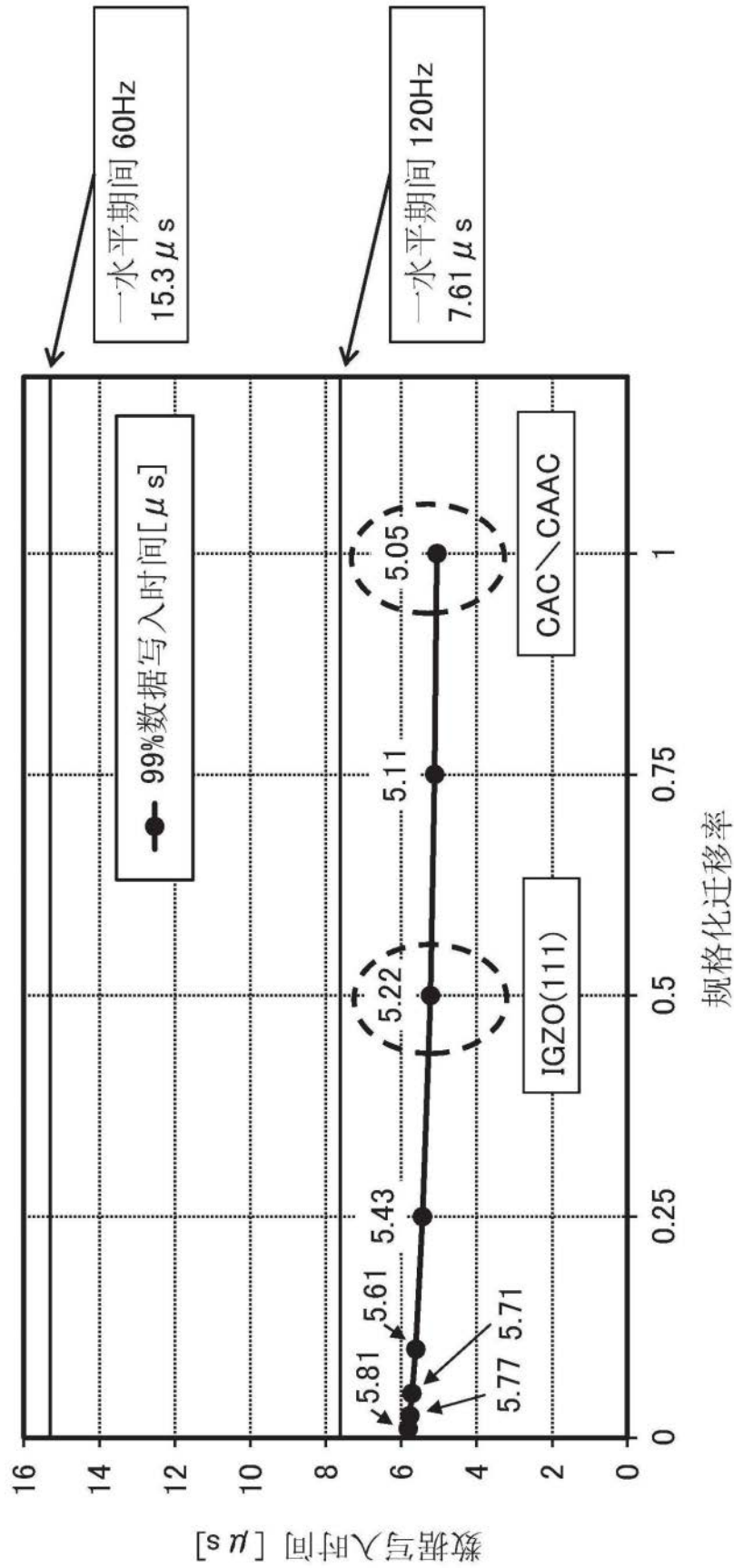


图42

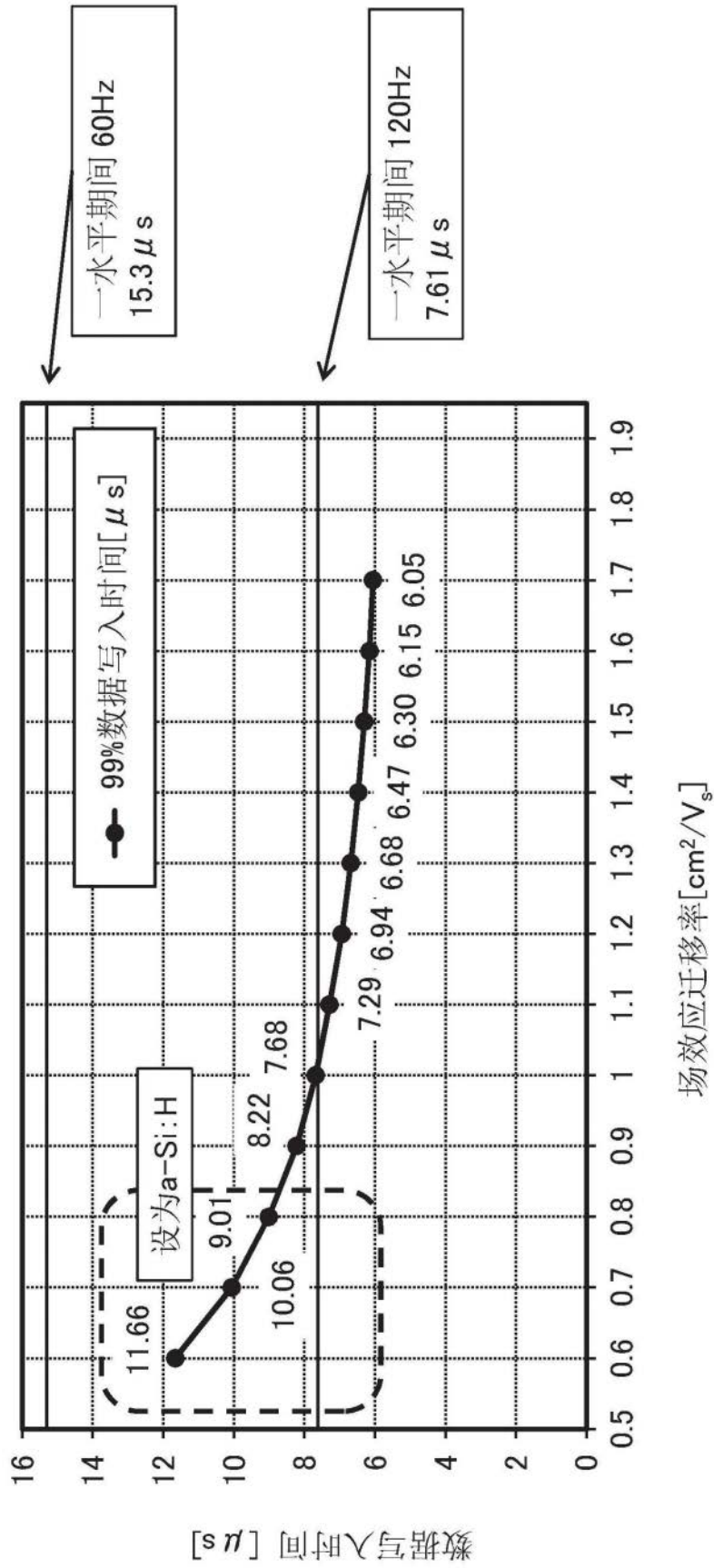


图43