

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年11月29日(29.11.2018)



(10) 国際公開番号

WO 2018/216059 A1

(51) 国際特許分類:
H03K 19/0175 (2006.01)

(21) 国際出願番号: PCT/JP2017/018990

(22) 国際出願日: 2017年5月22日(22.05.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者: 川井 重明 (KAWAI, Shigeaki); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). 松田 篤 (MATSUDA,

Atsushi); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

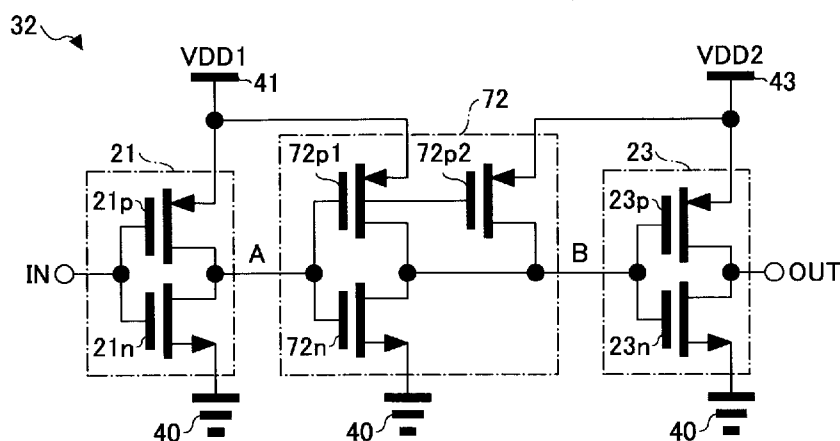
(74) 代理人: 伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,

(54) Title: LEVEL-SHIFT CIRCUIT AND INTEGRATED CIRCUIT

(54) 発明の名称: レベルシフト回路及び集積回路

[図5]



(57) Abstract: Disclosed is a level-shift circuit provided with: a first inverter which operates on a first power-supply voltage being a voltage supplied to a first power supply line and which outputs to a first node a signal obtained by inverting an inputted signal; a second inverter which outputs to a second node a signal obtained by inverting a signal inputted from the first node; and a third inverter which operates on a second power-supply voltage being a voltage supplied to a second power supply line and which outputs a signal obtained by inverting a signal inputted from the second node. The second inverter has a first p-type transistor in which a source is connected to the first power supply line, a second p-type transistor in which a source is connected to the second power supply line, and a first n-type transistor in which a source is connected



NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

to a ground wire. Respective gates of the first p-type transistor, the second p-type transistor, and the first n-type transistor are connected to the first node, and respective drains of the first p-type transistor, the second p-type transistor, and the first n-type transistor are connected to the second node.

(57) 要約: 第1の電源線への供給電圧である第1の電源電圧で動作し、入力された信号を反転させた信号を第1のノードに出力する第1のインバータと、第1のノードから入力された信号を反転させた信号を第2のノードに出力する第2のインバータと、第2の電源線への供給電圧である第2の電源電圧で動作し、第2のノードから入力された信号を反転させた信号を出力する第3のインバータとを備え、第2のインバータは、第1の電源線にソースが接続された第1のP型トランジスタと、第2の電源線にソースが接続された第2のP型トランジスタと、グラウンド線にソースが接続された第1のN型トランジスタとを有し、第1のP型トランジスタと第2のP型トランジスタと第1のN型トランジスタの各々のゲートが第1のノードに接続され、第1のP型トランジスタと第2のP型トランジスタと第1のN型トランジスタの各々のドレインが第2のノードに接続された、レベルシフト回路。

明 細 書

発明の名称： レベルシフト回路及び集積回路

技術分野

[0001] 本発明は、レベルシフト回路及び集積回路に関する。

背景技術

[0002] 従来、異なる電源電圧間で信号のレベルをシフトするレベルシフト回路が知られている（例えば、特許文献1を参照）。

先行技術文献

特許文献

[0003] 特許文献1：特表2012-502558号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上述の従来技術のようにラッチ構造を用いたレベルシフト回路では、ラッチアップまでに時間がかかることによって、信号がレベルシフトされる前後で当該信号のパルス幅が変化することがある。レベルシフトされる前後で信号のパルス幅が変化すると、信号の内容が誤って伝達されるおそれがある。

[0005] そこで、本開示では、レベルシフトされる前後での信号のパルス幅の変化を抑制できる、レベルシフト回路及び集積回路が提供される。

課題を解決するための手段

[0006] 本開示の一態様では、

第1の電源線への供給電圧である第1の電源電圧で動作し、入力された信号を反転させた第1の信号を第1のノードに出力する第1のインバータと、

前記第1のノードから入力された前記第1の信号を反転させた第2の信号を第2のノードに出力する第2のインバータと、

第2の電源線への供給電圧であって、前記第1の電源電圧とは異なる第2の電源電圧で動作し、前記第2のノードから入力された前記第2の信号を反

転させた信号を出力する第3のインバータとを備え、

前記第2のインバータは、前記第1の電源線にソースが接続された第1のP型トランジスタと、前記第2の電源線にソースが接続された第2のP型トランジスタと、グランド線にソースが接続された第1のN型トランジスタとを有し、

前記第1のP型トランジスタと前記第2のP型トランジスタと前記第1のN型トランジスタの各々のゲートが前記第1のノードに接続され、前記第1のP型トランジスタと前記第2のP型トランジスタと前記第1のN型トランジスタの各々のドレインが前記第2のノードに接続された、レベルシフト回路が提供される。

[0007] 本開示の他の一態様では、

第1の電源線への供給電圧である第1の電源電圧で動作する第1の内部回路と、

第2の電源線への供給電圧であって、前記第1の電源電圧とは異なる第2の電源電圧で動作する第2の内部回路と、

前記第1の内部回路と前記第2の内部回路との間で信号のレベルをシフトするレベルシフト回路とを備え、

前記レベルシフト回路は、

前記第1の電源電圧で動作し、前記第1の内部回路から入力された信号を反転させた第1の信号を第1のノードに出力する第1のインバータと、

前記第1のノードから入力された前記第1の信号を反転させた第2の信号を第2のノードに出力する第2のインバータと、

前記第2の電源電圧で動作し、前記第2のノードから入力された前記第2の信号を反転させた信号を前記第2の内部回路に出力する第3のインバータとを備え、

前記第2のインバータは、前記第1の電源線にソースが接続された第1のP型トランジスタと、前記第2の電源線にソースが接続された第2のP型トランジスタと、グランド線にソースが接続された第1のN型トランジスタと

を有し、

前記第 1 の P 型トランジスタと前記第 2 の P 型トランジスタと前記第 1 の N 型トランジスタの各々のゲートが前記第 1 のノードに接続され、前記第 1 の P 型トランジスタと前記第 2 の P 型トランジスタと前記第 1 の N 型トランジスタの各々のドレインが前記第 2 のノードに接続された、集積回路が提供される。

発明の効果

[0008] 本開示の一態様によれば、レベルシフトされる前後での信号のパルス幅の変化を抑制することができる。

図面の簡単な説明

[0009] [図1]本開示に係る集積回路の構成の一例を示す図である。

[図2]本開示に係るレベルシフト回路の第 1 の構成例を示す図である。

[図3]電圧生成回路の構成の一例を示す図である。

[図4]各端子及び各ノードでの動作波形の一例を示す図である。

[図5]本開示に係るレベルシフト回路の第 2 の構成例を示す図である。

[図6]閾値電圧の具体例を示す図である。

[図7]VDD1を固定してVDD2を変化させたときの V_{th2} の変化を示す図である。

[図8]レベルシフト回路を備えた集積回路の一具体例を示す図である。

発明を実施するための形態

[0010] 以下、本開示に係る実施形態について図面を参照して説明する。

[0011] 図 1 は、本開示に係る集積回路の構成の一例を示す図である。図 1 に示される集積回路 10 は、異なる電源電圧で動作する回路間で信号の受け渡しを行うレベルシフト回路 13 を備える。集積回路 10 は、半導体集積回路の一例であり、第 1 の内部回路 11 と、レベルシフト回路 13 と、第 2 の内部回路 12 とを備える。

[0012] 第 1 の内部回路 11 は、第 1 の電源電圧の一例である電源電圧 VDD1 で動作する。電源電圧 VDD1 は、第 1 の電源線への供給電圧の一例である。第 2 の内部回路 12 は、第 2 の電源電圧の一例である電源電圧 VDD2 で動作する。電源

電圧VDD2は、第2の電源線への供給電圧の一例である。電源電圧VDD2は、電源電圧VDD1と異なる電圧である。

[0013] レベルシフト回路13は、第1の内部回路11と第2の内部回路12との間で信号のレベル（「振幅」とも称する）をシフトする。レベルシフト回路13は、第1の内部回路から入力された信号のレベルをシフトし、レベルをシフトした信号を第2の内部回路12に出力する。本開示に係るレベルシフト回路13は、電源電圧VDD2が電源電圧VDD1よりも高い場合にも低い場合にも適用することが可能である。

[0014] 図2は、本開示に係るレベルシフト回路の第1の構成例を示す図である。図2に示されるレベルシフト回路31は、図1のレベルシフト回路13の一例である。レベルシフト回路31は、直列に接続された奇数個（本例では、3個）のインバータ21、22、23を備える。インバータ21、22、23は、それぞれ、PMOSトランジスタとNMOSトランジスタとが直列に接続されたCMOS型のインバータである。CMOSは、Complementary MOS（Metal Oxide Semiconductor）を意味する。PMOSのPは、P型（Pチャネル型）を表し、NMOSのNは、N型（Nチャネル型）を表す。

[0015] インバータ21は、第1のインバータの一例であり、電源線41への供給電圧である電源電圧VDD1で動作する。電源線41は、第1の電源線の一例である。電源電圧VDD1は、電源線41とグランド線40との間の電圧である。

[0016] インバータ21は、入力端子INから入力された信号（「入力信号Sin」と称する）のレベルを反転させた信号（「信号Sa」と称する）を中間ノードAに出力する。信号Saは、第1の信号の一例である。中間ノードAは、第1のノードの一例である。入力端子INには、第1の内部回路11が接続されている。第1の内部回路11からの入力信号Sinが入力端子INを介してインバータ21の共通ゲートに入力される。

[0017] インバータ21は、電源線41にソースが接続されたP型トランジスタ21pと、グランド線40にソースが接続されたN型トランジスタ21nとを有する。P型トランジスタ21pとN型トランジスタ21nとの各々のゲー

トは、入力端子 I N に接続され、P 型トランジスタ 2 1 p と N 型トランジスタ 2 1 n との各々のドレインは、中間ノード A に接続されている。

[0018] インバータ 2 3 は、第 3 のインバータの一例であり、電源線 4 3 への供給電圧である電源電圧 VDD2 で動作する。電源線 4 3 は、第 2 の電源線の一例である。電源電圧 VDD2 は、電源線 4 3 とグランド線 4 0 との間の電圧である。

[0019] インバータ 2 3 は、中間ノード B から入力された信号（「信号 S b」と称する）のレベルを反転させた信号（「出力信号 S o u t」と称する）を出力端子 O U T に出力する。信号 S b は、第 2 の信号の一例である。中間ノード B は、第 2 のノードの一例である。出力端子 O U T には、第 2 の内部回路 1 2 が接続されている。インバータ 2 3 の共通ドレインから出力端子 O U T を介して出力された出力信号 S o u t は、第 2 の内部回路 1 2 へ入力される。

[0020] インバータ 2 3 は、電源線 4 3 にソースが接続された P 型トランジスタ 2 3 p と、グランド線 4 0 にソースが接続された N 型トランジスタ 2 3 n とを有する。P 型トランジスタ 2 3 p と N 型トランジスタ 2 3 n との各々のゲートは、中間ノード B に接続され、P 型トランジスタ 2 3 p と N 型トランジスタ 2 3 n との各々のドレインは、出力端子 O U T に接続されている。

[0021] インバータ 2 2 は、第 2 のインバータの一例であり、電源線 4 2 への供給電圧である電源電圧 VDD12 で動作する。電源線 4 2 は、電源電圧 VDD12 の供給源と接続された第 3 の電源線の一例である。電源電圧 VDD12 は、電源線 4 2 への供給電圧とグランド線 4 0 への供給電圧との間の電圧である。電源電圧 VDD12 は、電源電圧 VDD1 と電源電圧 VDD2 との間の電圧である中間電圧の一例である。本実施形態では、電源電圧 VDD12 は、電源電圧 VDD1 と電源電圧 VDD2 との間の平均電圧 $(=(VDD1+VDD2)/2)$ に等しい。

[0022] インバータ 2 2 は、中間ノード A から入力された信号 S a のレベルを反転させた信号 S b を中間ノード B に出力する。

[0023] インバータ 2 2 は、電源線 4 2 にソースが接続された P 型トランジスタ 2 2 p と、グランド線 4 0 にソースが接続された N 型トランジスタ 2 2 n とを有する。P 型トランジスタ 2 2 p と N 型トランジスタ 2 2 n との各々のゲートは、中間ノード A に接続され、P 型トランジスタ 2 2 p と N 型トランジスタ 2 2 n との各々のドレインは、中間ノード B に接続されている。

トは、中間ノードAに接続され、P型トランジスタ22pとN型トランジスタ22nとの各々のドレインは、中間ノードBに接続されている。

[0024] レベルシフト回路31は、電源電圧VDD12を生成する電圧生成回路を備える。電圧生成回路は、入力端子INから入力される入力信号Sinのパルス幅と出力端子OUTから出力される出力信号Sou tのパルス幅とが一致するように、電源電圧VDD12を生成する。

[0025] 図3は、電源電圧VDD12を生成する電圧生成回路の一例を示す図である。図3に示されるレギュレータ50は、電源電圧VDD12を生成する電圧生成回路の一例である。レギュレータ50は、電源電圧VDD12が電源電圧VDD1と電源電圧VDD2との間の平均電圧になるように、電源電圧VDD12を調整する。レギュレータ50は、抵抗51～58と、オペアンプ59と、P型トランジスタ60とを備える。

[0026] 抵抗51～56によって構成された参照電圧生成回路は、電源電圧VDD1と電源電圧VDD2に基づいて所定の参照電圧を生成し、生成した参照電圧をオペアンプ59の反転入力ノードに供給する。P型トランジスタ60は、オペアンプ59の出力ノードに接続されたゲートと、電源線41又は電源線43に接続されたソースと、抵抗57、58を介してグランド線40に接続されたドレインとを有するMOSトランジスタである。P型トランジスタ60のソースは、電源線41と電源線43とのうち、供給される電源電圧が高い方の電源線に接続される。抵抗57と抵抗58との中間接続点は、オペアンプ59の非反転入力ノードに接続される。抵抗57と抵抗58によって構成されたフィードバック電圧生成回路は、抵抗57と抵抗58の中間接続点においてフィードバック電圧を生成し、生成したフィードバック電圧をオペアンプ59の非反転入力ノードに供給する。オペアンプ59は、供給された参照電圧とフィードバック電圧に基づいて、P型トランジスタ60のゲートに制御電圧を供給する制御電圧生成回路として機能する。このような構成を有するレギュレータ50は、抵抗51～58の各抵抗値を調整することにより、P型トランジスタ60のドレインから電源電圧VDD12 ($= (VDD1 + VDD2) / 2$) を出力

できる。

[0027] 図2のレベルシフト回路31では、インバータの閾値電圧が電源電圧の半分となるように設計される。このように設計される場合、 $V_{DD12} = (V_{DD1} + V_{DD2}) / 2$ とすることで、1段目のインバータ21の閾値電圧と2段目のインバータ22の閾値電圧との差分と、2段目のインバータ22の閾値電圧と3段目のインバータ23の閾値電圧との差分とが、等しくなる。

[0028] 例えば、1段目のインバータ21において、入力信号 S_{in} の電圧を V_1 とすると、各トランジスタの飽和領域でのドレイン電流式は、

$$I_d(\text{PMOS}) = \beta_p \times (V_{DD1} - V_1 - V_{thp})^2$$

$$I_d(\text{NMOS}) = \beta_n \times (V_1 - V_{thn})^2$$

となる。 $I_d(\text{PMOS})$ は、P型トランジスタのドレイン電流を表し、 $I_d(\text{NMOS})$ は、N型トランジスタのドレイン電流を表す。利得 β_p 及び β_n は、

$$\beta_p = 1/2 \times (W_p \times \mu_p \times C_{ox} / L_p)$$

$$\beta_n = 1/2 \times (W_n \times \mu_n \times C_{ox} / L_n)$$

である。 W_p 、 μ_p 、 C_{ox} 、 L_p は、それぞれ、P型トランジスタの、ゲート幅、正孔の移動度、ゲート容量、ゲート長を表す。 W_n 、 μ_n 、 C_{ox} 、 L_n は、それぞれ、N型トランジスタのゲート幅、電子の移動度、ゲート容量、ゲート長を表す。P型トランジスタの閾値電圧 V_{thp} とN型トランジスタの閾値電圧 V_{thn} とはほぼ等しく、 $\beta_p = \beta_n$ であるようにトランジスタ比は設計される。インバータの閾値電圧 V_{th} は、 $I_d(\text{PMOS}) = I_d(\text{NMOS})$ のときの入力電圧 V_1 であるので、

$$V_{DD1} - V_1 = V_1$$

が成立し、

$$V_1 = V_{DD1} / 2$$

という関係式が得られる。つまり、インバータ21の閾値電圧 $V_{th1} = V_{DD1} / 2$ と求めることができる。同様に、2段目では $V_{th2} = V_{DD12} / 2$ 、3段目では $V_{th3} = V_{DD2} / 2$ となる。

[0029] したがって、図2のレベルシフト回路31の場合、1段目のインバータ21

の閾値電圧と2段目のインバータ22の閾値電圧との差分と、2段目のインバータ22の閾値電圧と3段目のインバータ23の閾値電圧との差分とが、等しくなる効果が得られる。

[0030] これにより、 V_{th1} 、 V_{th2} 、 V_{th3} の順に電圧値が大きくなっても、図4に示すように、1段目から2段目へのレベルシフトによるパルス幅の変動量と2段目から3段目へのレベルシフトによるパルス幅の変動量とが等しくなる。その結果、インバータで信号が反転する効果によって差分が打ち消しあう。よって、3段目のインバータ23からの出力信号 S_{out} のパルス幅は、入力信号 S_{in} と同じパルス幅になるとともに、レベルが V_{DD1} から V_{DD2} にシフトした出力信号 S_{out} を得ることができる。そして、入力信号 S_{in} の内容を正しくインバータ23の後段の回路に伝達することができる。 V_{th4} は、インバータ23の後段の回路の閾値電圧を表す。

[0031] 図5は、本開示に係るレベルシフト回路の第2の構成例を示す図である。図5に示されるレベルシフト回路32は、図1のレベルシフト回路13の一例である。レベルシフト回路32は、直列に接続された奇数個（本例では、3個）のインバータ21、72、23を備える。インバータ21、72、23は、それぞれ、PMOSトランジスタとNMOSトランジスタとが直列に接続されたCMOS型のインバータである。第2の構成例のうち上述の構成例と同様の構成については、上述の説明を援用することで省略又は簡略する。

[0032] インバータ72は、中間ノードAから入力された信号 S_a のレベルを反転させた信号 S_b を中間ノードBに出力する。

[0033] インバータ72は、電源線41にソースが接続されたP型トランジスタ72p1と、電源線43にソースが接続されたP型トランジスタ72p2と、グラウンド線40にソースが接続されたN型トランジスタ72nとを有する。P型トランジスタ72p1とP型トランジスタ72p2とN型トランジスタ72nとの各々のゲートは、中間ノードAに接続されている。P型トランジスタ72p1とP型トランジスタ72p2とN型トランジスタ72nとの各

々のドレインは、中間ノードBに接続されている。

[0034] 図5のレベルシフト回路32の場合、P型トランジスタ21pのゲート幅が、N型トランジスタ21nのゲート幅のX（Xは正の値）倍であり、P型トランジスタ23pのゲート幅が、N型トランジスタ23nのゲート幅のX倍であると定義する。このとき、P型トランジスタ72p1とP型トランジスタ72p2の各々のゲート幅は、N型トランジスタ72nのゲート幅の（ $X/2$ ）倍で形成されている。このように形成されることで、1段目のインバータ21の閾値電圧と2段目のインバータ22の閾値電圧との差分と、2段目のインバータ22の閾値電圧と3段目のインバータ23の閾値電圧との差分とが、略等しくなる。

[0035] 例えば、2段目のインバータ72において、信号Saの電圧をV2とすると、各トランジスタの飽和領域でのドレイン電流式は、

$$I_d(\text{PMOS}) = \beta_p \times \{ (V_{DD1} - V_2 - V_{tp})^2 + (V_{DD2} - V_2 - V_{tp})^2 \} / 2$$

$$I_d(\text{NMOS}) = \beta_n \times (V_2 - V_{tn})^2$$

となる。P型トランジスタの閾値電圧 V_{tp} とN型トランジスタの閾値電圧 V_{tn} とはほぼ等しく（ $V_{tp} = V_{tn} = V_t$ ）、 $\beta_p = \beta_n$ であるようにトランジスタ比は設計される。インバータ72の閾値電圧 V_{th2} は、 $I_d(\text{PMOS}) = I_d(\text{NMOS})$ のときの入力電圧V2であるので、閾値電圧 V_{th2} は、

$$V_{th2} = (V_{DD1}^2 + V_{DD2}^2 - 2 \times V_{DD1} \times V_t - 2 \times V_{DD2} \times V_t) / (2 \times V_{DD1} + 2 \times V_{DD2} - 8V_t)$$

となる。

[0036] この式に具体的な3つの場合での電圧を代入すると、図6に示される値になる。図6に示されるように、2段目の閾値電圧 V_{th2} は、 V_{DD1} と V_{DD2} との大小関係によらず、1段目の閾値電圧 $V_{th1} = V_{DD1}/2$ と3段目の閾値電圧 $V_{th3} = V_{DD2}/2$ との平均値 $(V_{DD1} + V_{DD2})/4$ と近い値となることが分かる。

[0037] したがって、図5のレベルシフト回路32の場合、1段目のインバータ21の閾値電圧と2段目のインバータ72の閾値電圧との差分と、2段目のインバータ72の閾値電圧と3段目のインバータ23の閾値電圧との差分とが、略等しくなる効果が得られる。

[0038] これにより、 V_{th1} 、 V_{th2} 、 V_{th3} の順に電圧値が大きくなっても、図4に示すように、1段目から2段目へのレベルシフトによるパルス幅の変動量と2段目から3段目へのレベルシフトによるパルス幅の変動量とが等しくなる。その結果、インバータで信号が反転する効果によって差分が打ち消しあう。よって、3段目のインバータ23からの出力信号 S_{out} のパルス幅は、入力信号 S_{in} と同じパルス幅になるとともに、レベルが V_{DD1} から V_{DD2} にシフトした出力信号 S_{out} を得ることができる。そして、入力信号 S_{in} の内容を正しくインバータ23の後段の回路に伝達することができる。 V_{th4} は、インバータ23の後段の回路の閾値電圧を表す。

[0039] 図7は、 V_{DD1} を0.8Vに固定して V_{DD2} を変化させたときの V_{th2} の変化を示す。図

では、 $V_t=0.2V$ としている。図7に示されるように、 V_{th2} は、 V_{th1} と V_{th3} のほぼ中間の値となり、理想値である $(V_{DD1}+V_{DD2})/4$ との差分は小さい。また、 V_{DD1} と V_{DD2} の値が決まっていれば、サイズ比(β_p 及び β_n)を2段目のみ調整することで、 V_{th2} を $(V_{DD1}+V_{DD2})/4$ に略一致させることもできる。

[0040] したがって、図5のレベルシフト回路32の場合、1段目のインバータ21の閾値電圧と2段目のインバータ72の閾値電圧との差分と、2段目のインバータ72の閾値電圧と3段目のインバータ23の閾値電圧との差分とが、略等しくなる効果が得られる。

[0041] 図8は、レベルシフト回路を備えた集積回路の一具体例を示す図である。集積回路110は、CPU (Central Processing Unit) 111を備える。また、集積回路110は、SERDES (SERializer/DESerializer) 112を備える。CPUは、プロセッサの一例である。SERDESは、シリアルデータとパラレルデータとの間で相互に変換する回路の一例である。

[0042] レベルシフタ131は、CPU 111とマルチプレクサ (MUX) 121との異なる電源電圧で動作する回路間で信号を伝送する。レベルシフタ132は、デマルチプレクサ (DMUX) 122とCPU 111との異なる電源電圧で動作する回路間で信号を伝送する。CPU 111の消費電力が大きいので、C

P U 1 1 1 の電源電圧は、プロセスばらつきや動作状態によって調整されることにより、C P U 1 1 1 の消費電力を最適化する技術が使用されている。一方、S E R D E S 1 1 2 の電源電圧は、高速動作を実現するために、固定されている。この場合、C P U 1 1 1 と S E R D E S 1 1 2 との間で電源電圧の大小関係が逆転することがある。したがって、レベルシフタ 1 3 1, 1 3 2 に本実施形態に係るレベルシフト回路を適用することによって、電源電圧が異なる回路間であっても、レベルシフトされる前後での信号のパルス幅の変化を抑制することができる。

[0043] レベルシフタ 1 3 3 は、マルチプレクサ (MUX) 1 2 1 と送信回路 (Tx) 1 2 3 との異なる電源電圧で動作する回路間で信号を伝送する。レベルシフタ 1 3 4 は、受信回路 (Rx) 1 2 4 とデマルチプレクサ (DMUX) 1 2 2 との異なる電源電圧で動作する回路間で信号を伝送する。S E R D E S 1 1 2 の電源電圧は、高速動作を実現するために、高く設定されている。送信回路 (Tx) 1 2 3 は、所望の出力電圧を出力するために高い電圧が必要になるが、S E R D E S 1 1 2 回路全体の電源電圧を高くすると、消費電力が大きくなる。そのため、S E R D E S 1 1 2 のうち必要な回路の電源電圧が高くされる。この場合、レベルシフタ 1 3 3, 1 3 4 は、高速動作を実現するため、要求される立ち上がり又は立ち下がり時間が短くなり、パルス幅の変化量も小さいことが望まれる。したがって、レベルシフタ 1 3 3, 1 3 4 に本実施形態に係るレベルシフト回路を適用することによって、電源電圧が異なる回路間であっても、レベルシフトされる前後での信号のパルス幅の変化を抑制することができる。

[0044] 以上、レベルシフト回路及び集積回路を実施形態により説明したが、本発明は上記実施形態に限定されるものではない。他の実施形態の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

[0045] 以上の実施形態に関し、更に以下の付記を開示する。

(付記 1)

第1の電源線への供給電圧である第1の電源電圧で動作し、入力された信号を反転させた第1の信号を第1のノードに出力する第1のインバータと、

前記第1のノードから入力された前記第1の信号を反転させた第2の信号を第2のノードに出力する第2のインバータと、

第2の電源線への供給電圧であって、前記第1の電源電圧とは異なる第2の電源電圧で動作し、前記第2のノードから入力された前記第2の信号を反転させた信号を出力する第3のインバータとを備え、

前記第2のインバータは、前記第1の電源線にソースが接続された第1のP型トランジスタと、前記第2の電源線にソースが接続された第2のP型トランジスタと、グランド線にソースが接続された第1のN型トランジスタとを有し、

前記第1のP型トランジスタと前記第2のP型トランジスタと前記第1のN型トランジスタの各々のゲートが前記第1のノードに接続され、前記第1のP型トランジスタと前記第2のP型トランジスタと前記第1のN型トランジスタの各々のドレインが前記第2のノードに接続された、レベルシフト回路。

(付記2)

前記第1のインバータは、前記第1の電源線にソースが接続された第3のP型トランジスタと、グランド線にソースが接続された第2のN型トランジスタとを有し、

前記第3のインバータは、前記第2の電源線にソースが接続された第4のP型トランジスタと、グランド線にソースが接続された第3のN型トランジスタとを有し、

前記第3のP型トランジスタのゲート幅が、前記第2のN型トランジスタのゲート幅の X (X は正の値) 倍であり、前記第4のP型トランジスタのゲート幅が、前記第3のN型トランジスタのゲート幅の X 倍であるとき、

前記第1のP型トランジスタと前記第2のP型トランジスタの各々のゲート幅は、前記第1のN型トランジスタのゲート幅の $(X/2)$ 倍である、付

記 1 に記載のレベルシフト回路。

(付記 3)

第 1 の電源線への供給電圧である第 1 の電源電圧で動作する第 1 の内部回路と、

第 2 の電源線への供給電圧であって、前記第 1 の電源電圧とは異なる第 2 の電源電圧で動作する第 2 の内部回路と、

前記第 1 の内部回路と前記第 2 の内部回路との間で信号のレベルをシフトするレベルシフト回路とを備え、

前記レベルシフト回路は、

前記第 1 の電源電圧で動作し、前記第 1 の内部回路から入力された信号を反転させた第 1 の信号を第 1 のノードに出力する第 1 のインバータと、

前記第 1 のノードから入力された前記第 1 の信号を反転させた第 2 の信号を第 2 のノードに出力する第 2 のインバータと、

前記第 2 の電源電圧で動作し、前記第 2 のノードから入力された前記第 2 の信号を反転させた信号を前記第 2 の内部回路に出力する第 3 のインバータとを備え、

前記第 2 のインバータは、前記第 1 の電源線にソースが接続された第 1 の P 型トランジスタと、前記第 2 の電源線にソースが接続された第 2 の P 型トランジスタと、グランド線にソースが接続された第 1 の N 型トランジスタとを有し、

前記第 1 の P 型トランジスタと前記第 2 の P 型トランジスタと前記第 1 の N 型トランジスタの各々のゲートが前記第 1 のノードに接続され、前記第 1 の P 型トランジスタと前記第 2 の P 型トランジスタと前記第 1 の N 型トランジスタの各々のドレインが前記第 2 のノードに接続された、集積回路。

(付記 4)

第 1 の電源線への供給電圧である第 1 の電源電圧で動作し、入力された入力信号を反転させた第 1 の信号を第 1 のノードに出力する第 1 のインバータと、

前記第 1 のノードから入力された前記第 1 の信号を反転させた第 2 の信号を第 2 のノードに出力する第 2 のインバータと、

第 2 の電源線への供給電圧であって、前記第 1 の電源電圧とは異なる第 2 の電源電圧で動作し、前記第 2 のノードから入力された前記第 2 の信号を反転させた出力信号を出力する第 3 のインバータと、

前記入力信号のパルス幅と前記出力信号のパルス幅とが一致するように、前記第 1 の電源電圧と前記第 2 の電源電圧との間の電圧である中間電圧を生成する電圧生成回路とを備え、

前記第 2 のインバータは、前記中間電圧で動作する、レベルシフト回路。

(付記 5)

前記中間電圧は、前記第 1 の電源電圧と前記第 2 の電源電圧との平均電圧である、付記 4 に記載のレベルシフト回路。

(付記 6)

前記第 1 のインバータは、前記第 1 の電源線にソースが接続された第 1 の P 型トランジスタと、グランド線にソースが接続された第 1 の N 型トランジスタとを有し、

前記第 2 のインバータは、前記電圧生成回路にソースが接続された第 2 の P 型トランジスタと、グランド線にソースが接続された第 2 の N 型トランジスタとを有し、

前記第 3 のインバータは、前記第 2 の電源線にソースが接続された第 3 の P 型トランジスタと、グランド線にソースが接続された第 3 の N 型トランジスタとを有する、付記 4 又は 5 に記載のレベルシフト回路。

(付記 7)

前記電圧生成回路は、

前記第 1 の電源線と前記第 2 の電源線のうち、供給される電源電圧が高い方の電源線と、前記中間電圧が供給される第 3 の電源線の上に接続されたトランジスタと、

前記第 1 の電源電圧と前記第 2 の電源電圧に基づいて参照電圧を生成する

参照電圧生成回路と、

前記中間電圧に基づいてフィードバック電圧を生成するフィードバック電圧生成回路と、

第 1 の入力ノードに前記参照電圧が入力され、第 2 の入力ノードに前記フィードバック電圧が入力され、前記参照電圧及び前記フィードバック電圧に基づいて、前記トランジスタの制御電圧を生成する制御電圧生成回路と、を備える、付記 4 に記載のレベルシフト回路。

(付記 8)

第 1 の電源線への供給電圧である第 1 の電源電圧で動作する第 1 の内部回路と、

第 2 の電源線への供給電圧であって、前記第 1 の電源電圧とは異なる第 2 の電源電圧で動作する第 2 の内部回路と、

前記第 1 の内部回路と前記第 2 の内部回路との間で信号のレベルをシフトするレベルシフト回路とを備え、

前記レベルシフト回路は、

前記第 1 の電源電圧で動作し、前記第 1 の内部回路から入力された入力信号を反転させた第 1 の信号を第 1 のノードに出力する第 1 のインバータと、

前記第 1 のノードから入力された前記第 1 の信号を反転させた第 2 の信号を第 2 のノードに出力する第 2 のインバータと、

前記第 2 の電源電圧で動作し、前記第 2 のノードから入力された前記第 2 の信号を反転させた出力信号を前記第 2 の内部回路に出力する第 3 のインバータと、

前記入力信号のパルス幅と前記出力信号のパルス幅とが一致するように、前記第 1 の電源電圧と前記第 2 の電源電圧との間の電圧である中間電圧を生成する電圧生成回路とを備え、

前記第 2 のインバータは、前記中間電圧で動作する、集積回路。

符号の説明

[0046] 10, 110 集積回路

- 1 1 第 1 の内部回路
- 1 2 第 2 の内部回路
- 1 3, 3 1, 3 2 レベルシフト回路
- 2 1, 2 2, 2 3, 7 2 インバータ
- 5 0 レギュレータ（電圧生成回路の一例）

請求の範囲

[請求項1] 第1の電源線への供給電圧である第1の電源電圧で動作し、入力された信号を反転させた第1の信号を第1のノードに出力する第1のインバータと、

前記第1のノードから入力された前記第1の信号を反転させた第2の信号を第2のノードに出力する第2のインバータと、

第2の電源線への供給電圧であって、前記第1の電源電圧とは異なる第2の電源電圧で動作し、前記第2のノードから入力された前記第2の信号を反転させた信号を出力する第3のインバータとを備え、

前記第2のインバータは、前記第1の電源線にソースが接続された第1のP型トランジスタと、前記第2の電源線にソースが接続された第2のP型トランジスタと、グランド線にソースが接続された第1のN型トランジスタとを有し、

前記第1のP型トランジスタと前記第2のP型トランジスタと前記第1のN型トランジスタの各々のゲートが前記第1のノードに接続され、前記第1のP型トランジスタと前記第2のP型トランジスタと前記第1のN型トランジスタの各々のドレインが前記第2のノードに接続された、レベルシフト回路。

[請求項2] 前記第1のインバータは、前記第1の電源線にソースが接続された第3のP型トランジスタと、グランド線にソースが接続された第2のN型トランジスタとを有し、

前記第3のインバータは、前記第2の電源線にソースが接続された第4のP型トランジスタと、グランド線にソースが接続された第3のN型トランジスタとを有し、

前記第3のP型トランジスタのゲート幅が、前記第2のN型トランジスタのゲート幅の X (X は正の値) 倍であり、前記第4のP型トランジスタのゲート幅が、前記第3のN型トランジスタのゲート幅の X 倍であるとき、

前記第1のP型トランジスタと前記第2のP型トランジスタの各々のゲート幅は、前記第1のN型トランジスタのゲート幅の $(X/2)$ 倍である、請求項1に記載のレベルシフト回路。

[請求項3]

第1の電源線への供給電圧である第1の電源電圧で動作する第1の内部回路と、

第2の電源線への供給電圧であって、前記第1の電源電圧とは異なる第2の電源電圧で動作する第2の内部回路と、

前記第1の内部回路と前記第2の内部回路との間で信号のレベルをシフトするレベルシフト回路とを備え、

前記レベルシフト回路は、

前記第1の電源電圧で動作し、前記第1の内部回路から入力された信号を反転させた第1の信号を第1のノードに出力する第1のインバータと、

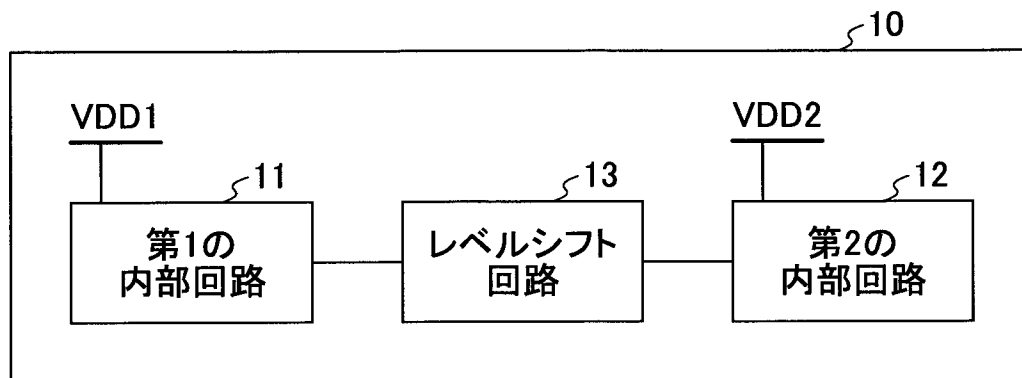
前記第1のノードから入力された前記第1の信号を反転させた第2の信号を第2のノードに出力する第2のインバータと、

前記第2の電源電圧で動作し、前記第2のノードから入力された前記第2の信号を反転させた信号を前記第2の内部回路に出力する第3のインバータとを備え、

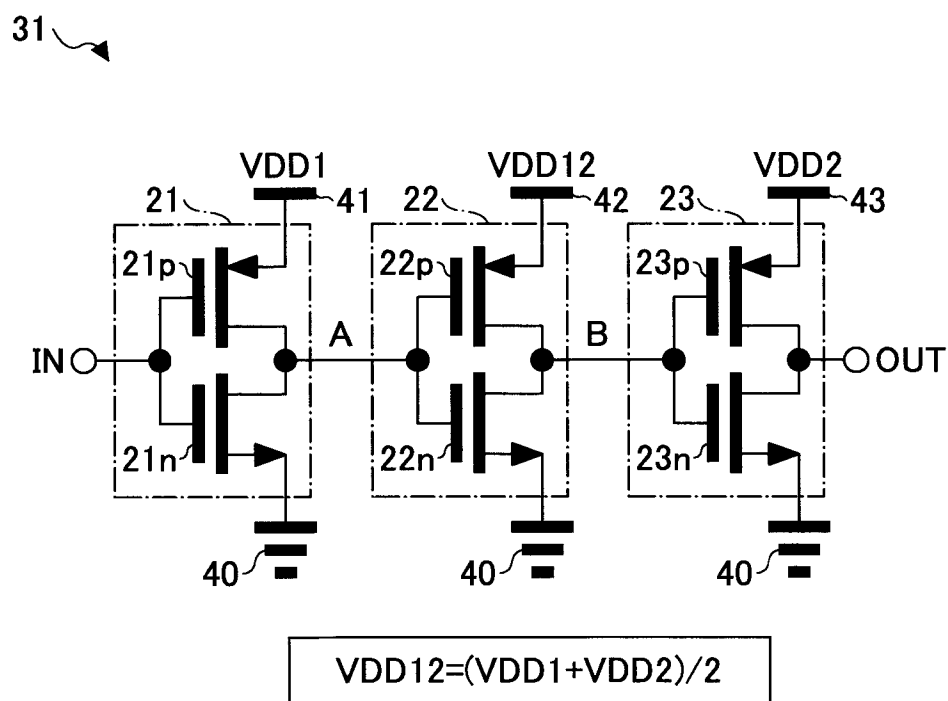
前記第2のインバータは、前記第1の電源線にソースが接続された第1のP型トランジスタと、前記第2の電源線にソースが接続された第2のP型トランジスタと、グランド線にソースが接続された第1のN型トランジスタとを有し、

前記第1のP型トランジスタと前記第2のP型トランジスタと前記第1のN型トランジスタの各々のゲートが前記第1のノードに接続され、前記第1のP型トランジスタと前記第2のP型トランジスタと前記第1のN型トランジスタの各々のドレインが前記第2のノードに接続された、集積回路。

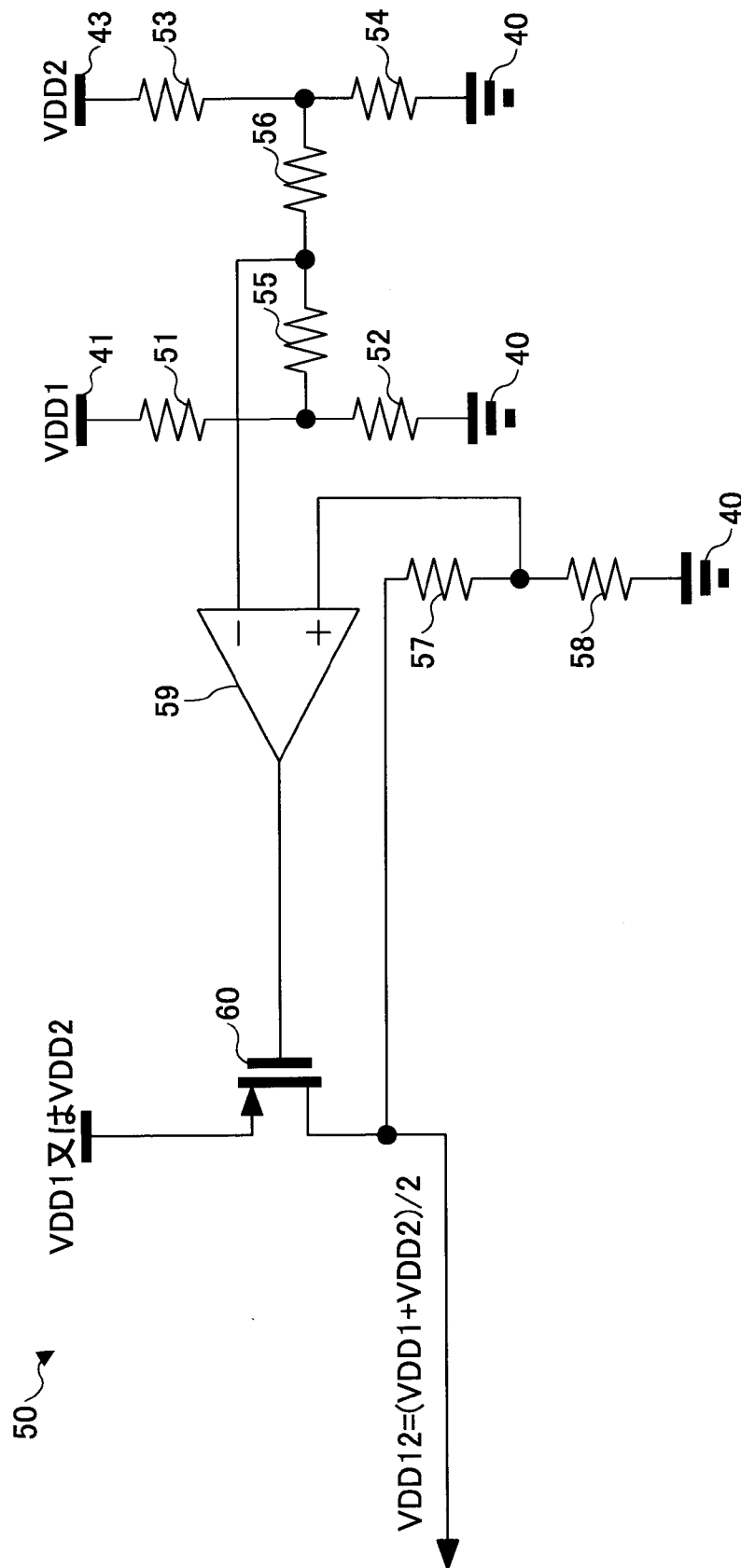
[図1]



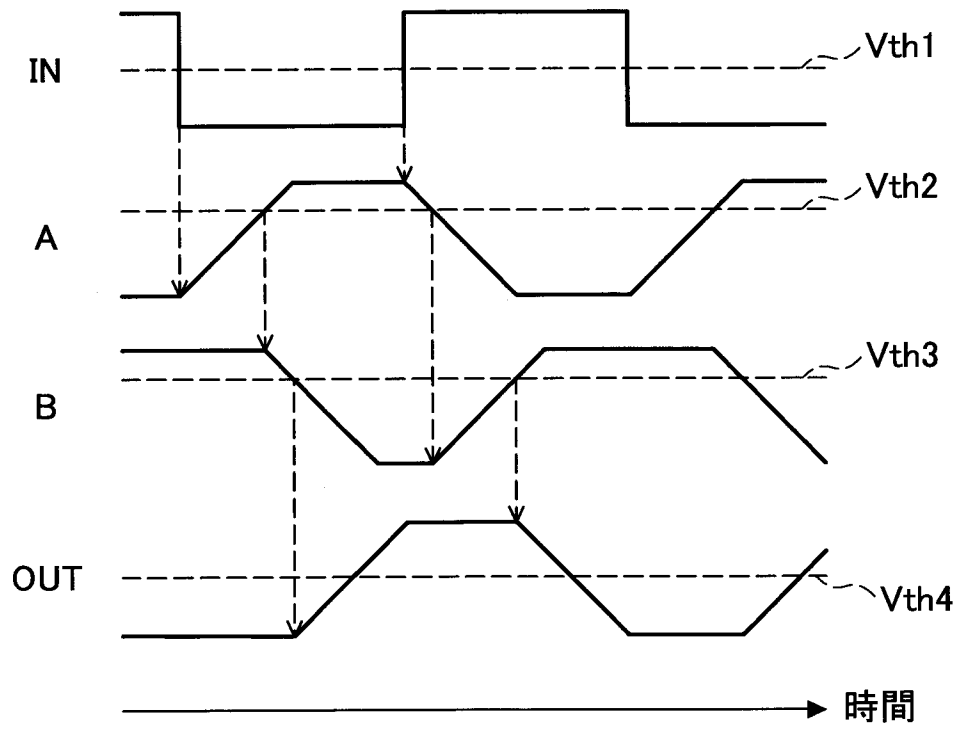
[図2]



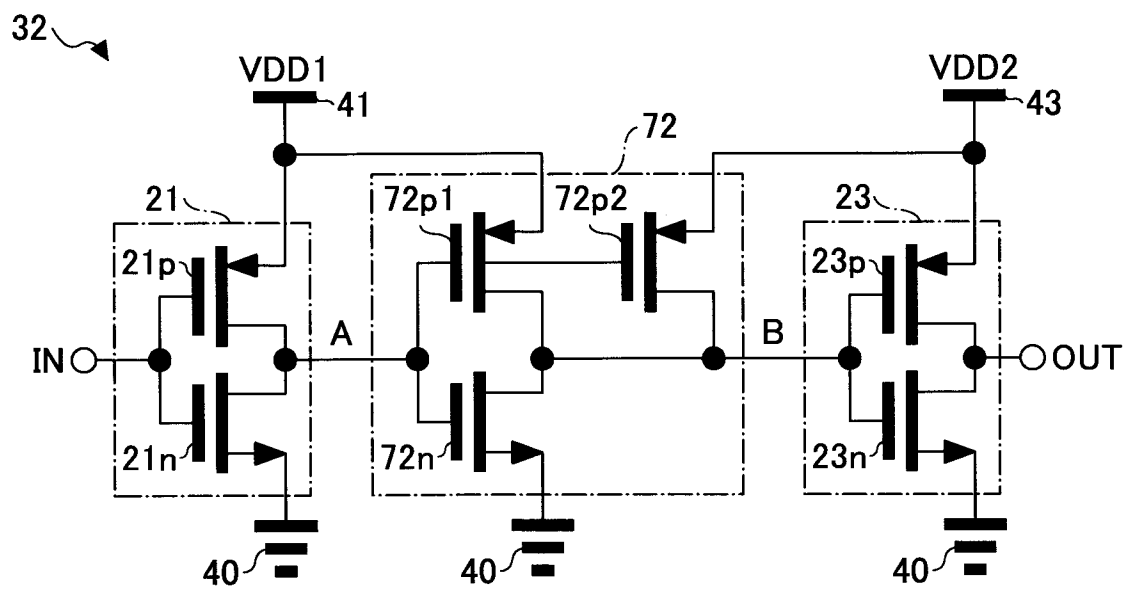
[図3]



[図4]



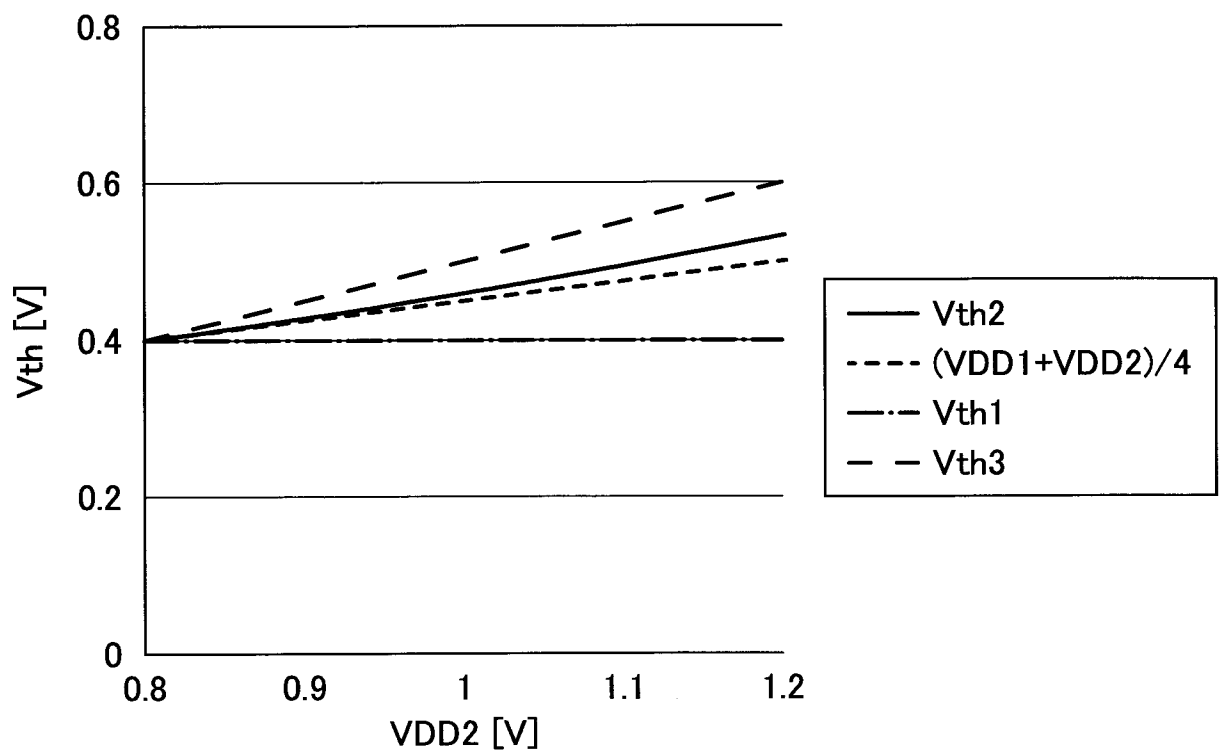
[図5]



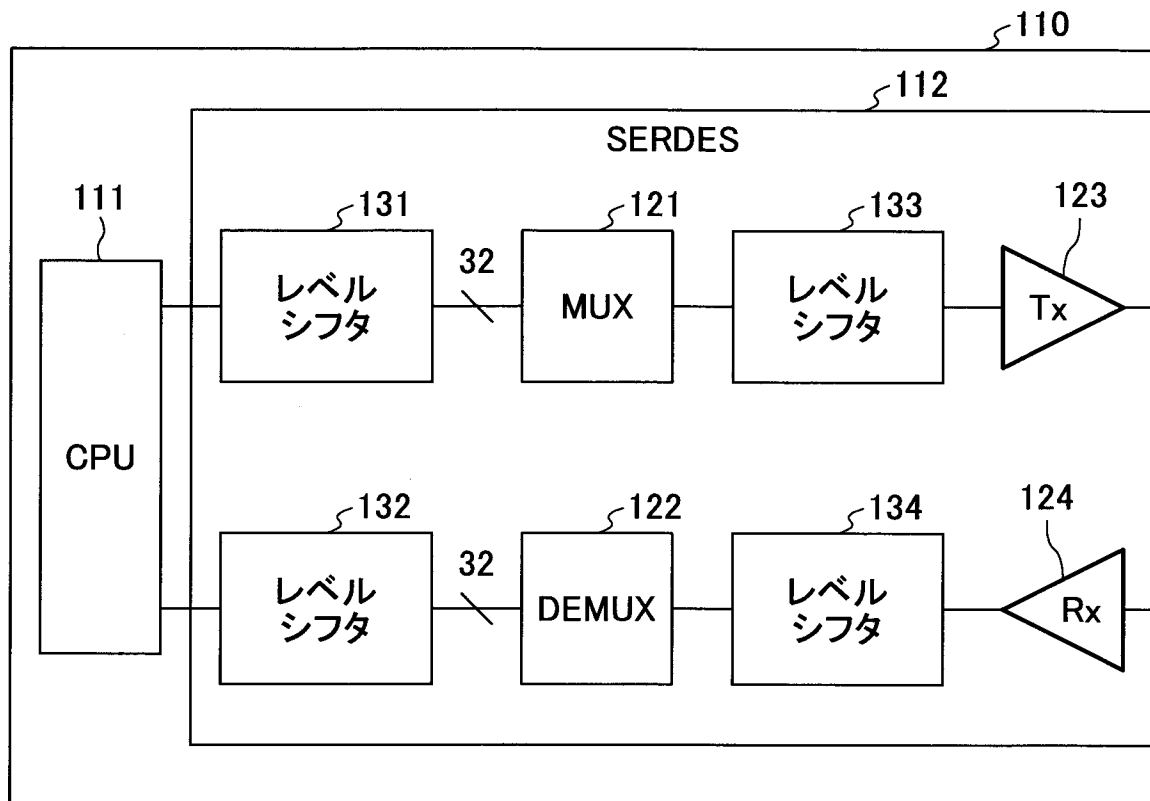
[図6]

VDD1 [V]	VDD2 [V]	V _t [V]	V _{th2} [V]	(VDD1+VDD2)/4 [V]
0.8	1.0	0.2	0.46	0.45
1.0	0.8	0.2	0.46	0.45
1.0	1.5	0.3	0.67	0.625

[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/018990

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/0175(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/00-19/096

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-231254 A (NEC Corp.), 29 August 1995 (29.08.1995), entire text; all drawings & US 5541546 A entire text; all drawings	1-3
A	JP 3-232318 A (Mitsubishi Electric Corp.), 16 October 1991 (16.10.1991), entire text; all drawings (Family: none)	1-3
A	JP 2011-151719 A (Renesas Electronics Corp.), 04 August 2011 (04.08.2011), entire text; all drawings & US 2011/0181339 A1 entire text; all drawings	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 August 2017 (01.08.17)

Date of mailing of the international search report
15 August 2017 (15.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/018990

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-236668 A (Elpida Memory, Inc.), 02 September 2005 (02.09.2005), entire text; all drawings & US 2005/0184759 A1 entire text; all drawings	1-3

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K19/0175(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K19/00-19/096

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 7-231254 A（日本電気株式会社）1995.08.29, 全文, 全図 & US 5541546 A, 全文, 全図	1-3
A	JP 3-232318 A（三菱電機株式会社）1991.10.16, 全文, 全図（ファミリーなし）	1-3
A	JP 2011-151719 A（ルネサスエレクトロニクス株式会社）2011.08.04, 全文, 全図 & US 2011/0181339 A1, 全文, 全図	1-3

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.08.2017

国際調査報告の発送日

15.08.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

及川 尚人

5W

5888

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-236668 A (エルピーダメモリ株式会社) 2005.09.02, 全文, 全図 & US 2005/0184759 A1, 全文, 全図	1-3