

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7315768号
(P7315768)

(45)発行日 令和5年7月26日(2023.7.26)

(24)登録日 令和5年7月18日(2023.7.18)

(51)国際特許分類

G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 3 8
H 1 0 K	59/12 (2023.01)	G 0 9 F	9/30	3 6 5
H 0 1 L	29/786 (2006.01)	H 1 0 K	59/12	
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 1 8 B
		H 0 1 L	29/78	6 1 2 Z

請求項の数 2 (全57頁) 最終頁に続く

(21)出願番号 特願2022-152549(P2022-152549)
 (22)出願日 令和4年9月26日(2022.9.26)
 (62)分割の表示 特願2021-147575(P2021-147575)
)の分割
 原出願日 平成22年11月9日(2010.11.9)
 (65)公開番号 特開2022-188133(P2022-188133)
 A)
 (43)公開日 令和4年12月20日(2022.12.20)
 審査請求日 令和4年9月27日(2022.9.27)
 (31)優先権主張番号 特願2009-259818(P2009-259818)
 (32)優先日 平成21年11月13日(2009.11.13)
 (33)優先権主張国・地域又は機関
 日本国(JP)
 (31)優先権主張番号 特願2009-278995(P2009-278995)
 (32)優先日 平成21年12月8日(2009.12.8)
 最終頁に続く

(73)特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72)発明者 高橋 圭
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 (72)発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 審査官 小野 博之

最終頁に続く

(54)【発明の名称】 表示装置

(57)【特許請求の範囲】

【請求項1】

画素部と、駆動回路と、を有し、

前記画素部は、発光素子と、第1のトランジスタと、第2のトランジスタと、容量素子と、を画素に有し、

前記駆動回路は、複数の第3のトランジスタを有し、

前記第1のトランジスタのソースまたはドレインは、前記発光素子に電気的に接続され、

前記第2のトランジスタのソースまたはドレインは、前記第1のトランジスタのゲートと電気的に接続され、

前記容量素子は、前記第1のトランジスタのゲートと電気的に接続される表示装置であつて、

前記第1のトランジスタは、多結晶のシリコン層にチャネル形成領域を有し、

前記第2のトランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記酸化物半導体層は、インジウム、ガリウム、及び亜鉛を有し、

前記複数の第3のトランジスタ上には、導電層が配置され、

前記導電層は、前記発光素子の共通電極と電気的に接続される表示装置。

【請求項2】

画素部と、駆動回路と、を有し、

前記画素部は、発光素子と、画像信号に従って前記発光素子への電流の供給を制御する機能を有する第1のトランジスタと、前記第1のトランジスタのゲートの電位を保持する

機能を有する第2のトランジスタと、前記第1のトランジスタのゲートの電位を保持する機能を有する容量素子と、を画素に有し、

前記駆動回路は、複数の第3のトランジスタを有する表示装置であって、
前記第1のトランジスタは、多結晶のシリコン層にチャネル形成領域を有し、
前記第2のトランジスタは、酸化物半導体層にチャネル形成領域を有し、
前記酸化物半導体層は、インジウム、ガリウム、及び亜鉛を有し、
前記複数の第3のトランジスタ上には、導電層が配置され、
前記導電層は、前記発光素子の共通電極と電気的に接続される表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、表示装置に関する。または、当該表示装置を具備する電子機器に関する。

【背景技術】

【0002】

近年、液晶表示装置や、エレクトロルミネッセンス素子を用いたエレクトロルミネッセンス表示装置（以下、「EL表示装置」という。）に代表されるフラットパネルディスプレイが画像表示装置の主流として量産化されている。

【0003】

アクティブマトリクス型の液晶表示装置やEL表示装置の場合、画素部の各画素にトランジスタが設けられている。そして、これらのトランジスタには、シリコン（Si）からなる半導体層が活性層として用いられている。

20

【0004】

これに対し、酸化物を活性層に用いたトランジスタを利用した画像表示装置が提案されている（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2006-165528号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

トランジスタの電気特性を判断する指標の一つとして、オフ電流がある。オフ電流とは、トランジスタがオフ状態（非導通状態ともいう。）のときに、ソースとドレインとの間に流れる電流をいう。nチャネル型のトランジスタにおいては、ゲートとソースとの間に印加される電圧が閾値電圧（V_{th}）以下の場合に、ソースとドレインとの間を流れる電流のことをいう。

【0007】

非晶質酸化物半導体薄膜をトランジスタのチャネル層として用いることにより、オフ電流を $10 \mu A$ （ $= 1 \times 10^{-5} A$ ）未満、好ましくは $0.1 \mu A$ （ $= 1 \times 10^{-7} A$ ）未満にすると特許文献1に開示されている。また、特許文献1には、非晶質酸化物半導体薄膜を用いることにより、オン・オフ比を 10^3 超とすると記載されている。しかしながら、この程度の電気的特性を示すトランジスタでは、オフ電流が十分に低いとはいえない。すなわち、画像表示装置の更なる低消費電力化が求められている世の中のニーズに応えるためには、オフ電流を更に低くすることが求められている。

40

【0008】

本発明の一態様は、酸化物半導体を用いたトランジスタを有する画素が複数設けられた画素部を含む表示装置において、消費電力が抑制された表示装置を提供することを課題の一とする。

【課題を解決するための手段】

【0009】

50

本発明の一態様は、表示装置の表示部における各画素において、酸化物半導体を用いたトランジスタを少なくとも有することを特徴とする。この酸化物半導体を用いたトランジスタは、安定した電気特性を有しており、例えばオフ電流が極めて低い。オフ電流が極めて低いトランジスタを実現するため、本発明の一態様は、真性または実質的に真性といえる程度にキャリアの供与体となる不純物濃度が極めて低減された酸化物半導体（高純度の酸化物半導体）を用いている。代表的には、本発明の一態様は、膜中に含まれる水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下である酸化物半導体を用いたトランジスタである。

【0010】

本発明の一態様は、第1のトランジスタ、第2のトランジスタ、及び一対の電極を有する発光素子を含む画素が複数設けられた画素部を有する。そして、前記第1のトランジスタは、ゲートが走査線に電気的に接続され、ソースまたはドレインの一方が信号線に電気的に接続され、ソースまたはドレインの他方が前記第2のトランジスタのゲートに電気的に接続され、前記第2のトランジスタは、ソースまたはドレインの一方が電源線に電気的に接続され、ソースまたはドレインの他方が前記一対の電極の一方電気的に接続され、前記第1のトランジスタは、水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下である酸化物半導体層を有することを特徴とする表示装置である。

10

【0011】

また、本発明の一態様は、前記表示装置が静止画像を表示する期間の間に、前記画素部に含まれる全ての走査線に供給される信号の出力が停止される期間を有する表示装置である。

20

【0012】

また、本発明の一態様は、第1のトランジスタ、第2のトランジスタ、及び一対の電極を有する発光素子を含む画素が複数設けられた画素部と、前記画素部を駆動する駆動回路部と、前記駆動回路部を駆動する制御信号、及び前記画素に供給する画像信号を生成する信号生成回路と、前記画像信号をフレーム期間毎に記憶する記憶回路と、前記記憶回路で前記フレーム期間毎に記憶された画像信号のうち、連続するフレーム期間の画像信号の差分を検出する比較回路と、前記比較回路で差分を検出した際に前記連続するフレーム期間の画像信号を選択して出力する選択回路と、前記比較回路で差分を検出した際に前記制御信号及び前記選択回路より出力される画像信号の前記駆動回路部への供給を行い、前記比較回路で差分を検出しない際に前記制御信号の前記駆動回路部への供給を停止する表示制御回路とを有する。そして、前記第1のトランジスタは、ゲートが走査線に電気的に接続され、ソースまたはドレインの一方が信号線に電気的に接続され、ソースまたはドレインの他方が前記第2のトランジスタのゲートに電気的に接続され、前記第2のトランジスタは、ソースまたはドレインの一方が電源線に電気的に接続され、ソースまたはドレインの他方が前記一対の電極の一方電気的に接続され、前記第1のトランジスタは、水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下である酸化物半導体層を有することを特徴とする表示装置である。

30

【0013】

また、本発明の一態様は、前記制御信号が、高電源電位、低電源電位、クロック信号、スタートパルス信号、またはリセット信号である表示装置である。

40

【0014】

また、本発明の一態様は、前記画素に蓄光層をさらに有する表示装置である。

【0015】

また、本発明の一態様は、前記酸化物半導体層のキャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である表示装置である。

【0016】

また、本発明の一態様は、前記酸化物半導体層のバンドギャップが2eV以上である表示装置である。

【0017】

また、本発明の一態様は、前記第2のトランジスタは、水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下である表示装置である。

50

³ 以下である酸化物半導体層を有する表示装置である。

【0018】

また、本発明の一態様は、前記第2のトランジスタは、多結晶シリコン層を有する表示装置である。

【0019】

また、本発明の一態様は、前記表示装置を具備する電子機器である。

【0020】

なお、トランジスタは、その構造上、ソースとドレインの区別が困難である。さらに、回路の動作によっては、電位の高低が入れ替わる場合もある。したがって、本明細書中では、ソースとドレインは特に特定せず、第1の電極（または第1端子）、第2の電極（または第2端子）と記述する。例えば、第1の電極がソースである場合には、第2の電極とはドレインを指し、逆に第1の電極がドレインである場合には、第2の電極とはソースを指すものとする。

10

【0021】

なお、本明細書において、「開口率」とは、単位面積に対し、光が透過する領域の面積の比率について表したものであり、光を透過しない部材が占める領域が広くなると、開口率が低下し、光を透過する部材が占める領域が広くなると開口率が向上することとなる。表示装置では、画素電極に重畠する配線、容量線の占める面積、及びトランジスタのサイズを小さくすることで開口率が向上することとなる。

20

【0022】

特に、発光素子を各画素に含む自発光型の表示装置においては、観察者が表示装置の表示に対峙した位置から観察しうる発光素子の発光面積が、画素面積に占める割合を開口率という。

【0023】

また、本明細書において、「AとBとが接続されている」と記載する場合は、AとBとが電気的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。

30

【0024】

また、本明細書にて用いる第1、第2、第3、乃至第N（Nは自然数）という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。例えば、「第1のトランジスタ」と本明細書で記載していても、他の構成要素と混同を生じない範囲において「第2のトランジスタ」と読み替えることが可能である。

【発明の効果】

【0025】

本発明の一態様によれば、高純度の酸化物半導体を用いたトランジスタを表示装置の画素部に用いることで、オフ電流を $1 \times 10^{-13} A$ 以下に低減することができる。このため、データの保持期間を長く取ることが可能となり、静止画等を表示する際の消費電力を抑制することができる。

40

【0026】

また、静止画像と動画像を判定し、静止画像を表示する期間において駆動回路部の動作を停止させることにより、表示装置の消費電力を更に抑制することができる。

【図面の簡単な説明】

【0027】

【図1】表示装置の構成の一例を示す図。

【図2】画素の構成の一例を示す等価回路図。

【図3】トランジスタの一例を示す断面図。

【図4】画素に対する書き込み期間と保持期間の関係を示す図。

50

【図 5】画素の構成の一例を示す断面図。

【図 6】発光表示パネルの一例を示す平面図及び断面図。

【図 7】表示装置のブロック図の一例を示す図。

【図 8】駆動回路の一例を示す図。

【図 9】駆動回路のタイミングチャートを示す図。

【図 10】駆動回路の一例を示す図。

【図 11】駆動回路に供給される信号の供給及び停止の手順の一例を示す図。

【図 12】発光表示パネルの一例を示す平面図及び断面図。

【図 13】トランジスタの一例を示す平面図及び断面図。

10

【図 14】トランジスタの作製方法の一例を示す断面図。

【図 15】トランジスタの作製方法の一例を示す断面図。

【図 16】トランジスタの作製方法の一例を示す断面図。

【図 17】トランジスタの作製方法の一例を示す断面図。

【図 18】画素の構成の一例を示す断面図。

【図 19】電子機器を示す図。

【図 20】電子機器を示す図。

【図 21】酸化物半導体を用いたMOSトランジスタのソース - ドレイン間のバンド構造を示す図。

【図 22】図19においてドレイン側に正の電圧が印加された状態を示す図。

【図 23】酸化物半導体を用いたMOSトランジスタのMOS構造のエネルギー-バンド図であり、(A)ゲート電圧を正とした場合、(B)ゲート電圧を負とした場合を示す図。

20

【図 24】シリコンMOSトランジスタのソース - ドレイン間のバンド構造を示す図。

【図 25】作製したトランジスタの初期特性を示す図。

【図 26】作製したトランジスタを示す上面図。

【図 27】作製したトランジスタの電気特性を示す図。

【図 28】駆動回路に供給される信号の供給及び停止の手順の一例を示す図。

【発明を実施するための形態】

【0028】

本発明の一態様に係る実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。従って、実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の一態様において、同じ物を指し示す符号は異なる図面において共通とする。

30

【0029】

なお、以下に説明する実施の形態及び実施例それぞれにおいて、特に断りがない限り、本明細書に記載されている他の実施形態及び実施例と適宜組み合わせて実施することが可能である。

【0030】

(実施の形態1)

本実施の形態では、本発明の一態様である表示装置の一例について説明する。特に、表示装置の画素部に設けられる画素の構成の一例について図1乃至図6を用いながら説明する。

40

【0031】

図1は、本発明の一態様である表示装置の構成の一例を示す図である。図1に示すように、表示装置には、複数の画素201がマトリクス状に配置された画素部202が基板200上に設けられている。そして、表示装置は、複数の画素201を駆動する回路として、走査線駆動回路203及び信号線駆動回路204を有する。画素201は、走査線駆動回路203に電気的に接続された第1の配線121(走査線)によって供給される走査信号により、各行ごとに選択状態か、非選択状態かが決定される。また、走査信号によって選択されている画素201は、信号線駆動回路204に電気的に接続された第2の配線1

50

22(信号線)によって、第2の配線122からビデオ電圧(映像信号、画像信号、ビデオ信号、ビデオデータともいう)が供給される。また、画素201には一对の電極を有する発光素子が設けられており、この発光素子の一方の電極には電位を供給するための電源線123が電気的に接続されている。

【0032】

なお、図1においては、走査線駆動回路203、及び信号線駆動回路204が基板200上に設けられる構成について示しているが、本発明はこの構成に限定されない。すなわち、走査線駆動回路203または信号線駆動回路204のいずれか一方が基板200上に設けられる構成であってもよい。また、画素部202のみが基板200上に設けられる構成であってもよい。

10

【0033】

また、図1においては、複数の画素201がマトリクス状に配置(ストライプ配置)されている例を示しているが、本発明はこの構成に限定されない。すなわち、画素201の配置構成として、ストライプ配置だけでなく、デルタ配置、ペイヤー配置等を採用することができる。

【0034】

また、画素部202における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB(Rは赤、Gは緑、Bは青を表す)の三色に限定されない。例えば、RG BW(Wは白を表す)、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。ただし、本発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

20

【0035】

また、図1において、第1の配線121及び第2の配線122の本数が、それぞれ画素の行方向及び列方向の数に1対1で対応したものを示しているが、本発明はこの構成に限定されない。例えば、隣り合う画素間で、第1の配線121または第2の配線122を共有して画素201を駆動する構成としてもよい。

【0036】

図2は、図1における画素201の構成の一例を示す等価回路図である。なお、本発明は図2に示す画素構成に限定されるものではない。

30

【0037】

画素6400には、第1のトランジスタ(以下、スイッチング用トランジスタと呼ぶことがある)6401と、第2のトランジスタ(以下、駆動用トランジスタと呼ぶことがある)6402と、発光素子6404が設けられている。

【0038】

第1のトランジスタ6401は、ゲートが走査線6406に電気的に接続され、第1の電極(ソース電極及びドレイン電極の一方)が信号線6405に電気的に接続され、第2電極(ソース電極及びドレイン電極の他方)が第2のトランジスタ6402のゲートに電気的に接続されている。また、第2のトランジスタ6402は、第1の電極(ソース電極及びドレイン電極の一方)が電源線6407に電気的に接続され、第2の電極(ソース電極及びドレイン電極の他方)が発光素子6404の第1の電極(画素電極)に電気的に接続されている。なお、発光素子6404の第2の電極は共通電極6408に相当する。また、図2においては第2のトランジスタ6402のゲートと電源線6407との間に容量素子6410を設ける構成としているが、本発明はこの構成に限定されない。例えば、第2のトランジスタ6402のゲートと第2のトランジスタ6402の第2の電極との間に容量素子を設ける構成としてもよい。

40

【0039】

共通電極6408は、共通電位線と電気的に接続され、低電源電位が与えられるように設定されている。また、電源線6407には高電源電位が与えられるように設定されてい

50

る。なお、低電源電位とは、電源線 6407 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位である。低電源電位の具体例としては、GND、0V が挙げられる。なお、高電源電位と低電源電位の電位は、高電源電位と低電源電位との電位差が少なくとも発光素子 6404 の順方向しきい値電圧以上となるようにそれぞれ設定する必要がある。

【0040】

ここで、本実施の形態においては、酸化物半導体層を有するトランジスタを第1のトランジスタ 6401 として用いている。このとき、第1のトランジスタ 6401 は n チャネル型のトランジスタである。また、第2のトランジスタ 6402 は、n チャネル型のトランジスタ及び p チャネル型のトランジスタのどちらを用いても構わない。また、第2のトランジスタ 6402 は、活性層として酸化物半導体層を用いた構成としてもよいし、シリコン層を用いた構成としてもよい。活性層としてシリコン層を用いる場合は、非晶質のシリコン層でもよいが、多結晶のシリコン層を用いるのが好ましい。本実施の形態においては、第2のトランジスタ 6402 が n チャネル型のトランジスタであり、酸化物半導体層を活性層として用いる場合について説明する。

【0041】

次に、画素 6400 における第1のトランジスタ 6401 の断面図の一例を図3に示す。図3に示すトランジスタ 106 は、第1のトランジスタ 6401 に対応するものであり、ボトムゲート型の構造である。また、チャネル領域となる酸化物半導体層 103 に対して下側にゲート電極として機能する第1の配線 101 を有し、酸化物半導体層 103 を間に挟んで第1の配線 101 と反対側に、第1の電極（ソース電極及びドレイン電極の一方）102A、及び第2の電極（ソース電極及びドレイン電極の他方）102B を有するため、逆スタガ型のトランジスタとも呼ばれる。

【0042】

基板 111 上には、下地膜 112 を介して第1の配線 101 が設けられている。第1の配線 101 は、トランジスタ 106 のゲートとして機能する。そして、第1の配線 101 は、走査線駆動回路と電気的に接続される走査線そのものであってもよいし、走査線と電気的に接続されている配線であってもよい。

【0043】

また、第1の配線 101 を覆うようにゲート絶縁膜 113 が設けられている。そして、ゲート絶縁膜 113 上には酸化物半導体層 103 が設けられている。そして、酸化物半導体層 103 上には、第1の電極 102A、及び第2の電極 102B が設けられている。第1の電極 102A、及び第2の電極 102B は、酸化物半導体層 103 に電気的に接続されており、一方がソース電極として機能し、他方がドレイン電極として機能する。なお、第1の電極 102A は、信号線駆動回路と電気的に接続される信号線そのものであってもよいし、信号線と電気的に接続されている配線であってもよい。

【0044】

また、酸化物半導体層 103、第1の電極 102A、及び第2の電極 102B の上には、パッシベーション膜として機能する酸化物絶縁層 114 が設けられている。酸化物絶縁層 114 には開口部が形成されており、この開口部において第4の配線 105 と第2の電極 102B とが電気的に接続されている。なお、この第4の配線 105 は、第2のトランジスタのゲートに電気的に接続されている。

【0045】

次に、酸化物半導体層 103 について説明する。

【0046】

本実施の形態で用いる酸化物半導体層 103 は、酸化物半導体を用いたトランジスタの電気特性に悪影響を与える不純物が極めて少ないレベルにまで低減されたものであって、高純度化されたものである。電気特性に悪影響を与える不純物の代表例としては、水素が挙げられる。水素は、酸化物半導体中で電子の供与体（ドナー）となり得る不純物であり、酸化物半導体中に水素が多量に含まれていると、酸化物半導体が N 型化されてしまう。

10

20

30

40

50

10
このように水素が多量に含まれた酸化物半導体を用いたトランジスタは、ノーマリーオンとなってしまう。そして、トランジスタのオン・オフ比を十分にとることができない。したがって、本明細書における「高純度の酸化物半導体」は、酸化物半導体における水素が極力低減されているものであって、真性又は実質的に真性な半導体を指す。高純度の酸化物半導体の一例としては、含有する水素濃度が少なくとも $5 \times 10^{19} / \text{cm}^3$ 以下であって、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、または $1 \times 10^{16} / \text{cm}^3$ 未満である酸化物半導体である。そして、キャリア濃度が、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、または $6.0 \times 10^{10} / \text{cm}^3$ 未満である酸化物半導体膜をチャネル形成領域に用いてトランジスタを構成する。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で行えばよい。

【0047】

また、酸化物半導体層 103 のエネルギーギャップは、2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。

【0048】

このように、酸化物半導体層に含まれる水素を徹底的に除去することにより得られる高純度の酸化物半導体層をトランジスタのチャネル形成領域に用いることで、オフ電流値が極めて小さいトランジスタを提供できる。

【0049】

20
例えば、高純度の酸化物半導体層を用いたトランジスタのチャネル長が 3 μm、チャネル幅が 10 mm の場合であっても、ドレイン電圧が 1 V 及び 10 V の場合において、ゲート電圧が -5 V から -20 V の範囲（オフ状態）において、ドレイン電流は $1 \times 10^{-13} \text{ A}$ 以下となるように作用する。

【0050】

ここで、高純度の酸化物半導体層を用いたトランジスタの特性について、図 21 乃至図 27 を用いて説明する。なお、以下の説明では、理解の容易のため理想的な状況を仮定しており、そのすべてが現実の様子を反映しているとは限らない。また、以下の説明はあくまでも一考察に過ぎず、発明の有効性に影響を与えるものではないことを付記する。

【0051】

30
図 21 は、高純度の酸化物半導体層を用いたトランジスタのソース - ドレイン間のバンド構造を示す図である。高純度化が図られた酸化物半導体のフェルミ準位は、理想的な状態では禁制帯の中央に位置している。水素濃度を減少させた酸化物半導体では少数キャリア（この場合は正孔）がゼロまたは限りなくゼロに近い状態になっている。

【0052】

この場合、仕事関数を m 、酸化物半導体の電子親和力を χ 、酸化物半導体の熱平衡状態でのキャリア密度（電子密度）を N_d 、酸化物半導体の伝導帯での実効状態密度を N_c とすると、金属 - 酸化物半導体の接合面でバンド構造がフラットになるための条件は、 $m = -V_t \ln (N_d / N_c)$ のようになる。

【0053】

40
ここで、 $V_t = k_b T / q$ であり、 k_b : ボルツマン定数、 T : 温度、 q : 素電荷である。この等式 $m = -V_t \ln (N_d / N_c)$ を境目として、右辺が大きい場合はオーム接觸となる。ここで、 $m = \chi$ であれば、接合面において電極メタルのフェルミレベルと酸化物半導体の伝導帯のレベルが一致する。酸化物半導体は、バンドギャップ 3.05 eV、電子親和力 4.3 eV、真性状態（キャリア密度約 $1 \times 10^{-7} / \text{cm}^3$ ）であると仮定し、ソース電極及びドレイン電極として仕事関数 4.3 eV のチタン (Ti) を用いたときには、図 21 で示すように電子に対して障壁は形成されない

【0054】

図 22 は酸化物半導体を用いたトランジスタにおいて、ドレイン側に正の電圧が印加された状態を示す図である。酸化物半導体はバンドギャップが大きいため、高純度化され真

性または実質的に真性な酸化物半導体の真性キャリア密度はゼロまたは限りなくゼロに近い状態であるが、ゲートに正の電圧を印加し、かつ、ソース - ドレイン間に電圧が印加されれば、ソース側からキャリア（電子）が注入され、ドレイン側に流れ得ることが理解される。

【0055】

図23(A)はゲート電圧を正にしたときのMOS構造のエネルギー-band図であり、酸化物半導体を用いたトランジスタにおけるものを示している。なお、図中において、GEはゲート電極を表し、GIはゲート絶縁膜を表し、OSは酸化物半導体を表す。この場合、高純度化された酸化物半導体には熱励起キャリアがほとんど存在しないことから、ゲート絶縁膜近傍にもキャリアは蓄積されない。しかし、図22で示すように、ソース側から注入されたキャリアが伝搬することはできる。10

【0056】

図23(B)は、ゲート電圧を負にしたときのMOS構造のエネルギー-band図であり、酸化物半導体を用いたトランジスタにおけるものを示している。酸化物半導体中の少数キャリア（正孔）は実質的にゼロであるため、ソース - ドレイン間の電流は限りなくゼロに近い値となる。

【0057】

なお、図24にシリコン半導体を用いた場合のトランジスタのバンド図を示す。シリコン半導体の真性キャリア密度は $1.45 \times 10^{10} / \text{cm}^3$ (300K)であり、室温においてもキャリアが存在している。これは、室温においても、熱励起キャリアが存在していることを意味している。実用的にはリンまたはボロンなどの不純物が添加されたシリコンウエハーが使用されるので、実際には $1 \times 10^{14} / \text{cm}^3$ 以上のキャリアがシリコン半導体に存在し、これがソース - ドレイン間の伝導に寄与する。さらに、シリコン半導体のバンドギャップは1.12eVであるので、シリコン半導体を用いたトランジスタは温度に依存してオフ電流が大きく変動することとなる。20

【0058】

このように、単に、バンドギャップの広い酸化物半導体をトランジスタに適用するのではなく、ドナーを形成する水素等の不純物を極力低減し、キャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、または $6.0 \times 10^{10} / \text{cm}^3$ 未満となるようにすることで、実用的な動作温度で熱的に励起されるキャリアを排除して、ソース側から注入されるキャリアのみによってトランジスタを動作させることができる。それにより、オフ電流を $1 \times 10^{-13} \text{A}$ 以下にまで下げると共に、温度変化によってオフ電流がほとんど変化しない極めて安定に動作するトランジスタを得ることができる。30

【0059】

次に、評価用素子（TEGとも呼ぶ）でのオフ電流の測定値について以下に説明する。

【0060】

$L/W = 3 \mu\text{m} / 50 \mu\text{m}$ のトランジスタを200個並列に接続し、 $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ のトランジスタの初期特性を図25に示す。ここでは、 V_g を-20V~+5Vまでの範囲で示している。また、上面図を図26(A)に示し、その一部を拡大した上面図を図26(B)に示す。図26(B)の点線で囲んだ領域が $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ 、 $L_{ov} = 1.5 \mu\text{m}$ の1段分のトランジスタである。トランジスタの初期特性を測定するため、基板温度を室温とし、ソース - ドレイン間電圧（以下、ドレイン電圧または V_d という）を10Vとし、ソース - ゲート間電圧（以下、ゲート電圧または V_g という）を-20V~+20Vまで変化させたときのソース - ドレイン電流（以下、ドレイン電流または I_d という）の変化特性、すなわち $V_g - I_d$ 特性を測定した。40

【0061】

図25に示すようにチャネル幅 W が $10000 \mu\text{m}$ のトランジスタは、 V_d が1V及び10Vにおいてオフ電流は $1 \times 10^{-13} [\text{A}]$ 以下となっており、測定機（半導体パラメータ・アナライザ、Agilent 4156C；Agilent社製）の分解能(1

10

20

30

40

50

0.0 fA) 以下となっている。

【0062】

次に、測定したトランジスタの作製方法について説明する。

【0063】

まず、ガラス基板上に下地層として、CVD法により窒化珪素層を形成し、窒化珪素層上に酸化窒化珪素層を形成した。酸化窒化珪素層上にゲート電極としてスパッタ法によりタンゲステン層を形成した。ここで、タンゲステン層を選択的にエッチングしてゲート電極を形成した。

【0064】

次に、ゲート電極上にゲート絶縁層としてCVD法により厚さ100nmの酸化窒化珪素層を形成した。

10

【0065】

次に、ゲート絶縁層上に、スパッタ法によりIn-Ga-Zn-O系の金属酸化物ターゲット(モル数比で、In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 2)を用いて、厚さ50nmの酸化物半導体層を形成した。そして、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0066】

次に、酸化物半導体層をクリーンオーブンにて窒素雰囲気下、450、1時間の第1の熱処理を行った。

【0067】

次に、酸化物半導体層上にソース電極及びドレイン電極としてチタン層(厚さ150nm)をスパッタ法により形成した。ここで、ソース電極及びドレイン電極を選択的にエッチングし、1つのトランジスタのチャネル長Lが3μm、チャネル幅Wが50μmとし、200個を並列とすることで、L/W = 3μm / 10000μmとなるようにした。

20

【0068】

次に、酸化物半導体層に接するように保護絶縁層としてリアクティブスパッタ法により酸化珪素層を膜厚300nmで形成した。ここで、保護絶縁層である酸化珪素層を選択的にエッチングし、ゲート電極、ソース電極及びドレイン電極上に開口部を形成した。その後、窒素雰囲気下、250で1時間、第2の熱処理を行った。

【0069】

30

そして、Vg - Id特性を測定する前に150、10時間の加熱を行った。

【0070】

以上の工程により、ボトムゲート型のトランジスタを作製した。

【0071】

図25に示すようにトランジスタのオフ電流が、 1×10^{-13} [A]程度であるのは、上記作製工程において酸化物半導体層中における水素濃度を十分に低減できたためである。酸化物半導体層中の水素濃度は、 5×10^{19} atoms/cm³以下、好ましくは 5×10^{18} atoms/cm³以下、さらに好ましくは 5×10^{17} /cm³以下、または 1×10^{16} atoms/cm³未満とする。なお、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で行う。

40

【0072】

また、In-Ga-Zn-O系の酸化物半導体を用いる例を示したが、特に限定されず、他の酸化物半導体材料、例えば、In-Sn-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、In-Sn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系などを用いることができる。また、酸化物半導体材料として、Al₂O₃を2.5~10wt%混入したIn-Al-Zn-O系や、Siを2.5~10wt%混入したIn-Zn-O系を用いることもできる。

【0073】

50

また、キャリア測定機で測定される酸化物半導体層のキャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、または $6.0 \times 10^{10} / \text{cm}^3$ 未満である。即ち、酸化物半導体層のキャリア濃度は、限りなくゼロに近くすることができる。なお、キャリア濃度の測定方法の具体例としては、MOSキャパシタを作製し、前記MOSキャパシタのCV測定の結果(CV特性)を評価することによって求める方法が挙げられる。

【0074】

また、トランジスタのチャネル長Lを 10 nm 以上 1000 nm 以下とすることができる。この場合、回路の動作速度を高速化でき、オフ電流値が極めて小さいため、さらに低消費電力化も図ることができる。

10

【0075】

なお、トランジスタのオフ状態において、酸化物半導体層は絶縁体とみなして回路設計を行うことができる。

【0076】

続いて、本実施の形態で作製したトランジスタに対してオフ電流の温度特性を評価した。温度特性は、トランジスタが使われる最終製品の耐環境性や、性能の維持などを考慮する上で重要である。当然ながら、変化量が小さいほど好ましく、製品設計の自由度が増す。

【0077】

温度特性は、恒温槽を用い、-30、0、25、40、60、80、100、及び120 のそれぞれの温度でトランジスタを形成した基板を一定温度とし、ドレイン電圧を6V、ゲート電圧を-20V～+20Vまで変化させてVg-Id特性を取得した。

20

【0078】

図27(A)に示すのは、上記それぞれの温度で測定したVg-Id特性を重ね書きしたものであり、点線で囲むオフ電流の領域を拡大したものを図27(B)に示す。図中の矢印で示す右端の曲線が-30、左端が120 で取得した曲線で、その他の温度で取得した曲線は、その間に位置する。オン電流の温度依存性はほとんど見られない。一方、オフ電流は拡大図の図27(B)においても明らかであるように、ゲート電圧が-20V近傍を除いて、全ての温度で測定機の分解能近傍の $1 \times 10^{-12} [\text{A}]$ 以下となっており、温度依存性も見えていない。すなわち、120 の高温においても、オフ電流が $1 \times 10^{-12} [\text{A}]$ 以下を維持しており、チャネル幅Wが $10000 \mu\text{m}$ であることを考慮すると、 $1 \times 10^{-16} [\text{A}/\mu\text{m}]$ 以下となり、オフ電流が非常に小さいことがわかる。

30

【0079】

高純度化の酸化物半導体(purified OS)を用いたトランジスタは、オフ電流の温度依存性がほとんど現れない。これは、図21のバンド図で示すように、酸化物半導体が高純度化されることによって、導電型が限りなく真性型に近づき、フェルミ準位が禁制帯の中央に位置するため、温度依存性を示さなくなると言える。また、これは、酸化物半導体のエネルギーギャップが3eV以上であり、熱励起キャリアが極めて少ないとても起因する。また、ソース領域及びドレイン領域は縮退した状態にあるのでやはり温度依存性が現れない要因となっている。トランジスタの動作は、縮退したソース領域から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度の温度依存性がないことから上記特性(オフ電流の温度依存性無し)を説明することができる。

40

【0080】

以上のように、トランジスタのチャネル幅Wが $1 \times 10^4 \mu\text{m}$ であり、チャネル長が $3 \mu\text{m}$ の素子であっても、オフ電流が 10^{-13} A 以下であり、サブスレッショルドスイシング値(S値)が $0.1 \text{ V} / \text{dec.}$ (ゲート絶縁膜厚 100 nm)という優れた電気特性が得られる。このように、酸化物半導体中の不純物が極力含まれないように高純度化することにより、トランジスタの動作を良好なものとすることができます。すなわち、上述の酸化物半導体層を具備するトランジスタは、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 aA

50

/ μm ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下にすること、さらには $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下にすることが可能である。そして、オフ状態における電流値（オフ電流値）が極めて小さいトランジスタを第1のトランジスタ 6401 として用いることにより、映像信号等の電気信号の保持時間を長くすることができる。例えば、書き込みの間隔は 10 秒以上、好ましくは 30 秒以上、さらに好ましくは 1 分以上 10 分未満とする。書き込む間隔を長くすることにより、消費電力を抑制する効果を高くできる。

【0081】

一方、例えば低温ポリシリコンを具備するトランジスタでは、オフ電流が $1 \times 10^{-12} \text{ A} / \mu\text{m}$ 相当であると見積もって設計等行うこととなっている。そのため、酸化物半導体を有するトランジスタでは、低温ポリシリコンを具備するトランジスタに比べて、保持容量が同等（ 0.1 pF 程度）である際、電圧の保持期間を 10^5 倍程度に引き延ばすことができる。また、アモルファスシリコンを具備するトランジスタの場合、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流は、 $1 \times 10^{-13} \text{ A} / \mu\text{m}$ 以上である。したがって、保持容量が同等（ 0.1 pF 程度）である際、高純度の酸化物半導体を用いたトランジスタの方がアモルファスシリコンを用いたトランジスタに比較して、電圧の保持期間を 10^4 倍以上に引き延ばすことができる。

【0082】

一例として、低温ポリシリコンを用いたトランジスタを有する画素では、表示を 60 フレーム / 秒（1 フレームあたり 16 msec ）で行っている。これは静止画であっても同じで、レートを低下させる（書き込みの間隔を伸ばす）と、画素の電圧が低下して表示に支障をきたすためである。一方、上述の酸化物半導体層を具備するトランジスタを用いた場合、オフ電流が小さいため、1 回の信号書き込みによる保持期間を 10^5 倍の 1600 秒程度とすることができる。そして、少ない画像信号の書き込み回数でも、表示部での静止画の表示を行うことができる。保持期間を長くとれるため、特に静止画の表示を行う際に、信号の書き込みを行う頻度を低減することができる。例えば、一つの静止画像の表示期間（1600 秒程度の期間）に画素に書き込む回数は、低温ポリシリコンを具備したトランジスタを用いた場合、 10^5 回程度必要であるのに対し、上述の酸化物半導体層を具備するトランジスタを用いた場合、1 回とすることも可能である。

【0083】

図 4 では、表示部への書き込み期間と保持期間（1 フレーム期間ともいう）の関係について示している。図 4 において、期間 251、252 が保持期間に相当し、期間 261、262 が表示部への書き込み期間に相当する。前述の高純度の酸化物半導体層を具備するトランジスタは、保持期間を長く取ることができるため、特に静止画の表示を行う際に、画素への書き込み回数を著しく低減することができる。そのため、表示の切り替えが少ない静止画等の表示では、低消費電力化を図ることができる。

【0084】

なお、静止画表示において、保持期間中の駆動用トランジスタのゲートに印加されている電圧の保持率を考慮して、適宜リフレッシュ動作してもよい。例えば、駆動用トランジスタのゲートに信号を書き込んだ直後における電圧の値（初期値）に対して所定のレベルまで電圧が下がったタイミングでリフレッシュ動作を行えばよい。所定のレベルとする電圧は、初期値に対してチラツキを感じない程度に設定することが好ましい。具体的には、表示対象が映像の場合、初期値に対して 1.0% 低い状態、好ましくは 0.3% 低い状態となる毎に、リフレッシュ動作（再度の書き込み）を行うのが好ましい。また、表示対象が文字の場合、初期値に対して 10% 低い状態、好ましくは 3% 低い状態となる毎に、リフレッシュ動作（再度の書き込み）を行うのが好ましい。

【0085】

次に、発光素子 6404 の駆動方法の一例として、アナログ階調駆動を行う方法を説明する。第 2 のトランジスタ 6402 のゲートに発光素子 6404 の順方向電圧 + 第 2 のトランジスタ 6402 の V_{th} 以上の電圧をかける。ここで、発光素子 6404 の順方向電圧とは、所望の輝度とする場合の電圧を指し、少なくとも順方向しきい値電圧を含む。例

10

20

30

40

50

えば、第2のトランジスタ6402が飽和領域で動作するようなビデオ信号(映像信号)を入力することで、発光素子6404に電流を流すことができる。なお、第2のトランジスタ6402を飽和領域で動作させるためには、電源線6407の電位を第2のトランジスタ6402のゲート電位よりも高くするとよい。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0086】

また、電圧入力電圧駆動方式によれば、複数の画素を用いた面積階調表示や、発光色が異なる複数の画素(例えばR、G、B)の組み合わせによる色表現、(例えば、R+G、G+B、R+B、R+G+B)等が可能である。電圧入力電圧駆動方式の場合には、第2のトランジスタ6402のゲートには、第2のトランジスタ6402が十分にオンするか、オフするかの二つの状態となるような信号を入力する。つまり、第2のトランジスタ6402は線形領域で動作させる。なお、第2のトランジスタ6402を線形領域で動作させるためには、電源線6407の電圧を第2のトランジスタ6402のゲート電位よりも低くするとよい。具体的には、電源線の電位に第2のトランジスタ6402のしきい値電圧を加えた値以上の電位を与える電圧信号を信号線6405に入力すればよい。

10

【0087】

なお、発光素子6404をアナログ階調駆動する場合も、電圧入力電圧駆動する場合も、スイッチング用トランジスタ6401のオフ電流が例えば $1 \times 10^{-16} A$ 以下に抑制されているため、第2のトランジスタ6402のゲート電位の保持期間が長い。したがって、少ない画像信号の書き込み回数でも、表示部での静止画の表示を行うことができる。信号の書き込みを行う頻度を低減することができるため、低消費電力化を図ることができる。また、図2に示す画素構成は、これに限定されない。例えば、図2に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路等を追加してもよい。

20

【0088】

特に、発光素子の一例として、エレクトロルミネッセンスを利用する発光素子が挙げられる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

30

【0089】

有機EL素子は、一対の電極(陽極及び陰極)と、一対の電極間に設けられた有機化合物を含む層を有する。陽極の電位を陰極の電位より高くして、有機化合物を含む層に陽極から正孔を、陰極から電子を注入する。電子および正孔(キャリア)が有機化合物を含む層にて再結合する際に発光する。

【0090】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。

40

【0091】

なお、本実施の形態では、発光素子として有機EL素子を用いて説明するが、本発明はこの構成に限定されるものではない。すなわち、本発明は発光素子として無機EL素子を用いることも可能である。

【0092】

次に、発光素子を有する表示装置の断面構造について図5を用いて説明する。なお、図5(A)、図5(B)、図5(C)に例示された駆動用トランジスタ7001、7011、7021は、高純度の酸化物半導体層を用いたトランジスタとしてもよいし、シリコン層を用いたトランジスタとしてもよい。本実施の形態においては、駆動用トランジスタ7

50

001、7011、7021の活性層として高純度の酸化物半導体層を用いた場合について説明する。

【0093】

本実施の形態で例示する発光素子は、一対の電極（第1の電極及び第2の電極）の間にEL層（エレクトロルミネッセンス層）が挟まれた構成を有する。第1の電極及び第2の電極は、一方が陽極として機能し、他方が陰極として機能する。

【0094】

陽極として用いる材料は、仕事関数の大きい（具体的には4.0eV以上）金属、合金、導電性化合物、またはこれらの混合物等が好ましい。具体的には、酸化インジウム-酸化スズ（ITO: Indium Tin Oxide）、ケイ素若しくは酸化ケイ素を含有した酸化インジウム-酸化スズ、酸化インジウム-酸化亜鉛（IZO: Indium Zinc Oxide）、酸化タンゲステン及び酸化亜鉛を含有した酸化インジウム（IWZO）等が挙げられる。この他、金（Au）、白金（Pt）、ニッケル（Ni）、タンゲステン（W）、クロム（Cr）、モリブデン（Mo）、鉄（Fe）、コバルト（Co）、銅（Cu）、パラジウム（Pd）、または金属材料の窒化物（例えば、窒化チタン）等が挙げられる。

10

【0095】

陰極として用いる材料は、仕事関数の小さい（具体的には3.8eV以下）金属、合金、電気伝導性化合物、またはこれらの混合物等が好ましい。具体的には、元素周期表の第1族または第2族に属する元素、すなわちリチウム（Li）やセシウム（Cs）等のアルカリ金属、マグネシウム（Mg）、カルシウム（Ca）、ストロンチウム（Sr）等のアルカリ土類金属が挙げられる。また、アルカリ金属またはアルカリ土類金属を含む合金（例えばMgAg、AlLi）を用いることもできる。また、ユウロピウム（Eu）、イッテルビウム（Yb）等の希土類金属、または希土類金属を含む合金を用いることもできる。

20

また、EL層の一部として、第2の電極に接する電子注入層を設ける場合、仕事関数の大小に関わらず、Al、Ag、ITO等の様々な導電性材料を第2の電極として用いることができる。これら導電性材料は、スパッタリング法やインクジェット法、スピンドルコート法等を用いて成膜することが可能である。

【0096】

30

EL層は、単層構造で構成されることも可能であるが、通常積層構造から構成される。EL層の積層構造については特に限定されず、電子輸送性の高い物質を含む層（電子輸送層）または正孔輸送性の高い物質を含む層（正孔輸送層）、電子注入性の高い物質を含む層（電子注入層）、正孔注入性の高い物質を含む層（正孔注入層）、バイポーラ性（電子及び正孔の輸送性の高い物質）の物質を含む層、発光物質を含む層（発光層）等を適宜組み合わせて構成すればよい。例えば、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を適宜組み合わせて構成することができる。また、電荷発生層として機能する中間層で区切られた複数のEL層を、第1の電極と第2の電極の間に設けた構成であってもよい。

【0097】

40

また、発光素子から光を取り出すために、第1の電極又は第2の電極の少なくとも一方を、透光性を有する導電膜で形成する。基板上に形成された発光素子が発する光を取り出す方向により発光素子を分類すると、基板の発光素子が形成された側の面から取り出す上面射出、基板の発光素子が形成された側と反対側の面から取り出す下面射出、基板の発光素子が形成された側の面及びその反対側の面の双方から取り出す両面射出の3つの代表的な構造の発光素子がある。本発明は、どの射出構造の発光素子にも適用することができる。

【0098】

また、第1の電極上にEL層を積層する場合、第1の電極の周縁部を隔壁で覆う。隔壁は、例えばポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機

50

絶縁膜または有機ポリシロキサンを用いて形成すればよいが、例えば感光性の樹脂材料を用いて隔壁を形成することが好ましい。感光性の樹脂材料を用いた場合は、隔壁の開口部の側壁が連続した曲率を持った傾斜面となる上、レジストマスクを形成する工程を削減できる。

【0099】

なお、基板と発光素子の間にカラーフィルタを形成することもできる。カラーフィルタはインクジェット法等の液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法等でそれぞれ形成すればよい。

【0100】

また、カラーフィルタ上にオーバーコート層を形成し、さらに保護絶縁層を形成する 10 よい。オーバーコート層を設けると、カラーフィルタに起因する凹凸を平坦にできる。保護絶縁膜を形成すると、不純物がカラーフィルタから発光素子に拡散する現象を防止できる。

【0101】

なお、トランジスタ上の保護絶縁層、オーバーコート層及び絶縁層の上に発光素子を形成する場合、保護絶縁層、オーバーコート層及び絶縁層を貫通し、トランジスタのソース電極またはドレイン電極に達するコンタクトホールを形成する。特に、当該コンタクトホールを上述の隔壁と重なる位置にレイアウトして形成すると、開口率の低減を抑制できるため好ましい。

【0102】

次に、下面射出構造の発光素子を有する画素の構成の一例について説明する。画素に設けた駆動用トランジスタ7011と、発光素子7012を含む切断面の断面図を図5(A)に示す。

【0103】

駆動用トランジスタ7011は、基板上に、絶縁層、酸化物半導体層、ソース電極及びドレイン電極、ゲート絶縁層、ゲート電極を有し、ソース電極及びドレイン電極にそれぞれ配線層が電気的に接続して設けられている。

【0104】

また、駆動用トランジスタ7011を覆って絶縁層7031が形成され、絶縁層7031上に開口部を有するカラーフィルタ7033が設けられている。透光性を有する導電膜7017は、カラーフィルタ7033を覆って形成されたオーバーコート層7034及び保護絶縁層7035上に形成されている。なお、駆動用トランジスタ7011のドレイン電極と導電膜7017は、オーバーコート層7034、保護絶縁層7035、及び絶縁層7031に形成された開口部を介して電気的に接続している。なお、導電膜7017上に発光素子7012の第1の電極7013が接して設けられている。

【0105】

発光素子7012は、EL層7014を第1の電極7013と第2の電極7015の間に挟んで有する。

【0106】

透光性を有する導電膜7017としては、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOという。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等からなる膜を用いることができる。

【0107】

ここでは、発光素子7012の第1の電極7013を陰極として用いる場合について説明する。第1の電極7013を陰極として用いる場合は仕事関数が小さい金属が好適である。図5(A)では、第1の電極7013の膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜もしくはMg-Ag合金膜を第1の電極7013に用いる。

10

20

30

40

50

【0108】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッティングして透光性を有する導電膜7017と第1の電極7013を形成してもよく、この場合、同じマスクを用いてエッティングすることができ、好ましい。

【0109】

また、EL層7014上に形成する第2の電極7015としては、仕事関数が大きい材料が好ましい。また、第2の電極7015上に遮蔽膜7016、例えば光を遮光する金属、光を反射する金属等を用いる。本実施の形態では、第2の電極7015としてITO膜を用い、遮蔽膜7016としてTi膜を用いる。

【0110】

また、カラーフィルタ7033をオーバーコート層7034で覆い、さらに保護絶縁層7035で覆う。なお、図5(A)ではオーバーコート層7034は薄い膜厚で図示したが、オーバーコート層7034は、カラーフィルタ7033に起因する凹凸を平坦化している。

【0111】

また、オーバーコート層7034及び保護絶縁層7035に形成され、且つ、ドレイン電極7030に達するコンタクトホールは、隔壁7019と重なる位置に配置されている。

【0112】

図5(A)に示した画素構造の場合、発光素子7012が発した光は、矢印で示すように第1の電極7013側に射出し、カラーフィルタ7033を透過して表示装置の外にでる。

【0113】

なお、駆動用トランジスタ7011のゲート電極、ソース電極、及びドレイン電極として透光性を有する導電膜を用い、駆動用トランジスタ7011のチャネル形成領域として、透光性を有する高純度の酸化物半導体層を用いることが好ましい。この場合、図5(A)に示すように、発光素子7012から発せられる光は、カラーフィルタ7033を通過して射出されるだけでなく、駆動用トランジスタ7011も通過して射出されこととなり、開口率を向上させることができる。さらに、駆動用トランジスタ7011のチャネル形成領域として、透光性を有する高純度の酸化物半導体層を用いることにより、駆動用トランジスタ7011のオフ電流を極めて少なくすることができるため、従来に比較して保持容量を形成するための電極の面積を縮小することができる。したがって、さらに開口率を向上させることができる。

【0114】

次に、両面射出構造の発光素子を有する画素の構成について説明する。画素に設けた駆動用トランジスタ7021と、発光素子7022を含む切断面の断面図を図5(B)に示す。

【0115】

駆動用トランジスタ7021は、基板上に、絶縁層、酸化物半導体層、ソース電極及びドレイン電極、ゲート絶縁層、ゲート電極を有し、ソース電極及びドレイン電極にそれぞれ配線層が電気的に接続して設けられている。

【0116】

また、駆動用トランジスタ7021を覆って絶縁層7041が形成され、絶縁層7041上に開口部を有するカラーフィルタ7043が設けられている。透光性を有する導電膜7027は、カラーフィルタ7043を覆って形成されたオーバーコート層7044及び絶縁層7045上に形成されている。なお、駆動用トランジスタ7021のドレイン電極と導電膜7027は、オーバーコート層7044、絶縁層7045、及び絶縁層7041に形成された開口部を介して電気的に接続している。なお、導電膜7027上に発光素子7022の第1の電極7023が接して設けられている。

【0117】

10

20

30

40

50

発光素子 7022 は、EL 層 7024 を第 1 の電極 7023 と第 2 の電極 7025 の間に挟んで有する。

【0118】

ここでは、発光素子 7022 の第 1 の電極 7023 を陰極として用いる場合について説明する。なお、透光性を有する導電膜 7027 は図 5 (A) に示す導電膜 7017 と同様に形成すればよく、また、第 1 の電極 7023 は図 5 (A) に示す第 1 の電極 7013 と同様に形成すればよく、また、EL 層 7024 は図 5 (A) に示す EL 層 7014 と同様に形成すればよいため、ここでは詳細な説明を割愛する。

【0119】

EL 層 7024 上に形成する第 2 の電極 7025 は、ここでは陽極として機能するため、仕事関数が大きい材料、例えば、ITO、IZO、ZnO 等の透明導電性材料が好ましい。本実施の形態では、第 2 の電極 7025 として ITO を形成する。

10

【0120】

また、カラーフィルタ 7043、オーバーコート層 7044 及び保護絶縁層 7045 は、図 5 (A) で例示した画素が有するカラーフィルタ 7033、オーバーコート層 7034 及び保護絶縁層 7035 とそれぞれ同様に形成すればよい。

【0121】

図 5 (B) に示した素子構造の場合、発光素子 7022 から発せられる光は、矢印で示すように第 1 の電極 7023 側と第 2 の電極 7025 側の両方に射出し、第 1 の電極 7023 側の光はカラーフィルタ 7043 を透過して表示装置の外にでる。

20

【0122】

なお、図 5 (B) ではゲート電極、ソース電極、及びドレイン電極として透光性を有する導電膜を用いて駆動用トランジスタ 7021 を構成する例を示している。従って、発光素子 7022 から発せられる光の一部は、カラーフィルタ 7043 と駆動用トランジスタ 7021 を通過して射出する。

【0123】

また、オーバーコート層 7044 及び保護絶縁層 7045 に形成され、且つ、ドレイン電極 7040 に達するコンタクトホールは、隔壁 7029 と重なる位置に配置されている。ドレイン電極に達するコンタクトホールと、隔壁 7029 とを重ねるレイアウトとして第 2 の電極 7025 側の開口率と第 1 の電極 7023 側の開口率をほぼ同一とすることができる。

30

【0124】

ただし、両面射出構造の発光素子のどちらの表示面もフルカラー表示とする場合、第 2 の電極 7025 側からの光はカラーフィルタ 7043 を通過しないため、別途カラーフィルタを備えた封止基板を第 2 の電極 7025 上方に設けることが好ましい。

【0125】

次に、上面射出構造の発光素子を有する画素の構成について説明する。画素に設けた駆動用トランジスタ 7001 と、発光素子 7002 を含む切断面の断面図を図 5 (C) に示す。

31

【0126】

駆動用トランジスタ 7001 は、基板上に、絶縁層、酸化物半導体層、ソース電極及びドレイン電極、ゲート絶縁層、ゲート電極を有し、ソース電極及びドレイン電極にそれぞれ配線層が電気的に接続して設けられている。

40

【0127】

また、駆動用トランジスタ 7001 を覆って絶縁層 7051 が形成され、絶縁層 7051 上に開口部を有する絶縁層 7053 が設けられている。第 1 の電極 7003 は、絶縁層 7053 を覆って形成された絶縁層 7055 上に形成されている。なお、駆動用トランジスタ 7001 のドレイン電極と第 1 の電極 7003 は、絶縁層 7055、及び絶縁層 7051 に形成された開口部を介して電気的に接続している。

【0128】

50

なお、絶縁層 7053 は、ポリイミド、アクリル樹脂、ベンゾシクロブテン樹脂、ポリアミド、エポキシ等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料 (low-k 材料)、シロキサン系樹脂、PSG (リンガラス)、BPSG (リンボロンガラス) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層することで、絶縁層 7053 を形成してもよい。絶縁層 7053 の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法 (インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーラー、カーテンコーラー、ナイフコーラー等を用いることができる。絶縁層 7053 を形成することで、例えば駆動用トランジスタに起因する凹凸を平坦にできる。また、絶縁層 7055 及び絶縁層 7053 に形成され、且つ、ドレン電極 7050 に達するコンタクトホールは、隔壁 7009 と重なる位置に配置されている。

【0129】

発光素子 7002 は、EL 層 7004 を第 1 の電極 7003 と第 2 の電極 7005 の間に挟んで有する。図 5 (C) に例示する発光素子 7002 においては、第 1 の電極 7003 を陰極として用いる場合について説明する。

【0130】

第 1 の電極 7003 は図 5 (A) に示す第 1 の電極 7013 と同様の材料を適用すればよいが、図 5 (C) に示す上面射出構造の発光素子においては、第 1 の電極 7003 は透光性を有さず、むしろ高い反射率を有する電極であることが好ましい。高い反射率を有する電極を用いることで、発光の取り出し効率を高めることができる。

【0131】

第 1 の電極 7003 としては、例えばアルミニウム膜もしくはアルミニウムを主成分とする合金膜、またはアルミニウム膜にチタン膜を積層したものが好ましい。図 5 (C) では、Ti 膜、アルミニウム膜、Ti 膜の順に積層した積層膜を第 1 の電極 7003 に用いる。

【0132】

また、EL 層 7004 は図 5 (A) に示す EL 層 7014 と同様に形成すればよく、また、第 2 の電極 7005 は図 5 (B) に示す第 2 の電極 7025 と同様に形成すればよいため、ここでは詳細な説明を割愛する。

【0133】

図 5 (C) に示した素子構造の場合、発光素子 7002 から発せられる光は、矢印で示すように第 2 の電極 7005 側に射出する。

【0134】

図 5 (C) の構造を用いてフルカラー表示を行う場合、例えば発光素子 7002 を緑色発光素子とし、隣り合う一方の発光素子を赤色発光素子とし、もう一方の発光素子を青色発光素子とする。また、3 種類の発光素子だけでなく白色素子を加えた 4 種類の発光素子でフルカラー表示ができる発光表示装置を作製してもよい。

【0135】

また、図 5 (C) の構造に配置する複数の発光素子を全て白色発光素子として、発光素子 7002 を含むそれぞれの発光素子の上方にカラーフィルタ等を有する封止基板を配置する構成とし、フルカラー表示ができる発光表示装置を作製してもよい。白色等の単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。

【0136】

また、必要に応じて、円偏光板等の光学フィルムを設けてもよい。

【0137】

次に、表示装置の一形態に相当する発光表示パネル (発光パネルともいう) の外観及び断面について、図 6 を用いて説明する。図 6 (A) は、第 1 の基板上に形成されたトランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの平面図であり、図 6 (B) は、図 6 (A) の H-I における断面図に相当する。

10

20

30

40

50

【0138】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bが外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0139】

また、第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、トランジスタを複数有しており、図6(B)では、画素部4502に含まれるトランジスタ4510と、信号線駆動回路4503aに含まれるトランジスタ4509とを例示している。トランジスタ4509、4510上には絶縁層4542-4545が設けられている。また、絶縁層4542-4545に設けられたコンタクトホールを介して、トランジスタ4510のソース電極またはドレイン電極4848と発光素子4511の第1の電極層4517が電気的に接続されている。

【0140】

本実施の形態においては、信号線駆動回路4503aに含まれるトランジスタ4509、及び画素部4502に含まれるトランジスタ4510として、高純度の酸化物半導体層を有するトランジスタをそれぞれ用いる。

【0141】

絶縁層4542において、駆動回路用のトランジスタ4509の酸化物半導体層のチャネル形成領域と重なる位置に導電層4540が設けられている。導電層4540を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BTストレス試験（バイアス・温度ストレス試験）前後におけるトランジスタ4509のしきい値電圧の変化量を低減することができる。なお、本明細書中で、BTストレス試験（バイアス・温度ストレス試験）とは、トランジスタに高温雰囲気下で、高ゲート電圧を印加する試験のことを指す。また、導電層4540は、電位がトランジスタ4509のゲート電極と同じでもよいし、異なっていても良く、第2のゲート電極として機能させることもできる。また、導電層4540の電位がGND、0V、またはフローティング状態であってもよい。

【0142】

発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、ここに示す構成に限定されない。発光素子4511から取り出す光の方向等に合わせて、発光素子4511の構成は適宜変えることができる。

【0143】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、隔壁4520の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0144】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されてもどちらでもよい。

【0145】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

【0146】

10

20

30

40

50

また、信号線駆動回路 4503a、4503b、走査線駆動回路 4504a、4504b、または画素部 4502 に与えられる各種信号及び電位は、FPC4518a、4518b から供給されている。

【0147】

接続端子電極 4515 は、発光素子 4511 が有する第 1 の電極層 4517 と同じ導電膜から形成されている。また、端子電極 4516 は、トランジスタ 4509、4510 が有するソース電極及びドレイン電極と同じ導電膜から形成されている。

【0148】

接続端子電極 4515 は、FPC4518a が有する端子と、異方性導電膜 4519 を介して電気的に接続されている。

10

【0149】

発光素子 4511 からの光の取り出し方向に位置する基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエチレンフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0150】

また、充填材 4507 としては窒素やアルゴン等の不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。例えば充填材として窒素を用いればよい。

20

【0151】

また、必要に応じて、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板(1/4 板、1/2 板)、カラーフィルタ等の光学フィルムを適宜設けてよい。また、偏光板又は円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0152】

なお、本発明は、図 6 の構成に限定されない。すなわち、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装されていてよい。

30

【0153】

(実施の形態 2)

本実施の形態では、表示装置の消費電力を更に抑制する構成について説明する。具体的には、表示装置の画素部における消費電力を抑制することに加え、表示装置の駆動回路部における消費電力を抑制する構成について説明する。

【0154】

図 7 は、表示装置のブロック図の一例を示すものである。ただし、本発明は図 7 の構成に限定されるものではない。

【0155】

図 7 に示す表示装置 1000 は、表示パネル 1001、信号生成回路 1002、記憶回路 1003、比較回路 1004、選択回路 1005、表示制御回路 1006 を有する。また、表示パネル 1001 は、駆動回路部 1007、画素部 1008 を有する。また、駆動回路部 1007 は、ゲート線駆動回路 1009A、信号線駆動回路 1009B を有する。また、ゲート線駆動回路 1009A、信号線駆動回路 1009B は、複数の画素を有する画素部 1008 を駆動する機能を有する。

40

【0156】

画素部 1008 を構成するトランジスタには、実施の形態 1 で説明したもの用いる。すなわち、スイッチング用トランジスタとして、高純度の酸化物半導体層を有する n チャネル型のトランジスタを用いる。なお、駆動用トランジスタは、高純度の酸化物半導体層

50

を用いた構成としてもよいし、シリコン層を用いた構成としてもよいが、本実施の形態においては、駆動用トランジスタにも高純度の酸化物半導体層を有するnチャネル型のトランジスタを適用する場合について説明する。

【0157】

本実施の形態においては、画素部1008を構成するトランジスタの一つであるスイッチング用トランジスタとして、高純度の酸化物半導体層を有するnチャネル型のトランジスタを用いることにより、画像信号等のデータの保持時間を長く取ることができる。このため、静止画等の表示を行う際に、信号の書き込みを行う頻度を低減できる。したがって、表示装置の低消費電力化を図ることができる。

【0158】

さらに、本実施の形態においては、静止画表示を行う際に、画素部に含まれる全ての信号線及び/または全ての走査線に供給される信号の出力を停止するように駆動回路部を動作させることにより、画素部だけでなく駆動回路部の消費電力も抑制することができる。すなわち、表示装置が静止画像を表示する期間の間に、前記画素部に含まれる全ての信号線及び/または全ての走査線に供給される信号の出力が停止される期間を有する。本実施の形態においては、駆動回路部の低消費電力化を実現するための一構成として、表示装置1000が信号生成回路1002、記憶回路1003、比較回路1004、選択回路1005、表示制御回路1006を有する。

【0159】

信号生成回路1002は、ゲート線駆動回路1009A、及び信号線駆動回路1009Bを駆動するために必要な信号（制御信号）を生成する機能を有する。そして、信号生成回路1002は、配線を介して制御信号を駆動回路部1007に出力するとともに、配線を介して画像信号（ビデオ電圧、ビデオ信号、ビデオデータともいう）を記憶回路1003に出力する機能を有する。換言すれば、信号生成回路1002は、駆動回路部1007を駆動するための制御信号、及び画素部に供給する画像信号を生成し出力するための回路である。

【0160】

具体的には、信号生成回路1002は、制御信号として、ゲート線駆動回路1009A、及び信号線駆動回路1009Bに電源電圧である高電源電位Vdd、低電源電位Vssを供給し、ゲート線駆動回路1009Aには、ゲート線駆動回路用のスタートパルスSP、クロック信号CKを供給し、信号線駆動回路1009Bには、信号線駆動回路用のスタートパルスSP、クロック信号CKを供給する。また信号生成回路1002は、動画像または静止画を表示するための画像信号Dataを記憶回路1003に出力する。

【0161】

なお、動画像は、複数のフレームに時分割した複数の画像を高速に切り替えることで人間の目に動画像として認識される画像のことをいう。具体的には、1秒間に60回（60フレーム）以上画像を切り替えることで、人間の目にはちらつきが少なく動画像と認識される、連続する画像信号のことである。一方静止画は、動画像と異なり、複数のフレーム期間に時分割した複数の画像を高速に切り替えて動作させるものの、連続するフレーム期間、例えばnフレーム目と、（n+1）フレーム目とで画像信号が変化しない画像信号のことをいう。

【0162】

なお、信号生成回路1002は、他にも画像信号、ラッチ信号等を生成する機能を有していてもよい。また、信号生成回路1002は、ゲート線駆動回路1009A及び/または信号線駆動回路1009Bに対し、各駆動回路のパルス信号の出力を停止するためのリセット信号Reset信号を出力する機能を有していてもよい。また、各信号は第1のクロック信号、第2のクロック信号といったように複数の信号で構成される信号であってもよい。

【0163】

なお、高電源電位Vddとは、基準電位より高い電位のことであり、低電源電位とは基

10

20

30

40

50

準電位以下の電位のことをいう。なお高電源電位及び低電源電位とともに、トランジスタが動作できる程度の電位であることが望ましい。

【0164】

なお、電圧とは、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことと示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧と言い換えることが可能である。

【0165】

また、信号生成回路1002から記憶回路1003への画像信号の出力がアナログの信号の場合には、A/Dコンバータ等を介してデジタルの信号に変換して、記憶回路1003に出力する構成とすればよい。

10

【0166】

記憶回路1003は、複数のフレームに関する画像信号を記憶するための複数のフレームメモリ1010を有する。なおフレームメモリは、例えばDRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)等の記憶素子を用いて構成すればよい。

【0167】

なお、フレームメモリ1010は、フレーム期間毎に画像信号を記憶する構成であればよく、フレームメモリの数について特に限定されるものではない。またフレームメモリ1010の画像信号は、比較回路1004及び選択回路1005により選択的に読み出されるものである。

20

【0168】

比較回路1004は、記憶回路1003に記憶された連続するフレーム期間の画像信号を選択的に読み出して、当該画像信号の比較を行い、差分を検出するための回路である。当該比較回路1004での画像信号の比較により差分が検出された場合、当該差分が検出された連続するフレーム期間では動画像であると判断される。一方、比較回路1004での画像信号の比較により差分が検出されなかった場合、当該差分が検出されなかった連続するフレーム期間では静止画であると判断される。すなわち、比較回路1004での差分の検出によって、連続するフレーム期間の画像信号が、動画像を表示するための画像信号であるか、または静止画を表示するための画像信号であるか、の判断がなされるものである。なお、当該比較により得られる差分の検出は、一定のレベルを超えたときに差分を検出したと判断されるように設定してもよい。

30

【0169】

選択回路1005は、複数のスイッチ、例えばトランジスタで形成されるスイッチを設け、動画像を表示するための画像信号が比較回路での差分の検出により判断された際に、当該画像信号が記憶されたフレームメモリ1010より画像信号を選択して表示制御回路1006に出力するための回路である。なお比較回路1004で比較したフレーム間の画像信号の差分が検出されなければ、連続するフレーム間で表示される画像は静止画であり、この場合、連続するフレーム期間のうち、後者の画像信号について表示制御回路1006に出力しない構成とすればよい。

【0170】

表示制御回路1006は、画像信号、高電源電位Vdd、低電源電位Vss、スタートパルスSP、クロック信号CK、及びリセット信号Resの制御信号に関して、駆動回路部1007への供給または停止を切り替える為の回路である。具体的には、比較回路1004により動画像と判断、すなわち連続フレーム期間の画像信号の差分が抽出された場合には、画像信号が選択回路1005より表示制御回路1006に供給される。そして、表示制御回路1006を介して駆動回路部1007に画像信号が供給される。また、制御信号が表示制御回路1006を介して駆動回路部1007に供給されることとなる。一方、比較回路1004により静止画と判断、すなわち連続フレーム期間の画像信号の差分を抽出しない場合には、画像信号が選択回路1005より供給されないため、表示制御回路1006より駆動回路部1007に画像信号が供給されない。また、制御信号の駆動回路部

40

50

1007への供給を表示制御回路1006が停止することとなる。

【0171】

なお、静止画と判断される場合において、静止画と判断される期間が短い場合には、制御信号のうち、高電源電位Vdd、低電源電位Vssの停止を行わない構成としてもよい。この場合、頻繁に高電源電位Vdd、低電源電位Vssの停止及び再開を行うことによる消費電力の増大を低減することができるため、好ましい。

【0172】

なお、画像信号及び制御信号の停止は、画素部1008の各画素で画像信号を保持できる期間にわたって行なうことが望ましく、各画素での保持期間の後に再度画像信号を供給するよう、表示制御回路1006が先に供給した画像信号及び制御信号を再度供給するよう10にする構成とすればよい。

【0173】

なお、信号の供給とは、配線に所定の電位を供給することをいう。また、信号の停止とは、配線への所定の電位の供給を停止し、所定の固定電位が供給される配線、例えば低電源電位Vssが供給された配線に電気的に接続することをいう。または、信号の停止とは、所定の電位が供給されている配線との電気的な接続を切断し、浮遊状態とすることをいう。

【0174】

上述のように映像信号を比較して動画像か静止画かを判定し、クロック信号やスタートパルス等の制御信号の駆動回路部への供給の再開または停止を選択的に行なうことで、駆動回路部1007における消費電力を抑制することができる。

20

【0175】

次に、駆動回路部1007のゲート線駆動回路1009A、信号線駆動回路1009Bを構成するシフトレジスタの構成について図8に一例を示す。

【0176】

図8(A)に示すシフトレジスタは、第1のパルス出力回路10_1乃至第Nのパルス出力回路10_N(Nは3以上の自然数)を有している。図8(A)に示すシフトレジスタの第1のパルス出力回路10_1乃至第Nのパルス出力回路10_Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10_1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10_n(nは、2以上N以下の自然数)では、一段前段のパルス出力回路からの信号(前段信号OUT(n-1)(SR)という)が入力される。また第1のパルス出力回路10_1では、2段後段の第3のパルス出力回路10_3からの信号が入力される。同様に、2段目以降の第nのパルス出力回路10_nでは、2段後段の第(n+2)のパルス出力回路10_(n+2)からの信号(後段信号OUT(n+2)(SR)という)が入力される。従って、各段のパルス出力回路からは、後段及び/または二つ前の段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)~OUT(N)(SR))、別の配線等に入力される第2の出力信号(OUT(1)~OUT(N))が出力される。なお、図8(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)(SR)が入力されないため、一例としては、別途第6の配線17より第2のスタートパルスSP2、第7の配線18より第3のスタートパルスSP3をそれぞれ入力する構成でもよい。または、別途シフトレジスタの内部で生成された信号であってもよい。例えば、画素部へのパルス出力に寄与しない第(N+1)のパルス出力回路10_(N+1)、第(N+2)のパルス出力回路10_(N+2)を設け(ダミー段ともいう)、当該ダミー段より第2のスタートパルス(SP2)及び第3のスタートパルス(SP3)に相当する信号を生成する構成としてもよい。

30

【0177】

第1のクロック信号(CK1)乃至第4のクロック信号(CK4)は、図9に示すよう

40

50

に、一定の間隔で H 信号と L 信号を繰り返す信号である。また、第 1 のクロック信号 (C K 1) 乃至第 4 のクロック信号 (C K 4) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のクロック信号 (C K 1) 乃至第 4 のクロック信号 (C K 4) を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号 C K は、入力される駆動回路に応じて、 G C K 、 S C K ということもあるが、ここでは C K として説明を行う。

【 0 1 7 8 】

第 1 のパルス出力回路 1 0 _ 1 乃至第 N のパルス出力回路 1 0 _ N の各々は、第 1 の入力端子 2 1 、第 2 の入力端子 2 2 、第 3 の入力端子 2 3 、第 4 の入力端子 2 4 、第 5 の入力端子 2 5 、第 1 の出力端子 2 6 、第 2 の出力端子 2 7 を有している (図 8 (B) 参照) 。

10

【 0 1 7 9 】

第 1 の入力端子 2 1 、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 は、第 1 の配線 1 1 ~ 第 4 の配線 1 4 のいずれかと電気的に接続されている。例えば、図 8 (A) 、 (B) において、第 1 のパルス出力回路 1 0 _ 1 は、第 1 の入力端子 2 1 が第 1 の配線 1 1 と電気的に接続され、第 2 の入力端子 2 2 が第 2 の配線 1 2 と電気的に接続され、第 3 の入力端子 2 3 が第 3 の配線 1 3 と電気的に接続されている。また、第 2 のパルス出力回路 1 0 _ 2 は、第 1 の入力端子 2 1 が第 2 の配線 1 2 と電気的に接続され、第 2 の入力端子 2 2 が第 3 の配線 1 3 と電気的に接続され、第 3 の入力端子 2 3 が第 4 の配線 1 4 と電気的に接続されている。

【 0 1 8 0 】

また図 8 (A) 、 (B) において、第 1 のパルス出力回路 1 0 _ 1 は、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T (3) (S R) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T (1) が出力されていることとなる。

20

【 0 1 8 1 】

次に、パルス出力回路の具体的な回路構成の一例について、図 8 (C) で説明する。

【 0 1 8 2 】

図 8 (C) において第 1 のトランジスタ 3 1 は、第 1 端子が電源線 5 1 に電気的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電気的に接続され、ゲートが第 4 の入力端子 2 4 に電気的に接続されている。第 2 のトランジスタ 3 2 は、第 1 端子が電源線 5 2 に電気的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電気的に接続され、ゲートが第 4 のトランジスタ 3 4 のゲートに電気的に接続されている。第 3 のトランジスタ 3 3 は、第 1 端子が第 1 の入力端子 2 1 に電気的に接続され、第 2 端子が第 1 の出力端子 2 6 に電気的に接続されている。第 4 のトランジスタ 3 4 は、第 1 端子が電源線 5 2 に電気的に接続され、第 2 端子が第 1 の出力端子 2 6 に電気的に接続されている。第 5 のトランジスタ 3 5 は、第 1 端子が電源線 5 2 に電気的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート及び第 4 のトランジスタ 3 4 のゲートに電気的に接続され、ゲートが第 4 の入力端子 2 4 に電気的に接続されている。第 6 のトランジスタ 3 6 は、第 1 端子が電源線 5 1 に電気的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート及び第 4 のトランジスタ 3 4 のゲートに電気的に接続され、ゲートが第 5 の入力端子 2 5 に電気的に接続されている。第 7 のトランジスタ 3 7 は、第 1 端子が電源線 5 1 に電気的に接続され、第 2 端子が第 8 のトランジスタ 3 8 の第 2 端子に電気的に接続され、ゲートが第 3 の入力端子 2 3 に電気的に接続されている。第 8 のトランジスタ 3 8 は、第 1 端子が第 2 のトランジスタ 3 2 のゲート及び第 4 のトランジスタ 3 4 のゲートに電気的に接続され、ゲートが第 2 の入力端子 2 2 に電気的に接続されている。第 9 のトランジスタ 3 9 は、第 1 端子が第 1 のトランジスタ 3 1 の第 2 端子及び第 2 のトランジスタ 3 2 の第 2 端子に電気的に接続され、第 2 端子が第 3 のトランジスタ 3 3 のゲート及び第 1 0 のトランジスタ 4 0 のゲートに電気的に接続され、ゲートが電源線 5 1 に電気的に接続されている。第 1 0 のトランジスタ 4 0 は、第 1 端子が第 1 の入力端子 2 1 に電気的に接続され、第 2 端子が第 2 の出力端子 2 7 に電気的に接続され、ゲートが第 9 のトランジスタ 3 9 の第 2

30

40

50

端子に電気的に接続されている。第11のトランジスタ41は、第1端子が電源線52に電気的に接続され、第2端子が第2の出力端子27に電気的に接続され、ゲートが第2のトランジスタ32のゲート及び第4のトランジスタ34のゲートに電気的に接続されている。

【0183】

図8(C)において、第3のトランジスタ33のゲート、第10のトランジスタ40のゲート、及び第9のトランジスタ39の第2端子の接続箇所をノードNAとする。また、第2のトランジスタ32のゲート、第4のトランジスタ34のゲート、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲートの接続箇所をノードNBとする。

10

【0184】

図8(C)におけるパルス出力回路が第1のパルス出力回路10_1の場合、第1の入力端子21には第1のクロック信号CK1が入力され、第2の入力端子22には第2のクロック信号CK2が入力され、第3の入力端子23には第3のクロック信号CK3が入力され、第4の入力端子24にはスタートパルスSP1が入力され、第5の入力端子25には後段信号OUT(3)(SR)が入力され、第1の出力端子26からはOUT(1)(SR)が出力され、第2の出力端子27からはOUT(1)が出力されることとなる。

【0185】

ここで、図8(C)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図9に示す。なおシフトレジスタがゲート線駆動回路である場合、図9中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

20

【0186】

図8、図9で一例として示した、nチャネル型のトランジスタを複数用いて作製した駆動回路において、静止画表示及び動画像表示を行う際の、各配線の電位の供給または停止の手順について説明する。

【0187】

まず、駆動回路部1007の動作を停止する場合には、まず表示制御回路1006は、スタートパルスSPを停止する。次いで、スタートパルスSPの停止後、パルス出力がシフトレジスタの最終段まで達した後に、各クロック信号CKを停止する。次いで、電源電圧の高電源電位Vdd、及び低電源電位Vssを停止する(図11(A)参照)。また駆動回路部1007の動作を再開する場合には、まず表示制御回路1006は、電源電圧の高電源電位Vdd、及び低電源電位Vssを駆動回路部1007に供給する。次いで、クロック信号CKを供給し、次いでスタートパルスSPの供給を再開する(図11(B)参照)。

30

【0188】

次に、図8、図9で一例として示した、nチャネル型のトランジスタを複数用いて作製した駆動回路において、静止画表示から動画像表示を行う動作、または駆動用トランジスタのゲートに印加する電圧の再書き込みを行う動作(以下、リフレッシュ動作ともいう)の際の、駆動回路部への各配線の電位の供給または停止の手順の詳細について、図28を参照して説明する。図28は、シフトレジスタに高電源電位(VDD)を供給する配線、低電源電位(VSS)を供給する配線、スタートパルス(SP)を供給する配線、及び第1のクロック信号(CK1)を供給する配線乃至第4のクロック信号(CK4)を供給する配線の、フレーム期間(T1)の前後における電位の変化を示す図である。

40

【0189】

本実施の形態の表示装置では、駆動回路部を常時動作する動画像の表示と静止画の表示のみならず、リフレッシュ動作のために駆動回路部を常時動作することなく、静止画の表示を行うことができる。そのため、図28に示すように、シフトレジスタに対し、高電源電位(VDD)、第1のクロック信号(CK1)乃至第4のクロック信号(CK4)、及びスタートパルス等の制御信号が供給される期間、並びに制御信号が供給されない期間が存在する。なお、図28に示す期間T1は、制御信号が供給される期間、すなわち動画像

50

を表示する期間及びリフレッシュ動作を行う期間に相当する。また図28に示す期間T2は、制御信号が供給されない期間、すなわち静止画を表示する期間に相当する。

【0190】

図28において高電源電位(VDD)が供給される期間は、期間T1に限らず、期間T1と期間T2にわたる期間にかけて設けられている。また図28において、第1のクロック信号(CK1)乃至第4のクロック信号(CK4)が供給される期間は、高電源電位(VDD)が供給された後から、高電源電位(VDD)が停止する前までにかけて設けられている。

【0191】

また図28に示すように、第1のクロック信号(CK1)乃至第4のクロック信号(CK4)は、期間T1が始まる前には一旦高電位の信号としてから一定周期のクロック信号の発振を開始し、期間T1が終わった後には低電位の信号としてからクロック信号の発振を終了する構成とすればよい。

10

【0192】

上述したように、本実施の形態の表示装置では、期間T2ではシフトレジスタに高電源電位(VDD)、第1のクロック信号(CK1)乃至第4のクロック信号(CK4)、及びスタートパルス等の制御信号の供給を停止する。そして、制御信号の供給が停止する期間においては、各トランジスタの導通または非導通を制御して動作しシフトレジスタより出力されるパルス信号も停止する。そのため、シフトレジスタにおいて消費される電力、及び当該シフトレジスタによって駆動される画素部において消費される電力を低減することが可能になる。

20

【0193】

なお上述のリフレッシュ動作は、表示される静止画の画質の劣化が生じる可能性を考慮して、定期的に行なうことが好ましい。本実施の形態の表示装置は、各画素が有する駆動用トランジスタのゲートに印加する電圧を制御するスイッチング素子として、上述した高純度の酸化物半導体を具備するトランジスタを適用している。これにより、オフ電流を極端に低減することができるため、各画素が有する駆動用トランジスタのゲートに印加される電圧の変動を低減することができる。つまり静止画表示の際、シフトレジスタの動作が停止する期間が長期間に亘っても、画質の劣化を低減することができる。一例としては、当該期間が3分であったとしても表示される静止画の品質を維持することができる。例えば、1秒間に60回の再書き込みを行う表示装置と、3分間に1回のリフレッシュ動作を行う表示装置とを比較すると、約1/10000にまで消費電力を低減することができる。

30

【0194】

なお、上述の高電源電位(VDD)の停止とは、図28に示すように、低電位電源(VSS)と等電位とすることである、なお、高電源電位(VDD)の停止は、高電源電位が供給される配線の電位を浮遊状態とすることであってもよい。

【0195】

なお、高電源電位(VDD)が供給される配線の電位を増加させる、すなわち期間T1の前に低電源電位(VSS)より高電源電位(VDD)に増加させる際には、当該配線の電位の変化が緩やかになるように制御することが好ましい。当該配線の電位の変化の勾配が急峻であると、当該電位の変化がノイズとなり、シフトレジスタから不正パルスが出力される可能性がある。当該シフトレジスタが、ゲート線駆動回路が有するシフトレジスタである場合、不正パルスは、トランジスタをオンさせる信号となる。そのため、当該不正パルスによって、駆動用トランジスタのゲートに印加される電圧が変化し、静止画の画像が変化する可能性があるためである。上述した内容を鑑み、図28では、高電源電位(VDD)となる信号の立ち上がりが立ち下がりよりも緩やかになる例について図示している。特に、本実施の形態の表示装置においては、画素部において静止画を表示している際に、シフトレジスタに対する高電源電位(VDD)の供給の停止及び再供給が適宜行われる構成となる。つまり、高電源電位(VDD)を供給する配線の電位の変化が、ノイズとし

40

50

て画素部に影響した場合、当該ノイズは表示画像の劣化に直結する。そのため、本実施の形態の表示装置においては、当該配線の電位の変化（特に、電位の増加）がノイズとして画素部に侵入しないよう制御することが重要となる。

【0196】

なお、図8、図9の説明では、リセット信号Resを供給しない駆動回路の構成について示したが、リセット信号Resを供給する構成について図10に示し説明する。

【0197】

図10(A)に示すシフトレジスタは、第1のパルス出力回路10_1乃至第Nのパルス出力回路10_N(Nは3以上の自然数)を有している。図10(A)に示すシフトレジスタの第1のパルス出力回路10_1乃至第Nのパルス出力回路10_Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10_1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10_n(nは、2以上N以下の自然数)では、一段前段のパルス出力回路からの信号(前段信号OUT(n-1)(SR)という)が入力される。また第1のパルス出力回路10_1では、2段後段の第3のパルス出力回路10_3からの信号が入力される。同様に、2段目以降の第nのパルス出力回路10_nでは、2段後段の第(n+2)のパルス出力回路10_(n+2)からの信号(後段信号OUT(n+2)(SR)という)が入力される。従って各段のパルス出力回路からは、後段及び/または二つ前段のパルス出力回路に入力するための第1の出力信号OUT((1)(SR)~OUT(N)(SR))、別の配線等に入力される第2の出力信号(OUT(1)~OUT(N))が出力される。また各段のパルス出力回路には、第6の配線16よりリセット信号Resが供給される。

【0198】

なお、図10に示すパルス出力回路が図8で示したパルス出力回路と異なる点は、リセット信号Resを供給する第6の配線16を有する点にあり、他の箇所に関する点は上記図8の説明と同様である。

【0199】

第1のパルス出力回路10_1~第Nのパルス出力回路10_Nの各々は、第1の入力端子2_1、第2の入力端子2_2、第3の入力端子2_3、第4の入力端子2_4、第5の入力端子2_5、第1の出力端子2_6、第2の出力端子2_7、第6の入力端子2_8を有している(図10(B)参照)。

【0200】

第1の入力端子2_1、第2の入力端子2_2及び第3の入力端子2_3は、第1の配線11~第4の配線14のいずれかと電気的に接続されている。例えば、図10(A)、(B)において、第1のパルス出力回路10_1は、第1の入力端子2_1が第1の配線11と電気的に接続され、第2の入力端子2_2が第2の配線12と電気的に接続され、第3の入力端子2_3が第3の配線13と電気的に接続されている。また、第2のパルス出力回路10_2は、第1の入力端子2_1が第2の配線12と電気的に接続され、第2の入力端子2_2が第3の配線13と電気的に接続され、第3の入力端子2_3が第4の配線14と電気的に接続されている。

【0201】

また、図10(A)、(B)において、第1のパルス出力回路10_1は、第4の入力端子2_4にスタートパルスが入力され、第5の入力端子2_5に後段信号OUT(3)(SR)が入力され、第1の出力端子2_6より第1の出力信号OUT(1)(SR)が出力され、第2の出力端子2_7より第2の出力信号OUT(1)が出力され、第6の入力端子2_8よりリセット信号Resが入力されていることとなる。

【0202】

次に、パルス出力回路の具体的な回路構成の一例について、図10(C)で説明する。

10

20

30

40

50

【0203】

図10(C)において第1のトランジスタ31は、第1端子が電源線51に電気的に接続され、第2端子が第9のトランジスタ39の第1端子に電気的に接続され、ゲートが第4の入力端子24に電気的に接続されている。第2のトランジスタ32は、第1端子が電源線52に電気的に接続され、第2端子が第9のトランジスタ39の第1端子に電気的に接続され、ゲートが第4のトランジスタ34のゲートに電気的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電気的に接続され、第2端子が第1の出力端子26に電気的に接続されている。第4のトランジスタ34は、第1端子が電源線52に電気的に接続され、第2端子が第1の出力端子26に電気的に接続されている。第5のトランジスタ35は、第1端子が電源線52に電気的に接続され、第2端子が第2のトランジスタ32のゲート及び第4のトランジスタ34のゲートに電気的に接続され、ゲートが第4の入力端子24に電気的に接続されている。第6のトランジスタ36は、第1端子が電源線51に電気的に接続され、第2端子が第2のトランジスタ32のゲート及び第4のトランジスタ34のゲートに電気的に接続され、ゲートが第5の入力端子25に電気的に接続されている。第7のトランジスタ37は、第1端子が電源線51に電気的に接続され、第2端子が第8のトランジスタ38の第2端子に電気的に接続され、ゲートが第3の入力端子23に電気的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート及び第4のトランジスタ34のゲートに電気的に接続され、ゲートが第2の入力端子22に電気的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電気的に接続され、第2端子が第3のトランジスタ33のゲート及び第10のトランジスタ40のゲートに電気的に接続され、ゲートが電源線51に電気的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電気的に接続され、第2端子が第2の出力端子27に電気的に接続され、ゲートが第9のトランジスタ39の第2端子に電気的に接続されている。第11のトランジスタ41は、第1端子が電源線52に電気的に接続され、第2端子が第2の出力端子27に電気的に接続され、ゲートが第2のトランジスタ32のゲート及び第4のトランジスタ34のゲートに電気的に接続されている。また第2のトランジスタ32のゲート、第4のトランジスタ34のゲート、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲートは、リセット信号Resを供給するための配線53に電気的に接続されている。なおリセット信号Resは、第2のトランジスタ32のゲート、第4のトランジスタ34のゲート、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲートの電位に高電源電位レベルの信号を供給することにより、パルス出力回路からの出力を強制的に低電源電位レベルの信号に落とすための信号である。

【0204】

図10(C)において、第3のトランジスタ33のゲート、第10のトランジスタ40のゲート、及び第9のトランジスタ39の第2端子の接続箇所をノードNAとする。また、第2のトランジスタ32のゲート、第4のトランジスタ34のゲート、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲートの接続箇所をノードNBとする。

【0205】

図10(C)におけるパルス出力回路が第1のパルス出力回路10_1の場合、第1の入力端子21には第1のクロック信号CK1が入力され、第2の入力端子22には第2のクロック信号CK2が入力され、第3の入力端子23には第3のクロック信号CK3が入力され、第4の入力端子24にはスタートパルスSPが入力され、第5の入力端子25には後段信号OUT(3)(SR)が入力され、第1の出力端子26からはOUT(1)(SR)が出力され、第2の出力端子27からはOUT(1)が出力され、第6の入力端子28にはリセット信号Resが入力される。

10

20

30

40

50

【0206】

なお、図10(C)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについては、図9に示すタイミングチャートと同様である。

【0207】

図10で、一例として示した、nチャネル型のトランジスタを複数用いて作製した駆動回路において、静止画及び動画像表示をおこなう際の、各配線の電位の供給または停止の手順について説明する。

【0208】

まず駆動回路部1007の動作を停止する場合には、まず表示制御回路1006は、スタートパルスSPを停止する。次いで、スタートパルスSPの停止後、パルス出力がシフトレジスタの最終段まで達した後に、各クロック信号CKを停止する。次いで、リセット信号Resを供給する。次いで、電源電圧の高電源電位Vdd、及び低電源電位Vssを停止する(図11(C)参照)。また駆動回路部1007の動作を再開する場合には、まず表示制御回路1006は、電源電圧の高電源電位Vdd、及び低電源電位Vssを駆動回路部1007に供給する。次いで、リセット信号Resを供給する。次いで、クロック信号CKを供給し、次いでスタートパルスSPの供給を再開する(図11(D)参照)。

10

【0209】

図10で説明したように図8、図9の構成に加えてリセット信号を供給する構成とすることにより、静止画と動画像の切り替えの際の信号の遅延等による誤動作を低減することができるため好適である。

20

【0210】

また、静止画で表示させる場合において、駆動回路部を構成するトランジスタ上に設けた共通電位電極を共通電位線から切り離してフローティング状態にしても良い。そして、静止画モードの後、駆動回路を再度動作させる際には、共通電位電極を共通電位線に接続する。このようにすると駆動回路部のトランジスタの誤動作を防止することができる。

【0211】

図12(A)は、そのような表示パネル1800の一例を示し、図12(B)はその断面構造を説明する図である。

表示パネル1800には駆動回路1802、1804及び画素部1806が設けられている。駆動回路1802が設けられる領域に重畠して共通電位電極1808が配設されている。共通電位電極1808と共に電位端子1812の間には、両者の接続/非接続を制御するスイッチ素子1810が設けられている。

30

【0212】

図12(B)に示すように、共通電位電極1808は駆動回路のトランジスタ1803上に配設されている。共通電位電極1808がトランジスタ1803上に設けられることにより、トランジスタ1803は静電遮蔽され、しきい値電圧の変動や寄生チャネルが生成するのを防いでいる。

【0213】

スイッチ素子1810は、このトランジスタ1803と同じ構成のものを用いることができる。これらの素子は、オフ状態でのリーク電流が極めて小さいので、表示パネルの動作を安定化させるのに寄与する。すなわち、静止画で表示する場合において、スイッチ素子1810をオフにして共通電位電極をフローティング状態にさせた場合でも、電位を一定に保つ効果がある。

40

【0214】

このように、バンドギャップの広い酸化物半導体により構成されるトランジスタを用いると共に、共通電位電極を設けて外部電場を遮蔽することで、駆動回路の動作を停止させた状態でも静止画を表示させることができる。また、共通電位電極の電位を駆動回路の動作に合わせて適切に制御することにより、表示パネルの動作の安定化を図ることができる。

【0215】

50

以上説明したように、高純度の酸化物半導体を用いたトランジスタを各画素に具備することにより、保持容量で電圧を保持できる期間を従来に比較して長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる。さらに、静止画表示を行う際に、画素部に含まれる全ての信号線及びノーマルまたは全ての走査線に供給される信号の出力を停止するように駆動回路部を動作させることにより、画素部だけでなく駆動回路部の消費電力も抑制することができる。

【0216】

(実施の形態3)

本実施の形態では、実施の形態1で説明した第1のトランジスタ6401の構造の一例、及びその作製方法の一例について説明する。すなわち、高純度の酸化物半導体を用いたトランジスタの構造の一例、及びその作製方法の一例について説明する。

10

【0217】

まず、図13(A)、図13(B)にトランジスタの平面及び断面構造の一例を示す。図13(A)はトップゲート構造のトランジスタ410の平面図であり、図13(B)は図13(A)の線C1-C2における断面図である。

【0218】

トランジスタ410は、基板400上に、絶縁層407、酸化物半導体層412、第1の電極(ソース電極及びドレイン電極の一方)415a、第2の電極(ソース電極及びドレイン電極の他方)415b、ゲート絶縁層402、及びゲート電極411を有し、第1の電極415a、第2の電極415bにはそれぞれ第1の配線414a、第2の配線414bが接して設けられ、電気的に接続されている。

20

【0219】

なお、図13(A)に示すトランジスタ410はシングルゲート構造のトランジスタを示しているが、本発明はこの構成に限定されるものではなく、ゲート電極を複数有し、チャネル形成領域を複数有するマルチゲート構造のトランジスタとしてもよい。

【0220】

次に、図14(A)乃至(E)を用いながら、トランジスタ410を作製する工程について説明する。

【0221】

まず、基板400上に下地膜となる絶縁層407を形成する。

30

【0222】

基板400として使用可能な基板に大きな制限はないが、少なくとも後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いるとよい。基板400の具体例としては、ガラス基板、結晶化ガラス基板、セラミック基板、石英基板、サファイア基板、プラスチック基板等が挙げられる。また、ガラス基板の具体的な材料例としては、アルミニノシリケートガラス、アルミニノホウケイ酸ガラス、バリウムホウケイ酸ガラスが挙げられる。

【0223】

絶縁層407としては、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などの酸化物絶縁層を用いると好ましい。絶縁層407の形成方法としては、プラズマCVD法、スパッタリング法等を用いることができるが、絶縁層407中に水素が多量に含まれないようにするために、スパッタリング法で絶縁層407を成膜することが好ましい。本実施の形態においては、絶縁層407としてスパッタリング法により酸化シリコン層を形成する。具体的には、基板400を処理室へ搬送した後、水素及び水分が除去された高純度酸素を含むスパッタガスを導入し、シリコンまたはシリコン酸化物のターゲットを用いて、基板400上に絶縁層407として酸化シリコン層を成膜する。なお、成膜時の基板400は室温でもよいし、加熱されていてもよい。

40

【0224】

成膜条件の具体例としては、ターゲットとして石英(好ましくは合成石英)を用い、基板温度108℃、基板400とターゲット間の距離(T-S間距離)を60mm、圧力0

50

・4 Pa、高周波電源1.5 kW、酸素及びアルゴン（酸素流量25 sccm：アルゴン流量25 sccm = 1:1）雰囲気下でRFスパッタリング法により酸化シリコン膜を成膜する。膜厚は100 nmとする。なお、ターゲットとして石英（好ましくは合成石英）に代えてシリコンターゲットを用いることもできる。また、スパッタガスとして酸素及びアルゴンの混合ガスに代えて酸素ガスを用いてもよい。ここで、絶縁層407を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物の濃度がppmレベル、好ましくはppbレベルまで除去された高純度ガスを用いる。

【0225】

また、絶縁層407の成膜時において、処理室内の残留水分を除去しつつ絶縁層407を成膜することにより、絶縁層407に水素、水酸基又は水分が含まれないようにするこ10とが好ましい。

【0226】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いればよい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることできる。また、排気手段としては、ターボポンプにコールドトラップを加えることが好ましい。クライオポンプを用いて排気した処理室は、水素原子や、水（H₂O）等の水素原子を含む化合物等が排気されるため、当該処理室で成膜した絶縁層407は、水素原子が極力取り込まれにくく好ましい。

【0227】

スパッタリング法には、スパッタ用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、パルス的にバイアスを与えるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0228】

また、材料の異なるターゲットを複数設置可能な多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0229】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置を用いることができる。

【0230】

また、スパッタリング法を用いる成膜方法としては、成膜中にターゲット物質とスパッタガス成分とを化学反応させ、それらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

【0231】

また、絶縁層407は単層構造に限定されず、積層構造でもよい。例えば、基板400側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウムなどの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

【0232】

例えば、酸化シリコン層と基板との間に水素及び水分が除去された高純度窒素を含むスパッタガスを導入し、シリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。また、窒化シリコン層を形成する場合も、成膜時に基板を加熱してもよい。

【0233】

絶縁層407として窒化シリコン層と酸化シリコン層とを積層する場合、窒化シリコン層と酸化シリコン層と同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に窒素を含むスパッタガスを導入して、処理室内に装着されたシリコンターゲットを用いて窒化シリコン層を形成し、次にスパッタガスを酸素を含むスパッタガ

10

20

30

40

50

スに切り替えて同じシリコンターゲットを用いて酸化シリコン層を成膜する。この方法を用いる場合、窒化シリコン層と酸化シリコン層とを大気に曝露せずに連続して形成することができるため、窒化シリコン層表面に水素や水分などの不純物が吸着することを防止できる。

【0234】

次に、絶縁層407上に酸化物半導体層をスパッタリング法により形成する。

【0235】

酸化物半導体層に水素、水酸基及び水分が極力含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁層407が形成された基板400を予備加熱し、基板400に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。また、この予備加熱は、後に形成するゲート絶縁層402の成膜前の基板400に対して行うことが好ましい。また、後に形成する第1の電極415a及び第2の電極415bまで形成した基板400に対しても同様に行なうことが好ましい。ただし、これらの予備加熱の処理は省略してもよい。

10

【0236】

なお、酸化物半導体層をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層407の表面に付着しているゴミを除去することも好ましい。逆スパッタとは、ターゲット側に電圧を印加せず、アルゴン雰囲気下で基板側に高周波電源を用いて電圧を印加することによって基板近傍にプラズマを形成し、表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素等を用いてもよい。

20

【0237】

酸化物半導体層のターゲットとしては、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及びZnを含む金属酸化物ターゲット（組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol%]、 $In : Ga : Zn = 1 : 1 : 0.5$ [atom%]）を用いることができる。また、In、Ga、及びZnを含む金属酸化物のターゲットとして、 $In : Ga : Zn = 1 : 1 : 1$ [atom%]、又は $In : Ga : Zn = 1 : 1 : 2$ [atom%]の組成比を有するターゲットを用いることもできる。また、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いることもできる。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができる。

30

【0238】

なお、酸化物半導体層の成膜の際は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下とすればよい。ここで、酸化物半導体層を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物の濃度がppmレベル、好ましくはppbレベルまで除去された高純度ガスを用いる。

40

【0239】

酸化物半導体層は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板400上に成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。また、酸化物半導体層成膜時に基板を室温状態のまます

50

るか、または400℃未満の温度に加熱してもよい。

【0240】

酸化物半導体層の成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を110mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン(酸素流量15sccm:アルゴン流量30sccm)雰囲気下の条件が挙げられる。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層の膜厚は、膜厚2nm以上200nm以下とすればよく、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体の材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

10

【0241】

以上のように形成される酸化物半導体層の具体例としては、四元系金属酸化物であるIn-Sn-Ga-Zn-Oや、三元系金属酸化物であるIn-Ga-Zn-O、In-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O、Sn-Al-Zn-Oや、二元系金属酸化物であるIn-Zn-O、Sn-Zn-O、Al-Zn-O、Zn-Mg-O、Sn-Mg-O、In-Mg-Oや、In-O、Sn-O、Zn-Oなどの酸化物半導体層を用いることができる。また、上記酸化物半導体層はSiを含んでいてもよい。また、これらの酸化物半導体層は、非晶質であってもよいし、結晶質であってもよい。または、非単結晶であってもよいし、単結晶であってもよい。本実施の形態では、In-Ga-Zn-Oをターゲットとして用いたスパッタリング法により、非晶質のIn-Ga-Zn-O膜を成膜する。

20

【0242】

また、酸化物半導体層として、 $InMO_3(ZnO)_m$ ($m > 0$)で表記される薄膜を用いることもできる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素である。例えば、Mとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoが挙げられる。なお、 $InMO_3(ZnO)_m$ ($m > 0$)で表記される構造の酸化物半導体膜のうち、MとしてGaを含む構造の酸化物半導体を、上記したIn-Ga-Zn-O酸化物半導体とよぶことができる。

【0243】

次に、酸化物半導体層を第1のフォトリソグラフィ工程により島状の酸化物半導体層412に加工する(図14(A)参照。)。なお、島状の酸化物半導体層412を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0244】

なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0245】

ドライエッチングを行う場合、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

40

【0246】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl₂)、塩化硼素(BCl₃)、塩化珪素(SiCl₄)、四塩化炭素(CCl₄)など)が好ましいが、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF₄)、六弗化硫黄(SF₆)、三弗化窒素(NF₃)、トリフルオロメタン(CHF₃)など)、臭化水素(HBr)、酸素(O₂)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス等を用いることもできる。

【0247】

50

ウェットエッティングに用いるエッティング液としては、磷酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（例えば、体積比で 3 1 重量%過酸化水素水 : 2 8 重量%アンモニア水 : 水 = 5 : 2 : 2 となるように混合した溶液）などを用いることができる。また、ITO 0.7 N（関東化学社製）を用いてもよい。エッティングの条件（エッティング液、エッティング時間、温度等）については、酸化物半導体の材料に合わせて適宜調節すればよい。

【0248】

また、ウェットエッティングを行う場合、エッティング液はエッティングされた材料とともに洗浄によって除去される。その除去された材料を含むエッティング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッティング後の廃液から酸化物半導体層に含まれる材料（例えば、インジウム等のレアメタル）を回収して再利用することにより、資源を有効活用することができる。

10

【0249】

本実施の形態では、エッティング液として磷酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッティング法により、酸化物半導体層を島状の酸化物半導体層 412 に加工する。

【0250】

次に、酸化物半導体層 412 に第 1 の加熱処理を行う。第 1 の加熱処理の温度は、400 以上 750 以下、好ましくは 400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 450 において 1 時間の加熱処理を行った後、大気に触れさせないことで、酸化物半導体層への水や水素の再混入を防ぐ。この第 1 の加熱処理によって酸化物半導体層 412 から水素、水、及び水酸基等を除去することができる。

20

【0251】

なお、加熱処理装置は電気炉に限らず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等の R T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。気体としては、不活性ガス（代表的には、アルゴン等の希ガス）または窒素ガスを用いることができる。

30

【0252】

例えば、第 1 の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す G R T A を行ってもよい。G R T A を用いることにより、短時間での高温加熱処理が可能となる。

【0253】

第 1 の加熱処理の際の雰囲気には、水、水素などが含まれないようにすることが好ましい。または、加熱処理装置の装置内に導入する窒素、ヘリウム、ネオン、アルゴン等のガスの純度を、6 N (99.9999%) 以上、好ましくは 7 N (99.9999%) 以上、（即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下）とすることが好ましい。

40

【0254】

なお、第 1 の加熱処理の条件、または酸化物半導体層の材料によっては、第 1 の加熱処理により島状の酸化物半導体層 412 が結晶化し、微結晶化または多結晶化する場合もある。例えば、結晶化率が 80% 以上の微結晶の酸化物半導体層となる場合もある。ただし、第 1 の加熱処理を行っても島状の酸化物半導体層 412 が結晶化せず、非晶質の酸化物半導体層となる場合もある。また、非晶質の酸化物半導体層の中に微結晶部（粒径 1 nm 以上 20 nm 以下（代表的には 2 nm 以上 4 nm 以下））が混在する酸化物半導体層とな

50

る場合もある。

【0255】

また、酸化物半導体層に対する第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体層に行ってもよい。この場合、第1の加熱処理後に、加熱処理装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0256】

第1の加熱処理においては、酸化物半導体層中から水素、水、及び水酸基等の不純物を除去することを主な目的としているが、この加熱処理の際に酸化物半導体層中に酸素欠損が生じてしまうおそれがある。このため、第1の加熱処理の後に、加酸化処理を行うことが好ましい。加酸化処理の具体例としては、第1の加熱処理の後、連続して酸素雰囲気または窒素及び酸素を含む雰囲気（窒素：酸素の体積比 = 4 : 1）での加熱処理を行う方法が挙げられる。また、酸素雰囲気下でのプラズマ処理を行う方法を用いることもできる。

10

【0257】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行っても良い。

【0258】

次に、絶縁層407及び酸化物半導体層412上に、導電膜を形成する。導電膜は、スパッタリング法や真空蒸着法により形成すればよい。導電膜の材料としては、Al、Cu、Cr、Ta、Ti、Mo、W、Yなどの金属材料、該金属材料を成分とする合金材料、導電性を有する金属酸化物等が挙げられる。導電性を有する金属酸化物としては、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化亜鉛合金($In_2O_3 - SnO_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛合金($In_2O_3 - ZnO$)または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウィスカーの発生を防止する元素が添加されたAl材料を用いてもよく、この場合、耐熱性を向上させることができる。

20

【0259】

また、導電膜は、単層構造としてもよいし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層した2層構造、Ti膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を積層した3層構造が挙げられる。また、Al、Cuなどの金属層と、Cr、Ta、Ti、Mo、Wなどの高融点金属層とが積層された構成としてもよい。

30

【0260】

次に、第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行って第1の電極415a及び第2の電極415bを形成した後、レジストマスクを除去する（図14（B）参照。）。第1の電極415aはソース電極及びドレイン電極の一方として機能し、第2の電極415bはソース電極及びドレイン電極の他方として機能する。ここで、第1の電極415a及び第2の電極415bの端部がテーパ形状となるようにエッチングすると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、第1の電極415a、第2の電極415bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

【0261】

本実施の形態では第1の電極415a、第2の電極415bとしてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0262】

また、導電膜のエッチングの際には、酸化物半導体層412が除去されてその下の絶縁層407が露出しないようにそれぞれの材料及びエッチング条件を適宜調節する必要がある。そこで、本実施の形態では、酸化物半導体層412としてIn-Ga-Zn-O系の

50

酸化物半導体を用い、導電膜としてチタン膜を用い、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いることにより、酸化物半導体層412の一部がエッチングされないようにしているが、本発明はこの構成に限定されない。すなわち、第2のフォトリソグラフィ工程により、酸化物半導体層412の一部をエッチングし、溝部（凹部）を有する酸化物半導体層とすることもできる。

【0263】

第2のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光、またはArFレーザ光を用いればよい。酸化物半導体層412上で隣り合う第1の電極の下端部と第2の電極の下端部との間隔幅によって、後に形成されるトランジスタのチャネル長Lが決定される。なお、チャネル長L = 25 nm未満の露光を行う場合には、数nm～数10 nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて第2のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。このため、後に形成されるトランジスタのチャネル長Lを10 nm以上1000 nm以下とすることも可能である。この場合、トランジスタの動作速度を高速化でき、さらにオフ電流値が極めて小さいため、トランジスタの低消費電力化を図ることができる。

【0264】

次に、絶縁層407、酸化物半導体層412、第1の電極415a、第2の電極415b上にゲート絶縁層402を形成する（図14（C）参照。）。

【0265】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層又は積層して形成することができる。

【0266】

ゲート絶縁層402を形成する際は、水素が含まれないようにすることが好ましい。このため、成膜時の雰囲気において水素を極力減らすことが可能なスパッタリング法でゲート絶縁層402を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素、または酸素及びアルゴンの混合ガスを用いて行う。

【0267】

また、ゲート絶縁層402は、第1の電極415a、第2の電極415b側から順に酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層として膜厚5 nm以上300 nm以下の酸化シリコン層（SiO_x（x > 0））を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚50 nm以上200 nm以下の窒化シリコン層（SiN_y（y > 0））を積層して、膜厚100 nmのゲート絶縁層としてもよい。本実施の形態では、圧力0.4 Pa、高周波電源1.5 kW、酸素及びアルゴン（酸素流量25 sccm：アルゴン流量25 sccm = 1:1）雰囲気下でRFスパッタリング法により膜厚100 nmの酸化シリコン層を形成する。

【0268】

次に、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層402の一部を除去することにより、第1の電極415a、第2の電極415bに達する開口421a、421bを形成する（図14（D）参照。）。なお、レジストマスクをインクジェット法で形成する場合、フォトマスクを使用しないため、製造コストを低減できる。

【0269】

次に、ゲート絶縁層402、及び開口421a、421b上に導電膜を形成した後、第4のフォトリソグラフィ工程によりゲート電極411、第1の配線414a、第2の配線414bを形成する。

【0270】

ゲート電極411、第1の配線414a、第2の配線414bの材料は、モリブデン、

10

20

30

40

50

チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、又はこれらを主成分とする合金材料を用いて、単層又は積層して形成することができる。ゲート電極 411、第1の配線 414a、及び第2の配線 414bの2層構造の具体例としては、アルミニウム層上にモリブデン層が積層された構造、銅層上にモリブデン層が積層された構造、銅層上に窒化チタン層若しくは窒化タンタル層が積層された構造、または窒化チタン層上にモリブデン層が積層された構造が挙げられる。また、3層構造の具体例としては、タングステン層または窒化タングステン層と、アルミニウム及びシリコンの合金またはアルミニウム及びチタンの合金層と、窒化チタンまたはチタン層とが積層された構造が挙げられる。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜の具体例としては、透光性を有する導電性酸化物からなる膜が挙げられる。

10

【0271】

本実施の形態ではゲート電極 411、第1の配線 414a、第2の配線 414bとしてスパッタリング法により膜厚 150 nm のチタン膜を形成する。

【0272】

次に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行う。本実施の形態では、窒素雰囲気下で 250 、1 時間の第2の加熱処理を行う。なお、第2の加熱処理は、トランジスタ 410 上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

20

【0273】

また、大気中、100 以上 200 以下、1 時間以上 30 時間以下の加熱処理を更に行ってもよい。この加熱処理は、一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回繰り返して行ってもよい。また、この加熱処理を酸化物絶縁層の形成前に減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができるの好ましい。

【0274】

以上の工程により、水素、水分、水素化物、水酸化物の濃度が低減された、高純度の酸化物半導体層 412 を有するトランジスタ 410 を形成することができる（図 14 (E) 参照。）。トランジスタ 410 は、実施の形態 1 で説明した第1のトランジスタ 6401 等として適用することができる。

30

【0275】

また、トランジスタ 410 上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。保護絶縁層としては、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層又は積層して形成することができる。また、平坦化絶縁層としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。また、これらの材料で形成される絶縁膜を複数積層することで平坦化絶縁層を形成してもよい。

40

【0276】

ここで、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si-O-Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0277】

平坦化絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピニコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。

50

【0278】

上述したように、酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、酸化物半導体層中の水素及び水素化物の濃度を低減することができる。

【0279】

本実施の形態で説明した酸化物半導体層を有するトランジスタを表示装置の表示部を構成する画素に用いることにより、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の消費電力を抑制することができる。また静止画の表示をする際制御信号を停止することにより低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。

10

【0280】

(実施の形態4)

本実施の形態では、実施の形態1で説明した第1のトランジスタ6401の構造の一例、及びその作製方法の一例について説明する。すなわち、高純度の酸化物半導体を用いたトランジスタの構造の一例、及びその作製方法の一例について図15を用いながら説明する。

【0281】

図15(A)乃至(E)にトランジスタの断面構造の一例を示す。図15(E)に示すトランジスタ390は、ボトムゲート構造の一つであり逆スタガ型のトランジスタともいう。このトランジスタ390を、実施の形態1で説明した第1のトランジスタ6401等に用いることができる。なお、トランジスタ390はシングルゲート構造のトランジスタを示しているが、本発明はこの構成に限定されるものではなく、ゲート電極を複数有し、チャネル形成領域を複数有するマルチゲート構造のトランジスタとしてもよい。

20

【0282】

以下、図15(A)乃至(E)を用い、基板394上にトランジスタ390を作製する方法について説明する。

【0283】

まず、基板394上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極391を形成する。形成されたゲート電極の端部はテープ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0284】

ここで、基板394の材料については、実施の形態3で説明した基板400と同様のものを採用することができる。また、ゲート電極391の材料や成膜方法等は、実施の形態3で説明したゲート電極411と同様のものを採用することができる。

【0285】

なお、基板394とゲート電極391との間に、下地膜となる絶縁膜を設けてよい。下地膜は、基板394からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、または酸化窒化シリコン膜から選ばれた一からなる単層構造、またはこれらから選ばれた複数の膜による積層構造により形成すればよい。

40

【0286】

次に、ゲート電極391上にゲート絶縁層397を形成する。

【0287】

ゲート絶縁層397は、プラズマCVD法またはスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、または酸化アルミニウム層を単層または積層して形成することができる。なお、ゲート絶縁層397中に水素が多量に含まれないようにするために、スパッタリング法でゲート絶縁層397を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲットまたは石英ターゲットを用い、スパッタガスとして酸

50

素または、酸素及びアルゴンの混合ガスを用いて行う。

【0288】

ゲート絶縁層397は、ゲート電極391側から順に窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を積層して、膜厚100nmのゲート絶縁層とすればよい。

【0289】

次に、ゲート絶縁層397上に、膜厚2nm以上200nm以下の酸化物半導体層393を形成する(図15(A)参照。)。

10

【0290】

ここで、酸化物半導体層393の材料や成膜方法等は、実施の形態3で説明した酸化物半導体層(島状の酸化物半導体層412)と同様のものを採用することができる。

【0291】

例えば、酸化物半導体層393をスパッタリング法により形成する際の成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が挙げられる。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体層393の膜厚は、膜厚2nm以上200nm以下とすればよく、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体の材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

20

【0292】

なお、酸化物半導体層393を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層397の表面に付着しているゴミを除去することが好ましい。

【0293】

また、ゲート絶縁層397、酸化物半導体層393に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極391が形成された基板394、またはゲート絶縁層397までが形成された基板394を予備加熱し、基板394に吸着した水素、水分などの不純物を脱離し排気することが好ましい。予備加熱の温度としては、100以上400以下、好ましくは150以上300以下とすればよい。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。また、この予備加熱は、保護絶縁層396の成膜前に、第1の電極395a及び第2の電極395bまで形成した基板394に対して同様に行ってもよい。

30

【0294】

次に、酸化物半導体層を第2のフォトリソグラフィ工程により島状の酸化物半導体層399に加工する(図15(B)参照。)。なお、島状の酸化物半導体層399の加工方法については、実施の形態3で説明した島状の酸化物半導体層412を形成する際の加工方法と同様のものを採用することができる。

40

【0295】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層399及びゲート絶縁層397の表面に付着しているレジスト残渣などを除去することが好ましい。

【0296】

次に、ゲート絶縁層397及び酸化物半導体層399上に導電膜を形成する。導電膜の成膜方法は、スパッタリング法や真空蒸着法等を用いればよい。また、導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、またはこれらの元素を成分とする合金、またはこれらの元素を複数組み合わせた合金等を用いることができる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか

50

一または複数から選択された材料を用いてもよい。また、透光性を有する導電膜を用いてもよい。透光性を有する導電膜の具体例としては、透光性を有する導電性酸化物からなる膜が挙げられる。

【0297】

また、導電膜は、単層構造でもよいし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。

【0298】

次に、第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行って第1の電極395a、第2の電極395bを形成した後、レジストマスクを除去する(図15(C)参照。)。ここで、導電膜のエッチングの際には、酸化物半導体層399が除去されてその下のゲート絶縁層397が露出しないようにそれぞれの材料及びエッチング条件を適宜調節する必要がある。そこで、本実施の形態では、酸化物半導体層399としてIn-Ga-Zn-O系の酸化物半導体を用い、導電膜としてチタン膜を用い、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いることにより、酸化物半導体層399の一部がエッチングされないようにしているが、本発明はこの構成に限定されない。すなわち、第3のフォトリソグラフィ工程により、酸化物半導体層399の一部をエッチングし、溝部(凹部)を有する酸化物半導体層とすることもできる。

10

【0299】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光、またはArFレーザ光を用いればよい。酸化物半導体層399上で隣り合う第1の電極395aの下端部と第2の電極395bの下端部との間隔幅によって、後に形成されるトランジスタのチャネル長Lが決定される。なお、チャネル長L=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(extreme

ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。このため、後に形成されるトランジスタのチャネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、トランジスタの低消費電力化を図ることができる。

30

【0300】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

40

【0301】

また、N₂O、N₂、またはArなどのガスを用いたプラズマ処理によって露出している酸化物半導体層399の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。本実施の形態では、上記いずれかのプラズマ処理を行う。

【0302】

次に、プラズマ処理を行った後、大気に触れることなく、露出されている酸化物半導体層399、第1の電極395a、及び第2の電極395bに接する保護絶縁膜396を形成する(図15(D)参照。)。このとき、酸化物半導体層399及び保護絶縁層396に水素、水酸基または水分が含まれないようにするため、処理室内の残留水分を除去しつ

50

つ保護絶縁層 396 を成膜することが好ましい。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子や、水 (H₂O) など水素原子を含む化合物等が排気されるため、当該処理室で成膜した保護絶縁層 396 に含まれる不純物の濃度を低減できる。

【0303】

本実施の形態では、保護絶縁層 396 として酸化物絶縁層を形成する。保護絶縁層 396 の形成方法として、島状の酸化物半導体層 399、第 1 の電極 395a、及び第 2 の電極 395b が形成された基板 394 を室温状態のまま、または 100 未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入し、シリコン半導体のターゲットを用いて、酸化シリコン層を成膜する。なお、酸化物絶縁層として、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを用いることもできる。

【0304】

例えば、純度が 6 N であり、ボロンがドープされたシリコンターゲット（抵抗値 0.01 cm）を用い、基板とターゲット間の距離（T-S 間距離）を 89 mm、圧力 0.4 Pa、直流 (DC) 電源 6 kW、酸素（酸素流量比率 100%）雰囲気下でパルス DC スパッタリング法により、酸化シリコン層を成膜する。酸化シリコン層の膜厚は 300 nm とする。なお、シリコンターゲットに代えて石英（好ましくは合成石英）を用いることもできる。スパッタガスは、酸素、または酸素及びアルゴンの混合ガスを用いればよい。

【0305】

さらに、保護絶縁層 396 と酸化物半導体層 399 とが接した状態で 100 乃至 400 で加熱処理を行うことが好ましい。この加熱処理により、酸化物半導体層 399 中に含まれる水素、水分、水酸基または水素化物などの不純物を保護絶縁層 396 に拡散させ、酸化物半導体層 399 中に含まれる該不純物をより低減させることができる。

【0306】

以上の工程により、水素、水分、水酸基または水素化物の濃度が低減された酸化物半導体層 392 を有するトランジスタ 390 を形成することができる（図 15 (E) 参照。）。本実施の形態で説明したように、酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することにより、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。この結果、真性又は実質的に真性な半導体が得られる。

【0307】

なお、保護絶縁層 396 上に絶縁層をさらに設けてよい。本実施の形態では、保護絶縁層 396 上に絶縁層 398 を形成する。絶縁層 398 としては、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いればよい。

【0308】

絶縁層 398 の形成方法としては、保護絶縁層 396 まで形成された基板 394 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入し、シリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、保護絶縁層 396 と同様に、処理室内の残留水分を除去しつつ絶縁層 398 を成膜することが好ましい。絶縁層 398 の成膜時に 100 ~ 400 に基板 394 を加熱することにより、酸化物半導体層 399 中に含まれる水素または水分を絶縁層 398 に拡散させることができる。この場合、保護絶縁層 396 の形成直後に加熱処理を行わなくてよい。

【0309】

また、保護絶縁層 396 として酸化シリコン層を形成し、絶縁層 398 として窒化シリコン層を形成する場合、酸化シリコン層と窒化シリコン層と同じ処理室において、共通の

10

20

30

40

50

シリコンターゲットを用いて成膜することができる。先に酸素を含むエッティングガスを導入して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次にエッティングガスを窒素を含むエッティングガスに切り替えて同じシリコンターゲットを用いて窒化シリコン層を成膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止できる。なお、保護絶縁層 396 として酸化シリコン層を形成し、絶縁層 398 として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させるための加熱処理（温度 100 乃至 400）を行うことがさらに好ましい。

【0310】

保護絶縁層 396 の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下の加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0311】

上記の工程は、400 以下の温度で行われるため、厚さが 1mm 以下で、一辺が 1m を超えるガラス基板を用いる製造工程にも適用することができる。また、400 以下の処理温度で全ての工程を行うことができるので、表示パネルを製造するためのエネルギー消費を低減することができる。

【0312】

本実施の形態で説明した酸化物半導体層を有するトランジスタを表示装置の表示部を構成する画素に用いることにより、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の消費電力を抑制することができる。また静止画の表示をする際制御信号を停止することにより低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。

【0313】

（実施の形態 5）

本実施の形態では、実施の形態 1 で説明した第 1 のトランジスタ 6401 の構造の一例、及びその作製方法の一例について説明する。すなわち、高純度の酸化物半導体を用いたトランジスタの構造の一例、及びその作製方法の一例について図 16 を用いながら説明する。

【0314】

図 16 (A) 乃至 (D) にトランジスタの断面構造の一例を示す。図 16 (A) 乃至 (D) に示すトランジスタ 360 は、チャネル保護型（チャネルトップ型ともいう）と呼ばれるボトムゲート構造の一つであり逆スタガ型のトランジスタともいう。このトランジスタ 360 を、実施の形態 1 で説明した第 1 のトランジスタ 6401 として用いることができる。なお、トランジスタ 360 はシングルゲート構造のトランジスタを示しているが、本発明はこの構成に限定されるものではなく、ゲート電極を複数有し、チャネル形成領域を複数有するマルチゲート構造のトランジスタとしてもよい。

【0315】

以下、図 16 (A) 乃至 (D) を用い、基板 320 上にトランジスタ 360 を作製する方法について説明する。

【0316】

まず、基板 320 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極 361 を形成する。基板 320 の材料については、実施の形態 4 で説明した基板 394 と同様のものを採用することができる。また、ゲート電極 361 の材料や成膜方法等は、実施の形態 4 で説明したゲート電極 391 と同様のものを採用することができる。

10

20

30

40

50

【0317】

次に、ゲート電極361上にゲート絶縁層322を形成する。ゲート絶縁層322の材料については、実施の形態4で説明したゲート絶縁層397と同様のものを採用することができる。本実施の形態では、ゲート絶縁層322としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0318】

次に、ゲート絶縁層322上に、膜厚2nm以上200nm以下の酸化物半導体層を形成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。島状の酸化物半導体層の材料や成膜方法、加工方法等は、実施の形態4で説明した島状の酸化物半導体層399と同様のものを採用することができる。本実施の形態では、酸化物半導体層としてIn-Ga-Zn-O系の酸化物半導体ターゲットを用いてスパッタ法により成膜する。

10

【0319】

次に、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れさせないことで、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層332を得る(図16(A)参照。)。

20

【0320】

次に、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。または、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0321】

次に、ゲート絶縁層322、及び酸化物半導体層332上に、酸化物絶縁層を形成した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層366を形成した後、レジストマスクを除去する。

【0322】

本実施の形態では、酸化物絶縁層366として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素及び窒素雰囲気下でスパッタ法により酸化珪素膜を形成することができる。酸化物半導体層に接して形成する酸化物絶縁層366は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いることができる。

30

【0323】

このとき、酸化物半導体層332及び酸化物絶縁層366に水素、水酸基または水分が含まれないようにするため、処理室内の残留水分を除去しつつ酸化物絶縁層366を成膜することが好ましい。なお、処理室内の残留水分の除去方法については、他の実施の形態で説明した方法を用いることができる。

40

【0324】

次に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行うことが好ましい。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャネル形成領域)が酸化物絶縁層366と接した状態で加熱される。

50

【0325】

本実施の形態では、酸化物絶縁層366によって覆われていない領域の酸化物半導体層332を、窒素、不活性ガス雰囲気下、または減圧下で加熱処理を行う。酸化物絶縁層366によって覆われていない領域の酸化物半導体層332は、窒素、不活性ガス雰囲気下、または減圧下で加熱処理を行うと、脱水素化と同時に酸素欠乏状態となることで低抵抗化することができる。例えば、窒素雰囲気下で250、1時間の加熱処理を行うとよい。

【0326】

酸化物絶縁層366が設けられた酸化物半導体層332に対する窒素雰囲気下の加熱処理によって、酸化物半導体層332の露出領域は低抵抗化し、抵抗の異なる領域(図16(B)においては斜線領域及び白地領域で示す)を有する酸化物半導体層362となる。

10

【0327】

次に、ゲート絶縁層322、酸化物半導体層362、及び酸化物絶縁層366上に、導電膜を形成した後、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って第1の電極365a、第2の電極365bを形成した後、レジストマスクを除去する(図16(C)参照。)。

【0328】

第1の電極365a、第2の電極365bの材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電膜は、単層構造でもよいし、2層以上の積層構造としてもよい。

20

【0329】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体層の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極361と重なるチャネル形成領域363は、I型となり、第1の電極365aに重なる低抵抗ソース領域364aと、第2の電極365bに重なる低抵抗ドレイン領域364bとが自己整合的に形成される。以上の工程により、トランジスタ360が形成される。

【0330】

さらに大気中、100以上200以下、1時間以上30時間以下の加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

30

【0331】

なお、第2の電極365b(及び第1の電極365a)と重畠した酸化物半導体層において低抵抗ドレイン領域364b(または低抵抗ソース領域364a)を形成することにより、トランジスタの信頼性の向上を図ることができる。具体的には、低抵抗ドレイン領域364bを形成することで、ドレイン電極から低抵抗ドレイン領域364b、チャネル形成領域363にかけて、導電性を段階的に変化させうるような構造とすることができます。そのため、第2の電極365bに高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極361と第2の電極365bとの間に高電界が印加されても低抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができます。

40

【0332】

次に、第1の電極365a、第2の電極365b、酸化物絶縁層366上に保護絶縁層323を形成する。本実施の形態では、保護絶縁層323を、窒化珪素膜を用いて形成する(図16(D)参照。)。

【0333】

50

本実施の形態で説明した酸化物半導体層を有するトランジスタを表示装置の表示部を構成する画素に用いることにより、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の消費電力を抑制することができる。また、静止画の表示をする際制御信号を停止することにより低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。

【0334】

(実施の形態6)

本実施の形態は、本明細書で開示する表示装置に適用できるトランジスタの他の例を示す。本実施の形態で示すトランジスタ350は、実施の形態1の画素部の各画素に用いるトランジスタ6401等に用いることができる。

10

【0335】

図17(D)に示すトランジスタ350はシングルゲート構造のトランジスタを示しているが、本発明はこの構成に限定されるものではなく、ゲート電極を複数有し、チャネル形成領域を複数有するマルチゲート構造のトランジスタとしてもよい。

【0336】

以下、図17(A)乃至(D)を用い、基板340上にトランジスタ350を作製する工程を説明する。

【0337】

まず、基板340上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極351を形成する。本実施の形態では、ゲート電極351として、膜厚150nmのタンゲステン膜を、スパッタ法を用いて形成する。

20

【0338】

次に、ゲート電極351上にゲート絶縁層342を形成する。本実施の形態では、ゲート絶縁層342としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素膜を形成する。

【0339】

次に、ゲート絶縁層342に導電膜を形成し、第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極355a、ドレイン電極355bを形成した後、レジストマスクを除去する(図17(A)参照。)。

30

【0340】

次に酸化物半導体層345を形成する(図17(B)参照。)。本実施の形態では、酸化物半導体層345としてIn-Ga-Zn-O系の金属酸化物ターゲットを用いてスパッタ法により成膜する。続いて、酸化物半導体層345を第3のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

【0341】

酸化物半導体層345を成膜する工程においては、処理室内の残留水分を除去しつつ酸化物半導体層345を成膜することにより、酸化物半導体層345に水素、水酸基または水分が含まれないようにすることができる。処理室内の残留水分の除去方法については、他の実施の形態で説明した方法を用いることができる。

40

【0342】

次に、酸化物半導体層の脱水化または脱水素化を行うために、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れさせないことで、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層346を得る(図17(C)参照。)。

【0343】

また、第1の加熱処理として、650～700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中

50

から出すG R T Aを行ってもよい。

【0344】

次に、酸化物半導体層346に接する酸化物絶縁層356を形成する。酸化物絶縁層356は、少なくとも1nm以上の膜厚とし、酸化物絶縁層356に水、水素等の不純物を混入させない方法（例えば、スパッタ法）を適宜用いて形成することができる。酸化物絶縁層356に水素が含まれると、その水素の酸化物半導体層への侵入、または水素による酸化物半導体層中の酸素の引き抜きが生じ、酸化物半導体層のバックチャネルが低抵抗化（N型化）してしまい、寄生チャネルが形成されるおそれがある。このため、酸化物絶縁層356はできるだけ水素を含まない膜になるような成膜方法を用いることが重要である。

10

【0345】

なお、酸化物絶縁層356の材料や成膜方法等については、実施の形態4における保護絶縁層396と同様のものを採用することができる。

【0346】

次に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層が酸化物絶縁層356と接した状態で加熱される。

20

【0347】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体層を酸素過剰な状態とする。その結果、I型の酸化物半導体層352が形成される。以上の工程により、トランジスタ350が形成される。

【0348】

さらに大気中、100以上200以下、1時間以上30時間以下の加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなるトランジスタを得ることができる。よって表示装置の信頼性を向上できる。

30

【0349】

なお、酸化物絶縁層356上に絶縁層をさらに設けてもよい。本実施の形態では、酸化物絶縁層356上に絶縁層343を形成する（図17（D）参照。）。絶縁層343の材料や成膜方法等については、実施の形態4における保護絶縁層398と同様のものを採用することができる。

【0350】

また、絶縁層343上の表面を平坦化する目的で、平坦化絶縁層を設けてもよい。

40

【0351】

本実施の形態で説明した酸化物半導体層を有するトランジスタを表示装置の表示部を構成する画素に用いることにより、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の消費電力を抑制することができる。また、静止画の表示をする際制御信号を停止することにより低消費電力化を図ることができる。また静止画と動画像との切り替えを誤動作なく行うことができる。

【0352】

（実施の形態7）

本実施の形態では、画素部に蓄光層を設けた表示装置の一態様について説明する。

【0353】

50

図18は下面射出構造の画素部の断面図であり、画素に設けられたトランジスタ（駆動用のトランジスタ）7211と、トランジスタ7211と電気的に接続された発光素子7212を含む切断面の断面図である。

【0354】

トランジスタ7211は、基板上に、絶縁層、酸化物半導体層、ソース電極層及びドレイン電極層、ゲート絶縁層、ゲート電極層を有し、ソース電極層及びドレイン電極層にそれぞれ配線層が電気的に接続して設けられている。

【0355】

また、トランジスタ7211を覆って絶縁層7231が形成され、絶縁層7231上に開口部を有する蓄光層7233が設けられている。また、蓄光層7233を覆って形成されたオーバーコート層7234及び絶縁層7235上に、透光性を有する導電膜7217が形成されている。なお、トランジスタ7211のドレイン電極7230と導電膜7217は、蓄光層7233、オーバーコート層7234、絶縁層7235、及び絶縁層7231に形成された開口部を介して電気的に接続している。また、導電膜7217上に発光素子7212の第1の電極7213が接して設けられている。なお、発光素子7212は、EL層7214を第1の電極7213と第2の電極7215の間に挟んだ構造を有し、第2の電極7015上には遮蔽膜7216が設けられている。

10

【0356】

なお、トランジスタ7211、及び発光素子7212は実施の形態3乃至6にて説明した方法を用いて作製することができるため、ここでは詳細な説明を省略する。

20

【0357】

蓄光層7233は蓄光材料を含み、隣接する発光素子が発する光を蓄える。隣接する発光素子が発光を中断した後も、蓄光層7233に含まれる蓄光材料が発光を継続する。本実施の形態では蓄光材料として銅付活硫化亜鉛（ZnS:Cu）を用いる。また、硫化ストロンチウム（SrS）等の硫化物を母体として付活剤を添加した蛍光体や、希土類を付活したアルカリ土類アルミニン酸塩などを用いることもできる。希土類を付活したアルカリ土類アルミニン酸塩の具体例としては、CaAl₂O₄:Eu、CaAl₂O₄:Nd、Sr₄Al₁₁O₂₅:Eu、Sr₄Al₁₁O₂₅:Dy、SrAl₂O₄:Eu、及びSrAl₂O₄:Dyが挙げられる。なお、蓄光材料として無機粒子を用いる場合、粒径が1nm以下であると蓄光性が失われるおそれがある。また、粒径が10μm以上である場合は、蓄光層の平坦性が損なわれるおそれがあり、発光素子の作製が困難になる。このため、粒径は1nm以上10μm以下とすることが好ましい。

30

【0358】

蓄光層7233が発光を継続する時間は、蓄光材料の種類によって変えることができる。すなわち、蓄光材料の種類によって発光を継続する時間、所謂残光時間が異なるため、用途に応じて材料を選択すればよい。例えば、表示内容を頻繁に書き換える必要が無い用途に用いる表示装置を具備する電子機器（例えば、電子ペーパー）には、残光時間が長い蓄光材料を選択して用いることが好ましい。また、比較的頻繁に表示を書き換える必要がある用途に用いる表示装置を具備する電子機器（例えば、テレビ受像器）は、残光時間の短い蓄光材料を選択して用いることが好ましい。

40

【0359】

また、蓄光層7233はバインダポリマーを含んでいてもよい。この場合、蓄光材料を分散した分散液を用いたインクジェット法などの液滴吐出法、印刷法、スピンドルコート法、フォトリソグラフィ技術を用いたエッチング方法などを適宜選択して形成することができる。

【0360】

また、蓄光層7233表面の凹凸を平坦化するために、蓄光層7233の表面をオーバーコート層7234で覆うことが好ましい。また、オーバーコート層7234を絶縁層7235で覆うことが好ましい。なお、図18においては、オーバーコート層7234及び保護絶縁層7235に形成され、且つ、ドレイン電極7230に達するコンタクトホール

50

は、隔壁 7219 と重なる位置に配置されている。

【0361】

また、蓄光層 7233 を設ける位置は、表示装置の使用者と発光素子との間に限定されない。例えば、透光性を有する一対の電極間に E-L 層を挟んだ両面射出構造の発光素子は透光性を有する。このように発光素子が透光性を有する場合は、蓄光層 7233 を表示装置の使用者からみて発光層の背面側に配置することができる。換言すれば、蓄光層と表示装置の使用者との間に発光素子を配置することも可能である。発光素子を表示装置の使用者と蓄光層の間に配置する場合、蓄光層が必ずしも透光性を有する必要がないため、蓄光材料の選択の幅を広げることができる。具体的には、粒径が 100 μm 以下の蓄光材料を利用できるようになる。

10

【0362】

以上説明したように、本実施の形態で説明した表示装置は、高純度の酸化物半導体層を有するトランジスタに加えて、蓄光層を画素部に含む。このような表示装置は、オフ電流が低減したトランジスタを画素に有することに加え、蓄光層を画素に有することで発光素子の発光間隔が長くてもちらつき（フリッカー）が目立たないという特徴を有する。すなわち、本実施の形態で説明した表示装置は、消費電力を抑制するとともに、静止画の表示品位に優れたものとすることができます。

【0363】

（実施の形態 8）

本実施の形態においては、上記実施の形態で説明した表示装置を具備する電子機器の具体例について説明する。ただし、本発明に適用可能な電子機器は、下記に示す具体例に限定されるものではない。

20

【0364】

図 19 (A) に示す電子機器は携帯型遊技機であり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、記録媒体読込部 9672 等を有する。また、携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能等を有していてもよい。なお、携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0365】

30

図 19 (B) に示す電子機器はデジタルカメラであり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、シャッターボタン 9676、受像部 9677 等を有する。デジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像情報を記憶素子に保存する機能、撮影した画像情報を表示部に表示する機能、テレビ受像機能等を有していてもよい。なお、デジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【0366】

図 19 (C) に示す電子機器はテレビ受像器であり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636 等を有する。テレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能等を有していてもよい。なお、テレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

40

【0367】

図 20 (A) に示す電子機器はコンピュータであり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、ポインティングデバイス 9681、外部接続ポート 9680 等を有する。コンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は

50

受信を行う機能等を有していてもよい。なお、コンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【0368】

図20(B)に示す電子機器は携帯電話機であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、マイクロフォン9638等を有する。携帯電話機は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能等を有していてもよい。なお、携帯電話機が有する機能はこれに限定されず、様々な機能を有することができる。

【0369】

図20(C)に示す電子機器は電子ペーパーであり、筐体9630、表示部9631、操作キー9635等を有する。電子ペーパーは、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能等を有していてもよい。なお、電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。また、電子ペーパーを用いる用途の具体例としては、電子書籍(電子ブック、e-bookともいう。)、ポスター、電車等の乗り物の車内広告等が挙げられる。

【0370】

図20(D)に示す電子機器はデジタルフォトフレームであり、筐体9701に表示部9703が組み込まれている。表示部9703は各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0371】

デジタルフォトフレームは、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部等を有する。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0372】

また、デジタルフォトフレームは、無線で情報の送受信が可能な機能を有していてもよい。この場合、無線により所望の画像データをデジタルフォトフレームに取り込み、表示させることができる。なお、デジタルフォトフレームが有する機能はこれらに限定されず、様々な機能を有することができる。

【0373】

本発明の一態様である表示装置をこれらの電子機器に適用することにより、静止画等を表示する際の低消費電力化を図ることができる。したがって、動画よりも静止画を表示する機会の多いデジタルカメラ、電子ペーパー、デジタルフォトフレーム等の電子機器に本発明の一態様である表示装置を適用した場合、消費電力低減の効果が顕著に現れるため、特に好ましい。

【符号の説明】

【0374】

- 1000 表示装置
- 1001 表示パネル
- 1002 信号生成回路
- 1003 記憶回路
- 1004 比較回路
- 1005 選択回路
- 1006 表示制御回路

10

20

30

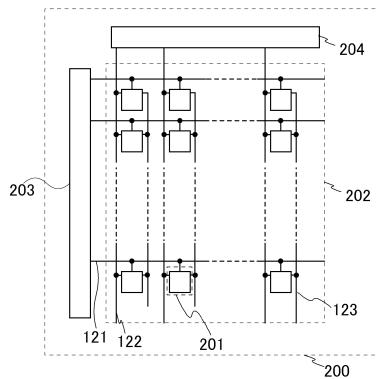
40

50

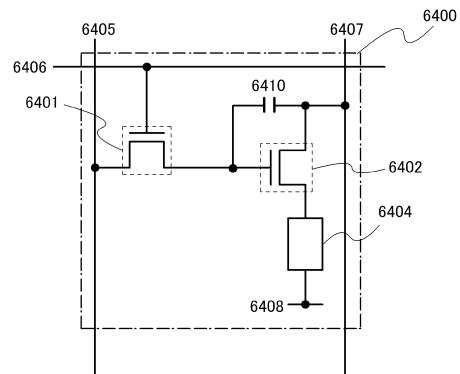
1 0 0 7 駆動回路部
 1 0 0 8 画素部
 1 0 0 9 A ゲート線駆動回路
 1 0 0 9 B 信号線駆動回路
 1 0 1 0 フレームメモリ

【図面】

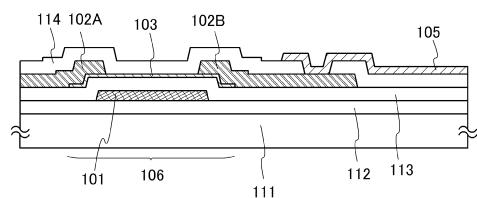
【図 1】



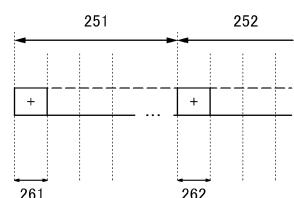
【図 2】



【図 3】



【図 4】



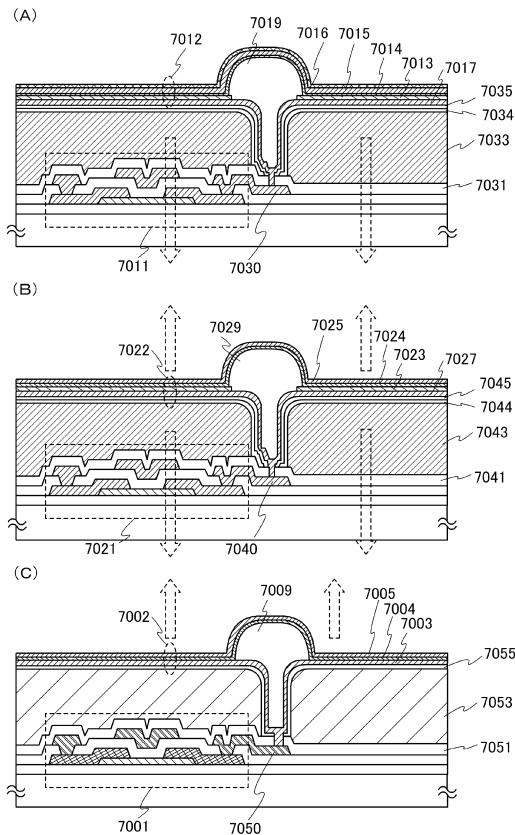
20

30

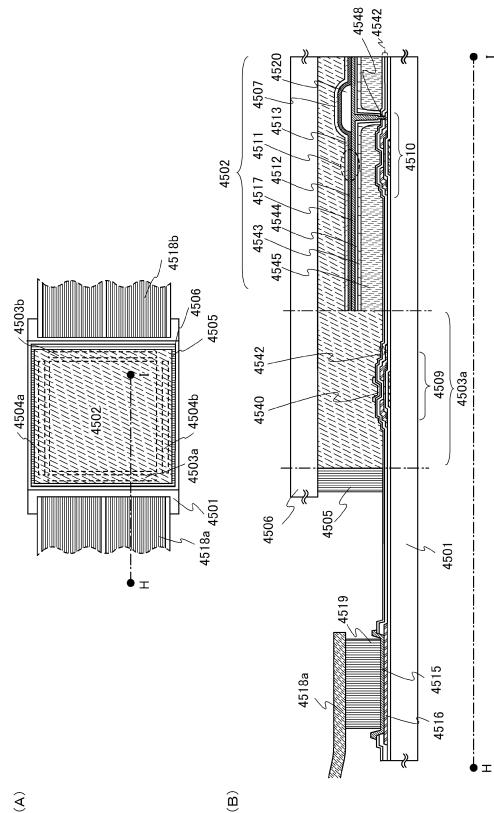
40

50

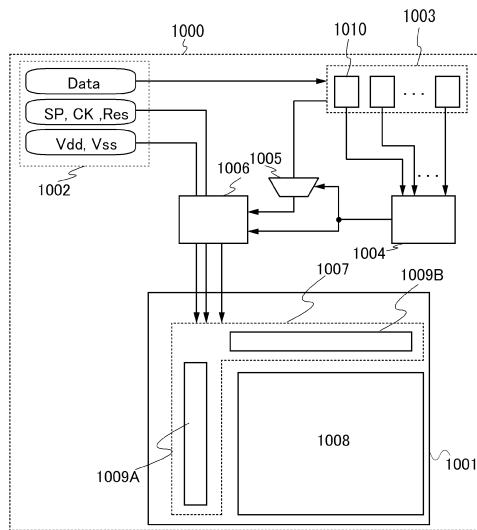
【 四 5 】



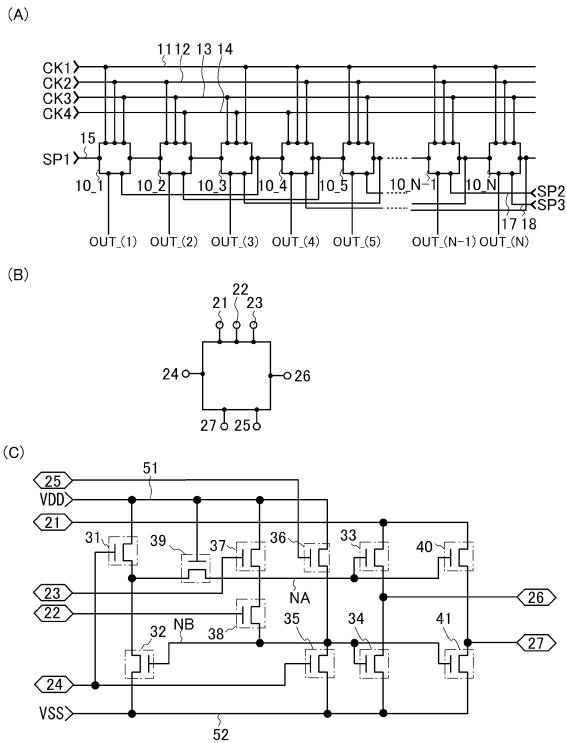
【 四 6 】



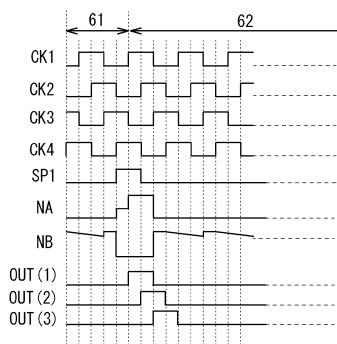
【 四 7 】



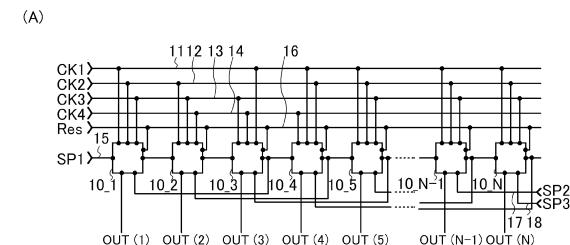
【 図 8 】



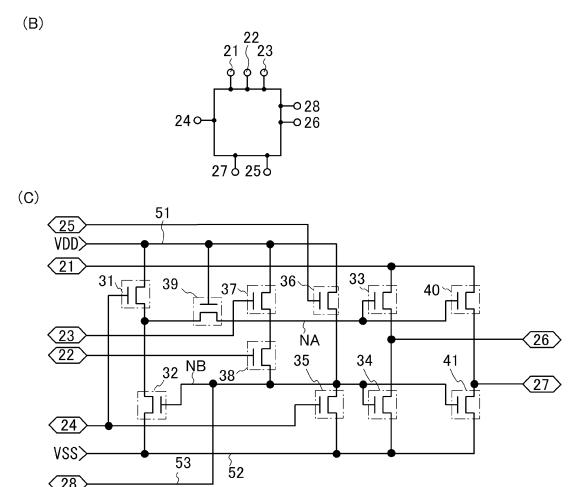
【 図 9 】



【図10】

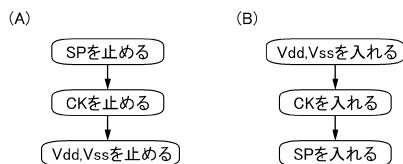


10

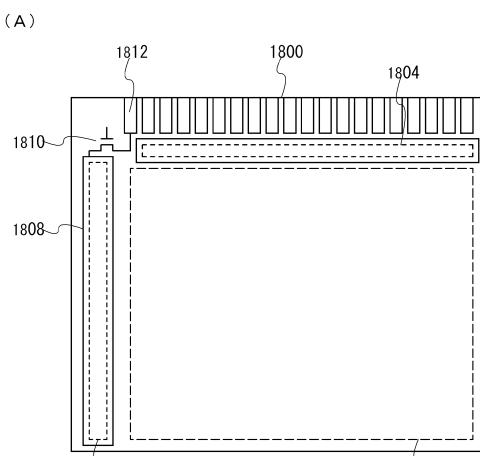


20

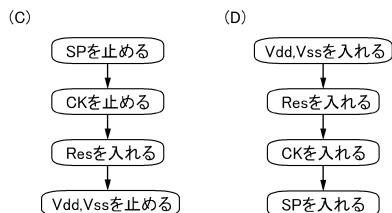
【図11】



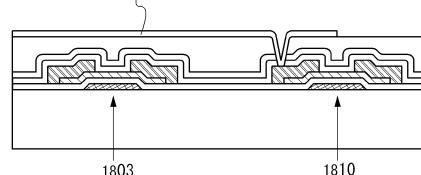
【図12】



30

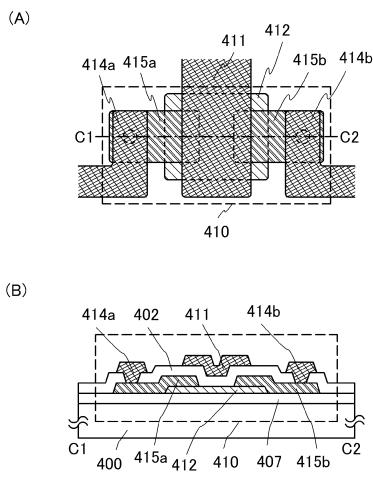


(B)

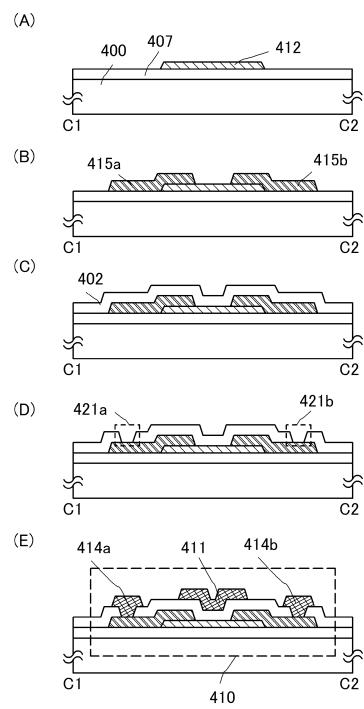


40

【図13】



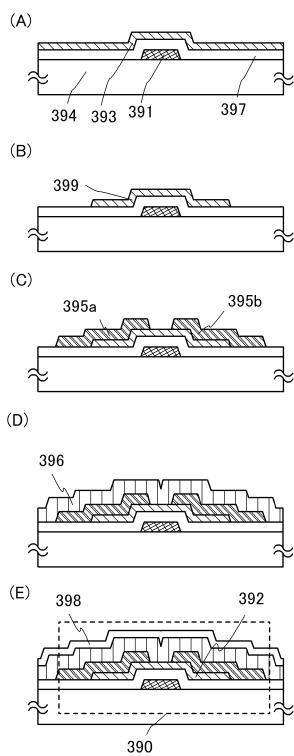
【図14】



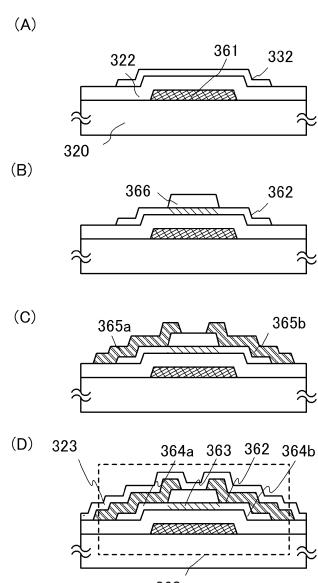
10

20

【図15】



【図16】

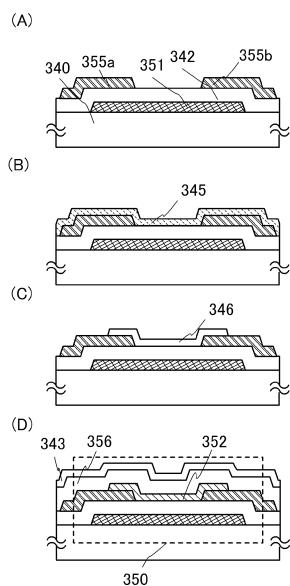


30

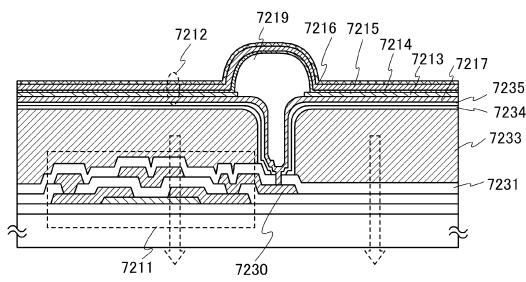
40

50

【図17】

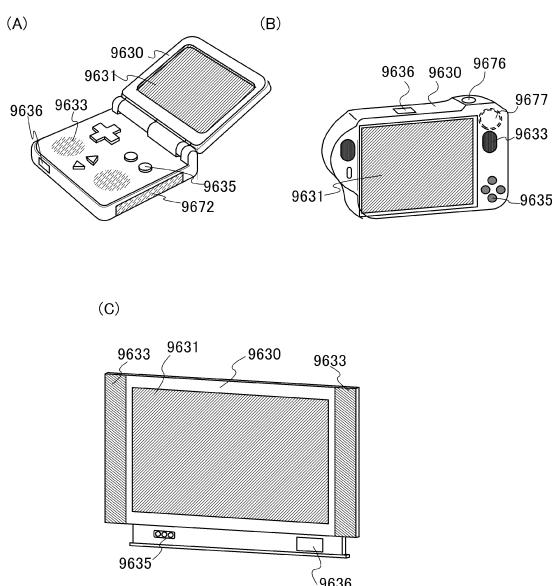


【図18】

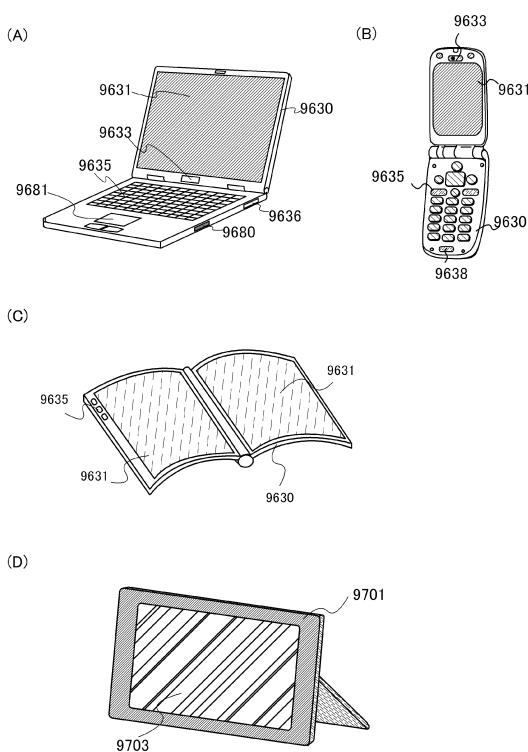


10

【図19】



【図20】



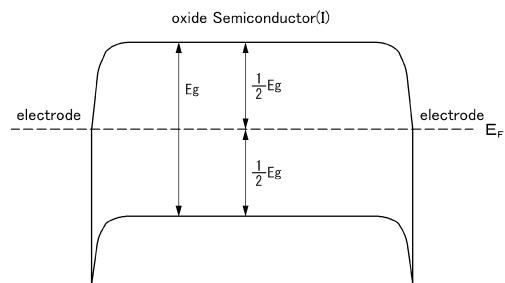
20

30

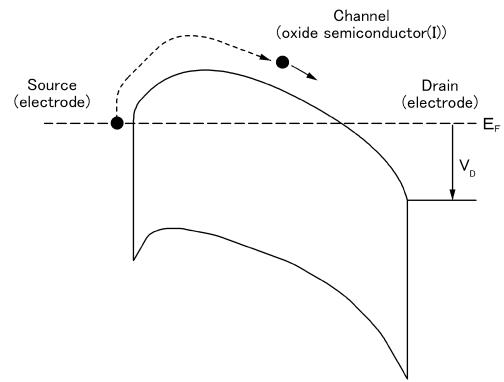
40

50

【図 2 1】

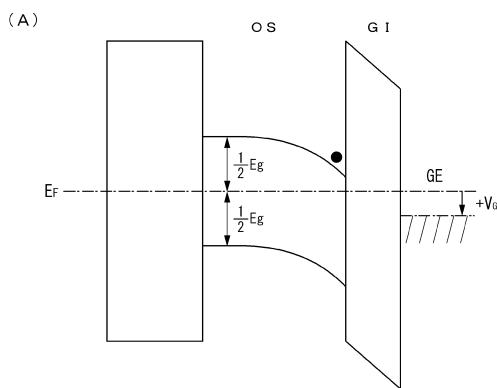


【図 2 2】

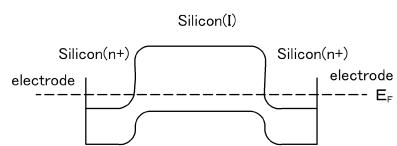


10

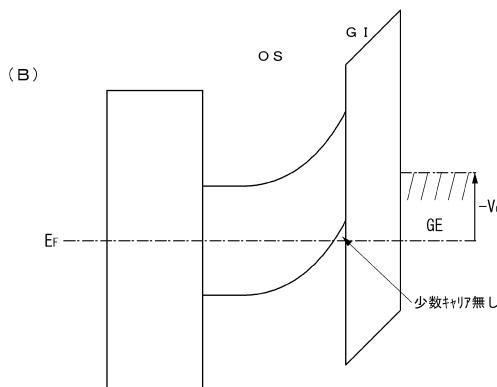
【図 2 3】



【図 2 4】



20

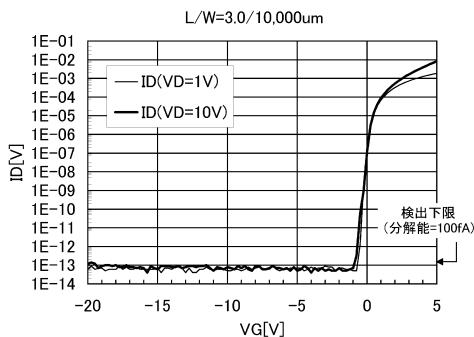


30

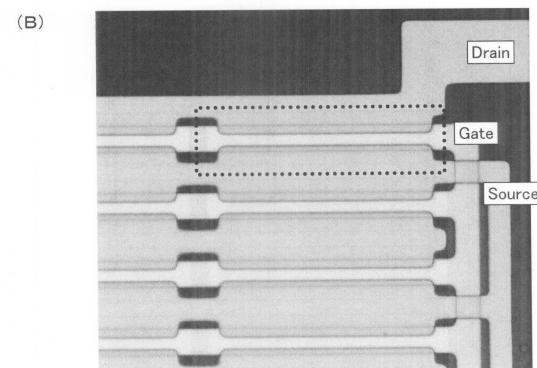
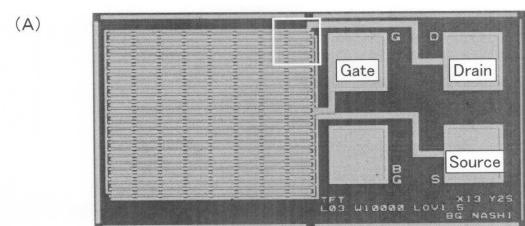
40

50

【図 2 5】



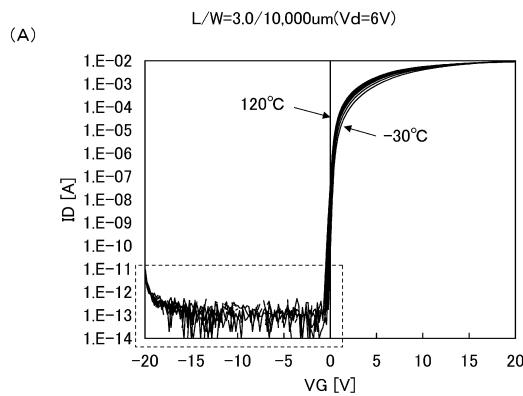
【図 2 6】



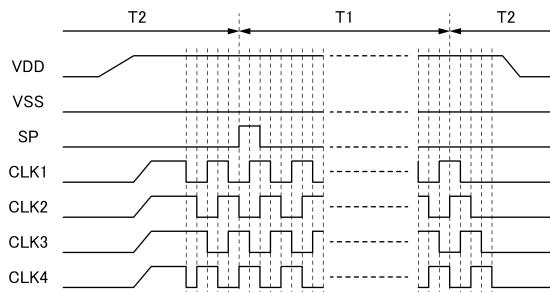
10

20

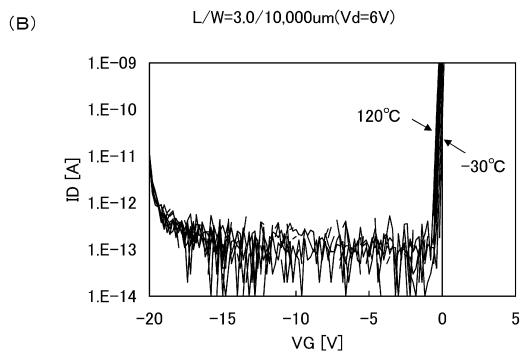
【図 2 7】



【図 2 8】



30



40

50

フロントページの続き

(51)国際特許分類

F I
H 0 1 L 29/78 6 1 6 S

(33)優先権主張国・地域又は機関

日本国(JP)

(56)参考文献

特開2006-349753 (JP, A)
特開2009-033145 (JP, A)
特開2008-053356 (JP, A)
特開2003-271075 (JP, A)
米国特許出願公開第2008/0179598 (US, A1)
韓国公開特許第10-2008-0073944 (KR, A)

(58)調査した分野 (Int.Cl. , DB名)

G 0 9 F 9 / 0 0 - 9 / 4 6
G 0 2 F 1 / 1 3 - 1 / 1 4 1
1 / 1 5 - 1 / 1 9
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8
4 4 / 0 0
4 5 / 6 0
H 1 0 K 5 0 / 0 0 - 9 9 / 0 0
H 0 1 L 2 1 / 3 3 6
2 9 / 7 8 6