

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 21/306 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년05월30일 10-0585084 2006년05월24일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2000-0019823 2000년04월15일	(65) 공개번호 (43) 공개일자	10-2001-0096862 2001년11월08일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 김지수
 경기도성남시분당구수내동대림파크타운139동2101호

 안태혁
 경기도용인시기홍읍신갈리14번지삼익아파트102동802호

 김현우
 경기도성남시분당구수내동푸른마을401동401호

(74) 대리인 리엔목특허법인

심사관 : 이창희

(54) 반도체 소자의 셀프 얼라인 콘택 식각 방법

요약

본 발명의 반도체 소자의 셀프 얼라인 콘택 식각 방법은 게이트 패턴 및 하드 마스크가 형성된 반도체 기판의 전면에 식각 방해막(etch blockade layer)을 형성한다. 이어서, 상기 식각 방해막 상에 중간막(intermediate layer)을 형성한 후, 상기 중간막 및 식각 방해막을 식각하여 상기 게이트 패턴 및 하드 마스크의 양측벽에 스페이서를 형성한다. 상기 스페이서 및 식각 방해막 상에 스톱퍼(stopper)를 형성한 후, 상기 스톱퍼가 형성된 결과물 전면에 층간 절연막을 충분한 두께로 평탄하게 형성한다. 상기 층간 절연막 상에 사진식각공정을 이용하여 포토레지스트 패턴을 형성한 후, 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 층간 절연막, 스톱퍼, 식각 방해막을 셀프 얼라인 콘택 식각(self-align contact etch)하는 단계를 포함한다. 특히, 본 발명은 상기 스톱퍼, 스페이서, 식각 방해막, 및 하드 마스크로써 실리콘 카바이드막으로 형성할 경우 상기 층간 절연막인 실리콘 산화막과의 식각선택비가 매우 우수하여 콘택홀을 안정되게 형성할 수 있다.

대표도

도 7

명세서

도면의 간단한 설명

도 1 내지 도 8은 본 발명의 제1 실시예에 의한 반도체 소자의 셀프 얼라인 콘택 식각 방법을 설명하기 위하여 도시한 단면도들이다.

도 9는 본 발명의 제2 실시예에 의한 반도체 소자의 셀프 얼라인 콘택 식각 방법을 설명하기 위하여 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 보다 상세하게는 반도체 소자의 셀프 얼라인 콘택 식각방법에 관한 것이다.

반도체 소자의 집적도가 높아짐에 따라 사진공정의 미스 얼라인 마진의 한계로 인하여 게이트 패턴과 플러그 폴리 또는 비트라인간의 전기적 쇼트 문제가 중요해지고 있다. 이에 따라 실리콘 기판 상에 형성된 하부 구조물에 따라 식각되는 셀프 얼라인 콘택 식각 공정이 개발되어 널리 사용되고 있다. 그런데, 이 공정은 기본적으로 층간 절연막인 실리콘 산화막과 스토퍼의 식각 선택비가 높아야 콘택홀을 안정되게 형성할 수 있다.

그런데, 종래의 셀프 얼라인 콘택 식각 방법은 주로 실리콘 질화막을 이용하여 스토퍼를 사용하기 때문에 집적도가 높아짐에 따라 콘택홀의 종횡비가 큰 반도체 소자에서는 콘택홀이 안정되게 형성할 수 없게 된다. 특히, 심할 경우는 콘택홀이 열리지 않는(contact not open) 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 콘택홀을 안정되게 형성할 수 있는 반도체 소자의 셀프 얼라인 콘택 식각 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명의 반도체 소자의 셀프 얼라인 콘택 식각 방법은 게이트 패턴 및 하드 마스크가 형성된 반도체 기판의 전면에 식각 방해막(etch blockade layer)을 형성한다. 이어서, 상기 식각 방해막 상에 중간막(intermediate layer)을 형성한 후, 상기 중간막 및 식각 방해막을 식각하여 상기 게이트 패턴 및 하드 마스크의 양측벽에 스페이서를 형성한다. 상기 스페이서 및 식각 방해막 상에 스토퍼(stopper)를 형성한 후, 상기 스토퍼가 형성된 결과물 전면에 층간 절연막을 충분한 두께로 평탄하게 형성한다. 상기 층간 절연막 상에 사진식각공정을 이용하여 포토레지스트 패턴을 형성한 후, 상기 포토레지스트 패턴을 식각 마스크로 하여 상기 층간 절연막, 스토퍼, 식각 방해막을 셀프 얼라인 콘택 식각(self-align contact etch)하는 단계를 포함한다.

상기 하드 마스크 및 식각 방해막은 실리콘 카바이드막(SiC), 실리콘 질화막(Si_3N_4), 아몰포스 카본막(amorphous carbon) 또는 보론나이트라이드막(BN막)으로 형성할 수 있다. 상기 중간막 및 스토퍼는 실리콘 질화막, 실리콘 산화막(SiO_2), 알루미늄 산화막(Al_2O_3) 또는 실리콘 카바이드막으로 형성할 수 있다. 특히, 상기 스토퍼, 스페이서, 식각 방해막, 및 하드 마스크로써 실리콘 카바이드막을 사용할 경우 실리콘 질화막을 사용하는 경우보다 층간 절연막인 실리콘 산화막에 대한 식각 선택비를 높일 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 1 내지 도 8은 본 발명의 제1 실시예에 의한 반도체 소자의 셀프 얼라인 콘택 식각 방법을 설명하기 위하여 도시한 단면도들이다.

도 1을 참조하면, 반도체 기판(1), 예컨대 실리콘 기판 상에 게이트 패턴(9) 및 하드 마스크(11)를 형성한다. 상기 게이트 패턴(9)은 실리콘 산화막으로 이루어진 게이트 절연막(3)과, 폴리실리콘막(5)과 텅스텐(또는 텅스텐 실리사이드, 7)으로 이루어진 게이트 전극(5,7)으로 구성된다. 상기 게이트 패턴(9)은 게이트 전극(5,7) 상에 형성된 하드 마스크(11)를 식각

마스크로 하여 게이트 패턴용 물질막을 식각함으로써 얻어진다. 상기 하드 마스크(11)는 500~2500Å의 두께로 실리콘 카바이드막(SiC), 실리콘 질화막(Si₃N₄), 아몰포스 카본막(amorphous carbon) 또는 보론나이트라이드막(BN막)으로 형성한다.

도 2를 참조하면, 상기 게이트 패턴(9) 및 하드 마스크(11)가 형성된 반도체 기판(1)의 전면에 식각 방해막(etch blockade layer, 13)을 300~600Å의 두께로 형성한다. 상기 식각 방해막(13)은 PE-CVD(plasma enhanced chemical vapor deposition)법으로 형성하며, 그 예로는 실리콘 카바이드막(SiC), 실리콘 질화막(Si₃N₄), 아몰포스 카본막(amorphous carbon) 또는 보론나이트라이드막(BN막)을 이용한다. 도 2에서는 상기 식각 방해막(13)을 PE-CVD법으로 형성하기 때문에 하드 마스크(11)의 상부에서는 두껍고 하부에서는 얇게 형성된다.

도 3을 참조하면, 상기 식각 방해막(13) 상에 중간막(intermediate layer, 15)을 50~600Å의 두께로 형성한다. 상기 중간막(15)은 LP-CVD(low pressure chemical vapor deposition)법을 이용하여 실리콘 질화막, 실리콘 산화막(SiO₂) 또는 알루미늄 산화막(Al₂O₃)을 형성하거나, PE-CVD법을 이용하여 실리콘 카바이드막을 형성한다. 상기 중간막(15)은 유전 상수가 낮은 물질로 형성하여 게이트 패턴(9)과 후에 형성되는 플러그 폴리 또는 비트라인간의 누화 현상(cross talk)을 최소화해야 한다.

도 4를 참조하면, 상기 중간막(15) 및 식각 방해막(13)을 식각하여 상기 게이트 패턴(9) 및 하드 마스크(11)의 양측벽에 스페이서(17)를 형성한다. 이때, 상기 식각 방해막(13)은 상기 게이트 패턴(9) 및 하드 마스크(11)의 양측벽 상에도 일부 남고 하드 마스크(11)의 표면상에도 남게 된다. 따라서, 게이트 패턴(9) 및 하드 마스크(11)는 식각 방해막(13) 및 스페이서(17)로 둘러싸이게 된다.

도 5를 참조하면, 게이트 패턴(9) 및 하드 마스크(11)를 둘러싸고 있는 스페이서(17) 및 식각 방해막(13) 상에 50~600Å의 두께로 스톱퍼(stopper, 19)를 형성한다. 상기 스톱퍼(19)는 상기 중간막(15)과 마찬가지로 LP-CVD법을 이용하여 실리콘 질화막, 실리콘 산화막(SiO₂) 또는 알루미늄 산화막(Al₂O₃)으로 형성하거나, PE-CVD법을 이용하여 실리콘 카바이드막을 형성한다. 이렇게 되면, 게이트 패턴(9) 및 하드 마스크(11)를 둘러싸고 있는 식각 방해막(13) 및 스페이서(17) 상에 스톱퍼(19)가 형성된다.

도 6을 참조하면, 상기 스톱퍼(19)가 형성된 결과물 전면에 층간 절연막(21)을 충분한 두께로 평탄하게 형성한다. 상기 층간 절연막(21)은 실리콘 산화막을 충분한 두께로 증착한 후 화학기계적연마공정이나 에치백 공정으로 평탄하게 한다. 이어서, 상기 층간 절연막(21) 상에 사진식각공정을 이용하여 포토레지스트 패턴(23)을 형성한다.

도 7을 참조하면, 상기 포토레지스트 패턴(23)을 식각 마스크로 하여 상기 층간 절연막(21), 스톱퍼(19), 스페이서(17) 및 식각 방해막(13)을 셀프 얼라인 콘택 식각(self-align contact etch)하여 반도체 기판(1)을 노출하는 콘택홀(25)을 형성한다. 상기 셀프 얼라인 콘택 식각은 C₄F₈, C₅F₈, Co, O₂, Ar의 조합(combination)가스를 이용하여 MERIE(Magnetically Enhanced Reative Ion Etcher)로 건식식각한다.

상기 셀프 얼라인 콘택 식각시 상기 스톱퍼(19), 스페이서(17), 식각 방해막(13), 및 하드 마스크(11)는 상기 층간 절연막(21)인 실리콘 산화막과의 식각선택비가 매우 우수하여 콘택홀을 안정되게 형성할 수 있기 때문에 상기 게이트 패턴(9)과 후속의 플러그 폴리 또는 비트 라인과의 전기적 쇼트 문제를 해결할 수 있다. 도 7에서는, 상기 스톱퍼(19), 스페이서(17), 식각 방해막(13) 및 하드 마스크(11)가 식각되는 것으로 도시되어 있으나, 식각 선택비에 따라 식각되지 않고 콘택홀(25)을 안정되게 형성할 수도 있다.

특히, 상기 스톱퍼(19), 스페이서(17), 식각 방해막(13), 및 하드 마스크(11)로써 실리콘 카바이드막을 사용할 경우 실리콘 질화막을 사용하는 경우보다 층간 절연막(21)인 실리콘 산화막에 대한 식각 선택비를 더욱 높일 수 있다. 예컨대, C₄F₈, O₂, Ar의 조합 가스를 이용하여 MERIE(Magnetically Enhanced Reative Ion Etcher)로 실리콘 산화막을 건식식각할 경우 실리콘 산화막의 식각속도는 약 5800Å/min인데, 동일한 조건에서 실리콘 질화막 및 실리콘 카바이드막을 식각할 경우, 실리콘 질화막 식각속도는 약 800Å/min, 실리콘 카바이드막의 식각 속도는 약 500Å/min이다. 또한, C₄F₈, CO, Ar의 조합 가스를 이용하여 MERIE(Magnetically Enhanced Reative Ion Etcher)로 실리콘 산화막을 건식식각할 경우 실리콘 산화막의 식각속도는 약 4000Å/min인데, 동일한 조건에서 실리콘 질화막 및 실리콘 카바이드막을 식각할 경우, 실리콘 질화막 식각속도는 약 500Å/min, 실리콘 카바이드막의 식각 속도는 약 90Å/min이다. 이를 셀프 얼라인 콘택 식각의 경우로 환산하면 실리콘 산화막에 대한 실리콘 질화막의 식각 선택비를 약10이고 실리콘 카바이드막은 약30 이상임을 알 수

있다. 이러한 고선택비는 전기적 쇼트를 낮추어주고 실리콘 산화막을 패턴들 사이를 잘 매립할 수 있다. 이러한 고선택비는 폴리머 이동으로 설명할 수 있는데, 실리콘 산화막은 건식 식각 중에 발생하는 산소 라디칼에 의해 폴리머 주성분인 카본이 제거되어 식각속도가 크게 반하여, 실리콘 카바이드막은 풍부한 카본 막질로 부산물이 생성되지 않아 식각 속도가 매우 느리게 된다.

도 8을 참조하면, 상기 포토레지스트 패턴(23)을 애싱(ashing) 및 스트립(strip) 공정을 통하여 제거한 후, 상기 콘택홀(25)에 폴리실리콘막을 형성한다. 이어서, 상기 폴리실리콘막을 화학기계적연마 또는 에치백하여 상기 콘택홀(25)에 플러그 폴리(27)를 형성한다. 이후에는 일반적인 반도체 소자의 제조공정을 이용한다.

도 9는 본 발명의 제2 실시예에 의한 반도체 소자의 셀프 얼라인 콘택 식각 방법을 설명하기 위하여 도시한 단면도이다. 도 9에서, 도 1 내지 도 8과 동일한 참조번호는 동일한 부재를 나타낸다.

구체적으로, 본 발명의 제2 실시예는 제1 실시예와 비교하여 셀프 얼라인 콘택 식각시 식각 구조가 좀 다른 것을 제외하고는 동일하다. 즉, 본 발명의 제2 실시예는 게이트 패턴(9) 및 하드 마스크(11)의 양측벽에 스페이서(17)가 형성되어 있고, 상기 게이트 패턴(9), 하드 마스크(11) 및 스페이서(17)를 둘러싸도록 스톱퍼(19)가 형성되어 있다. 그리고, 본 발명의 제2 실시예도 셀프 얼라인 콘택 식각시 상기 스톱퍼(19), 스페이서(17), 및 하드 마스크(11)는 상기 층간 절연막(21)인 실리콘 산화막과의 식각선택비가 매우 우수하여 콘택홀을 안정되게 형성할 수 있다.

이상, 실시예를 통하여 본 발명을 구체적으로 설명하였지만, 본 발명은 이에 한정되는 것이 아니고, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식으로 그 변형이나 개량이 가능하다.

발명의 효과

상술한 바와 같이 본 발명의 반도체 소자의 셀프 얼라인 콘택 식각 방법은 스톱퍼, 스페이서, 식각 방해막, 및 하드 마스크가 상기 층간 절연막인 실리콘 산화막과의 식각선택비가 매우 우수하여 콘택홀을 안정되게 형성할 수 있다. 특히, 상기 스톱퍼, 스페이서, 식각 방해막, 및 하드 마스크로써 실리콘 카바이드막을 사용할 경우 실리콘 질화막을 사용하는 경우보다 층간 절연막인 실리콘 산화막에 대한 식각 선택비를 높일 수 있다. 결과적으로, 본 발명에 의한 반도체 소자는 게이트 패턴과 후속의 플러그 폴리 또는 비트 라인과의 전기적 쇼트 문제를 해결할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 게이트 패턴 및 하드 마스크를 형성하는 단계;

상기 게이트 패턴 및 하드 마스크가 형성된 반도체 기판의 전면에 식각 방해막(etch blockade layer)을 형성하는 단계;

상기 식각 방해막 상에 중간막(intermediate layer)을 형성하는 단계;

상기 중간막 및 식각 방해막을 식각하여 상기 게이트 패턴 및 하드 마스크의 양측벽에 스페이서를 형성하는 단계;

상기 스페이서 및 식각 방해막 상에 스톱퍼(stopper)를 형성하는 단계;

상기 스톱퍼가 형성된 결과물 전면에 층간 절연막을 충분한 두께로 평탄하게 형성하는 단계;

상기 층간 절연막 상에 사진식각공정을 이용하여 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 식각 마스크로 하여 상기 층간 절연막, 스톱퍼, 식각 방해막을 셀프 얼라인 콘택 식각(self-align contact etch)하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 셀프 얼라인 콘택 식각 방법.

청구항 2.

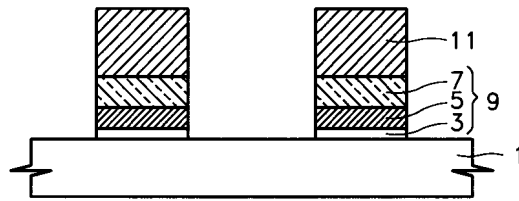
제1항에 있어서, 상기 하드 마스크 및 식각 방해막은 실리콘 카바이드막(SiC), 실리콘 질화막(Si₃N₄), 아몰포스 카본막(amorphous carbon) 또는 보론나이트라이드막(BN막)으로 형성하는 것을 특징으로 하는 반도체 소자의 셀프 얼라인 콘택 식각 방법.

청구항 3.

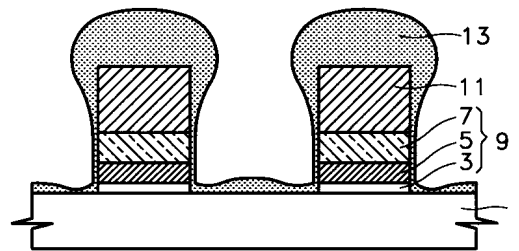
제1항에 있어서, 상기 중간막 및 스토퍼는 실리콘 질화막, 실리콘 산화막(SiO₂), 알루미늄 산화막(Al₂O₃) 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 셀프 얼라인 콘택 식각 방법.

도면

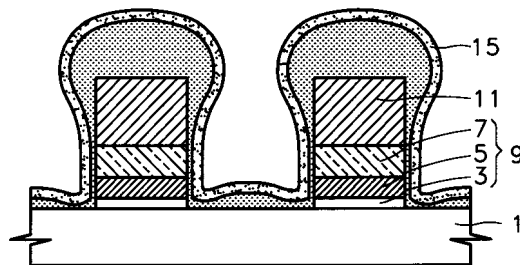
도면1



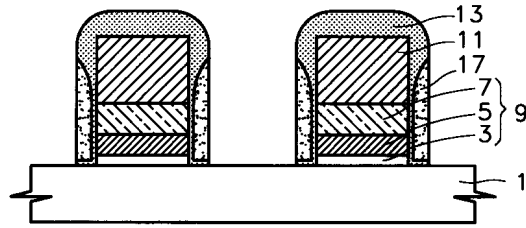
도면2



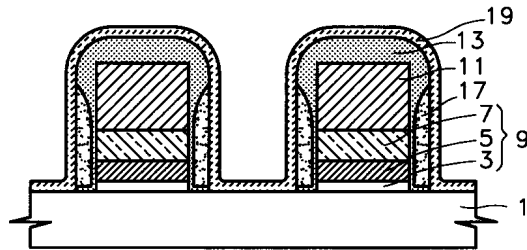
도면3



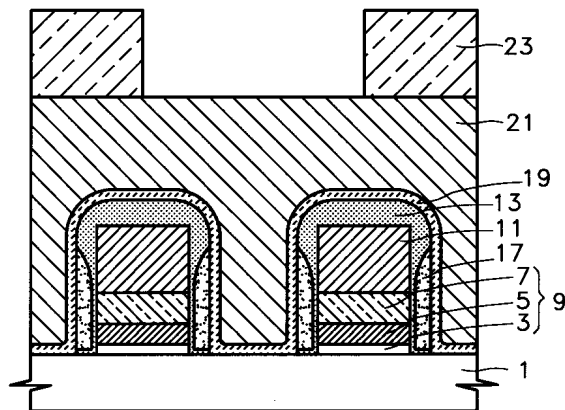
도면4



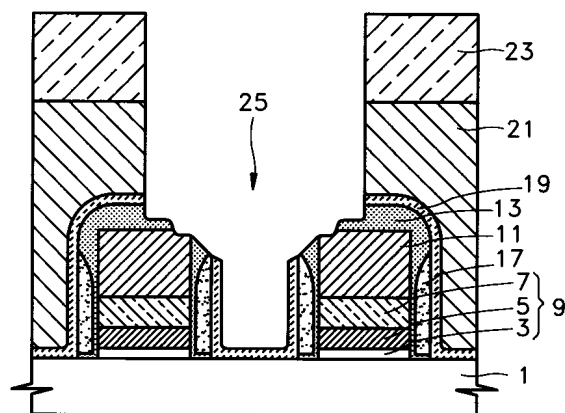
도면5



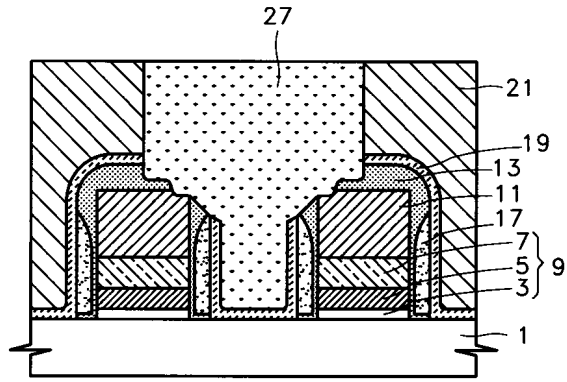
도면6



도면7



도면8



도면9

