

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92101497

※IPC分類：H01L 27/04

※申請日期：92年01月23日

壹、發明名稱：

(中文) 半導體積體電路裝置

(英文) 半導體集積回路裝置

貳、發明人(共4人)

發明人 1

姓 名：(中文) 豐嶋博

(英文) 豊嶋博

住居所地址：(中文) 日本國東京都小平市上水本町五丁目二二番一號 日立超愛爾・愛斯・愛・系統(股)內

(英文) 日本国東京都小平市上水本町五丁目22番1号 (株)日立超エル・エス・アイ・システムズ內

參、申請人(共2人)

申請人 1

姓名或名稱：(中文) 日立製作所股份有限公司

(英文) 株式会社日立製作所

住居所地址：(中文) 日本國東京都千代田區神田駿河台四丁目六番地

(或營業所) (英文) _____

國 籍：(中文) 日本

(英文) JAPAN

代 表 人：(中文) 1. 庄山悅彥

(英文) _____

發明人 2

姓 名：(中文) 林厚宏

(英文) 林厚宏

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所(股)知的財産權本部內

(英文) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作所知的財産權本部內

發明人 3

姓 名：(中文) 根岸剛己

(英文) 根岸剛己

住居所地址：(中文) 日本國東京都小平市上水本町五丁目二二番一號 日立超愛爾・愛斯・愛・系統(股)內

(英文) 日本国東京都小平市上水本町五丁目22番1号 (株)日立超エル・エス・アイ・システムズ內

發明人 4

姓 名：(中文) 上原高志

(英文) 上原高志

住居所地址：(中文) 日本國東京都小平市上水本町五丁目二二番一號 日立超愛爾・愛斯・愛・系統(股)內

(英文) 日本国東京都小平市上水本町五丁目22番1号 (株)日立超エル・エス・アイ・システムズ內

申請人 2 C00059510D姓名或名稱：(中文) 日立超愛爾・愛斯・愛・系統股份有限公司(英文) 株式会社日立超エル・エス・アイ・システムズ住居所地址：(中文) 日本國東京都小平市上水本町五丁目二番一號

(英文) _____

國 籍：(中文) 日本 (英文) JAPAN代 表 人：(中文) 1.小切間正彦

(英文) _____

捌、聲明事項

■主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1.日本 ; 2002/02/12 ; 2002-034651

(1)

玖、發明說明

【發明所屬之技術領域】

本發明是關於半導體積體電路裝置，特別是關於具有電路基板安裝用的凸塊電極(突起狀電極)的倒裝晶片型的半導體積體電路裝置，例如適用於同步 SRAM(靜態隨機存取記憶體)的有效技術。

【先前技術】

形成有焊錫凸塊(solder bump)等的突起狀電極的倒裝晶片(flip chip)型的半導體積體電路裝置的例子有日本特開平 5-218042號公報、日本特開平 8-250498號公報、美國專利第 5547740號公報。在這些各公報顯示有倒裝晶片型的半導體積體電路裝置的基本形態之一。根據該裝置，例如由該晶片(chip)的焊墊(bonding pad)拉引再配線，將連接於再配線的凸塊電極在晶片表面配置成陣列(array)狀，如此，使所配置的凸塊電極由表面保護膜露出。據此，使凸塊電極的間隔擴大，使在安裝基板的配線連接凸塊電極的基板安裝容易，並且使配線間隔寬、低成本的安裝基板的利用為可能。

在如上述的半導體積體電路裝置中，隨著 MOS 電晶體的微細化進行，因其崩潰電壓(breakdown voltage)下降故其動作電壓降低。因此，對於由外部供給高電位側電源 VDD 的情形，根據該高電位側電源 VDD 生成比其還低的位準(level)的內部電源 VDDI，以此為動作電源以供給到

(2)

內部電路。如此，根據高電位側電源 VDD 比其還低位準的內部電源 VDDI 是藉由限制器電路(limiter circuit)(也稱為降壓電路)生成。限制器電路包含驅動器 PMOS(p 通道型(channel)MOS 電晶體)，與比較內部電源 VDDI 的檢測結果與基準電壓 Vref，根據其比較結果驅動上述驅動器 PMOS 用的差動放大器。上述高電位側電源 VDD 是藉由在上述驅動器 PMOS 的源極/汲極間電壓下降而生成有內部電源 VDDI。對於此內部電源 VDDI 的位準變動的情形，此變動藉由反映於與上述基準電壓 Vref 的比較結果，以進行內部電源 VDDI 的反饋控制(feedback control)，據此，使內部電源 VDDI 被穩定化於預定的電位。

此外，針對用以使由外部供給的電源電壓降壓供給到內部電路的半導體積體電路裝置而記載的文獻的例子有日本特開平 2002-25260 號公報。

【發明所欲解決之課題】

在與時脈訊號(clock signal)同步動作的同步 SRAM(靜態隨機存取記憶體)或同步 DRAM(動態隨機存取記憶體)等的半導體記憶裝置中，有動作頻率逐漸上升的傾向，伴隨於此，在內部電路的消耗電流也增大。關於此點本案發明者檢討之後發現，在半導體記憶裝置中的許多的內部電路藉由限制器電路生成的內部電源 VDDI 被供給，由於在該內部電路的消耗電流的增大，若使電流集中於限制器電路的話，會招致在限制器電路或其週邊部的不希望的温度上

(3)

升，起因於此溫度上升有發生半導體積體電路裝置的特性劣化之虞，再者，因流過電源線的電流多，而藉由外部電源與限制器電路之間、限制器電路與內部電路之間的配線電阻造成的電壓下降增大，使內部電源 VDDI 的位準下降，因此有發生半導體積體電路裝置的特性劣化之虞。

本發明的目的是提供避免半導體積體電路裝置的特性劣化用的技術。

本發明的前述以及其他目的與新穎的特徵可由本說明書的記述以及添付圖面而明瞭。

【發明內容】

[用以解決課題之手段]

在本案中所揭示的發明之中，若簡單地說明代表的發明概要的話如以下所示。

亦即包含：半導體基板；

配設於上述半導體基板，構成電路的電路元件；

配設於上述半導體基板，與上述電路元件電氣結合的配線層；

具有開口部用以覆蓋上述電路而形成的有機絕緣膜；

疊層於上述有機絕緣膜，經由上述開口部電氣結合於上述配線層的導電層；以及

經由上述導電層電氣結合於上述配線層的凸塊電極，

而構成有半導體積體電路時，在上述電路配設分散配置於上述半導體基板，分別生成預定電壓位準的內部電源

(4)

用的複數個限制器電路，在上述限制器電路配設經由上述凸塊電極使由外部取入的電源的電壓位準下降的電晶體。而且，使上述電晶體的形成區域落到電源取入所使用的上述凸塊電極的形成位置的正下方而佈局(layout)。

如果依照上述手段，藉由複數個限制器電路被分散配置於上述半導體基板，電流集中於特定的限制器電路可避免，使在限制器電路或其週邊的不希望的溫度上升被抑制。而且，藉由該限制器電路內的電晶體的形成區域落到上述凸塊電極的形成位置的正下方而佈局，使由電源取入所使用的上述凸塊電極到對應此凸塊電極的上述電晶體的配線長被縮短。由於由此凸塊電極到對應此凸塊電極的上述電晶體的配線長被縮短，使該處的配線電阻被降低，因為起因於此配線電阻的電壓下降少即可完成，故可抑制內部電源的電壓位準的下降。此點可避免半導體積體電路裝置的特性劣化。

此時上述限制器電路可包含：

可檢測上述內部電源的電壓位準的電壓檢測電路；以及

用以比較上述電壓檢測電路的檢測結果與預定的基準電壓，控制上述電晶體的比較電路，而構成。而且，上述電晶體包含藉由互相並聯連接形成電晶體群的複數個 p 通道型電晶體，此電晶體群的至少一部分位於上述凸塊電極的形成位置的正下方而佈局。

爲了避免半導體晶片面積的增大，以上述複數個限制

(5)

器電路共有單一基準電壓生成電路的話佳。

包含：

用以對各部供給藉由上述限制器電路生成的內部電源的內部電源供給路徑；

排列成陣列狀的複數個記憶胞；以及

用以選擇上述複數個記憶胞的複數條字線時，藉由包含：

令上述內部電源供給路徑配置於互相接鄰的上述字線間，藉由與上述字線共通的配線層形成的複數條字線間電源配線；以及

藉由與上述字線間電源配線不同的配線層形成，交叉於上述字線間電源配線，並且電氣結合於上述字線間電源配線的複數條字線上層電源配線，而構成，可降低上述內部電源供給路徑中的配線電阻，以抑制該處的電壓下降的話佳。

在上述導電層可包含用以包圍上述凸塊電極的形成區域而形成的內部電源配線。而且，在上述導電層可包含用以傳達位址訊號的位址訊號配線，與用以對各部供給低電位側電源的低電位側電源配線，在此情形下對於降低雜訊或串擾(crosstalk)，上述位址訊號配線藉由被與其接鄰配置的上述低電位側電源配線屏蔽的話佳。再者，時脈訊號傳達線或位址訊號配線可使用上述導電層。

【實施方式】

(6)

[較佳實施例之詳細說明]

在第2圖顯示有與本發明有關的半導體積體電路裝置的一例的同步 SRAM。

此同步 SRAM2雖然未特別限制，惟在半導體晶片20結合有 BGA(Ball Grid Array:球狀柵極陣列)基板21而成。半導體晶片20雖然未特別限制，惟藉由公知的半導體積體電路製造技術形成於單晶矽基板等的一個半導體基板。BGA 基板21具有對零件安裝基板等的電氣結合為可能用的外部端子的 BGA 球24。半導體晶片20與 BGA 基板21是經由凸塊電極25電氣結合。

在圖1是顯示由箭頭23的方向看圖2所示的同步 SRAM2中的半導體晶片20的情形的佈局的例子。

在半導體晶片20於其橫方向形成有被二分割配置的記憶胞陣列(memory cell array)101、102，在此記憶胞陣列101、102間配置有中央電路部125。記憶胞陣列101、102是複數個靜態型記憶胞排列成陣列狀而成。

在記憶胞陣列101、102中的縱方向的中央部配置有用以驅動對應的記憶胞陣列中的字線用的字線驅動器103、104。

在上述中央電路部125雖然未特別限制但包含用以生成被作成內部電源的高電位側電源 VDDI 的限制器電路105~112、資料的輸入輸出為可能的輸入輸出電路(DQ)113~116、位址訊號的取入為可能的輸入電路117~120、一時地保持輸出資料選擇性地外部輸出用的輸出暫存器

(7)

以及選擇器(selector)(Req./SEL)121、122、一時地保持位址預先解碼該位址用的位址暫存器以及預先解碼器(ADR Reg./Pre Dec)123以及用以生成基準電壓的基準電壓產生電路123等。

此處在本例中，爲了避免電路元件或配線中的電流集中，令八個限制器電路105~112在中央電路部125中分散而配置，藉由此八個限制器電路105~112分擔對內部電路的電源供給，以謀求每一個限制器電路的負荷的減輕。各個限制器電路105~112藉由根據來自基準電壓產生電路124的基準電壓 V_{ref} 使分別被給予的高電位側電源 V_{DD} 降壓而生成高電位側電源 V_{DDI} 。雖然未特別限制但當令高電位側電源 V_{DD} 的電壓位準爲2.5V時，令高電位側電源 V_{DDI} 的電壓位準爲1.2V。爲了謀求半導體晶片面積的縮小化，基準電壓產生電路124被上述複數個限制器電路105~112共有。

在圖5顯示有上述限制器電路105~112的構成例。

令上述限制器電路105~112爲互相同一的構成，分別包含差動放大器501、電阻502、503以及 p 通道型 MOS 電晶體504而成。上述差動放大器501藉由被供給高電位側電源 V_{DD} 而動作。電阻502、503是串聯連接，結合於高電位側電源 V_{DDI} 的線與低電位側電源 V_{SS} (接地)的線，檢測高電位側電源 V_{DDI} 的電壓變動。此檢測結果(依照電阻502、503的值的分壓輸出)被傳達到差動放大器501的非反轉輸入端子(+)。而且，在差動放大器501的反轉輸入端子

(8)

(-)在基準電壓產生電路124產生的基準電壓 V_{ref} 被傳達。在差動放大器501比較在上述電阻502、503的檢測結果與來自上述基準電壓產生電路124的基準電壓 V_{ref} ，根據其比較結果控制上述 p 通道型 MOS 電晶體504的接通(on)電阻值。p 通道型 MOS 電晶體504藉由使高電位側電源 VDDI 的電壓位準降壓而輸出高電位側電源 VDDI。高電位側電源 VDDI 的電壓位準因負荷的變動而變動的情形，該電壓位準的變動反映於電阻502、503的分壓輸出位準，傳達到差動放大器501。對於電阻502、503的分壓輸出位準比基準電壓 V_{ref} 還低的情形，藉由差動放大器501的輸出訊號使 p 通道型 MOS 電晶體504的接通電阻值下降，據此，高電位側電源 VDDI 的電壓位準提高。而且，對於電阻502、503的分壓輸出位準比基準電壓 V_{ref} 還高的情形，藉由差動放大器501的輸出訊號使 p 通道型 MOS 電晶體504的接通電阻值上升，據此，高電位側電源 VDDI 的電壓位準下降。藉由這種反饋控制使高電位側電源 VDDI 的電壓位準穩定化。

被上述限制器電路105~112穩定化的高電位側電源 VDDI 被傳達到對應的內部電路。藉由供給有高電位側電源 VDDI 而動作的內部電路例如可舉出輸入電路117~120、記憶胞陣列101、102以及週邊電路505。此處，在週邊電路505包含有輸出暫存器以及選擇器(Req./SEL)121、122或位址暫存器以及預先解碼器(ADR Reg./Pre Dec)123。對上述內部電路的高電位側電源 VDDI 的供給因可儘可能抑制

(9)

在電源供給路徑的電壓下降，故由最接近上述內部電路的位置的限制器電路105~112進行較佳。

此外，在輸入輸出電路113~116被供給由外部供給的高電位側電源 VDDQ。雖然未特別限制但此高電位側電源 VDDQ 的電壓位準設為 1.5V。

在圖 14顯示有上述差動放大器 501的構成例。

如圖 14所示，上述差動放大器 501是結合有 p 通道型 MOS 電晶體 1401、1402、1403、1404與 n 通道型 MOS 電晶體 1405、1406、1407而成。n 通道型 MOS 電晶體 1405、1406藉由其源電極(source electrode)經由 n 通道型 MOS 電晶體 1407結合於低電位側電源 VSS 而被差動結合。n 通道型 MOS 電晶體 1407藉由其閘電極(gate electrode)被供給預定的控制電壓而當作定電流源的功能。n 通道型 MOS 電晶體 1405的汲電極(drain electrode)經由 p 通道型 MOS 電晶體 1401、1402結合於高電位側電源 VDD。n 通道型 MOS 電晶體 1406的汲電極經由 p 通道型 MOS 電晶體 1403、1404結合於高電位側電源 VDD。藉由在 p 通道型 MOS 電晶體 1404電流鏡(current mirror)結合有 p 通道型 MOS 電晶體 1402，以形成有 n 通道型 MOS 電晶體 1405、1406(差動對)的電流鏡型負荷。在 n 通道型 MOS 電晶體 1405的閘電極被傳達來自基準電壓產生電路124的基準電壓 Vref。在 n 通道型 MOS 電晶體 1406的閘電極被傳達電阻 502、503的分壓輸出。由 p 通道型 MOS 電晶體 1401、1402的串聯連接節點，可得到此差動放大器 501的輸出訊號，此輸出被

(10)

傳達到 p 通道型 MOS 電晶體 504 的閘電極。

此外，在圖 14 所示的構成中省略 p 通道型 MOS 電晶體 1401、1403 也可以。

在圖 10 顯示有記憶胞陣列 101、102 中的主要構成。

在記憶胞陣列 101、102 中字線被作成階層構造。在主字線 MWL1 的下位配設有與其對應的八條次字線 SWL11~SWL18，在主字線 MWL2 的下位配設有與其對應的八條次字線 SWL21~SWL28，以交叉於上述主字線 MWL1、MWL2 或次字線 SWL11~SWL18、SWL21~SWL28 的方式配設有資料線對 DL1、DL1*、DL2、DL2*(*是顯示邏輯反轉)。在次字線 SWL11~SWL18、SWL21~SWL28 與資料線對 DL1、DL1*、DL2、DL2* 的交叉位置配設有資訊的記憶為可能的記憶胞 MC。此記憶胞 MC 被作成靜態型，包含 p 通道型 MOS 電晶體 1001 與 n 通道型 MOS 電晶體 1002 串聯連接而成的第一反相器(inverter)，與 p 通道型 MOS 電晶體 1003 與 n 通道型 MOS 電晶體 1004 串聯連接而成的第二反相器結合成環狀而成的記憶部，與選擇性地結合此記憶部於對應的資料線對 DL1、DL1*、DL2、DL2* 用的 n 通道型 MOS 電晶體 1005、1006。上述記憶部是藉由供給有高電位側電源 VDDI 而動作。藉由複數條次字線 SWL11~SWL18、SWL21~SWL28 之中的一個被驅動成選擇位準，使與其對應的 n 通道型 MOS 電晶體 1005、1006 被導通，藉由對應的資料線對 DL1、DL1*、DL2、DL2* 結合於記憶部，使對對應的記憶胞 MC 的資料寫入或來自該記

(11)

憶胞 MC 的資料讀出為可能。

此處如圖 11 所示，對於使與代表地顯示的主字線 MWL1、MWL2、MWL3 交叉而形成有高電位側電源 VDDI 的電源配線 1101、1102 的情形，在複數條主字線 MWL1、MWL2、MWL3 間存在預定的空間的情形，藉由在此複數條主字線 MWL1、MWL2、MWL3 間配設電源配線，以進行高電位側電源 VDDI 的補強的話佳。例如如圖 12 所示，在主字線 MWL1、MWL2 間配設主字線間電源配線 1201，在主字線 MWL2、MWL3 間配設主字線間電源配線 1202。然後，主字線 MWL1、MWL2 與主字線間電源配線 1201、1202 藉由設於這些線的交叉位置的貫通孔 1203 導通。如此，對於主字線間電源配線 1201、1202 被追加進行電源補強的情形，與不進行電源補強的情形(參照圖 11)比較，可謀求對記憶胞陣列 101、102 供給的高電位側電源 VDDI 的電壓位準的穩定化。例如相對於不進行電源補強的情形(參照圖 11)中的高電位側電源 VDDI 的配線電阻為 $0.15\ \Omega$ ，如圖 12 所示對於進行電源補強的情形，如圖 13 所示可將高電位側電源 VDDI 的配線電阻降到 $0.05\ \Omega$ 。如此，藉由減小電源配線電阻，使在該電源配線電阻的電壓下降變少。

在圖 16 顯示有圖 2 中的凸塊電極以及其附近的剖面，在圖 17 圖 16 中的主要部 26 是擴大而顯示。而且，在圖 18 圖 17 中的半導體晶片 20 是擴大而顯示。

在半導體晶片 20 的一主面側形成有由未圖示的電路元件以及配線構成的電路。即形成有用以形成 MOS 電晶體

(12)

的擴散層199，在其上疊層有金屬配線層200、201、202、203、204。金屬配線層200被作成最下位配線層(ML)，金屬配線層201被作成第一配線層(M1)，金屬配線層202被作成第二配線層(M2)，金屬配線層203被作成第三配線層(M3)，金屬配線層204被作成第四配線層(M4)。此第四配線層(M4)被作成半導體晶片20中的最上位配線層。在擴散層199與金屬配線層200之間以及金屬配線層200、201、202、203、204間中介有用以避免這些層的電氣接觸的絕緣層。擴散層200與金屬配線層201之間可藉由接觸孔(contact hole)電氣結合。而且，互異的配線層201、202、203、204間可藉由貫通孔電氣結合。金屬配線層200、201、202、203、204為互異的配線層，而且因藉由絕緣膜隔絕，故像互相交叉的配線為可能。金屬配線層204被作成半導體晶片20中的金屬配線層的最上層。在此最上層的金屬配線層204具有開口部265，以覆蓋半導體晶片20中的電路的方式形成有機絕緣膜263。金屬配線層的最上層中的上述開口部265的位置被作成與其他配線層的結合用的貫通孔或錫墊(pad)。有機絕緣膜263雖然未特別限制惟以聚醯亞胺(polyimide)構成。而且，在此有機絕緣膜263疊層有當作經由上述開口部265電氣結合於上述金屬配線層204的導電層的再配線層266。此再配線層266也被稱為WPP(晶圓製程封裝)配線層。上述再配線層266疊層有異種金屬層，且藉由電氣結合有這些層當作一個配線層的功能。在本例中，藉由利用再配線層266進行對半導體晶片20

中的電路的電源供給或位址訊號的傳達。雖然未特別限制惟上述再配線層266藉由疊層有由銅(Cu)構成的配線層262與由鎳(Ni)構成的配線層261，以謀求低電阻化。在再配線層266中於對應上述開口部265的位置，除了電氣結合有凸塊電極25的開口部267外形成有有機絕緣膜268。

在圖3顯示有上述同步SRAM中的再配線層與連接於此再配線層的凸塊電極以及鉚墊的佈局，而且，在圖4顯示有圖3中的線段301中的切斷剖面。

在圖3中凸塊電極以圓形記號表示，小的四角是顯示藉由金屬配線層204形成的鉚墊。凸塊電極、鉚墊以及再配線層爲了區別施壓於該處的電壓或訊號的不同，被實施網狀線或陰影線、塗抹等。

在半導體晶片的中央沿著其縱方向形成有高電位側電源VDD的傳達線305。而且以夾著此高電位側電源VDD的傳達線305的方式形成有高電位側電源VDDI的傳達線325或低電位側電源VSS的傳達線326。經由上述高電位側電源VDD的傳達線305或高電位側電源VDDI的傳達線325以及低電位側電源VSS的傳達線326，使高電位側電源VDD的凸塊電極307~312與313~318對向配置。而且，此12個凸塊電極307~318是以由外部取入高電位側電源VDD的方式而配設。此12個凸塊電極307~318之中，八個凸塊電極307、309、310、312、313、315、316、318的形成位置是對應圖1所示的限制器電路105~112的形成位置，經由凸塊電極307、309、310、312、313、315、316、318取入的

(14)

高電位側電源 VDD 供給到分別對應的限制器電路105~112。在本例中限制器電路105~112中的 p 通道型 MOS 電晶體504的形成區域是落於上述凸塊電極的形成位置的正下方而形成。如此而形成乃因藉由縮短由凸塊電極307、309、310、312、313、315、316、318到與其對應的 p 通道型 MOS 電晶體504的距離，而儘可能抑制在該處的電壓下降。高電位側電源 VDD 例如如圖6所示由配設於 BGA 基板21的 BGA 球24經由 BGA 基板21內的導電線61、63以及結合這些導電線用的貫通孔62傳達到凸塊電極307~318，而且，由此凸塊電極307~318傳達到再配線層266中的高電位側電源 VDD 的傳達線，然後經由半導體晶片20中的金屬配線層200~204傳達到 p 通道型 MOS 電晶體504的源電極。因此，如上述用以在落於上述凸塊電極的形成位置的正下方的位置配設 p 通道型 MOS 電晶體504的形成區域的話，因凸塊電極307~318與對應於此的 p 通道型 MOS 電晶體504之間的距離最短，故可謀求由凸塊電極307~318到與其對應的 p 通道型 MOS 電晶體504的源電極的配線長的縮短化。

而且，上述高電位側電源 VDDI 的傳達線325在各半導體晶片被線段 A-A'以及 B-B'四等分割而得的四個矩形區域，以分別包圍高電位側電源 VDD 的凸塊電極307~309、310~312、313~315、316~318的形成區域的方式而形成。高電位側電源 VDD 的凸塊電極307~309、310~312、313~315、316~318因大致被與 p 通道型 MOS 電晶體504的

形成區域的關係決定，故需避開此高電位側電源 VDD 的凸塊電極 307~309、310~312、313~315、316~318 的形成區域，以形成高電位側電源 VDDI 的傳達線。對於避開高電位側電源 VDD 的凸塊電極 307~309、310~312、313~315、316~318 的形成區域而且圓滑地對許多內部電路供給高電位側電源 VDDI，在再配線層 266 中，在每一半導體晶片被線段 A-A' 以及 B-B' 四等分割而得的四個矩形區域，以分別包圍高電位側電源 VDD 的凸塊電極 307~309、310~312、313~315、316~318 的形成區域的方式而形成高電位側電源 VDDI 的傳達線 325，由此傳達線 325 傳達到半導體晶片 20 中的金屬配線 204 較有利。

此外，傳達到金屬配線 204 的高電位側電源 VDDI 經由屬於其下位的的金屬配線層 200~203 傳達到內部電路。

而且，在本例中由令外部取入的位址訊號也經由再配線層 266 傳達的例如在代表地顯示的位址訊號或控制訊號輸入用的凸塊電極（以雙重圓形表示）結合有由再配線層 266 構成的位址訊號傳達線 304，經由此位址訊號傳達線 304 到對應的鉑墊為止進行位址訊號的傳達。而且，由此鉑墊經由半導體晶片 20 中的金屬配線層傳達到位址暫存器以及預先解碼器 (ADR Reg./Pre Dec) 123。因再配線層 266 為低電阻，故若用以使用這種再配線層 266 進行位址訊號的傳達的話，因位址訊號的延遲量少故可謀求位址訊號傳達時間的縮短化。

而且，在本例為了避免在位址訊號傳達線混入雜訊，

而且來自接鄰的位址傳達線的串擾，藉由低電位側電源 VSS 的傳達線以屏蔽(shield)位址訊號傳達線。例如以夾著位址訊號傳達線 304 的方式併設有低電位側電源 VSS 的傳達線 302、303，據此，位址訊號傳達線 304 被接鄰於此的低電位側電源 VSS 的傳達線 302、303 屏蔽。此外，其他的位址訊號傳達線也同樣地被接鄰於此的低電位側電源 VSS 的傳達線屏蔽。

上述 p 通道型 MOS 電晶體 504 因需要大的驅動能力，故實際上使用並聯連接有複數個 p 通道型 MOS 電晶體者。以下說明對於凸塊電極 307 與其對應的 p 通道型 MOS 電晶體 504 的配置關係。

在圖 7 擴大凸塊電極 307 附近的佈局而顯示。

上述 p 通道型 MOS 電晶體 504 包含藉由互相並聯連接而形成第一電晶體群 701 以及第二電晶體群 702 的複數個電晶體群。第一電晶體群 701 以及第二電晶體群 702 是具有預定間隔而併設。而且，以此第一電晶體群 701 以及第二電晶體群 702 的一部分位於凸塊電極 307 的正下方而佈局。上述第一電晶體群 701 以及第二電晶體群 702 分別具有 11 個佈局單位電路 704。此外，703 是顯示用以結合再配線層 266 與金屬配線層 204 的貫通孔。

在圖 8 顯示有上述佈局單位電路 704 的構成例。在圖 9 圖 8 中的線段 801 的切斷剖面圖是擴大顯示。

在圖 9 所示的 N 型井(N-WELL)藉由配設有兩個 P⁺區域以形成有一個 p 通道型 MOS 電晶體。這種 p 通道型 MOS

(17)

電晶體係每一個佈局單位電路704形成有37個，藉由這些以金屬配線層結合而互相並聯連接。上述兩個P⁺區域之中的一方被作成源電極，他方被作成汲電極。在上述源電極經由金屬配線層200~204供給高電位側電源VDD。而且，在上述汲電極經由金屬配線層200~204結合有高電位側電源VDDI的傳達線。在上述兩個P⁺區域之間形成有閘電極901。佈局單位電路704中的所有的p通道型MOS電晶體的閘電極結合於與其對應的限制器電路105~112中的差動放大器501的輸出端子。此外，互異的金屬配線層藉由貫通孔進行電氣結合。

如果依照上述例子，可得到以下的作用功效。

(1)、因藉由複數個限制器電路105~112被分散配置於半導體基板，電流集中於特定的限制器電路可避免，使在限制器電路105~112或其週邊的不希望的溫度上升被抑制，故可避免起因於在限制器電路105~112或其週邊的不希望的溫度上升的特性劣化。

(2)、因單一的基準電壓產生電路124被複數個限制器電路105~112共有，無須每一限制器電路配設基準電壓產生電路124，故可避免半導體晶片面積的增大。

(3)、對於主字線間電源配線1201、1202被迫加進行電源補強的情形，與不進行電源補強的情形比較，可謀求對記憶胞陣列101、102供給的高電位側電源VDDI的電壓位準的穩定化。據此，可避免起因於高電位側電源VDDI的位準降低的同步SRAM2的特性劣化。

(18)

(4)、以夾著位址訊號傳達線304的方式併設有低電位側電源 VSS 的傳達線302、303，據此，位址訊號傳達線304被與其接鄰的低電位側電源 VSS 的傳達線302、303屏蔽。如此，因藉由位址訊號傳達線的屏蔽被進行，可避免在位址訊號傳達線混入雜訊，而且來自接鄰的位址訊號傳達線的串擾，故可避免在同步 SRAM2中起因於雜訊等的誤動作。

以上根據發明的實施形態具體地說明了由本發明者所創作的發明，惟本發明並非限定於前述發明的實施形態，當然在不脫離其要旨的範圍可進行種種的變更。

例如可經由再配線層266(參照圖17)傳達時脈訊號。在圖15顯示有該情形的構成例。

經由 BGA 球1501由外部取入的時脈訊號經由 BGA 基板21內的導電線1506傳達到時脈訊號用的凸塊電極1502，經由此凸塊電極1502藉由由再配線層266構成的時脈訊號傳達線1504傳達到半導體晶片20內的時脈緩衝電路1505。而且，由此時脈緩衝電路1505輸出的時脈訊號經由由再配線層266構成的時脈訊號傳達線1507傳達到複數個輸出暫存器電路1503等的電路。因使用再配線層266的時脈訊號傳達線1504、1507為低電阻，故即使此時脈訊號傳達線1504、1507被配線成較長，因在該處的時脈訊號的延遲少即可完成，故可謀求時脈訊號傳達的高速化。

在以上的說明主要是說明適用由本發明者所進行的發明於成為其背景的利用領域的同步 SRAM 的情形，但是本

發明並非限定於此，可廣泛地適用於各種半導體積體電路裝置。

本發明可有條件地適用於至少在半導體基板形成有電路元件或配線層。

【發明的功效】

如果簡單地說明藉由在本案中所揭示的發明之中代表的發明所獲得的功效的話，如以下所示。

即因藉由複數個限制器電路被分散配置於半導體基板，電流集中於特定的限制器電路可避免，據此可抑制在限制器電路週邊的不希望的溫度上升被抑制，故可避免半導體積體電路裝置的特性劣化。而且，藉由該限制器電路內的電晶體的形成區域落到凸塊電極的形成位置的正下方而佈局，藉由由凸塊電極到與其對應的上述電晶體的配線長被縮短，使該處的配線電阻被降低電壓下降變少，使內部電源的電壓位準下降被抑制，故可避免半導體積體電路裝置的特性劣化。

【圖式之簡單說明】

第1圖是與本發明有關的半導體積體電路裝置的一例的同步SRAM中的半導體晶片的佈局說明圖。

第2圖是上述同步SRAM的側面圖。

第3圖是上述同步SRAM2中的再配線層與和其連接的凸塊電極以及鉚墊的佈局說明圖。

(20)

第4圖是第3圖中的主要部位的切斷剖面圖。

第5圖是包含於上述同步 SRAM 的限制器電路的構成例電路圖。

第6圖是上述同步 SRAM 中的主要配線路徑的說明圖。

第7圖是包含於上述同步 SRAM 的凸塊電極附近的佈局說明圖。

第8圖是第7圖所示的凸塊電極附近中的主要部位的構成例說明圖。

第9圖是第8圖中的主要部位的切斷剖面圖。

第10圖是上述同步 SRAM 中的記憶胞陣列的構成例電路圖。

第11圖是一般記憶胞陣列中的主字線與其上層的電源配線的關係說明圖。

第12圖是上述同步 SRAM 中的記憶胞陣列中的主字線與其上層的電源配線的關係說明圖。

第13圖是用以說明上述記憶胞陣列中的電源配線補強的效果的特性圖。

第14圖是包含於上述同步 SRAM 的限制器電路中的差動放大電路的構成例電路圖。

第15圖是上述同步 SRAM 中的時脈訊號傳達系的構成例電路圖。

第16圖是上述凸塊電極及其附近的剖面圖。

第17圖是第16圖中的主要部位的擴大圖。

(21)

第 18 圖 是 第 17 圖 中 的 主 要 部 位 的 擴 大 圖 。

[圖 號 說 明]

2: 同 步 S R A M

3: 傳 達 線

20: 半 導 體 晶 片

21: B G A 基 板

24: B G A 球

25: 凸 塊 電 極

26: 主 要 部 位

101、102: 記 憶 胞 陣 列

103、104: 字 驅 動 器

105~112: 限 制 器 電 路

113~116: 輸 入 輸 出 電 路

117~120: 輸 入 電 路

121、122: 輸 出 暫 存 器 以 及 選 擇 器

123: 位 址 暫 存 器 以 及 預 解 碼 器

124: 基 準 電 壓 產 生 電 路

125: 中 央 電 路 部

200~204: 金 屬 配 線

263: 有 機 絕 緣 膜

265: 開 口 部

266: 再 配 線 層

267: 開 口 部

(22)

301: 線 段

304: 位 址 訊 號 傳 達 線

305: 高 電 位 側 電 源 VDD 的 傳 達 線

307~318: 凸 塊 電 極

325: 高 電 位 側 電 源 VDDI 的 傳 達 線

326: 低 電 位 側 電 源 VSS 的 傳 達 線

501: 差 動 放 大 器

502、503: 電 阻

504、1001、1401、1402、1403、1404: p 通 道 型 MOS

電 晶 體

505: 週 邊 電 路

701: 第 一 電 晶 體 群

702: 第 二 電 晶 體 群

704: 佈 局 單 位 電 路

1101、1102: 高 電 位 側 電 源 VDDI 的 電 源 配 線

1201、1202: 主 字 線 間 電 源 配 線

1203: 貫 通 孔

1002、1005、1006、1405、1406、1407: n 通 道 型 MOS

電 晶 體

1504、1507: 時 脈 訊 號 傳 達 線

1505: 時 脈 緩 衝 電 路

DL1、DL1*、DL2、DL2*: 資 料 線 對

VDD: 高 電 位 側 電 源

VDDI: 內 部 電 源

(23)

MC: 記憶胞

SWL11~SWL18、SWL21~SWL28: 次字線

VSS: 低電位側電源

MWL1、MWL2、MWL3: 主字線

M1: 第一配線層

M2: 第二配線層

M3: 第三配線層

M4: 第四配線層

肆、中文發明摘要

發明之名稱：半導體積體電路裝置

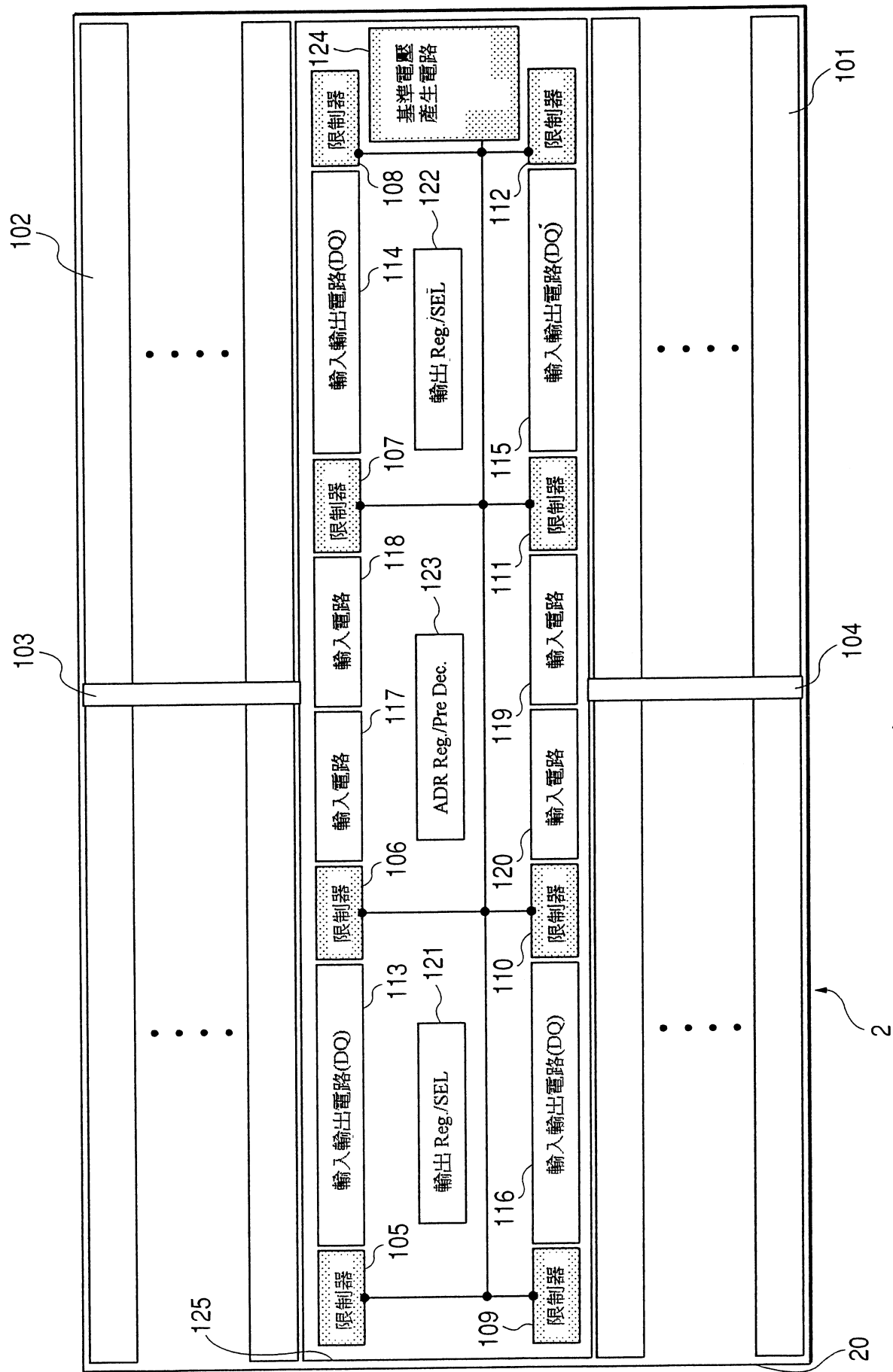
避免半導體積體電路裝置的特性劣化。

【解決手段】

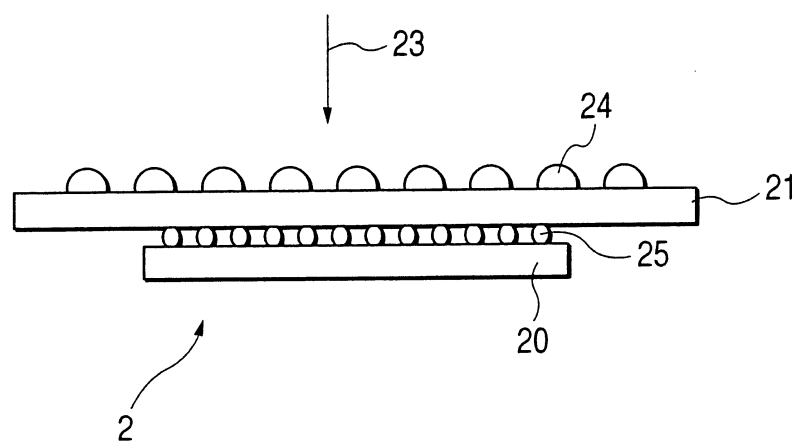
配設分散配置於半導體基板，分別生成預定電壓位準的內部電源用的複數個限制器電路(105~109)，包含於此限制器電路的電晶體的形成區域落到上述凸塊電極的形成位置的正下方而佈局。藉由複數個限制器電路分散配置於半導體基板，以避免電流集中於特定的限制器電路，據此，在限制器電路週邊的不希望的溫度上升被抑制。而且，由於由凸塊電極到與其對應的上述電晶體的配線長被縮短，使該處的配線電阻降低而電壓下降變少，使內部電源的電壓位準下降被抑制。

伍、英文發明摘要

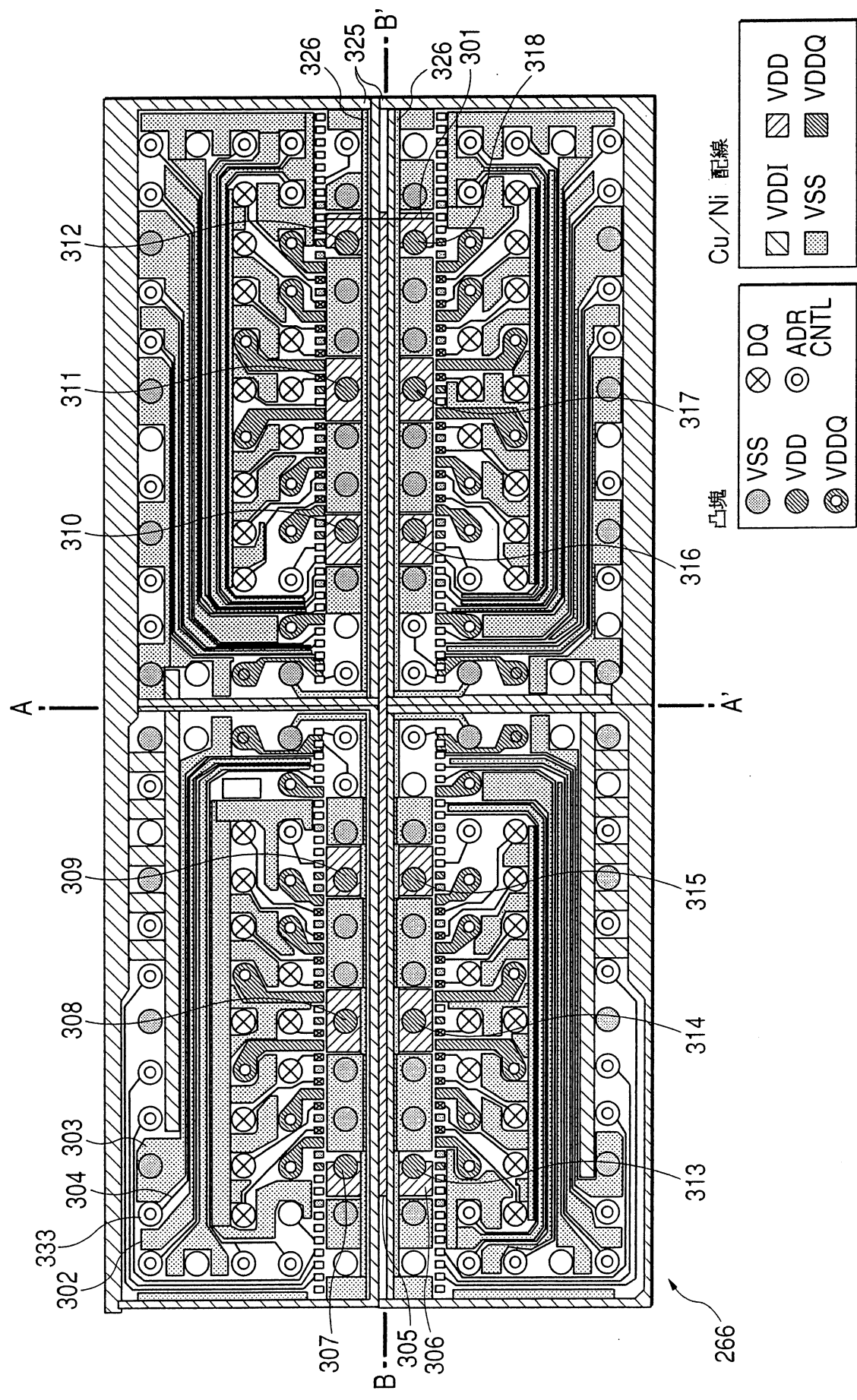
發明之名稱：



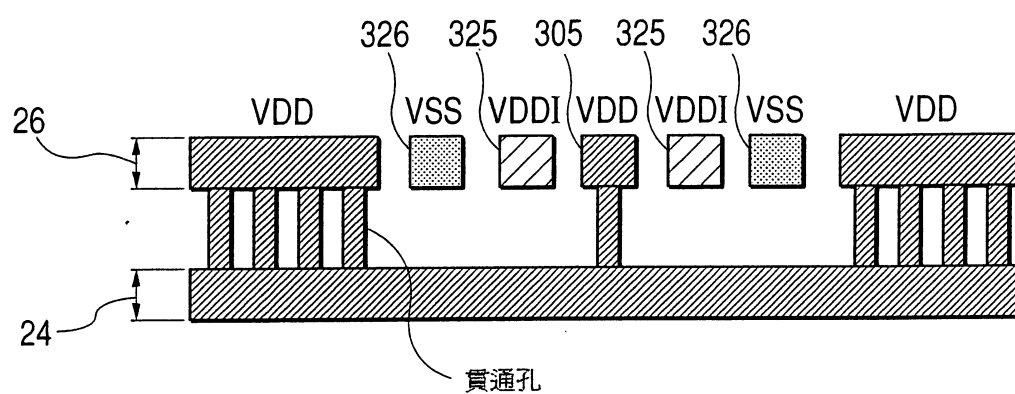
第 1 圖



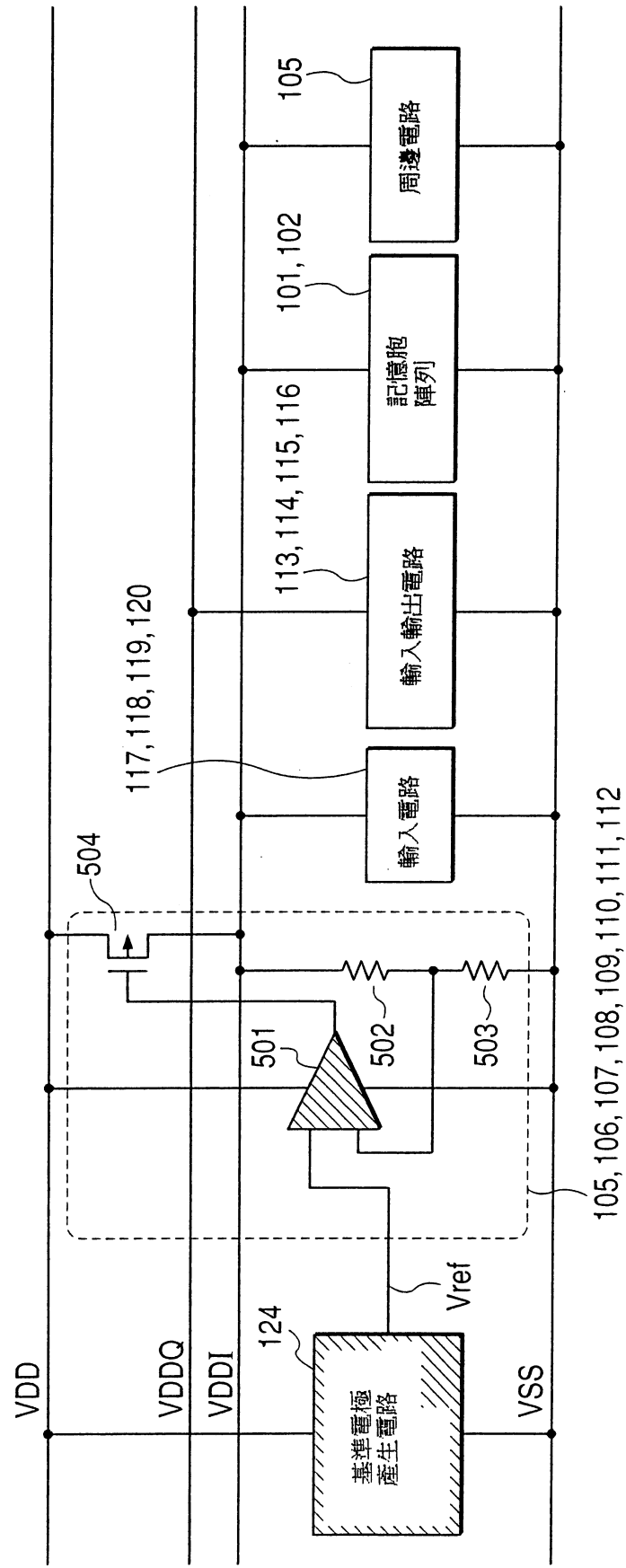
第 2 圖



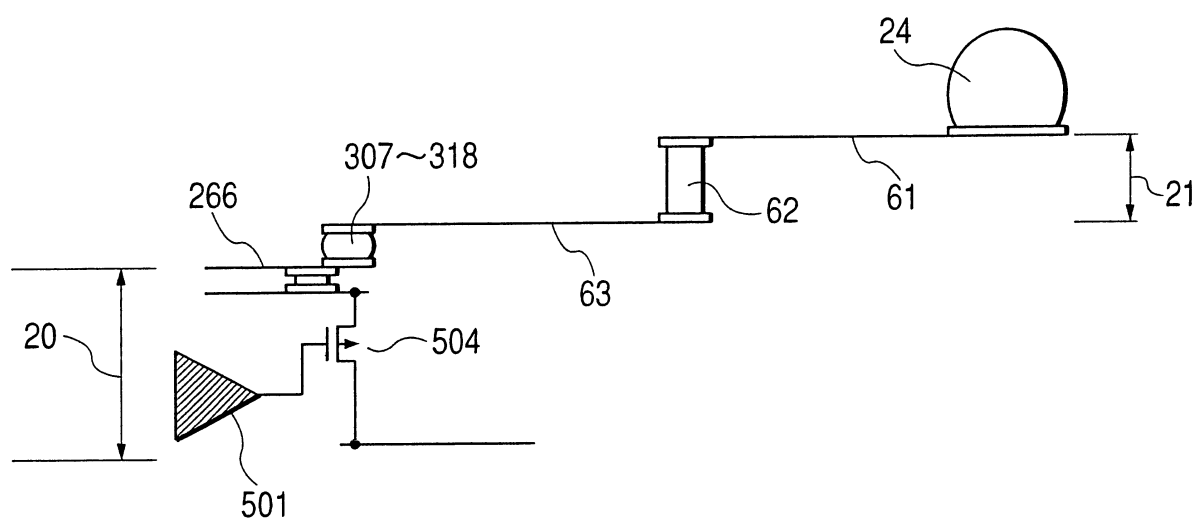
第 3 圖



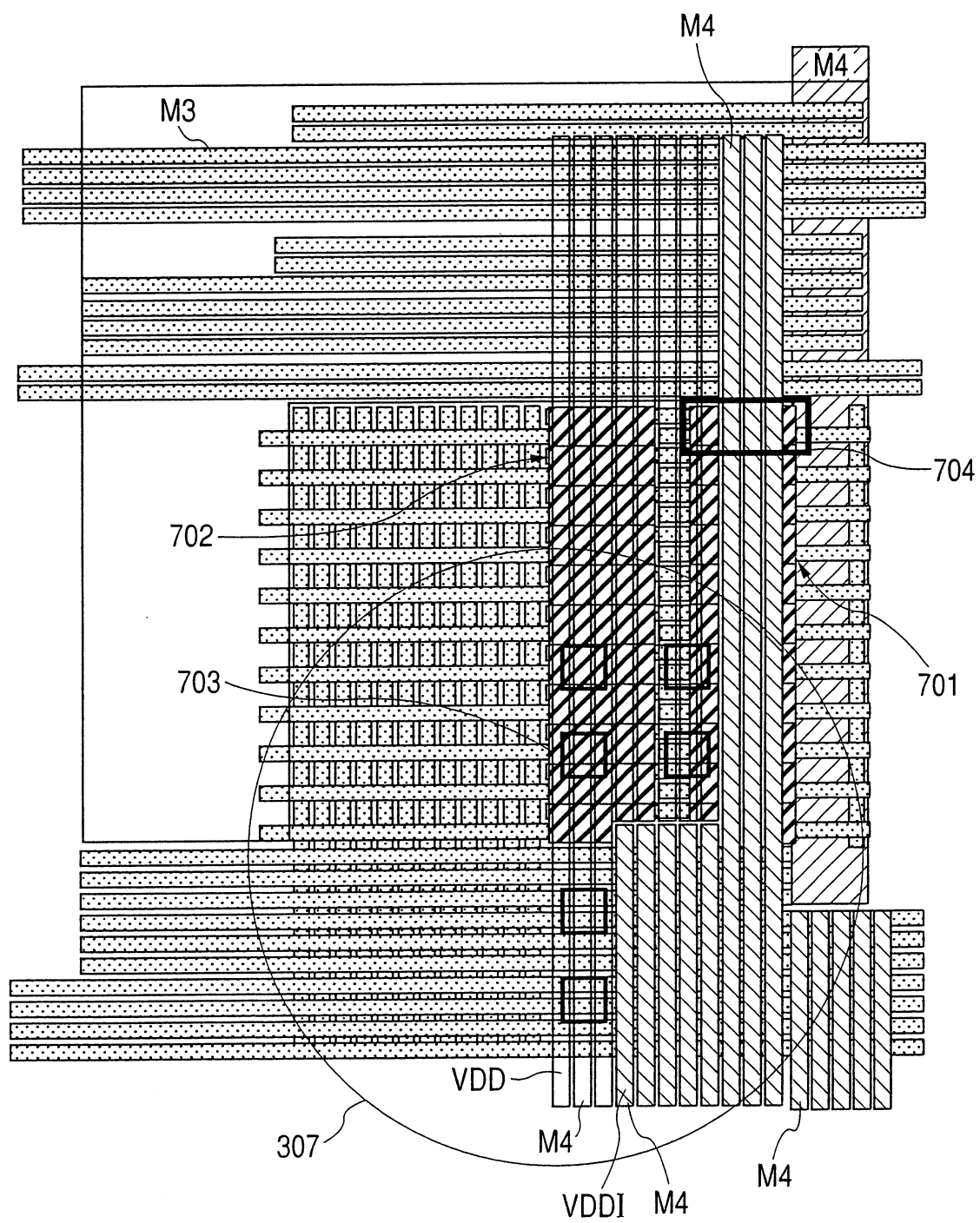
第 4 圖



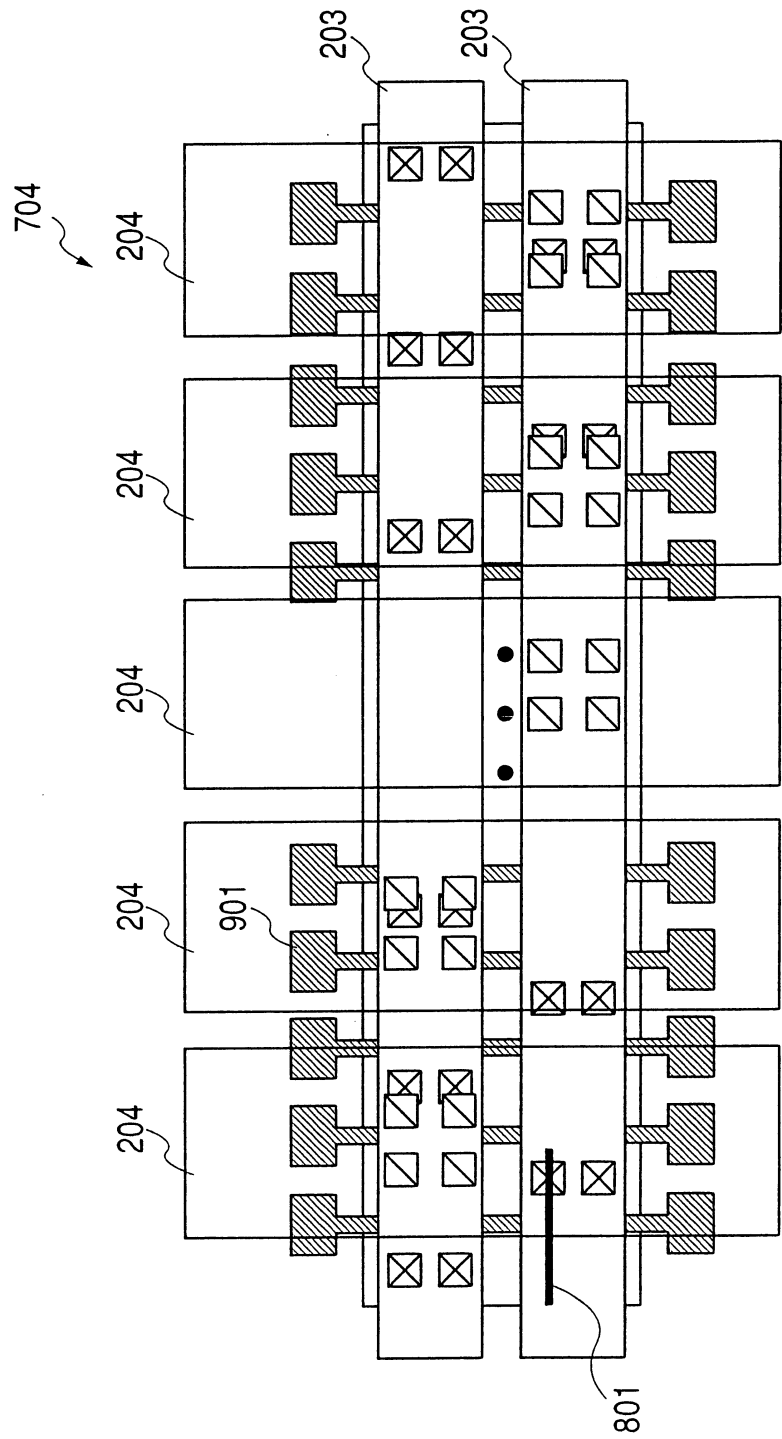
第 5 圖



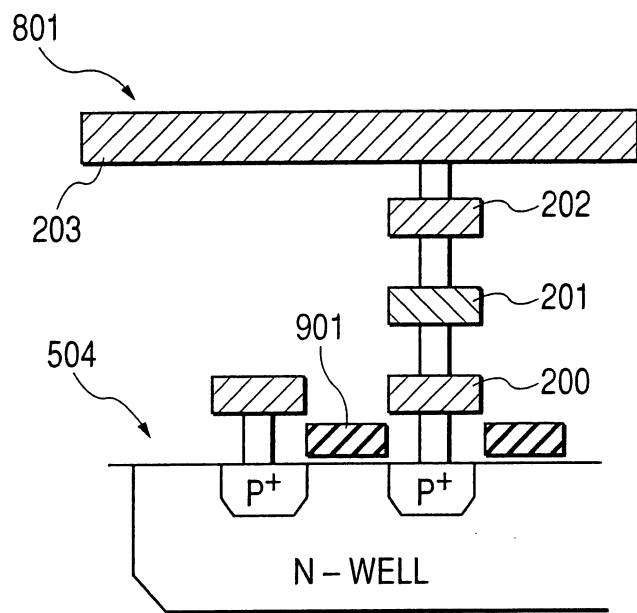
第 6 圖



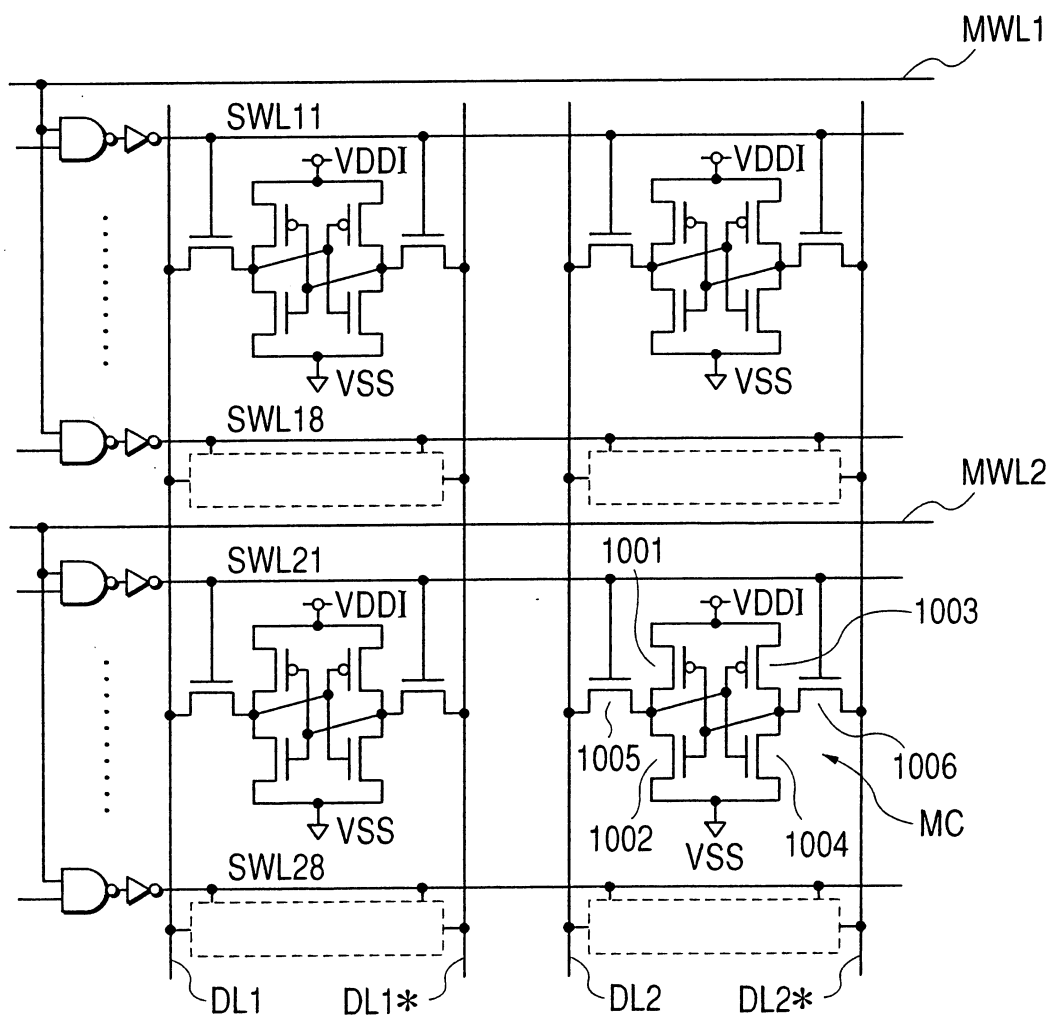
第 7 圖



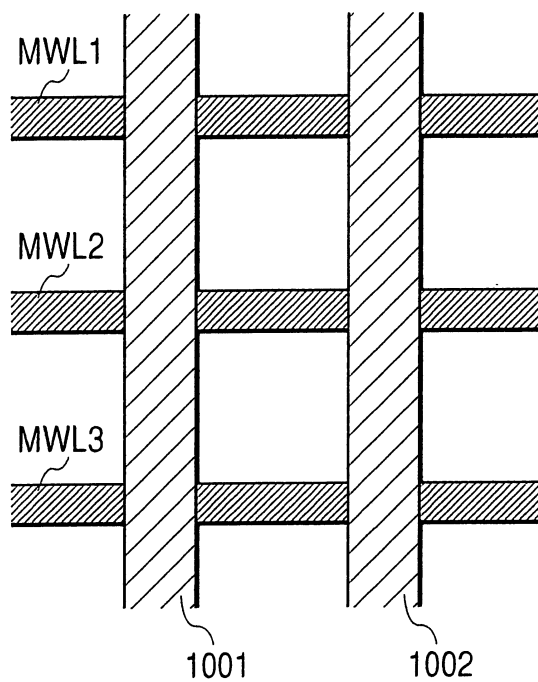
第 8 圖



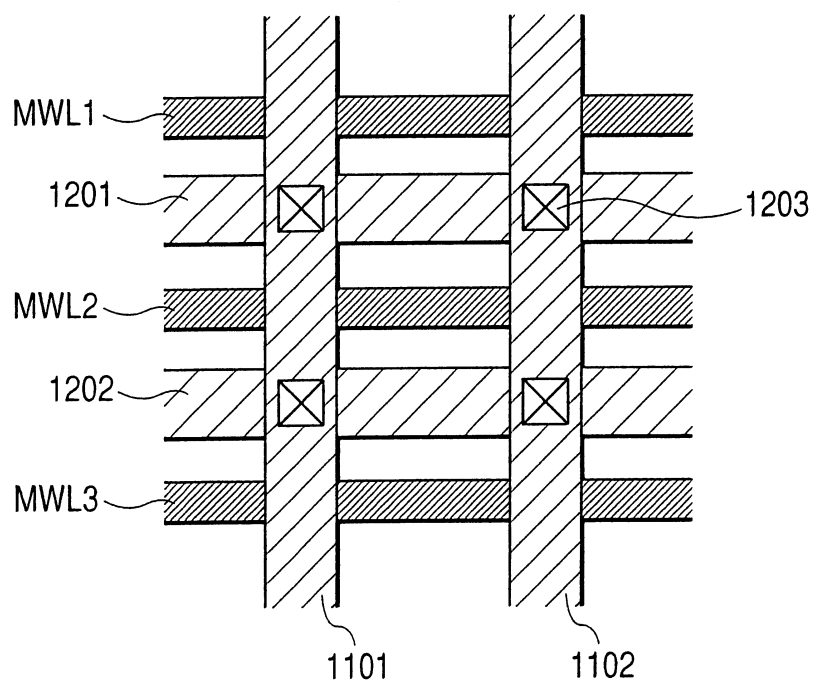
第 9 圖



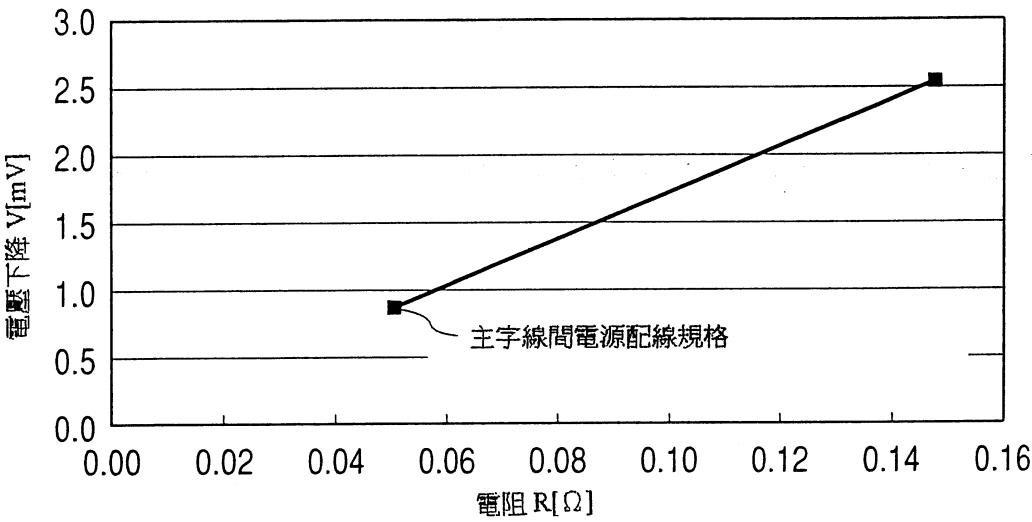
第 10 圖



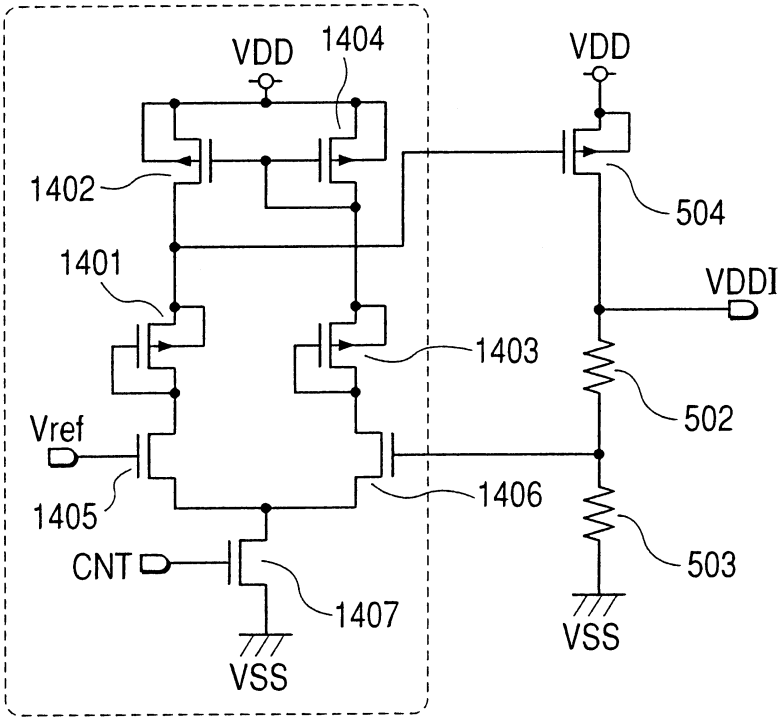
第 11 圖



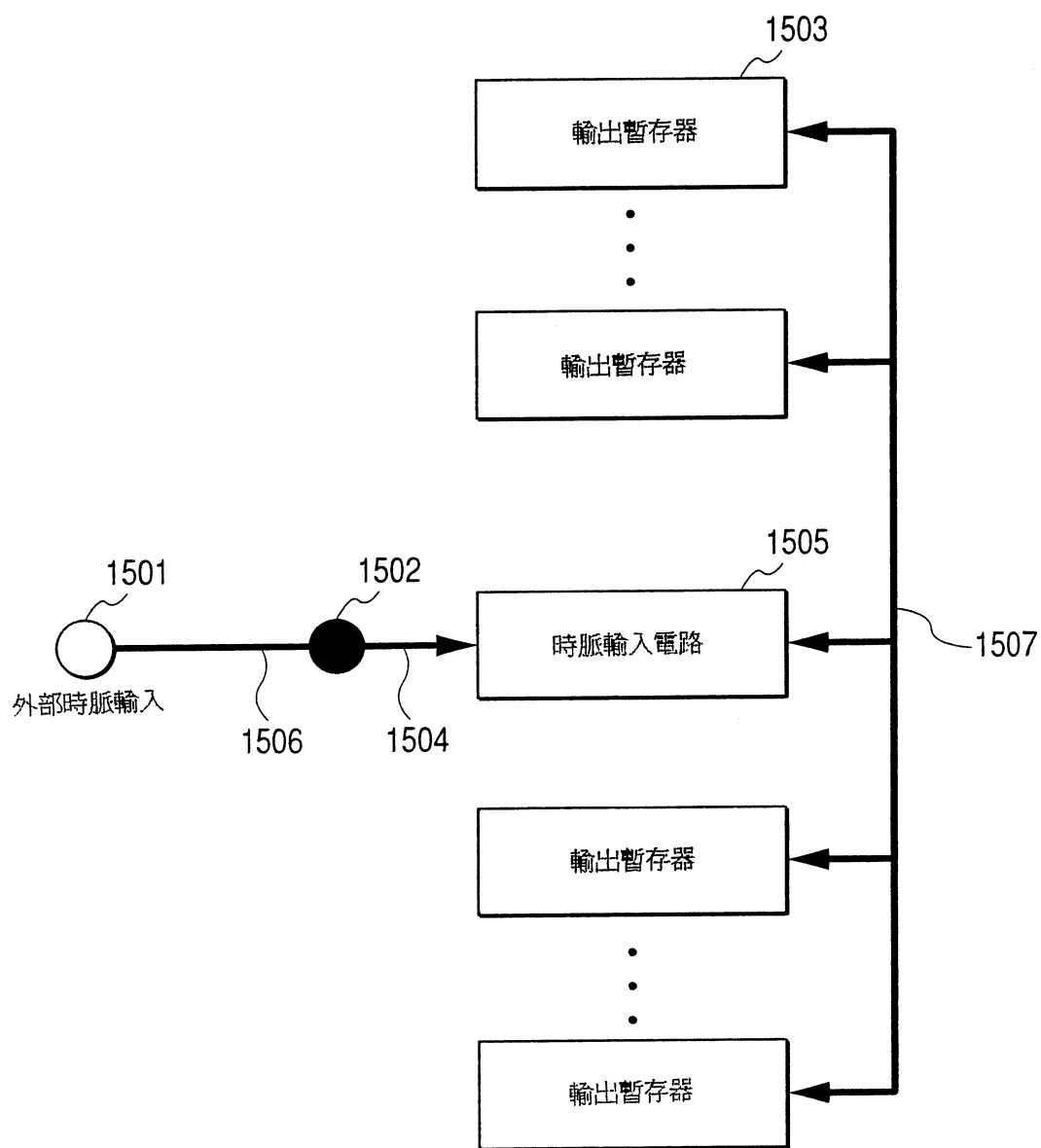
第 12 圖



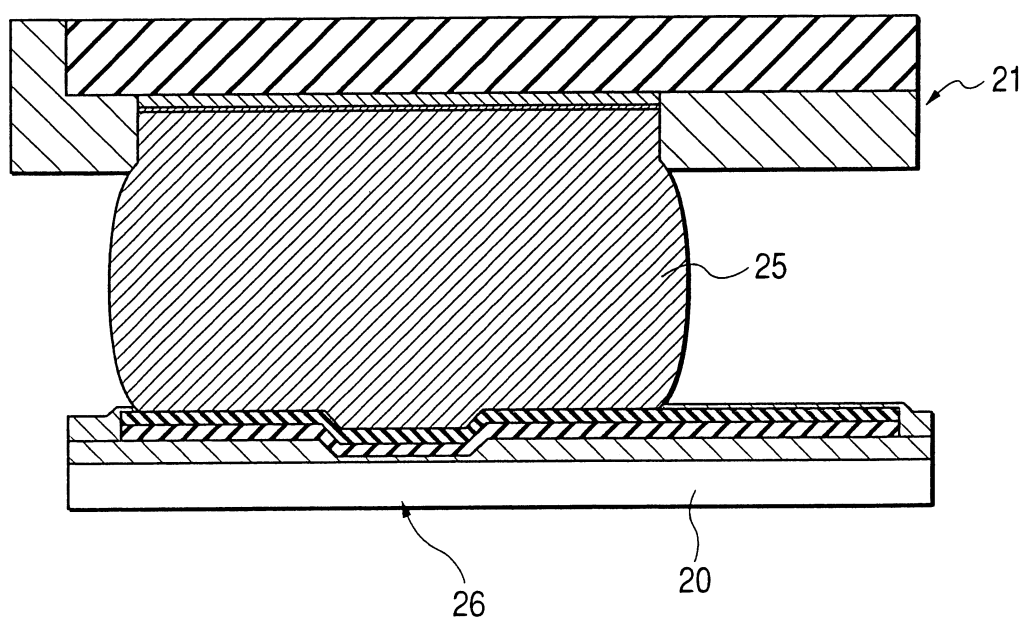
第 13 圖



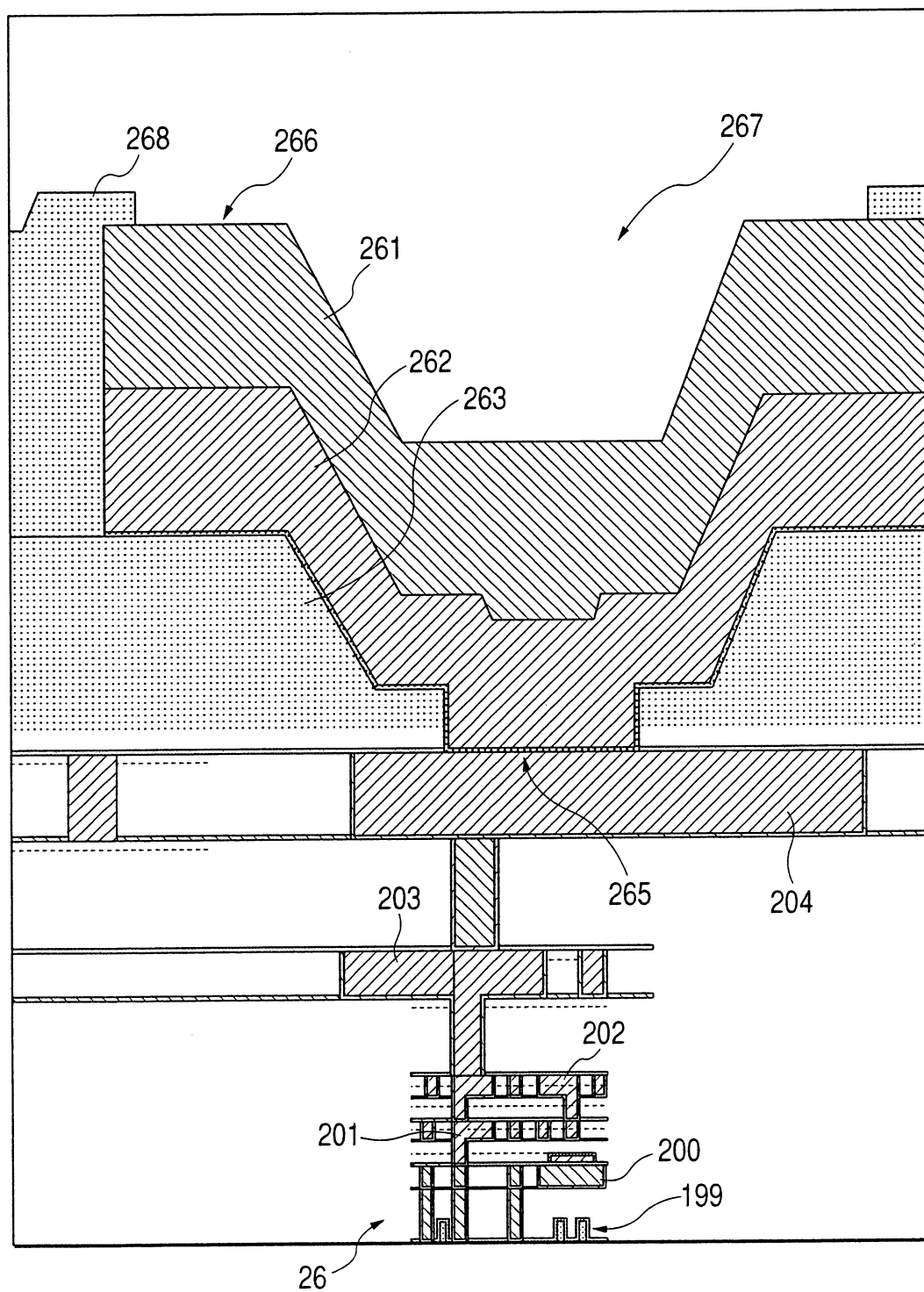
第 14 圖



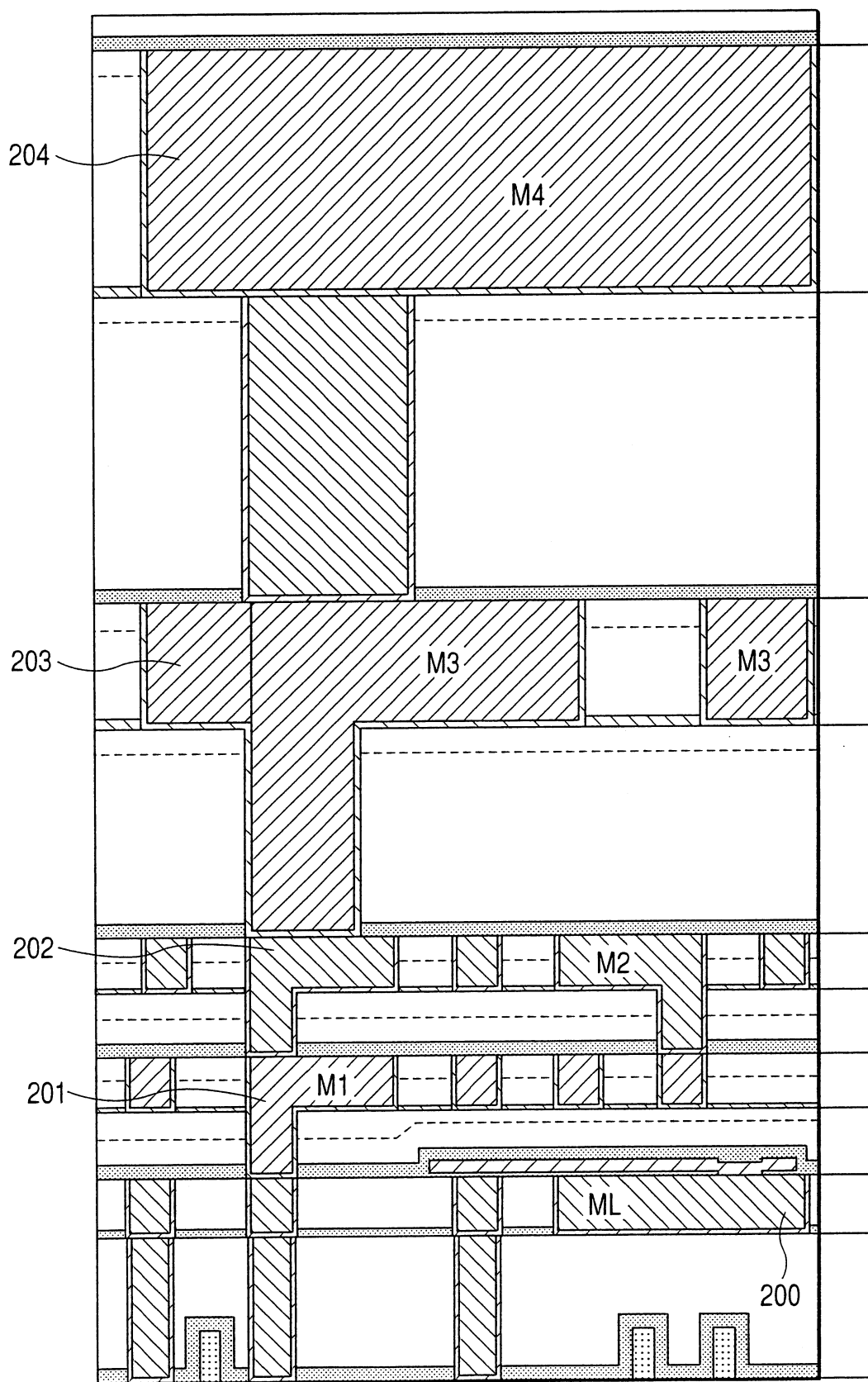
第 15 圖



第 16 圖



第 17 圖



第 18 圖

- 陸、(一)、本案指定代表圖為：第 1 圖
(二)、本代表圖之元件代表符號簡單說明：

2: 同步 SRAM
20: 半導體晶片
101、102: 記憶胞陣列
103、104: 字驅動器
105~112: 限制器電路
113~116: 輸入輸出電路
117~120: 輸入電路
121、122: 輸出暫存器以及選擇器
123: 位址暫存器以及預解碼器
124: 基準電壓產生電路
125: 中央電路部

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



(1)

拾、申請專利範圍

第 92101497 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 95 年 1 月 11 日 修正

1. 一種半導體積體電路裝置，包含：

一半導體基板；

電路元件，其形成於該半導體基板上以組成一電路；

一配線層，其形成於該半導體基板上並電性連接至該電路元件；

一有機絕緣膜，其覆蓋該電路並具有一開口部；

一導電層，其層壓在該有機絕緣膜上並經由該開口部而電性連接至該配線層；以及

一凸塊電極，其藉由該導電層而連接至該配線層，

其中該電路包含複數個限制器電路，其分散配置於該半導體基板上以產生一預定電壓的內部電源電壓，

其中每一限制器電路包含一電晶體，該電晶體用以減低從外部經由該凸塊電極而輸入的一電源電壓之電壓位準，以及

其中該電晶體的至少一部分係位於用於輸入該電源電壓的該凸塊電極之形成區域的正下方。

2. 如申請專利範圍第 1 項所述之半導體積體電路裝置，其中每一限制器電路包含：

一電壓檢測電路，其檢測該內部電源電壓的電壓位準；以及

(2)

一比較電路，其比較由該電壓檢測電路所提供的檢測電壓以及一預設基準電壓，且回應該比較結果而控制該電晶體的導電率。

3.如申請專利範圍第2項所述之半導體積體電路裝置，其中該電晶體由複數個並聯連接的 p 通道 MOS 電晶體形成而組成一電晶體組，而該 MOS 電晶體的至少一部分係位於該凸塊電極之形成區域的正下方。

4.如申請專利範圍第3項所述之半導體積體電路裝置，包含：

電源供給路徑，其將該限制器電路所產生的內部電源電壓供應至該內部電路；

複數個記憶胞，其排列成陣列狀；以及

複數條字線，用以在該記憶胞之中選擇一組記憶胞；

其中該電源供給路徑包含複數條字線間電源線，其係藉由與該字線共通的一配線層形成且被配置於相鄰字線之間，以及

其中複數條字線上電源線藉由不同於該字線間電源線之配線層的一配線層形成，且被配置於與該字線間電源線相交，並電性連接至該字線間電源線。

5.如申請專利範圍第3項所述之半導體積體電路裝置，其中該導電層包含一內部電源配線，其配置為包圍該凸塊電極的形成區域。

6.如申請專利範圍第3項所述之半導體積體電路裝置

(3)

其中該導電層包含一用以傳達一位址訊號的位址訊號配線，以及用以將低電位側電源饋送至該內部電路的低電位側電源配線，以及

其中該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。

7.如申請專利範圍第3項所述之半導體積體電路裝置，其中該導電層包含：

一內部電源配線，其被配置為包圍該凸塊電極的形成區域；

一用以傳達一位址訊號的位址訊號配線；以及

一用以饋送該低電位側電源至該內部電路的低電位側電源配線，

該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。

8.如申請專利範圍第3項所述之半導體積體電路裝置，其中該導電層包含一用以傳達一時脈訊號至該電路的時脈訊號傳達配線。

9.如申請專利範圍第3項所述之半導體積體電路裝置，其中該導電層包含：

一用以傳達一時脈訊號至該電路元件的時脈訊號傳達配線；

一內部電源配線，其被配置為環狀以包圍該凸塊電極的形成區域；

一用以傳達一位址訊號的位址訊號配線；以及

(4)

一用以饋送低電位側電源至該內部電路的低電位側電源配線，

該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。

10.如申請專利範圍第2項所述之半導體積體電路裝置，更包含一基準電壓產生電路，其產生該基準電壓，該基準電壓產生電路在該限制器電路之間共享。

11.如申請專利範圍第10項所述之半導體積體電路裝置，包含：

電源供給路徑，其將該限制器電路所產生的內部電源電壓供應至該內部電路；

複數個記憶胞，其排列成弧形狀；以及

複數條字線，用以在該記憶胞之中選擇一組記憶胞；

其中該電源供給路徑包含複數條字線間電源線，其係藉由與該字線共通的一配線層形成且被配置於相鄰字線之間，以及

其中複數條字線上電源線藉由不同於該字線間電源線之配線層的一配線層形成，且被配置於與該字線間電源線相交，並電性連接至該字線間電源線。

12.如申請專利範圍第10項所述之半導體積體電路裝置，其中該導電層包含一內部電源配線，其配置為包圍該凸塊電極的形成區域。

13.如申請專利範圍第10項所述之半導體積體電路裝置，

(5)

其中該導電層包含一用以傳達一位址訊號的位址訊號配線，以及用以將低電位側電源饋送至該內部電路的低電位側電源配線，以及

其中該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。

14.如申請專利範圍第10項所述之半導體積體電路裝置，其中該導電層包含：

一內部電源配線，其被配置為包圍該凸塊電極的形成區域；

一用以傳達一位址訊號的位址訊號配線；以及

一用以饋送該低電位側電源至該內部電路的低電位側電源配線，

該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。

15.如申請專利範圍第10項所述之半導體積體電路裝置，其中該導電層包含一用以傳達一時脈訊號至該電路的時脈訊號傳達配線。

16.如申請專利範圍第10項所述之半導體積體電路裝置，其中該導電層包含：

一用以傳達一時脈訊號至該電路元件的時脈訊號傳達配線；

一內部電源配線，其被配置為環狀以包圍該凸塊電極的形成區域；

一用以傳達一位址訊號的位址訊號配線；以及

(6)

一用以饋送低電位側電源至該內部電路的低電位側電源配線，

該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。

17.如申請專利範圍第2項所述之半導體積體電路裝置，包含：

電源供給路徑，其將該限制器電路所產生的內部電源電壓供應至該內部電路；

複數個記憶胞，其排列成陣列狀；以及

複數條字線，用以在該記憶胞之中選擇一組記憶胞；

其中該電源供給路徑包含複數條字線間電源線，其係藉由與該字線共通的一配線層形成且被配置於相鄰字線之間，以及

其中複數條字線上電源線藉由不同於該字線間電源線之配線層的一配線層形成，且被配置於與該字線間電源線相交，並電性連接至該字線間電源線。

18.如申請專利範圍第2項所述之半導體積體電路裝置，其中該導電層包含一內部電源配線，其配置為包圍該凸塊電極的形成區域。

19.如申請專利範圍第2項所述之半導體積體電路裝置，

其中該導電層包含一用以傳達一位址訊號的位址訊號配線，以及用以將低電位側電源饋送至該內部電路的低電位側電源配線，以及

(7)

其中該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。

20.如申請專利範圍第2項所述之半導體積體電路裝置，其中該導電層包含：

一內部電源配線，其被配置為包圍該凸塊電極的形成區域；

一用以傳達一位址訊號的位址訊號配線；以及

一用以饋送該低電位側電源至該內部電路的低電位側電源配線，

該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。

21.如申請專利範圍第2項所述之半導體積體電路裝置，其中該導電層包含一用以傳達一時脈訊號至該電路的時脈訊號傳達配線。

22.如申請專利範圍第2項所述之半導體積體電路裝置，其中該導電層包含：

一用以傳達一時脈訊號至該電路元件的時脈訊號傳達配線；

一內部電源配線，其被配置為環狀以包圍該凸塊電極的形成區域；

一用以傳達一位址訊號的位址訊號配線；以及

一用以饋送低電位側電源至該內部電路的低電位側電源配線，

該位址訊號配線被配置為沿著該位址訊號配線配置的

(8)

該低電位側電源配線所屏蔽。

23.如申請專利範圍第1項所述之半導體積體電路裝置，包含：

電源供給路徑，其將該限制器電路所產生的內部電源電壓供應至該內部電路；

複數個記憶胞，其排列成陣列狀；以及

複數條字線，用以在該記憶胞之中選擇一組記憶胞；

其中該電源供給路徑包含複數條字線間電源線，其係藉由與該字線共通的一配線層形成且被配置於相鄰字線之間，以及

其中複數條字線上電源線藉由不同於該字線間電源線之配線層的一配線層形成，且被配置於與該字線間電源線相交，並電性連接至該字線間電源線。

24.如申請專利範圍第1項所述之半導體積體電路裝置，其中該導電層包含一內部電源配線，其配置為包圍該凸塊電極的形成區域。

25.如申請專利範圍第1項所述之半導體積體電路裝置，

其中該導電層包含一用以傳達一位址訊號的位址訊號配線，以及用以將低電位側電源饋送至該內部電路的低電位側電源配線，以及

其中該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。

26.如申請專利範圍第1項所述之半導體積體電路裝置

(9)

，其中該導電層包含：

一內部電源配線，其被配置為環狀以包圍該凸塊電極的形成區域；

一用以傳達一位址訊號的位址訊號配線；以及

一用以饋送低電位側電源至該內部電路的低電位側電源配線，

該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。

27.如申請專利範圍第1項所述之半導體積體電路裝置，其中該導電層包含一用以傳達一時脈訊號至該電路的時脈訊號傳達配線。

28.如申請專利範圍第1項所述之半導體積體電路裝置，其中該導電層包含：

一用以傳達一時脈訊號至該電路元件的時脈訊號傳達配線；

一內部電源配線，其被配置為環狀以包圍該凸塊電極的形成區域；

一用以傳達一位址訊號的位址訊號配線；以及

一用以饋送低電位側電源至該內部電路的低電位側電源配線，

該位址訊號配線被配置為沿著該位址訊號配線配置的該低電位側電源配線所屏蔽。