



[12] 发明专利申请审定说明书

[21] 申请号 86102311

[51] Int.Cl⁴
H04N 1/40

[44] 审定公告日 1989年3月29日

[22] 申请日 86.4.3

[30] 优先权

[32] 85.4.15 [33] JP [31] 78495/85

[71] 申请人 冲电气工业株式会社

地址 日本东京港区虎之门1丁目千番12号

[72] 发明人 柳下横生

[74] 专利代理机构 中国专利代理有限公司

代理人 叶凯东

说明书页数: 5

附图页数: 5

[54] 发明名称 译码电路

[57] 摘要

本发明是关于将被编码了的图象接收, 从该图象信号中检出附加于各页、各扫描线上的同步信号, 对图象信息进行译码的译码电路。本发明具有所定段数的第1移位寄存器, 接续于所说第1移位寄存器之最下段的输出, 而有与附加于图象信号之前的同步信号的位数相对应的段数的第2移位寄存器, 以及被接续于上述第1移位寄存器的各段输出及上述第2移位寄存器的各段输出的逻辑电路。根据本发明的译码电路, 可以在短时间内正确地捕捉同步信号。

权 利 要 求 书

一种将被编码的图象接收，从该图象信号检出附加于各页、各扫描线的同步信号，对图象信号进行译码的译码电路，其特征是，该译码电路具有一定段数的第1 移位寄存器，以及有与接续于该第1 移位寄存器的最下段而附加于图象信息之前的同步信号的位数相对应的段数的第2 移位寄存器，以及被接于上述第1 移位寄存器的各段输出及上述第2 移位寄存器的各段输出的逻辑电路，将附加于图象信息之前的同步信号及接于其后的图象信息顺次地存储于上述第1 及第2 寄存器中，通过上述逻辑电路对同步信号加以识别。

本发明是关于传真装置等中的图象信号的译码电路，更详细地说是关于含有将已编码的图象信号接收、译码时，检出扫描线同步信号（以下称作EOL信号），以形成供译码处理的信号的电路的译码电路。

一直以来，在传真装置，电子档案等的装置中使用着微处理器，通过存储于存储器中的程序，进行图象信号的编码、译码的处理。作为这样的装置，例如有在社团法人电子通信学会的电子通信学会技术研究报告《多点监视控制用LSI（大规模集成）化处理器》，SSD20，No.52，1980年10月28日，页1~8，以及冲电气研究开发《传真用通常LSI的开发》第114号，Vol.48，No.2,1981年，页31~33所公开的例子。

根据在这种装置中所使用的程序的处理，是指基于CCITT（国际电报电话咨询委员会）建议T4的图象黑白信号的编码和译码。

在上述原来的装置中的译码，是将图象信号的EOL信号接收，而将EOL信号之后的图象信息译码，变换为图象扫描信号。这里的

EOL信号是被附加于页的最初的扫描线的信息之前及扫描线的信息之后，成为12位的“000000000001”形式的信号。被接收的编码方式的确认，是通过在图象信号收信之前，预定于传真装置中的通信控制程序来进行的。在程序处理中，以受信图象信号为基础，对每一象素检出黑、白信号，通过将EOL信号、图象信息读出，进行译码操作。

可是，在上述现有技术的装置中，由于是通过微处理器的程序处理来进行图象信号的编码及译码，在这处理上很费时。在连续多页的图象

的收信中，在换页的地方，接收由6个连续的EOL信号组成的返回控制信号（以下称做RTC信号），以便与其他信号区别。通常，收信方面在认识到这6个EOL信号之中的3~4个就作为一页的完结。这时，对EOL信号（12位或13位）每次进行计数，区别EOL以后的图象信息进行处理，程序逻辑变得非常复杂。

因此，本发明的目的是为了解决上述现有技术的问题点，提供避开区别EOL信号与其后的图象信息的复杂的逻辑，以简单的电路结构来实现译码的译码电路。更进一步，本发明提供比采用LSI化技术的专用逻辑电路更经济的译码电路。

本发明是关于接收已被编码的图象信号，从该图象信号检出附加于各项，各扫描线上的同步信号，把图象信息译码的译码电路。为了解决上述现有技术的问题点，本发明由具有一定段数的第1移位寄存器，其对应于被连接于该第1移位寄存器的最下段输出，而被附加于图象信息之前的同步信号的位数的段数的第2移位寄存器，以及被接于上述第1移位寄存器的各段输出与上述第2移位寄存器的各段输出的逻辑电路而构成。第1移位寄存器例如由8位的移位寄存器构成，而第2移位寄存器例如由12位或13位的移位寄存器构成。这是基于根据规格，所接收的同步信号（EOL信号）是EOL（“000000000001”）、EOL+1（“0000000000011”）、EOL+0（“0000000000010”）以及EOL之后的8位内一定存在逻辑电平“1”的信号的这一事实而构成的。

附加于图象信息之前的同步信号及其后的图象信息被串行地顺次寄存于第1及第2寄存器中。逻辑电路根据第1寄存器及第2寄存器的各段的输出，通过检出同步信号及图象信息中的1位以上的逻辑“1”的信号，将位于图象信息之前的同步信号进行逻辑输出。因此，能在短时间内正确地捕捉同步信号，解决了上述现有技术的问题点。

图1 是表示本发明的实施例的译码电路的方块图。图中，1 是图象信号的输入端，11是 E O L检测电路，12是接收信息译码电路、13是译码前处理电路，14是 F I F O (先进先出) 存储器，15是译码后处理电路，16是行存储器 A，17是行存储器 B。

图2 是详细地表示本实施例的 E O L检测器11的电路图。图3 是表示将传真图象信息的2 维码译码时的处理程序的表，这个表是表示根据存储程序的处理程序。图中，P是通路模式、H是水平模式：V(V (0)、V_R (1)、V_R (2)、V_R (3)、V_L (1)、V_L (2)、V_L (3)) 是垂直模式。图4 是表示传真图象信号的 E O L信号及图象信息的构成例，图5 是详细地表示图4 的一部的图。在图4 及图5 所举出的是2 维编码的图象信息的例子，这个形式通过图象信号的接收之前，在传真装置之间所进行的通信而被确认，即通过两个传真装置之间预先进行的通信，以确认全体信号是1 维编码的还是2 维编码，以及如果是2 维编码的情形，其接续于先头的 E O L信号(E O L+ 1 或 E O L+ 0) 之后的图象信息是1 维编码信息还是2 维编码信息。再者，接续于 E O L之后的“1”、“0”的标记位分别表示下一行为1 维编码信息及2 维编码信息，进而将附加有标记位的 E O L信号置于信息行。

图1 的输入端子1 是将被双值化了的图象信号接收，并把它供给 E O L检测电路11。E O L检测电路11从所接收的图象信号中自动地对每行检出 E O L信号，接收信息译码电路12具有正确地动作的机能，即保证接收信息的各信息的始位都来到在图3 所示的出发点(初始设定点)。接收信息译码电路12通过输入端子1 及 E O L检测电路11而将接收信息输入，例如，当接收信息是所谓字首代码时，便与译码前处理电路13连动，按照图3 所示的处理表对每1 位进行译码处理。于是对 V(0)、H、……等的字首代码之一作译码判定。译码处理至各终点后，在各终点处，译码前处理电路13动作，将译码后的信息转送到 F I F O存储

器14。F I F O存储器将被转送来的信息存储。当图象信号的接收及其译码时，必须将各图象信号的各行的始位、或图象信息的始位正确地捕捉，并在接收信息译码电路12处理。译码后处理电路15对来自F I F O存储器14的信息进行变换处理，被变换后的信息被供给到行存储器A16或行存储器B17的其中一方，即不作输出动作的一方，以供扫描。

下面，参照图2，对E O L检测电路11作更详细的说明。图2中，1是输入端子，2是同步信号输入端子，4、5、6是输出端子，21是8位移位寄存器、22是13位的移位寄存器、23~28是逻辑电路。

输入端子1与图1的相同，接收图象信号。输入端子2将对应于1位时间的同步信号(CK)输入。移位寄存器21、22分别有8个，采用13个的触发器(以下称做F/F)以众所周知的技术而构成，输出逻辑“1”或“0”的信号。移位寄存器22将移位寄存器21内的第1的F/F的输出作为输入信号。因此，移位寄存器21、22将与同步信号脉冲输入端子2输入的同步信号(CK)同步的连续接收信号存储，并对下位F/F转送每1位信号。E O L检测电路11的机能是从图4所示的图象信号的各行始位T点开始，监视12或13位及8位的信号，检出所定的E O L信号，并对解码前处理电路13送出所检出的信号。端子4将1维编码处理时的各行的E O L信号输出。端子5将2维编码处理时的各行的E O L信号，即接续于E O L信号之后的图象信息为1维编码信息时的(E O L+1)输出。端子6将2维编码处理时的各行的E O L信号，即接续于E O L信号的图象信息为2维编码信息时的(E O L+0)输出。

在2维编码的情形，1维编码信息在每2行或每4行或只在最初的行出现，这是C C I T T的建议所规定的。图5所示的图象信号的T点的右方的13位及8位的信号，在被存储于图2所示的移位寄存器21、22时，对图2的端子5输出检测信号。图5所示的各图象信号1、0从左

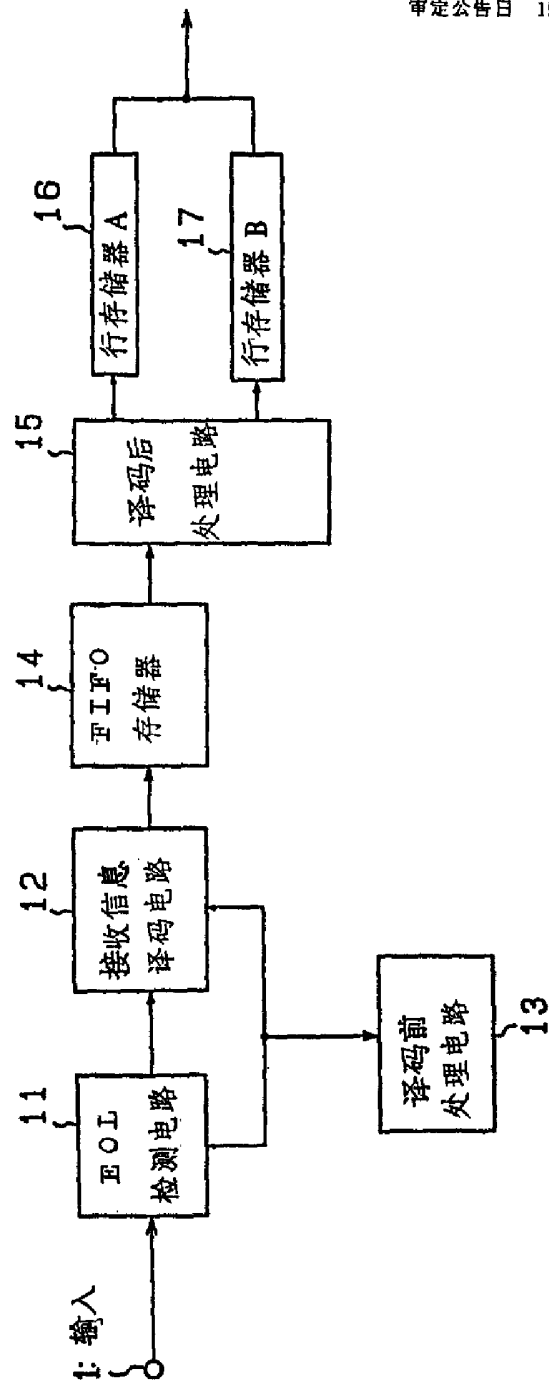
方起在每一同步脉冲被转送给寄存器21、22的第1～第8的F/F，及第1～第13的F/F。至于以端子4、5、6的哪一方的输出作为EOL信号则由译码前处理电路13选择。

如上所述，根据本发明，由于设立了第1移位寄存器，第2移位寄存器及逻辑电路，所以能在短时间内正确地捕捉同步信号。因此，具有高速地及容易地进行译码处理的优点。在将本发明用于传真装置时，对于装置的高速工作是非常有效的，因为保证其工作的译码处理的逻辑简单，所以对提高经济效果也有帮助。

附图的简单说明

图1是本发明的实施例的译码电路的方块图，图2是上述实施例中的EOL检测电路的详细电路图，图3是表示2维编码信息的处理程序的图表，图4及图5是分别表示接收图象信号的构成例及一部分详细例子的图。

图 1



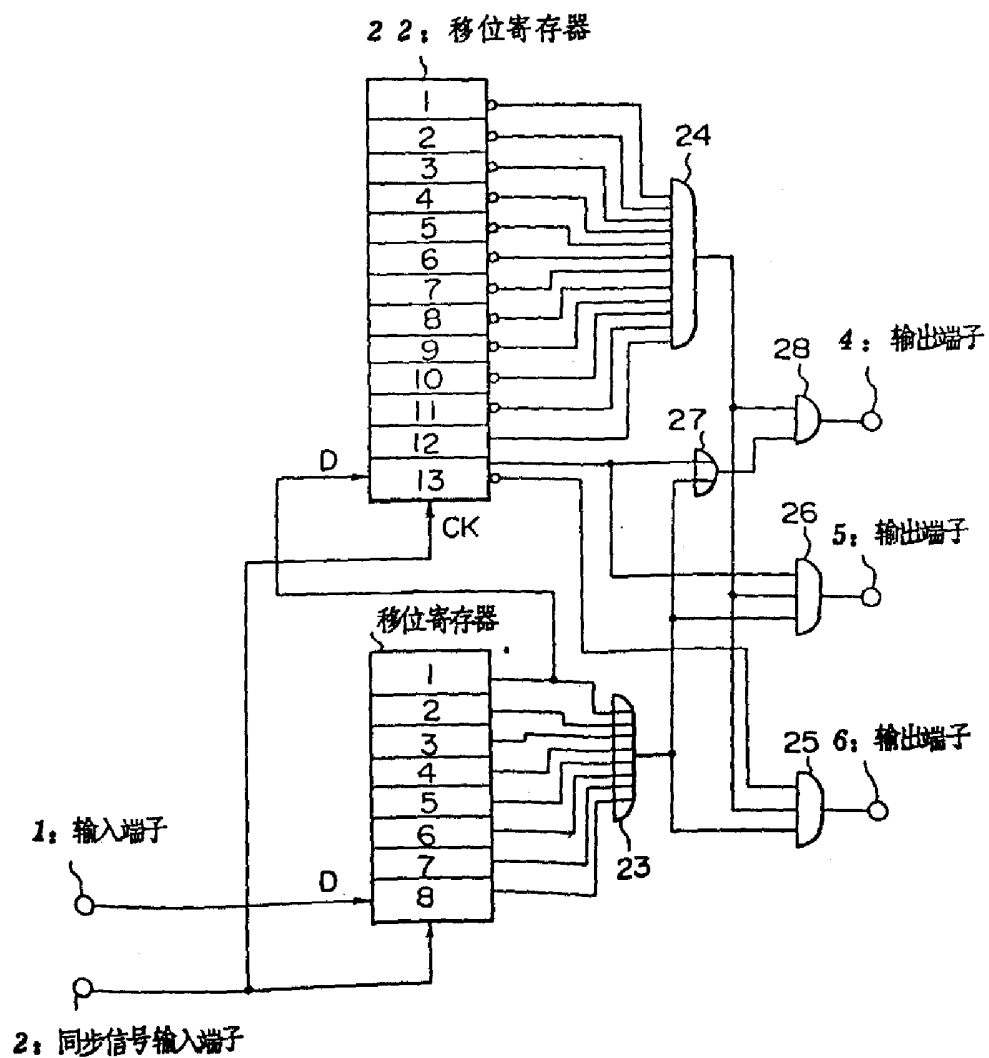


图 2

图 4

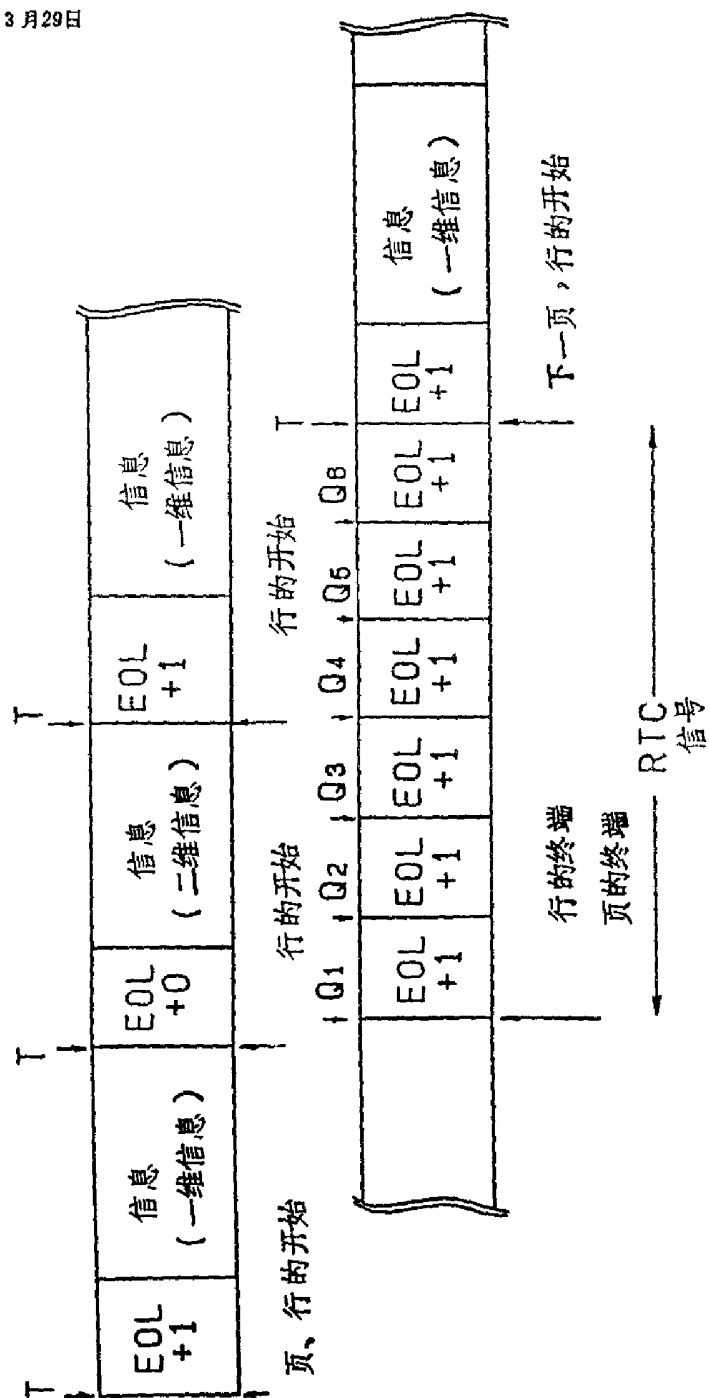


图 5

