

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷
H01L 27/115
H01L 27/105



[12] 发明专利申请公开说明书

[21] 申请号 200410030464.3

[43] 公开日 2005 年 2 月 9 日

[11] 公开号 CN 1577868A

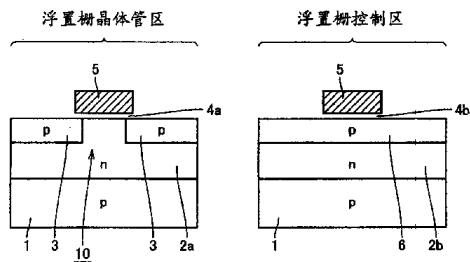
[22] 申请日 2004.3.15
[21] 申请号 200410030464.3
[30] 优先权
[32] 2003.7.15 [33] JP [31] 274728/2003
[71] 申请人 株式会社瑞萨科技
地址 日本东京都
[72] 发明人 远藤诚一 石井元治

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 刘宗杰 叶恺东

权利要求书 2 页 说明书 16 页 附图 16 页

[54] 发明名称 非易失性半导体存储器件
[57] 摘要

本发明的非易失性半导体存储器件具备：具有主表面的半导体衬底 1；在半导体衬底 1 的主表面上形成的成为源/漏的 1 对 p 型杂质扩散区 3、3；在被 1 对 p 型杂质扩散区 3、3 夹持的半导体衬底 1 的区域上隔着隧道绝缘层 4a 形成的浮置栅 5；以及在半导体衬底 1 的主表面上形成的、用于控制浮置栅 5 的电位的控制用杂质扩散区 6。由此，得到了可用电学方式擦除数据、并且在低电压下容易进行数据写入的非易失性半导体存储器件。



ISSN 1008-4274

1. 一种非易失性半导体存储器件，其特征在于，具备：
具有主表面的半导体衬底（1）；
在上述半导体衬底（1）的主表面上形成的成为源/漏的 1 对 p 型
5 杂质扩散区（3）；
在被上述 1 对 p 型杂质扩散区（3）夹持的上述半导体衬底（1）的
区域上隔着隧道绝缘层（4a）形成的浮置栅（5）；以及
在上述半导体衬底（1）的主表面上形成的、用于控制上述浮置栅
（5）的电位的控制用杂质扩散区（6）。
- 10 2. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：
上述控制用杂质扩散区（6）具有 p 型的导电类型，并且隔着绝缘
层（4b）与上述浮置栅（5）相向。
3. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：
上述控制用杂质扩散区（11）是以夹持位于上述浮置栅（5）的下
15 侧的上述半导体衬底（1）的区域的方式在上述半导体衬底（1）的主
表面上形成的 1 对源/漏用杂质扩散区。
4. 如权利要求 3 所述的非易失性半导体存储器件，其特征在
于：
上述 1 对源/漏用杂质扩散区（11）具有 n 型的导电类型。
- 20 5. 如权利要求 4 所述的非易失性半导体存储器件，其特征在
于：
还包括在上述半导体衬底（1）的主表面上形成的 p 型阱区
（12），
n 型的上述 1 对源/漏用杂质扩散区（11）在上述 p 型阱区（12）
25 内形成。
6. 如权利要求 3 所述的非易失性半导体存储器件，其特征在于：
上述 1 对源/漏用杂质扩散区（22）具有 p 型的导电类型。
7. 如权利要求 6 所述的非易失性半导体存储器件，其特征在
于：
30 还包括在上述半导体衬底（1）的主表面上形成的 n 型阱区（21），
p 型的上述 1 对源/漏用杂质扩散区（22）在上述 n 型阱区（21）
内形成。

8. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于：

上述控制用杂质扩散区（31）具有 n 型的导电类型，并且隔着绝缘层（4b）与上述浮置栅（5）相向。

5 9. 如权利要求 8 所述的非易失性半导体存储器件，其特征在于：
还包括在上述半导体衬底（1）的主表面上形成的 p 型阱区（32），
n 型的上述控制用杂质扩散区（31）在上述 p 型阱区（32）内形成。

10 10. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于，还包括：

在上述 1 对 p 型杂质扩散区（3）的形成区与上述控制用杂质扩散区（6）的形成区之间的上述半导体衬底（1）的主表面上形成的场绝缘层（7）；以及

15 在上述场绝缘层（7）的正下方的上述半导体衬底（1）上形成的
元件隔离用 p 型杂质扩散区（8）。

非易失性半导体存储器件

技术领域

- 5 本发明涉及非易失性半导体存储器件，特别是涉及具有单层栅结构的存储单元的非易失性半导体存储器件。

背景技术

- 现有的闪速存储器的存储单元具有在沟道区上隔着隧道氧化膜形成浮置栅，进而隔着绝缘膜在浮置栅上形成了控制栅的叠层栅结构。
10 但是，采用这样的叠层栅结构，其构成和制造工序是复杂的。

对此，为了使构成和制造工序变得简易，提出了将沟道区上的栅仅制成为浮置栅的单层栅结构的存储单元。

- 在现有的单层栅结构的存储单元中，由于衬底与浮置栅形成电容耦合，所以当对衬底施加电压时，浮置栅的电位也自动地成为与衬底的
15 电位接近的值。因此，在衬底与浮置栅之间供给大的电位差是困难的。

因此，由于用电学的方式进行擦除基本上是不可能的，只有用紫外线照射的擦除才有可能，所以现有的单层栅结构的存储单元只能用于OTPROM（一次可编程只读存储器）等的几乎不进行改写的用途。

- 另外，在单层栅结构的存储单元中，可进行电擦除的构成例如在特
20 表平 8-506693 号公报、特开平 3-57280 号公报等中已予以公开。

按照该构成，通过使在半导体衬底的表面所形成的杂质扩散区与浮置栅相向，浮置栅的电位受该杂质扩散区的控制便成为可能。

- 然而，上述两个公报中公开了的存储晶体管是 n 沟道 MOS（金属-氧化物-半导体）晶体管，存在在低电压下数据写入困难这样的问题。
25 以下，对此进行说明。

在存储晶体管是 n 沟道 MOS 晶体管的情况下，在写入工作时，借助于对漏施加高的正电压，从源引出的电子在半导体衬底表面的沟道内以高速走向漏，在漏附近形成被称之为热电子的高能状态。该热电子被注入浮置栅，成为数据被写入的状态。

- 30 这时，由于对漏施加高的正电压，所以如果在半导体衬底与浮置栅之间不供给大的电位差，则热电子仅注入漏侧而难以注入浮置栅。因此，在存储晶体管是 n 沟道 MOS 晶体管的情况下，在写入工作时，存

在必须施加高电压，而在低电压下数据写入困难这样的问题。

特别是，在单层栅结构的情况下，由于在浮置栅上没有控制栅，所以在因浮置栅与半导体衬底之间的电容耦合而产生的电位差下，一定将热电子注入到浮置栅内。这样，当不供给高电压时，数据的写入是困难的，但由于在单层栅结构中供给高电位也很难，所以存在数据的写入工作发生困难这样的问题。

发明内容

本发明的目的在于，提供一种用电学方式可擦除数据、而且在低电压下数据写入容易的非易失性半导体器件。

10 本发明的非易失性半导体存储器件具备半导体衬底、成为源/漏的1对p型杂质扩散区、浮置栅和控制用杂质扩散区。半导体衬底有主表面。成为源/漏的1对p型杂质扩散区在半导体衬底的主表面上形成。浮置栅在被1对p型杂质扩散区夹持的半导体衬底的区域上隔着隧道绝缘层形成。控制用杂质扩散区在半导体衬底的主表面上形成，用于控制浮置栅的电位。

按照本发明的非易失性半导体器件，用于控制浮置栅的电位的控制用杂质扩散区在半导体衬底的主表面上形成，使在衬底与浮置栅之间供给大的电位差变得容易。由此，拉走浮置栅电子变得容易，用电学方式擦除成为可能。

20 另外，由于源/漏是p型杂质扩散区，所以存储晶体管是p沟道晶体管。在该p沟道晶体管的情况下，在写入工作时通过对漏施加负电压，由源供给的空穴在半导体衬底表面的沟道内以高速走向漏，使之在漏附近与原子发生碰撞，产生电子-空穴对。该电子-空穴对中的电子被注入浮置栅，成为数据被写入了的状态。

25 这时，由于施加于漏的电压是负的电压，电子难以注入漏侧，而注入栅侧变得容易。因此，即使在半导体衬底与浮置栅之间不供给那么大的电位差，电子也能注入浮置栅，低电压下数据的写入成为可能。

附图说明

30 图1是概略地示出本发明的实施例1中的半导体存储器件的构成的平面图。

图2A和图2B是沿图1的IIA-IIA线的概略剖面图和沿图1的IIB-IIB线的概略剖面图。

图 3 是沿图 1 的 III-III 线的概略剖面图。

图 4 是概略地示出本发明的实施例 2 中的半导体存储器件的构成的平面图。

图 5 是沿图 4 的 V-V 线的概略剖面图。

5 图 6 是概略地示出本发明的实施例 3 中的半导体存储器件的构成的平面图。

图 7A 和图 7B 是沿图 6 的 V II A-V II A 线的概略剖面图和沿图 6 的 V II B-V II B 线的概略剖面图。

图 8 是沿图 6 的 V III-V III 线的概略剖面图。

10 图 9 是概略地示出本发明的实施例 4 中的半导体存储器件的构成的平面图。

图 10A 和图 10B 是沿图 9 的 X A-X A 线的概略剖面图和沿图 9 的 X B-X B 线的概略剖面图。

图 11 是沿图 9 的 X I-X I 线的概略剖面图。

15 图 12 是概略地示出本发明的实施例 5 中的半导体存储器件的构成的平面图。

图 13 是沿图 12 的 X III-X III 线的概略剖面图。

图 14 是概略地示出本发明的实施例 6 中的半导体存储器件的构成的平面图。

20 图 15A 和图 15B 是沿图 14 的 X VA-X VA 线的概略剖面图和沿图 14 的 X VB-X VB 线的概略剖面图。

图 16 是概略地示出本发明的实施例 7 中的半导体存储器件的构成的平面图。

图 17 是沿图 16 的 X V II-X V II 线的概略剖面图。

25 图 18 是概略地示出本发明的实施例 8 中的半导体存储器件的构成的平面图。

图 19A 和图 19B 是沿图 18 的 X IX A-X IX A 线的概略剖面图和沿图 18 的 X IX B-X IX B 线的概略剖面图。

图 20 是沿图 18 的 X X-X X 线的概略剖面图。

30 图 21 是概略地示出本发明的实施例 9 中的半导体存储器件的构成的平面图。

图 22A 和图 22B 是沿图 21 的 X X II A-X X II A 线的概略剖面图和沿图

21 的 XXII B-XXII B 线的概略剖面图。

图 23 是沿图 21 的 XXIII- XXIII 线的概略剖面图。

图 24 是概略地示出本发明的实施例 10 中的半导体存储器件的构成的平面图。

5 图 25 是沿图 24 的 XXV- XXV 线的概略剖面图。

具体实施方式

以下, 根据附图说明本发明的实施例。

(实施例 1)

10 原来, 存储单元对每一位具有选择用的晶体管, 但由于选择用的晶体管与本实施例的工作原理无关, 所以在图 1 以外没有图示, 其说明也予以省略。另外, 关于选择用的晶体管的处理也与其它实施例相同。

参照图 1~图 3, 本实施例的存储单元主要具有浮置栅晶体管 10 和控制浮置栅 5 的部分。

15 参照图 2A, 在浮置栅晶体管形成区, 在 p 型半导体衬底 1 的主表面上形成 n 型阱区 2a, 在 n 型阱区 2a 形成作为 p 沟道 MOS 晶体管的浮置栅晶体管 10。浮置栅晶体管 10 具有成为源/漏的 1 对 p 型杂质扩散区 3、3, 隧道绝缘层 4a 和浮置栅 5。成为源/漏的 1 对 p 型杂质扩散区 3、3 在 n 型阱区 2a 内的半导体衬底 1 的主表面上形成。浮置栅 5 在被 1 对 p 型杂质扩散区 3、3 夹持的半导体衬底 1 的区域上隔着隧道
20 绝缘层 4a 形成。

参照图 2B, 浮置栅 5 从浮置栅晶体管形成区延伸至浮置栅控制区。在该浮置栅控制区, 形成用于控制浮置栅 5 的电位的控制用杂质扩散区 6。该控制用杂质扩散区 6 由在半导体衬底 1 的主表面上所形成的 p 型杂质扩散区构成, 隔着绝缘层 4b 与浮置栅 5 相向。该控制用杂质扩散区 6 在半导体衬底 1 的主表面上所形成的 n 型阱区 2b 内形成。
25

参照图 3, 在浮置栅晶体管形成区与浮置栅控制区之间的半导体衬底 1 的主表面上形成场绝缘层 7。该场绝缘层 7 的正下方位于半导体衬底 1 的 p 型区。

接着, 说明本实施例中的存储单元的写入和擦除的工作。

30 再有, 所谓本实施例中的存储单元的“写入”状态是指电子被蓄积于浮置栅 5 的状态, 所谓“擦除”状态是指电子从浮置栅 5 被拉走的状态。

参照图 2A 和图 2B, 向存储单元的写入系通过将浮置栅晶体管 10 中的因碰撞电离发生的热载流子被注入到浮置栅 5 中而进行的。热载流子发生系通过将表 1 所示的电压施加于各区而引起。

5

表 1

施加电压的部位	电压
一个 p 型杂质扩散区 3	0V
另一 p 型杂质扩散区 3	~ 8V
控制用杂质扩散区 6	~ 10V
n 型阱区 2a	~ 8V
n 型阱区 2b	~ 10V
p 型半导体衬底 1	0V

*对另一 p 型杂质扩散区 3 和 n 型阱区 2a 施加相同的电压。

*对控制用杂质扩散区 6 和 n 型阱区 2b 施加相同的电压。

这时, 控制用杂质扩散区 6 起控制浮置栅 5 的电位的作用。具体地说, 由于浮置栅 5 的 (从另一 p 型杂质扩散区 3 见到的) 电位为 -1V 左右时热载流子发生变得最多, 所以对控制用杂质扩散区 6 施加能形成这样的电位的电压, 以控制浮置栅 5 的电位。

另外, 对一个 p 型杂质扩散区 3、另一 p 型杂质扩散区 3 和 n 型阱区 2a 中的每一个施加高的电位, 利用 FN (Fowler-Nordheim) 隧道效应拉走蓄积于浮置栅 5 上的电子, 以此对存储单元进行擦除。为了引起 FN 隧道效应, 要对一个 p 型杂质扩散区 3、另一 p 型杂质扩散区 3 和 n 型阱区 2a 中的每一个施加如表 2 所示的正电位。

表 2

施加电压的部位	电压
一个 p 型杂质扩散区 3	~ 15V
另一 p 型杂质扩散区 3	~ 15V
控制用杂质扩散区 6	~ -15V
n 型阱区 2a	~ 15V
n 型阱区 2b	0V
p 型半导体衬底 1	0V

*对一个 p 型杂质扩散区 3、另一 p 型杂质扩散区 3 和 n 型阱区 2a 施加相同的电压。

5 这时，还对控制用杂质扩散区 6 施加如表 2 所示的负电压，降低浮置栅 5 的（从一个 p 型杂质扩散区 3 见到的）电位。为了高效地进行擦除，希望浮置栅 5 与一个 p 型杂质扩散区 3、另一 p 型杂质扩散区 3 和 n 型阱区 2a 中的每个区之间的结电容比值尽可能地小以增大其间的电位差。

10 按照本实施例，由于浮置栅 5 的电位可受到控制用杂质扩散区 6 控制，所以在半导体衬底 1 与浮置栅 5 之间可施加大的电位差。由此，可利用 FN 隧道效应拉走浮置栅 5 内的电子，从而可进行数据的电擦除。

15 另外，浮置栅晶体管 10 由 p 沟道 MOS 晶体管构成。因此，在写入工作时，通过对漏施加负的电压，由源供给的空穴在半导体衬底 1 表面的沟道内以高速走向漏，使之在漏附近与原子发生碰撞，产生电子-空穴对。该电子-空穴对中的电子被注入浮置栅 5，成为数据被写入了的状态。

20 这时，由于施加于漏的电压是负的电压，电子难以注入漏侧，而注入浮置栅 5 侧变得容易。因此，即使在半导体衬底 1 与浮置栅 5 之间不供给那么大的电位差，电子也能注入浮置栅 5，低电压下数据的写入成为可能。

（实施例 2）

25 参照图 4 和图 5，本实施例的存储单元的构成具有元件隔离用的 p 型杂质扩散区 8，与实施例 1 的构成相比，在这一点上是不同的。

该元件隔离用的 p 型杂质扩散区 8 在浮置栅晶体管区与浮置栅控制区之间的半导体衬底 1 的主表面上形成的场绝缘层 7 的正下方的半导体衬底 1 上形成。该元件隔离用的 p 型杂质扩散区 8 具有比半导体衬底 1 高的载流子浓度。

5 再有，关于上述以外的构成，由于与实施例 1 的构成大致相同，所以对同一构成要素标以同一符号而省略其说明。

按照本实施例，可得到以下的效果。

在写入和擦除时，如表 1 和表 2 所示的电压被施加于 n 型阱区 2a、2b，但这时在 p 型半导体衬底 1 与各 n 型阱区 2a、2b 的 pn 结部生成
10 耗尽层。随着该耗尽层的延伸增大，因穿通而造成漏泄电流增加。

按照本实施例，由于该元件隔离用的 p 型杂质扩散区 8 具有比半导体衬底 1 高的载流子浓度，所以可抑制该耗尽层的延伸。由此，可减小 n 型阱区 2a 与 n 型阱区 2b 的间隔，其结果是，与实施例 1 相比，可减小存储单元尺寸。

15 (实施例 3)

参照图 6~图 8，本实施例的存储单元的构成与实施例 1 的构成相比，在浮置栅控制区内的控制用杂质扩散区的构成方面不同。

本实施例中的控制用杂质扩散区由 1 对 n 型的源/漏用杂质扩散区 11、11 构成。1 对源/漏用杂质扩散区 11、11 以夹持位于浮置栅 5 的下侧的半导体衬底 1 的区域的方式在 p 型半导体衬底 1 的主表面上形成。
20 由该 1 对源/漏用杂质扩散区 11、11、绝缘层 4b 和浮置栅 5 构成作为 n 沟道 MOS 晶体管的控制晶体管 20。

再有，关于上述以外的构成，由于与实施例 1 的构成大致相同，所以对同一构成要素标以同一符号而省略其说明。

25 接着，说明本实施例中的存储单元的写入和擦除的工作。

参照图 7A 和图 7B，向存储单元的写入系通过将浮置栅晶体管 10 中的因碰撞电离发生的热载流子注入到浮置栅 5 中而进行的。热载流子的发生系通过将表 3 所示的电压施加于各区而引起。

表 3

施加电压的部位	电压
一个 p 型杂质扩散区 3	0V
另一 p 型杂质扩散区 3	~ 8V
一个源/漏用杂质扩散区 11	~ 10V
另一源/漏用杂质扩散区 11	~ 10V
n 型阱区 2a	~ 8V
p 型半导体衬底 1	0V

*对另一 p 型杂质扩散区 3 和 n 型阱区 2a 施加相同的电压。

这时，控制晶体管 20 的 1 对源/漏用杂质扩散区 11、11 起控制浮置栅 5 的电位的作用。具体地说，由于浮置栅 5 的（从一个 p 型杂质扩散区 3 见到的）电位为 -1V 左右时热载流子的发生变得最多，所以对 1 对源/漏用杂质扩散区 11、11 施加能形成这样的电位的电压，以控制浮置栅 5 的电位。

另外，对一个 p 型杂质扩散区 3（或者另一 p 型杂质扩散区 3）施加高的电位，利用 FN（Fowler-Nordheim）隧道效应拉走蓄积于浮置栅 5 上的电子，以此对存储单元进行擦除。为了引起 FN 隧道效应，要 10 对一个 p 型杂质扩散区 3（或者另一 p 型杂质扩散区 3）施加如表 4 所示的正电位。

表 4

施加电压的部位	电压
一个 p 型杂质扩散区 3	~ -10V
另一 p 型杂质扩散区 3	~ -10V
一个源/漏用杂质扩散区 11	~ 20V
另一源/漏用杂质扩散区 11	0V
n 型阱区 2a	0V
p 型半导体衬底 1	0V

15 *对一个 p 型杂质扩散区 3 和另一 p 型杂质扩散区 3 施加相同的电压。

*一个源/漏用杂质扩散区 11 与另一源/漏用杂质扩散区 11 的电压可以相反。

这时,还对1对p型杂质扩散区3、3施加如表4所示的负电压,降低浮置栅5的(从一个p型杂质扩散区3见到的)电位。为了高效地进行擦除,希望在浮置栅5与一个源/漏用杂质扩散区11(或者另一源/漏用杂质扩散区11)之间的结电容比值尽可能地小以增大其间的电位差。

按照本实施例,由于浮置栅5的电位可受到1对源/漏用杂质扩散区11、11控制,所以半导体衬底1与浮置栅5之间可施加大的电位差。由此,可利用FN隧道效应拉走浮置栅5内的电子,从而可进行数据的电擦除。

另外,由于浮置栅晶体管10由p沟道MOS晶体管构成,所以与实施例1一样,与使用n沟道MOS晶体管的情形相比,在低电压下进行写入成为可能。

(实施例4)

参照图9~图11,本实施例的存储单元的构成与实施例3的构成相比,在浮置栅控制区内增加了p型阱区12,在这方面是不同的。

P型阱区12在半导体衬底1的主表面上形成。在p型阱区12内形成1对源/漏用杂质扩散区11、11。p型阱区12具有比半导体衬底1高的载流子浓度。

再有,关于上述以外的构成,由于与实施例3的构成大致相同,所以对同一构成要素标以同一符号而省略其说明。

按照本实施例,可得到以下的效果。

在写入和擦除时,如表3和表4所示的电压被施加于n型阱区2a与一个源/漏用杂质扩散区11(或者另一源/漏用杂质扩散区11)上,但这时在n型阱区2a与p型半导体衬底1的pn结部和一个源/漏用杂质扩散区11(或者另一源/漏用杂质扩散区11)与p型区的pn结部生成耗尽层。随着该耗尽层的延伸增大,因穿通而造成漏泄电流增加。

按照本实施例,由于p型阱区12具有比半导体衬底1高的载流子浓度,所以可抑制该耗尽层的延伸。由此,可减小n型阱区2a与一个源/漏用杂质扩散区11(或者另一源/漏用杂质扩散区11)的间隔,其结果是,与实施例3相比,可减小存储单元尺寸。

(实施例5)

参照图12和图13,本实施例的存储单元的构成与实施例4的构成

相比, 具有元件隔离用的 p 型杂质扩散区 8, 在这方面是不同的。

该元件隔离用的 p 型杂质扩散区 8 在浮置栅晶体管区与浮置栅控制区之间的半导体衬底 1 的主表面上形成的场绝缘层 7 的正下方的半导体衬底 1 上形成。该元件隔离用的 p 型杂质扩散区 8 具有比半导体衬底 1 高的载流子浓度。

再有, 关于上述以外的构成, 由于与实施例 1 的构成大致相同, 所以对同一构成要素标以同一符号而省略其说明。

按照本实施例, 可得到以下的效果。

在写入和擦除时, 如表 3 和表 4 所示的电压被施加于 n 型阱区 2a 与一个源/漏用杂质扩散区 11 (或者另一源/漏用杂质扩散区 11) 上, 但这时在 n 型阱区 2a 与 p 型半导体衬底 1 的 pn 结部和一个源/漏用杂质扩散区 11 (或者另一源/漏用杂质扩散区 11) 与 p 型区的 pn 结部生成耗尽层。随着该耗尽层的延伸增大, 因穿通而造成漏泄电流增加。

按照本实施例, 由于元件隔离用的 p 型杂质扩散区 8 具有比半导体衬底 1 高的载流子浓度, 所以可抑制该耗尽层的延伸。由此, 可减小 n 型阱区 2a 与一个源/漏用杂质扩散区 11 (或者另一源/漏用杂质扩散区 11) 的间隔, 其结果是, 与实施例 4 相比, 可减小存储单元尺寸。

(实施例 6)

参照图 14 和图 15, 本实施例的存储单元的构成与实施例 1 的构成相比, 在浮置栅控制区内的控制用杂质扩散区等的构成方面不同。

本实施例中的控制用杂质扩散区由 1 对 p 型的源/漏用杂质扩散区 22、22 构成。另外, 在 p 型半导体衬底 1 的主表面上形成 n 型阱区 21。1 对源/漏用杂质扩散区 22、22 以夹持位于浮置栅 5 的下侧的半导体衬底 1 的区域的方式在 n 型阱区 21 内在 p 型半导体衬底 1 的主表面上形成。由该 1 对源/漏用杂质扩散区 22、22、绝缘层 4b 和浮置栅 5 构成作为 p 沟道 MOS 晶体管的控制晶体管 30。

再有, 关于上述以外的构成, 由于与实施例 1 的构成大致相同, 所以对同一构成要素标以同一符号而省略其说明。

接着, 说明本实施例中的存储单元的写入和擦除的工作。

参照图 15A 和图 15B, 向存储单元的写入系通过将浮置栅晶体管 10 中的因碰撞电离发生的热载流子注入到浮置栅 5 中而进行的。热载流子的发生系通过将表 5 所示的电压施加于各区而引起。

表 5

施加电压的部位	电压
一个 p 型杂质扩散区 3	0V
另一 p 型杂质扩散区 3	~ 8V
一个源/漏用杂质扩散区 22	~ 5V
另一源/漏用杂质扩散区 22	~ 5V
n 型阱区 2a	~ 8V
n 型阱区 21	~ 5V
p 型半导体衬底 1	0V

*对另一 p 型杂质扩散区 3 和 n 型阱区 2a 施加相同的电压。

*对一个源/漏用杂质扩散区 22、另一源/漏用杂质扩散区 22 和 n 型阱区 21 施加相同的电压。

5

这时，控制晶体管 30 的 1 对源/漏用杂质扩散区 22、22 起控制浮置栅 5 的电位的作用。具体地说，由于浮置栅 5 的（从一个 p 型杂质扩散区 3 见到的）电位为-1V 左右时热载流子的发生变得最多，所以对 1 对源/漏用杂质扩散区 22、22 和 n 型阱区 21 施加能形成这样的电位的电压，以控制浮置栅 5 的电位。

10

另外，对一个源/漏用杂质扩散区 22、另一源漏用杂质扩散区 22 和 n 型阱区 21 施加高电位，利用 FN 隧道效应拉走蓄积于浮置栅 5 上的电子，以此对存储单元进行擦除。为了引起 FN 隧道效应，要对一个源/漏用杂质扩散区 22（或者另一源漏用杂质扩散区 22）和 n 型阱区 21 施加如表 6 所示的正电位。

15

表 6

施加电压的部位	电压
一个 p 型杂质扩散区 3	$\sim -10V$
另一 p 型杂质扩散区 3	$\sim -10V$
一个源/漏用杂质扩散区 22	$\sim 15V$
另一源/漏用杂质扩散区 22	$\sim 15V$
n 型阱区 2a	0V
n 型阱区 21	$\sim 15V$
p 型半导体衬底 1	0V

*对一个 p 型杂质扩散区 3 和第 2 p 型杂质扩散区 3 施加相同的电压。

*对一个源/漏用杂质扩散区 22、另一源/漏用杂质扩散区 22 和 n 型阱区 21 施加相同的电压。

5

这时，还对 1 对 p 型杂质扩散区 3、3 施加如表 6 所示的负电压，降低浮置栅 5 的（从一个 p 型杂质扩散区 3 见到的）电位。为了高效地进行擦除，希望在浮置栅 5 与一个源/漏用杂质扩散区 22、另一源/漏用杂质扩散区 22 和 n 型阱区 21 之间的结电容比值尽可能地小以增大其间的电位差。

10

按照本实施例，由于浮置栅 5 的电位可受到 1 对源/漏用杂质扩散区 22、22 控制，所以半导体衬底 1 与浮置栅 5 之间可施加大的电位差。由此，可利用 FN 隧道效应拉走浮置栅 5 内的电子，从而可进行数据的电擦除。

15

另外，由于浮置栅晶体管 10 由 p 沟道 MOS 晶体管构成，所以与实施例 1 一样，与使用 n 沟道 MOS 晶体管的情形相比，在低电压下进行写入成为可能。

（实施例 7）

20

参照图 16 和图 17，本实施例的存储单元的构成与实施例 6 的构成相比，具有元件隔离用的 p 型杂质扩散区 8，在这方面是不同的。

该元件隔离用的 p 型杂质扩散区 8 在浮置栅晶体管区与浮置栅控制区之间的半导体衬底 1 的主表面上形成的场绝缘层 7 的正下方的半导体衬底 1 上形成。该元件隔离用的 p 型杂质扩散区 8 具有比半导体

这时，控制用杂质扩散区（n 型杂质扩散区）31 起控制浮置栅 5 的电位的作用。具体地说，由于浮置栅 5 的（从一个 p 型杂质扩散区 3 见到的）电位为-1V 左右时热载流子发生变得最多，所以对控制用杂质扩散区 31 施加能形成这样的电位的电压，以控制浮置栅 5 的电位。

- 5 另外，对控制用杂质扩散区 31 施加高的电位，利用 FN 隧道效应拉走蓄积于浮置栅 5 上的电子，以此对存储单元进行擦除。为了引起 FN 隧道效应，要对控制用杂质扩散区 31 施加如表 8 所示的正电位。

表 8

施加电压的部位	电压
一个 p 型杂质扩散区 3	~-10V
另一 p 型杂质扩散区 3	~-10V
控制用杂质扩散区 31	~15V
n 型阱区 2a	0V
p 型半导体衬底 31	0V

- 10 *对一个 p 型杂质扩散区 3 和另一 p 型杂质扩散区 3 施加相同的电压。

这时，还对 1 对 p 型杂质扩散区 3、3 施加如表 6 所示的负电压，降低浮置栅 5 的（从一个 p 型杂质扩散区 3 见到的）电位。为了高效地进行擦除，希望在浮置栅 5 与一个 p 型杂质扩散区 3、另一 p 型杂质扩散区 22 和 n 型阱区 2a 中的每个区之间的结电容比值尽可能地小以增大其间的电位差。

15 按照本实施例，由于浮置栅 5 的电位可受到控制用杂质扩散区 31 控制，所以半导体衬底 1 与浮置栅 5 之间可施加大的电位差。由此，可利用 FN 隧道效应拉走浮置栅 5 内的电子，从而可进行数据的电擦除。

20 另外，由于浮置栅晶体管 10 由 p 沟道 MOS 晶体管构成，所以与实施例 1 一样，与使用 n 沟道 MOS 晶体管的情形相比，在低电压下进行写入成为可能。

（实施例 9）

- 25 参照图 21~图 23，本实施例的存储单元的构成与实施例 8 的构成相比，在浮置栅控制区内增加了 p 型阱区 32，在这方面是不同的。

P 型阱区 32 在半导体衬底 1 的主表面上形成。在 p 型阱区 32 内形成控制用杂质扩散区 (n 型杂质扩散区) 31。p 型阱区 32 具有比半导体衬底 1 高的载流子浓度。

再有, 关于上述以外的构成, 由于与实施例 3 的构成大致相同, 所以对同一构成要素标以同一符号而省略其说明。

按照本实施例, 可得到以下的效果。

在写入和擦除时, 如表 7 和表 8 所示的电压被施加于 n 型阱区 2a 和控制用杂质扩散区 (n 型杂质扩散区) 31, 但这时在 n 型阱区 2a 与 p 型半导体衬底 1 的 pn 结部和控制用杂质扩散区 (n 型杂质扩散区) 31 与 p 型区的 pn 结部生成耗尽层。随着该耗尽层的延伸增大, 因穿通而造成漏泄电流增加。

按照本实施例, 由于 p 型阱区 32 具有比半导体衬底 1 高的载流子浓度, 所以可抑制该耗尽层的延伸。由此, 可减小 n 型阱区 2a 与控制用杂质扩散区 (n 型杂质扩散区) 31 的间隔, 其结果是, 与实施例 8 相比, 可减小存储单元尺寸。

(实施例 10)

参照图 24 和图 25, 本实施例的存储单元的构成与实施例 9 的构成相比, 具有元件隔离用的 p 型杂质扩散区 8, 在这方面是不同的。

该元件隔离用的 p 型杂质扩散区 8 在浮置栅晶体管区与浮置栅控制区之间的半导体衬底 1 的主表面上形成的场绝缘层 7 的正下方的半导体衬底 1 上形成。该元件隔离用的 p 型杂质扩散区 8 具有比半导体衬底 1 高的载流子浓度。

再有, 关于上述以外的构成, 由于与实施例 1 的构成大致相同, 所以对同一构成要素标以同一符号而省略其说明。

按照本实施例, 可得到以下的效果。

在写入和擦除时, 如表 7 和表 8 所示的电压被施加于 n 型阱区 2a, 但这时在 p 型半导体衬底 1 与 n 型阱区 2a 的 pn 结部生成耗尽层。随着该耗尽层的延伸增大, 因穿通而造成漏泄电流增加。

按照本实施例, 由于该元件隔离用的 p 型杂质扩散区 8 具有比半导体衬底 1 高的载流子浓度, 所以可抑制该耗尽层的延伸。由此, 可减小 n 型阱区 2a 与 n 型阱区 31 的间隔, 其结果是, 与实施例 9 相比, 可减小存储单元尺寸。

虽然详细地说明并揭示了本发明,但这仅仅是例示性的而不是限定性的,显然可理解为发明的宗旨和范围仅由所附权利要求的范围来限定。

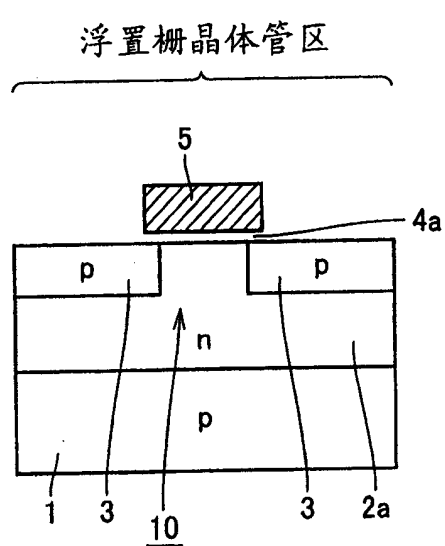


图 2A

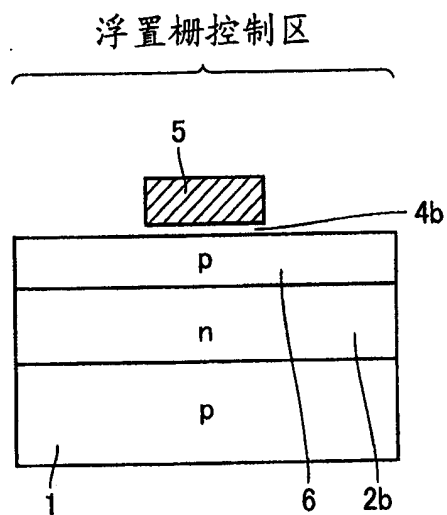


图 2B

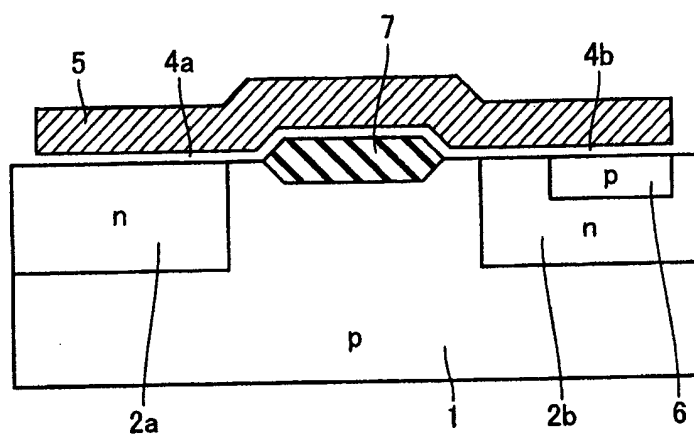


图 3

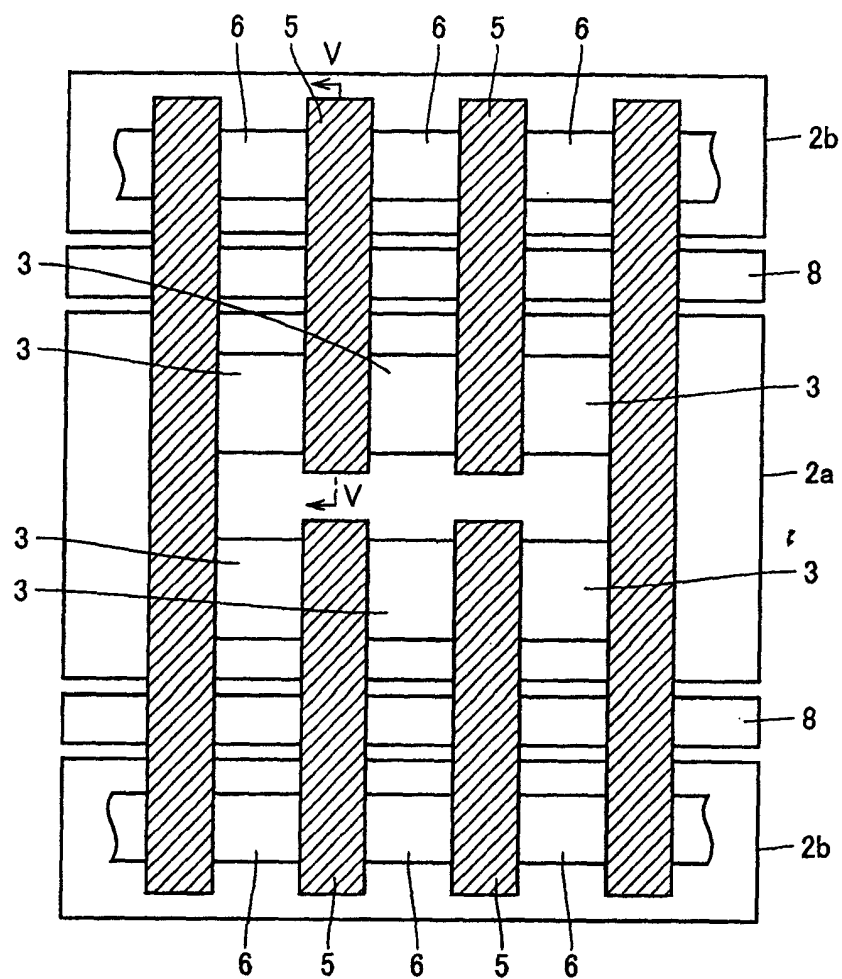


图 4

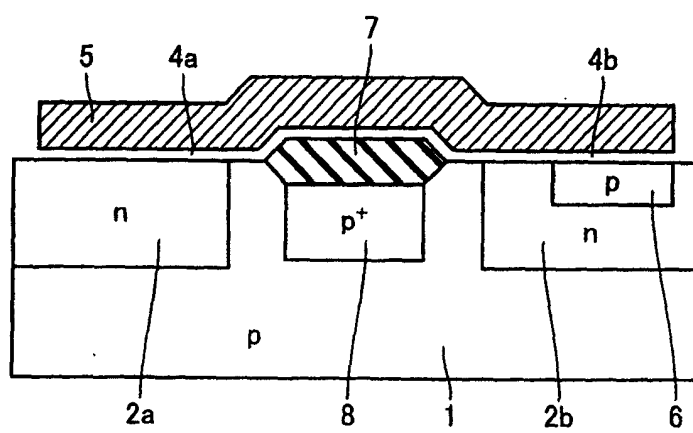


图 5

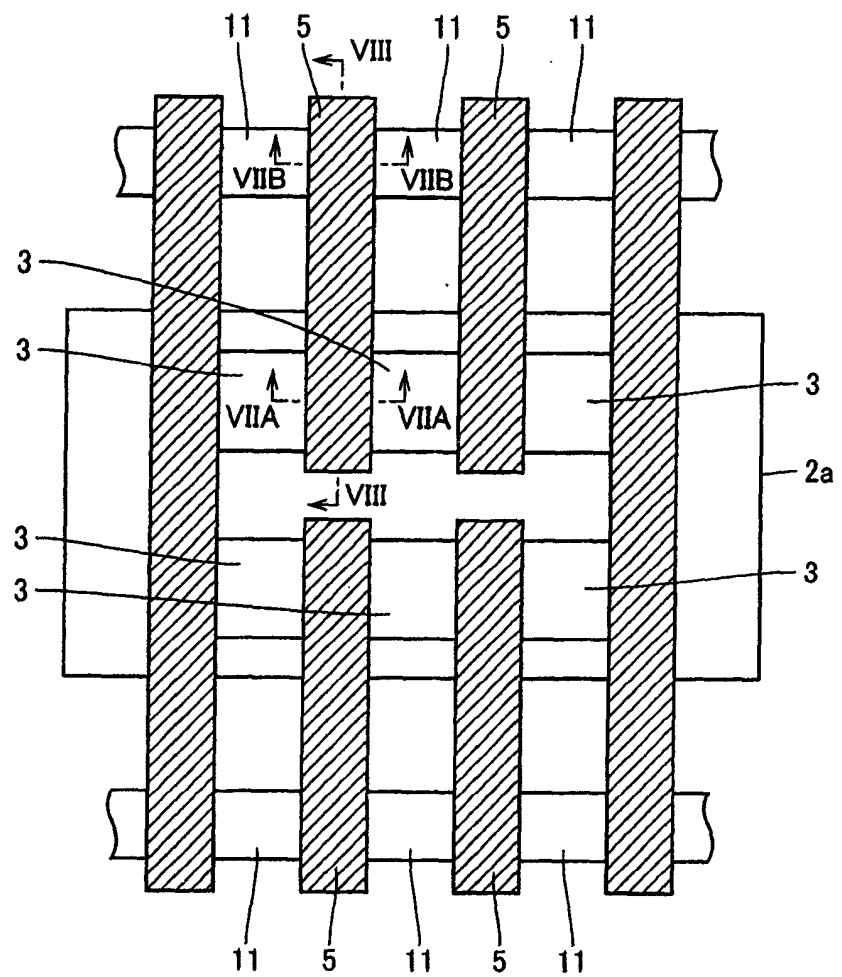


图 6

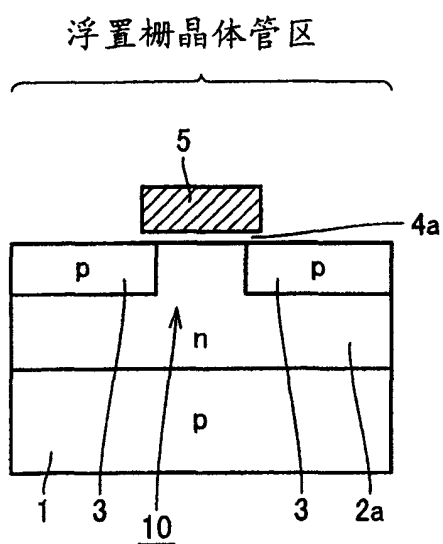


图 7A

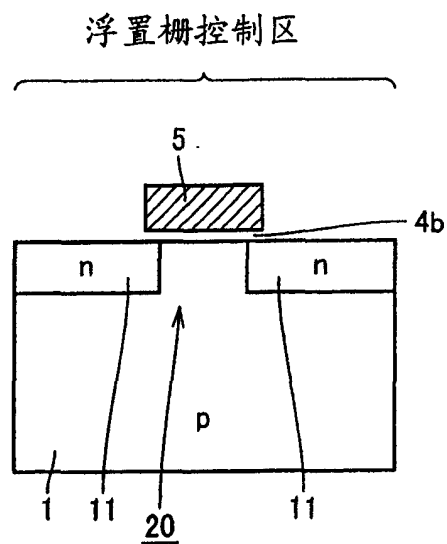


图 7B

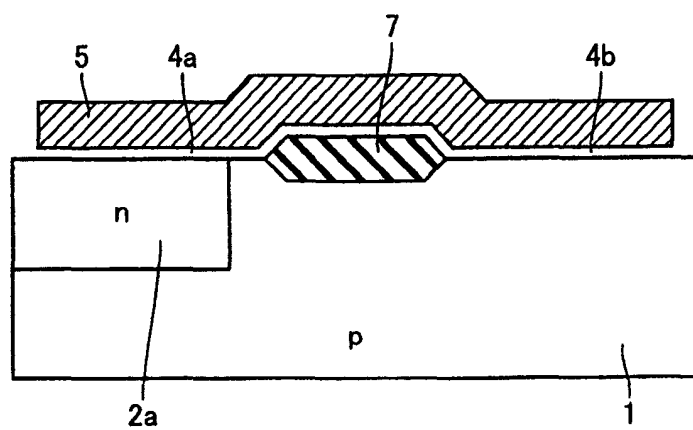


图 8

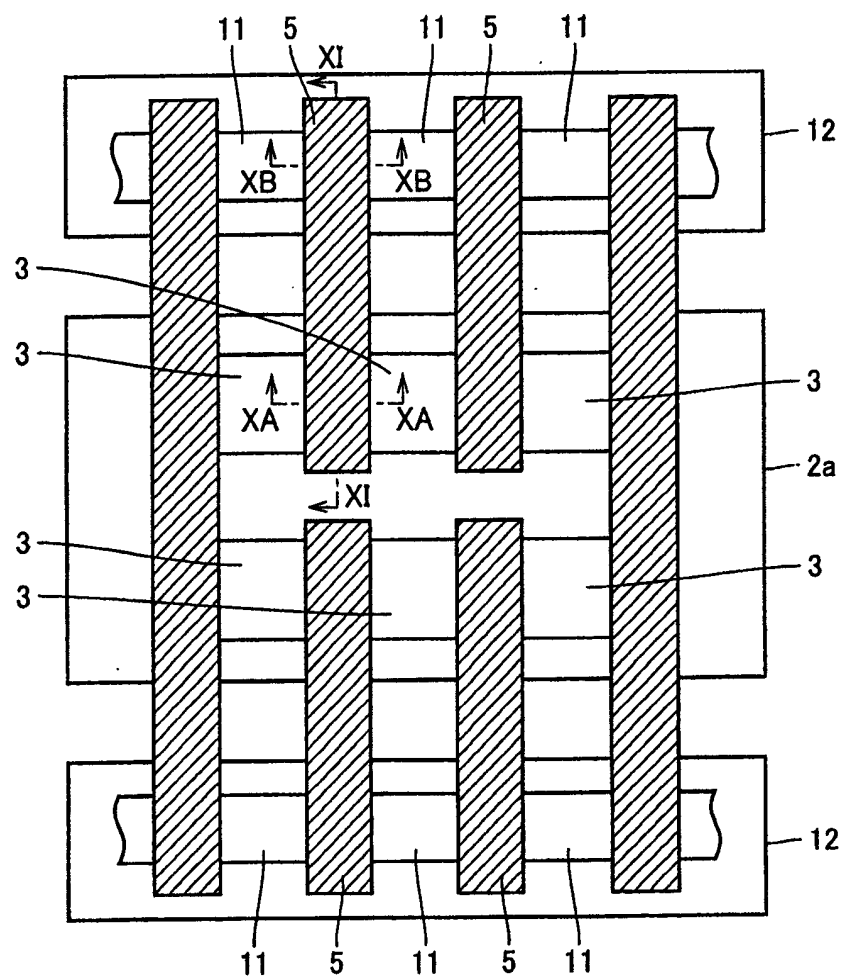


图 9

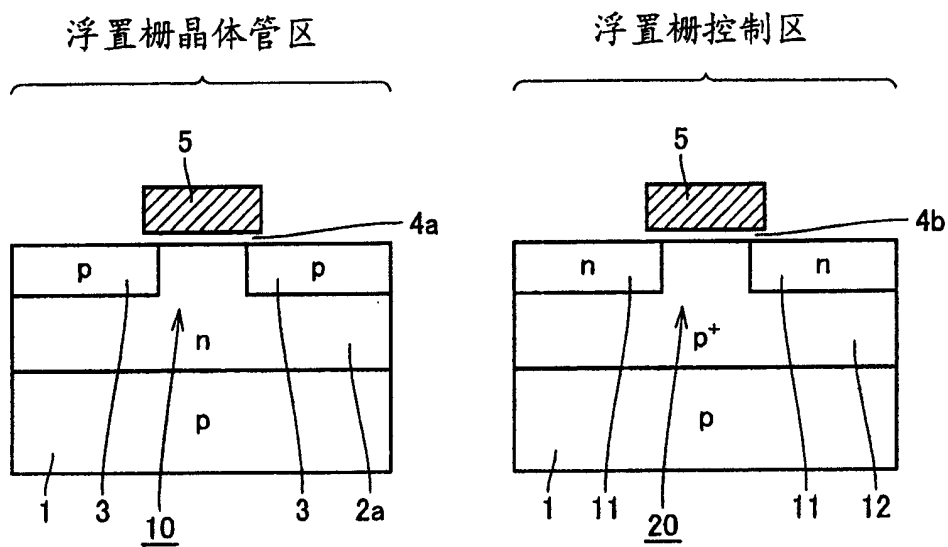


图 10A

图 10B

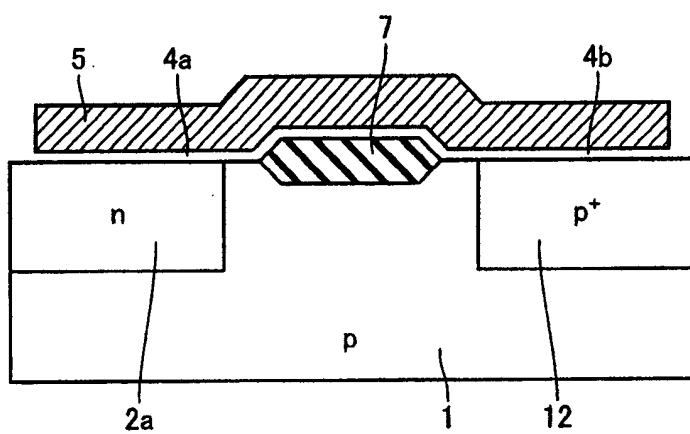


图 11

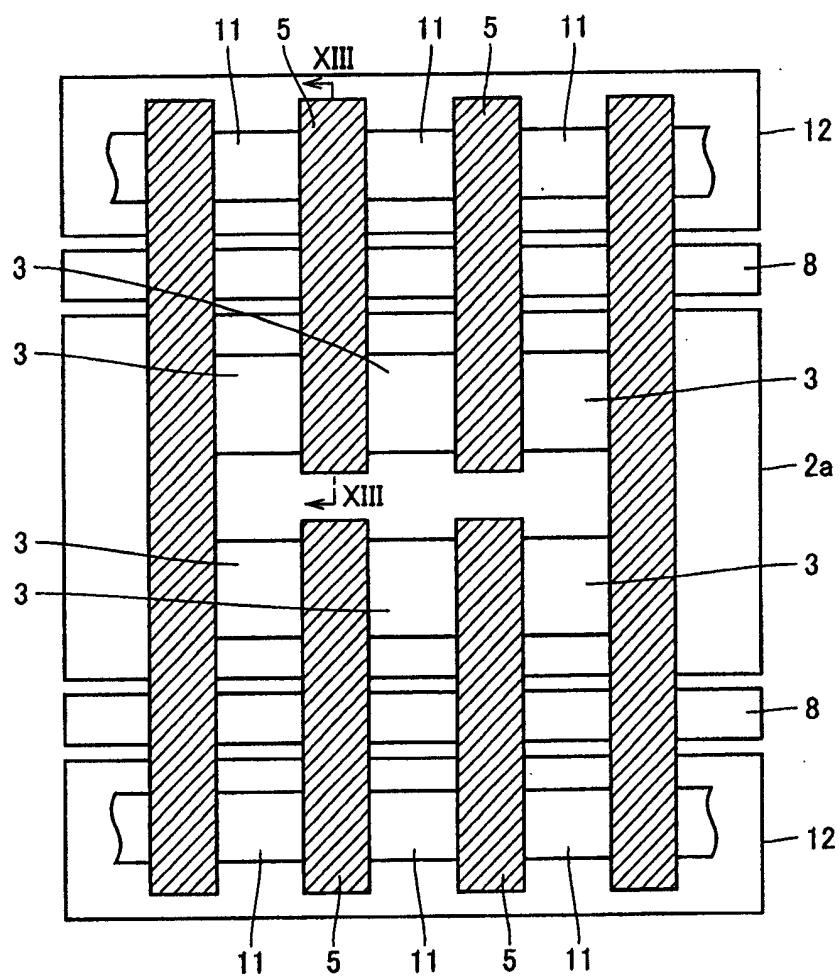


图 12

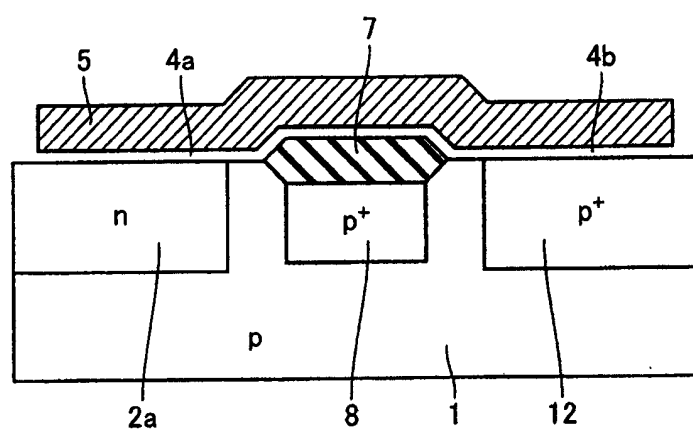


图 13

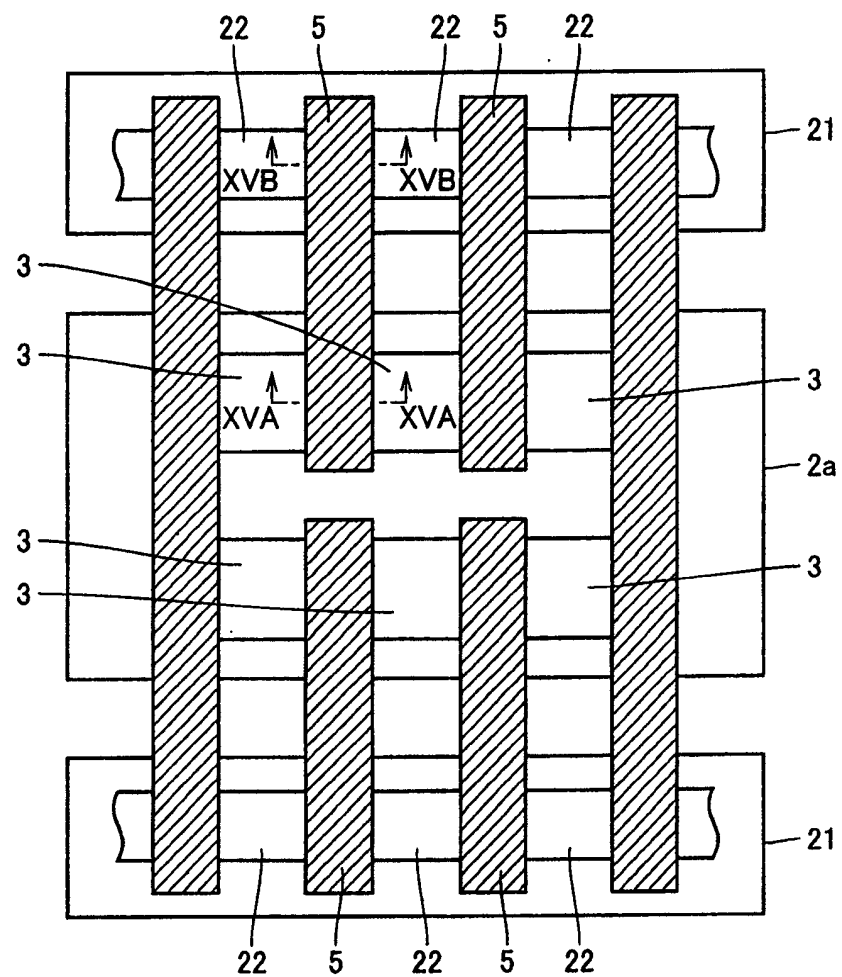


图 14

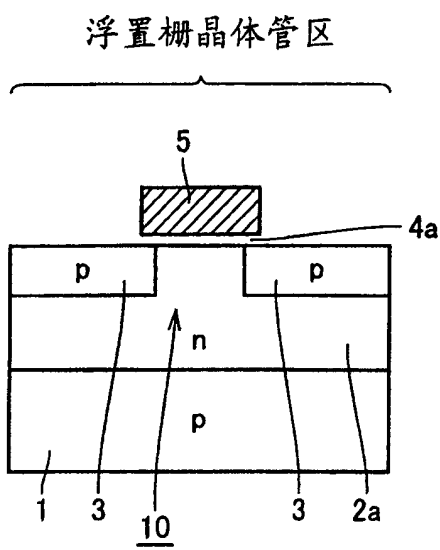


图 15A

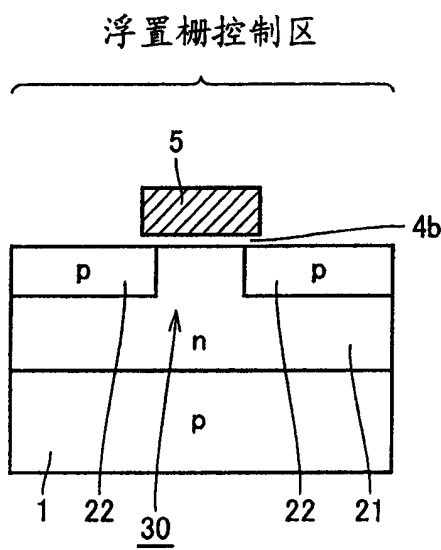


图 15B

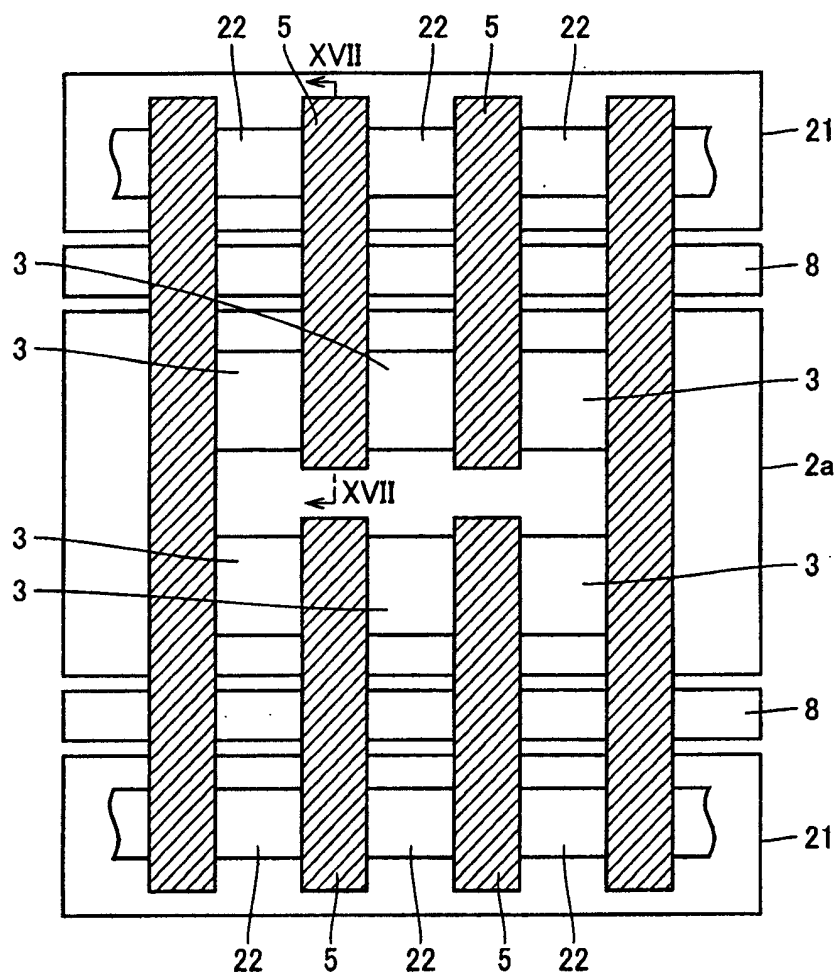


图 16

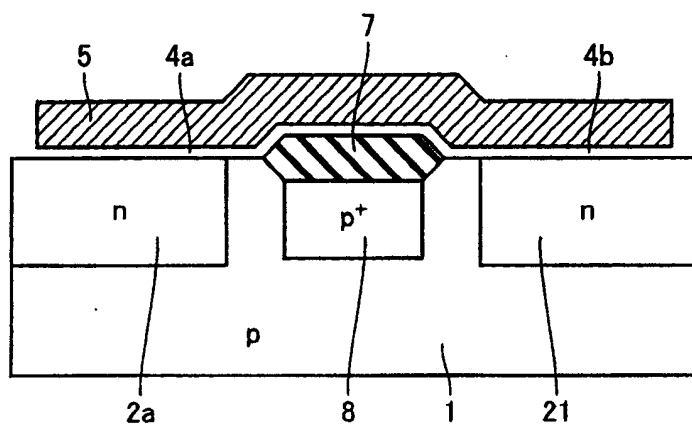


图 17

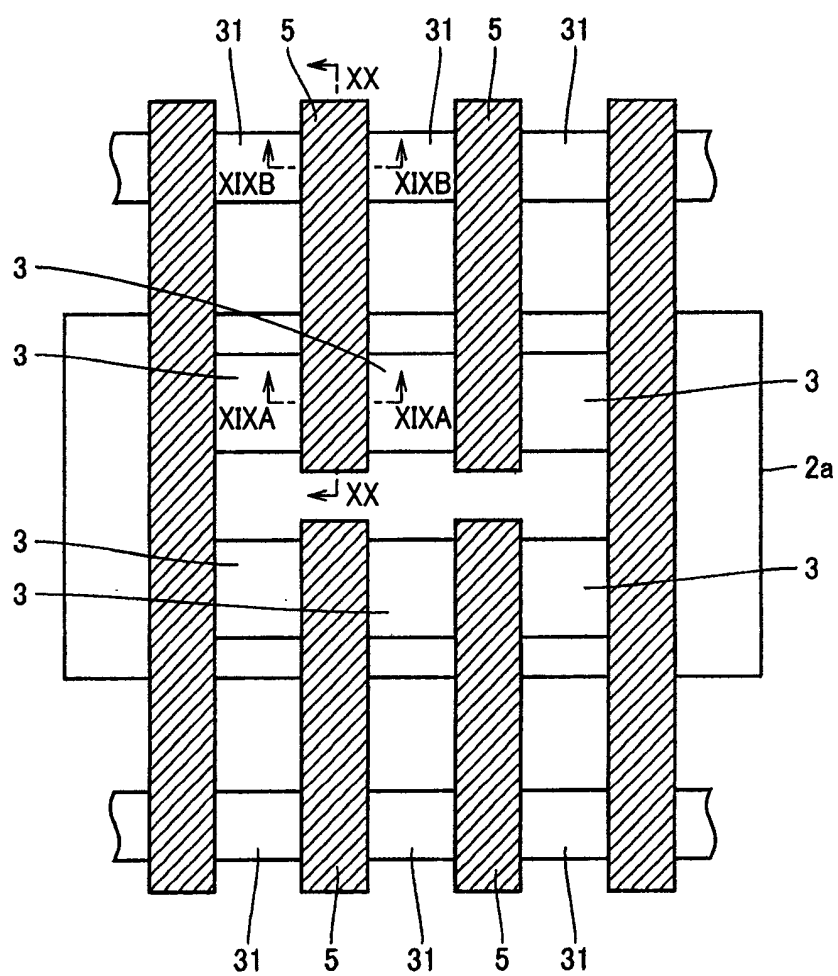


图 18

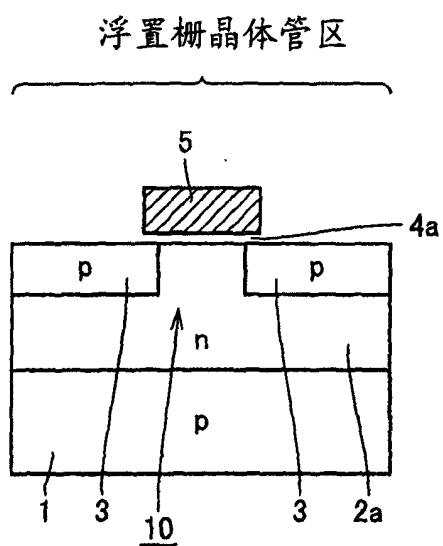


图 19A

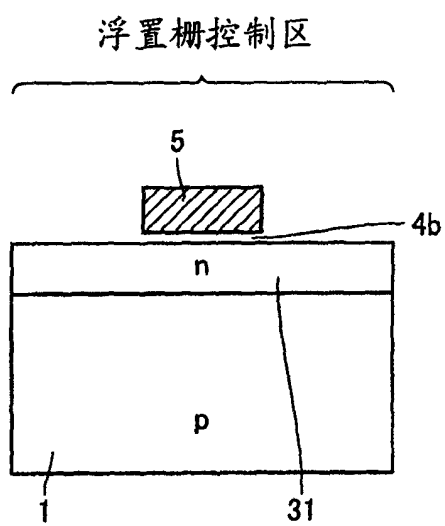


图 19B

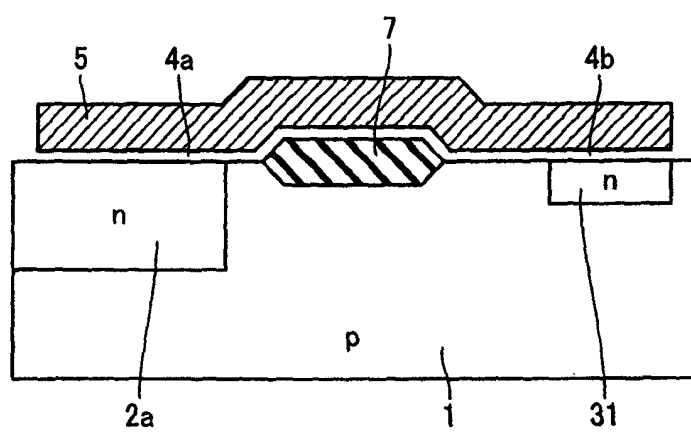


图 20

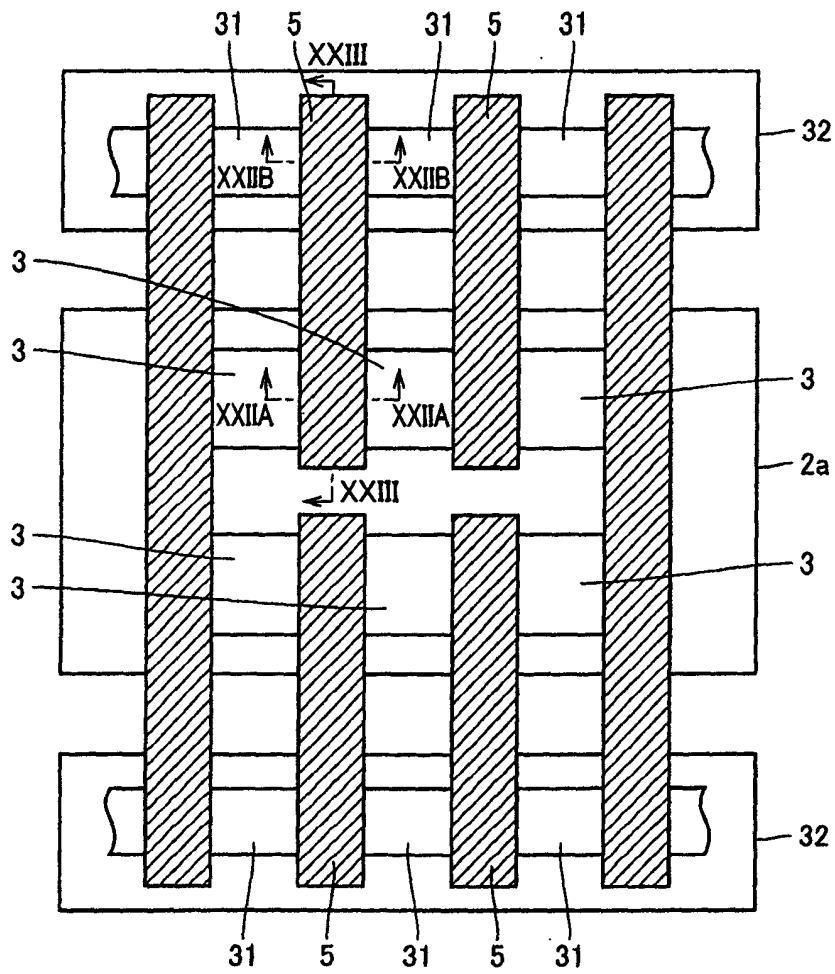


图 21

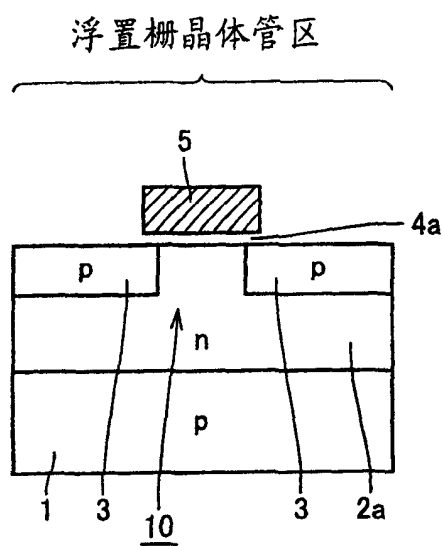


图 22A

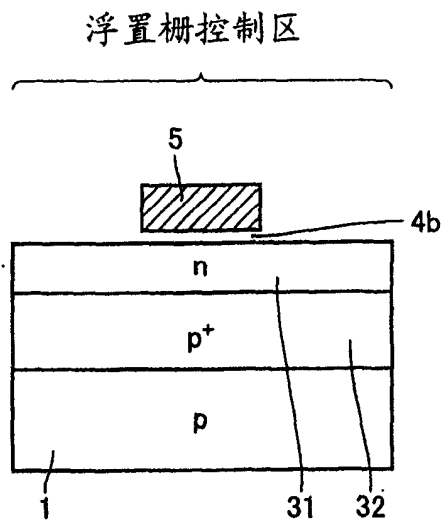


图 22B

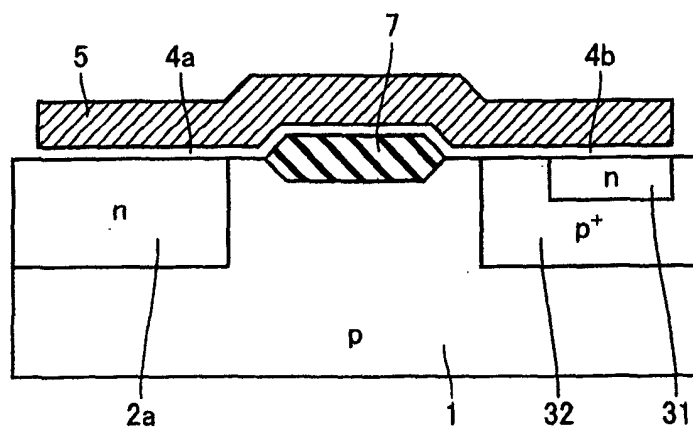


图 23

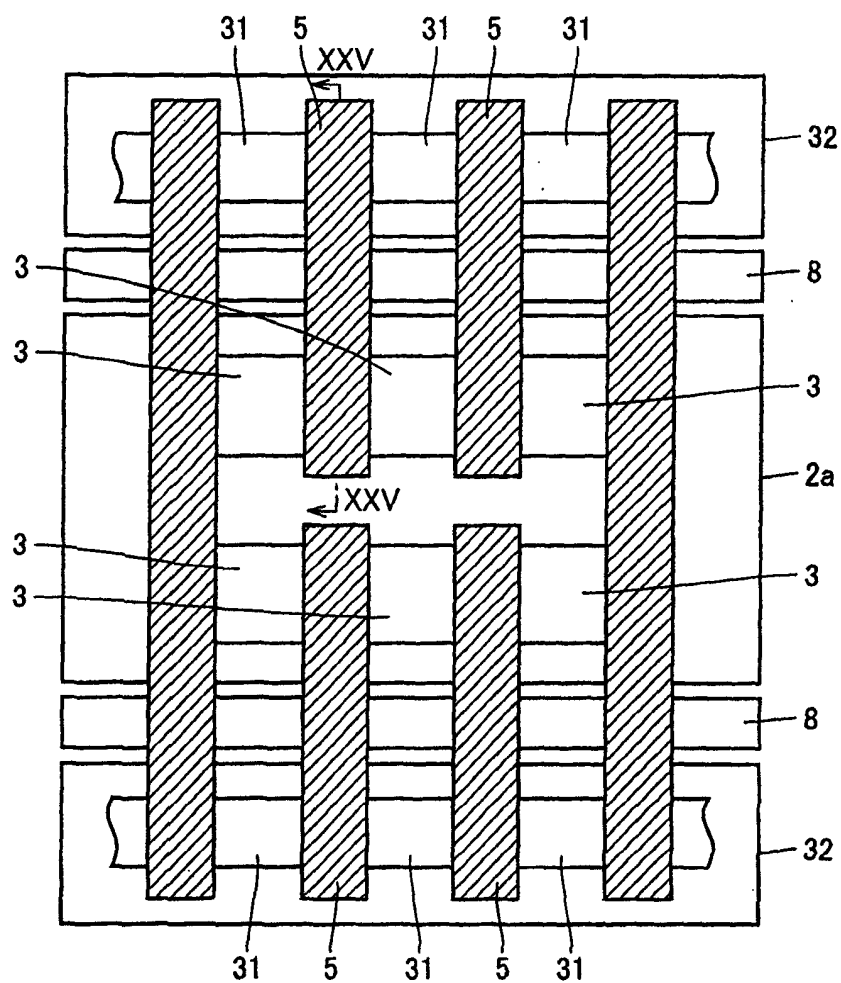


图 24

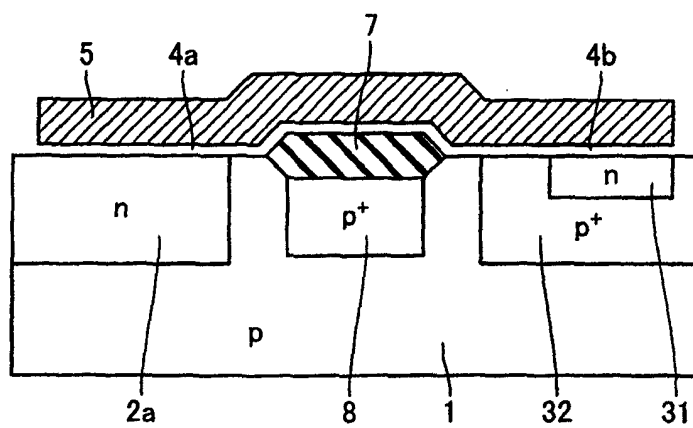


图 25