



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

244 085

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 19 03 85
(21) PV 1919-85

(51) Int. Cl.⁴

G 01 R 19/10,
G 01 R 19/12,
G 01 R 19/25

(40) Zveřejněno 31 08 85
(45) Vydáno 01 06 88

(75)

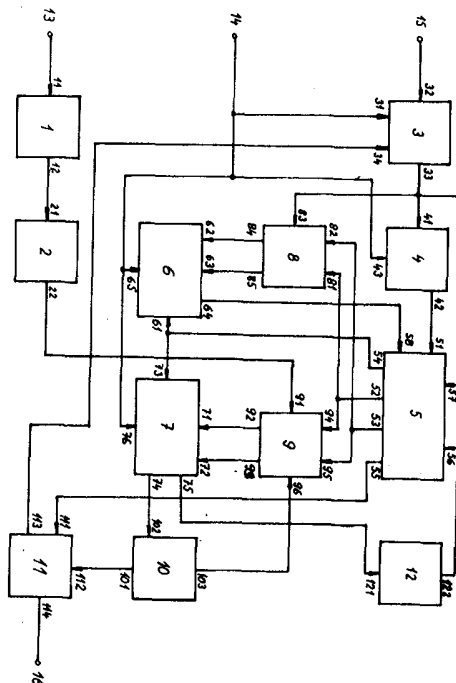
Autor vynálezu

HEINRICH PETR ing.;
KMÍNEK ZDENĚK ing.;
RABA PAVEL ing., PRAHA

(54)

Zapojení obvodu pro měření a vyhodnocování
derivace veličiny proměnné v čase

Způsob zlepšení spolehlivosti měření, zvětšení citlivosti zařízení při jeho malé komplikovanosti a možnost měření průběhu veličin, blízkému se ustálenému stavu. Uvedeného účelu se dosáhne zapojením obvodu, složeným z přizpůsobovacího obvodu, převodníku napětí-frekvence, hradla, čítače, řídicího obvodu, hradlovacích obvodů, čítačů času a frekvence, logického obvodu a vyhodnocovacích obvodů. Derivace měřené veličiny je lineárně převedena na ss napětí, jehož dorazem je střídavé napětí s proměnnou nenulovou frekvencí. Ta je čítána vpřed a po uplynutí měřicího intervalu, určeného čítačem generujícím impulsy pro řídicí obvod, vzad na čítači frekvence. Řídicí obvod s pomocnými obvody ovládá mimo čítání vpřed a vzad i vyhodnocení a nastavení počátečních podmínek čítače frekvence i čítače času zajišťujícího stejnou velikost vzorkovací doby v jednom měřicím intervalu. Výsledný rozdíl čítače frekvence je úměrný derivaci měřené veličiny a vyhodnocován příslušným obvodem.



Vynález se týká zapojení obvodu pro měření a vyhodnocování derivace veličiny proměnné v čase, zejména pro zvláště pomalu se měnící.

Analogové měření derivace - kladné a záporné, zejména při zvláště pomalu se měnících veličinách, jako je například vybíjecí proud akumulátoru resp. nárůst napětí na akumulátoru, napětí termočlánků při snímání teploty a pod., přináší problémy při zpracování měřené veličiny s velkým rozdílem mezi rozsahem měřené veličiny a velikostí její derivace při vyhodnocení. Vzhledem k pomalým změnám měřené veličiny se používá měření například pomocí mechanické paměti se servomotorem a převodovkou.

Je-li derivace měřené veličiny velmi malá, vzrůstají požadavky na citlivost měřícího zařízení, což se projevuje v jeho komplikovanosti, tudíž i v jeho spolehlivosti a ceně. Se stoupající citlivostí měřícího zařízení se zvětšuje negativní vliv rušení a krátkodobých poruch, což má za následek zhoršení spolehlivosti měření. Pro velmi pomalé průběhy, blížíící se ustálenému stavu, je vyhodnocení derivace nemožné.

Výše uvedené nevýhody odstraňuje zapojení obvodu podle vynálezu, složené z přizpůsobovacího obvodu, převodníku napětí-frekvence, hradla, čítače, řídicího obvodu, hradlovacích obvodů, čítačů času a frekvence, logického obvodu a vyhodnocovacích obvodů,

jehož podstata je v tom, že

první vstupní svorka je spojena se vstupem přizpůsobovacího obvodu. Jeho výstup je spojen se vstupem převodníku napětí - frekvence, jehož výstup je spojen s prvním vstupem druhého hradlovacího obvodu. Druhá vstupní svorka je spojena s prvním vstupem hradla a třetí vstupní svorka je spojena s druhým vstupem hradla. První výstup druhého hradlovacího obvodu je spojen s prvním vstupem čítače frekvence a druhý výstup druhého hradlovacího obvodu je spojen s druhým vstupem čítače frekvence. Výstup hradla je spojen s první vstupní svorkou čítače, jehož výstup je spojen s prvním vstupem řídicího obvodu. Druhý výstup řídicího obvodu je spojen současně s prvním vstupem prvního hradlovacího obvodu a druhým vstupem druhého hradlovacího obvodu. Druhý výstup řídicího obvodu je spojen současně s druhým vstupem prvního hradlovacího obvodu a třetím vstupem druhého hradlovacího obvodu. Třetí výstup řídicího obvodu je připojen k prvnímu vstupu čítače času a současně k třetímu vstupu čítače frekvence. Čtvrtý výstup řídicího obvodu je spojen s prvním vstupem logického obvodu, jehož druhý vstup je spojen s prvním výstupem druhého vyhodnocovacího obvodu. Jeho vstup je spojen s prvním výstupem čítače frekvence. Druhý výstup druhého vyhodnocovacího obvodu je spojen se čtvrtým vstupem druhého hradlovacího obvodu. Druhý výstup čítače frekvence je spojen se vstupem prvního vyhodnocovacího obvodu, jehož výstup je spojen s druhým vstupem řídicího obvodu. K třetímu vstupu řídicího obvodu je připojen výstup hradla, který je současně spojen se třetím vstupem prvního hradlovacího obvodu. První výstup hradlovacího obvodu je spojen s druhým vstupem čítače času. Druhý výstup prvního hradlovacího obvodu je spojen s třetím vstupem čítače času, jehož druhý výstup je spojen se čtvrtým vstupem řídicího obvodu. Druhá vstupní svorka je spojena současně s druhým vstupem čítače, čtvrtým vstupem čítače času a čtvrtým vstupem čítače frekvence. Třetí vstup hradla je spojen s prvním výstupem logického obvodu, jehož druhý výstup je spojen s výstupní svorkou.

Výhodou zapojení obvodu podle vynálezu je, že při měření klesajících průběhů veličin, resp. záporné derivace se s jejím zmenšováním zvětšuje automaticky citlivost, tj. zvětšuje se přesnost měření průběhu křivky.

Na přiloženém výkresu je znázorněno zapojení obvodu podle vynálezu v blokovém schématu.

Příklad zapojení

První vstupní svorka 13 je spojena se vstupem 11 přizpůsobovacího obvodu 1, jehož výstup 12 je spojen se vstupem 21 převodníku 2 napětí-frekvence. Jeho výstup 22 je spojen s prvním vstupem 91 druhého hradlovacího obvodu 9. Druhá vstupní svorka 14 je spojena s prvním vstupem 31 hradla 3. Třetí vstupní svorka 15 je spojena s druhým vstupem 32 hradla 3. První výstup 92 druhého hradlovacího obvodu 9 je spojen s prvním vstupem 71 čítače 7 frekvence a druhý výstup 93 druhého hradlovacího obvodu 9 je spojen s druhým vstupem 72 čítače 7 frekvence. Výstup 33 hradla 3 je spojen s první vstupní svorkou 41 čítače 4, jehož výstup 42 je spojen s prvním vstupem 51 řídicího obvodu 5. Jeho druhý výstup 52 je spojen současně s prvním vstupem 81 prvního hradlovacího obvodu 8 a druhým vstupem 94 druhého hradlovacího obvodu 9. Druhý výstup 53 řídicího obvodu 5 je spojen současně s druhým vstupem 82 prvního hradlovacího obvodu 8 a třetím vstupem 95 druhého hradlovacího obvodu 9. Třetí výstup 54 řídicího obvodu 5 je připojen na první vstup 61 čítače 6 času a současně na třetí vstup 73 čítače 7 frekvence. Čtvrtý výstup 55 řídicího obvodu 5 je spojen s prvním vstupem 111 logického obvodu 11, jehož druhý vstup 112 je spojen s prvním výstupem 101 druhého vyhodnocovacího obvodu 10. Jeho vstup 102 je spojen s prvním výstupem 74 čítače 7 frekvence a druhý výstup 103 druhého vyhodnocovacího obvodu 10 je spojen se čtvrtým vstupem 96 druhého hradlovacího obvodu 9. Druhý výstup 75 čítače 7 frekvence je spojen se vstupem 121 prvního vyhodnocovacího obvodu 12. Jeho výstup 122 je spojen s druhým vstupem 56 řídicího obvodu 5, k jehož třetímu vstupu 57 je připojen výstup 33 hradla 3, který je současně spojen s třetím vstupem 83 prvního hradlovacího obvodu 8. Jeho první výstup 84 je spojen s druhým vstupem 62 čítače 6 času a druhý výstup 85 prvního hradlovacího obvodu 8 je spojen s třetím vstupem 63 čítače 6 času. Jeho druhý výstup 64 je spojen se čtvrtým vstupem 58 řídicího obvodu 5. Druhá vstupní svorka 14 je spojena současně s druhým vstupem 43 čítače 4, čtvrtým vstupem 65 čítače 6 času a čtvrtým vstupem 76 čítače 7 frekvence. Třetí vstup 34 hradla 3 je spojen s prvním výstupem 113 logického obvodu 11, jehož druhý výstup 114 je spojen s výstupní svorkou 16. Měřená veličina přivedená na první vstupní svorku 13 se upraví prostřednictvím přizpůsobovacího obvodu 1 tak, aby jejím obra-

zem bylo ss napětí na jeho výstupu 12. To je zavedeno na vstup 21 převodníku 2 napětí-frekvence, který při nulovém vstupním napětí má nenulovou výstupní frekvenci. Ze třetí vstupní svorky 15 se přivádí hodinový signál na druhý vstup 32 hradla 3. Signál na druhé vstupní svorce 14 dává povel k zahájení měření. Na výstupu 33 hradla 3 se objeví invertorovaný časový signál, který je zpracován čítačem 4. Volbou výstupního signálu čítače 4 lze volit délku měřicího intervalu. Výstupní signál čítače 4 spouští sekvenčně závislý řídicí obvod 5, který ovládá postupně po sobě jdoucí operace čítání vzad, vyhodnocení, nulování resp. nastavení a konečně čítání vpřed čítače 6 času a čítače 7 frekvence. Počáteční podmínky čítače 4, čítače 6 času a čítače 7 frekvence jsou nastaveny před zahájením měření signálem na druhé vstupní svorce 14. Čítač 6 času čítá časové impulsy, které jsou propouštěny prvním hradlovacím obvodem 8 na základě požadavků řídicího obvodu 5. Obdobně druhý hradlovací obvod 9 povoluje čítání vzad nebo vpřed čítače 7 frekvence. Při čítání vpřed se čítač 7 frekvence naplní do zvoleného stavu, což je signalizováno prvním vyhodnocovacím obvodem 12, současně čítač 6 času měří dobu plnění čítače 7 frekvence. Výstupní signál prvního vyhodnocovacího obvodu 12 je zaveden do řídicího obvodu 5, který ukončí čítání vpřed. Dosažené stavy čítače 6 času a čítače 7 frekvence se uchovávají po celý měřicí interval. Po jeho skončení řídicí obvod 5 povolí čítání vzad po stejnou dobu. Zbýlý obsah čítače 7 frekvence je úměrný nárůstu resp. poklesu měřené veličiny. V dalším kroku se vyhodnocuje druhým vyhodnocovacím obvodem 10, zda měřená veličina dosáhla požadované derivace. Jestliže ano, pak výstupní signál uvede v činnost logický obvod 11, který ukončí měřeníablokováním hradla 3 a dále informuje na výstupní svorce 16 o dosažení požadovaného stavu měřené veličiny. Zpětná vazba z výstupu druhého vyhodnocovacího obvodu 10 na vstup druhého hradlovacího obvodu 9 zamezuje vzniku nežádoucích stavů. Jestliže nedojde k vyhodnocení druhým vyhodnocovacím obvodem 10, řídicí obvod 5 dává povel k nastavení počátečních podmínek čítače 6 času a čítače 7 frekvence a v dalším kroku povel k dalšímu měření, začínajícímu čítáním vpřed.

Zapojení obvodu podle vynálezu je vhodné pro všechny případy měření veličin s velmi malou derivací.

P ř e d m ě t v y n á l e z u

244 085

Zapojení obvodu pro měření a vyhodnocování derivace veličiny proměnné v čase, složené z přizpůsobovacího obvodu, převodníku napětí-frekvence, hradla, čítače, řídicího obvodu, hradlovacích obvodů, čítačů času a frekvence, logického obvodu a vyhodnocovacích obvodů, v y z n a č e n é t í m , že první vstupní svorka /13/ je spojena se vstupem /11/ přizpůsobovacího obvodu /1/, jehož výstup /12/ je spojen se vstupem /21/ převodníku /2/ napětí-frekvence, jehož výstup /22/ je spojen s prvním vstupem /91/ druhého hradlovacího obvodu /9/, druhá vstupní svorka /14/ je spojena s prvním vstupem /31/ hradla /3/ a třetí vstupní svorka /15/ je spojena s druhým vstupem /32/ hradla /3/, přičemž první výstup /92/ druhého hradlovacího obvodu /9/ je spojen s prvním vstupem /71/ čítače /7/ frekvence a druhý výstup /93/ druhého hradlovacího obvodu /9/ je spojen s druhým vstupem /72/ čítače /7/ frekvence, výstup /33/ hradla /3/ je spojen s první vstupní svorkou /41/ čítače /4/, jehož výstup /42/ je spojen s prvním vstupem /51/ řídicího obvodu /5/, jehož druhý výstup /52/ je spojen současně s prvním vstupem /81/ prvního hradlovacího obvodu /8/ a druhým vstupem /94/ druhého hradlovacího obvodu /9/, druhý výstup /53/ řídicího obvodu /5/ je spojen současně s druhým vstupem /82/ prvního hradlovacího obvodu /8/ a třetím vstupem /95/ druhého hradlovacího obvodu /9/, třetí výstup /54/ řídicího obvodu /5/ je připojen na první vstup /61/ čítače /6/ času a současně na třetí vstup /73/ čítače /7/ frekvence a čtvrtý výstup /55/ řídicího obvodu /5/ je spojen s prvním vstupem /111/ logického obvodu /11/, jehož druhý vstup /112/ je spojen s prvním výstupem /101/ druhého vyhodnocovacího obvodu /10/, jehož vstup /102/ je spojen s prvním výstupem /74/ čítače /7/ frekvence a druhý výstup /103/ druhého vyhodnocovacího obvodu /10/ je spojen se čtvrtým vstupem /96/ druhého hradlovacího obvodu /9/, přičemž druhý výstup /75/ čítače /7/ frekvence je spojen se vstupem /121/ prvního vyhodnocovacího obvodu /12/, jehož výstup /122/ je spojen s druhým vstupem /56/ řídicího obvodu /5/, k jehož třetímu vstupu /57/ je připojen výstup /33/ hradla /3/, který je současně spojen se třetím vstupem

/83/ prvního hradlovacího obvodu /8/, jehož první výstup /84/ je spojen s druhým vstupem /62/ čítače /6/ času a druhý výstup /85/ prvního hradlovacího obvodu /8/ je spojen s třetím vstupem /63/ čítače /6/ času, jehož druhý výstup /64/ je spojen se čtvrtým vstupem /58/ řídicího obvodu /5/, přičemž druhá vstupní svorka /14/ je spojena současně s druhým vstupem /43/ čítače /4/, čtvrtým vstupem /65/ čítače /6/ času a čtvrtým vstupem /76/ čítače /7/ frekvence, přičemž třetí vstup /34/ hradla /3/ je spojen s prvním výstupem /113/ logického obvodu /11/, jehož druhý výstup /114/ je spojen s výstupní svorkou /16/.

