

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】令和 5 年 11 月 9 日(2023.11.9)

【公開番号】特開 2023-123468(P2023-123468A)
【公開日】令和 5 年 9 月 5 日(2023.9.5)
【年通号数】公開公報(特許)2023-167
【出願番号】特願 2023-90627(P2023-90627)
【国際特許分類】

H 0 1 L 29/786(2006.01)
H 0 1 L 21/8234(2006.01)
H 0 1 L 27/088(2006.01)
H 0 5 B 33/14(2006.01)
H 1 0 K 59/123(2023.01)
G 0 9 F 9/30(2006.01)
H 1 0 K 50/10(2023.01)

10

【F I】

H 0 1 L 29/78 6 1 7 L
H 0 1 L 27/06 1 0 2 A
H 0 1 L 27/088 B
H 0 1 L 27/088 C
H 0 1 L 27/088 3 3 1 E
H 0 1 L 29/78 6 1 2 B
H 0 1 L 29/78 6 1 6 V
H 0 1 L 29/78 6 1 7 M
H 0 1 L 29/78 6 1 7 N
H 0 1 L 29/78 6 1 8 B
H 0 5 B 33/14 Z
H 1 0 K 59/123
G 0 9 F 9/30 3 3 8
G 0 9 F 9/30 3 4 8 A
H 1 0 K 50/10

20

30

【手続補正書】
【提出日】令和 5 年 10 月 30 日(2023.10.30)

【手続補正 1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】

40

【特許請求の範囲】

【請求項 1】

ゲートドライバと、画素と、有し、
前記ゲートドライバは、第 1 のトランジスタを有し、
前記画素は、第 2 のトランジスタと、発光素子と、を有し、
前記第 1 のトランジスタは、
第 1 のゲート電極と、
前記第 1 のゲート電極上の第 1 の絶縁膜と、
前記第 1 の絶縁膜上の、I n と、G a と、Z n と、を含む第 1 の半導体膜と、
前記第 1 の半導体膜上の第 2 の絶縁膜と、

50

前記第 2 の絶縁膜上の、前記第 1 の半導体膜と重なる領域を有する第 2 のゲート電極と、

前記第 1 の半導体膜の上面と接する領域と、前記第 2 の絶縁膜の側面と接する領域と、前記第 2 のゲート電極の側面と接する領域と、前記第 2 のゲート電極の上面と接する領域と、を有する第 3 の絶縁膜と、

前記第 1 の半導体膜と接する領域を有する第 1 のソース電極と、

前記第 1 の半導体膜と接する領域を有する第 1 のドレイン電極と、を有し、

前記第 2 のゲート電極は、第 1 の導電膜と、前記第 1 の導電膜上の第 2 の導電膜と、を有し、

前記第 1 のゲート電極は、前記第 2 のゲート電極と常に導通し、

10

前記第 1 の半導体膜は、第 1 のチャンネル形成領域を有し、

前記第 1 のトランジスタのチャンネル長方向において、前記第 1 の導電膜の端部は、前記第 2 の導電膜の端部より外側に位置する領域を有し、

前記第 1 のトランジスタのチャンネル長方向において、前記第 2 の絶縁膜の端部は、前記第 1 の導電膜の端部より外側に位置する領域を有し、

前記第 1 のトランジスタのチャンネル幅方向において、前記第 1 のゲート電極の端部は、前記第 1 の半導体膜の端部より外側に位置する領域を有し、

前記第 1 のトランジスタのチャンネル幅方向において、前記第 2 のゲート電極の端部は、前記第 1 の半導体膜の端部より外側に位置する領域を有し、

前記第 2 のトランジスタは、

20

前記第 1 の絶縁膜上の、In と、Ga と、Zn と、を含む第 2 の半導体膜と、

前記第 2 の半導体膜上の第 4 の絶縁膜と、

前記第 4 の絶縁膜上の、前記第 2 の半導体膜と重なる領域を有する第 3 のゲート電極と、

前記第 2 の半導体膜の上面と接する領域と、前記第 4 の絶縁膜の側面と接する領域と、前記第 3 のゲート電極の側面と接する領域と、前記第 3 のゲート電極の上面と接する領域と、を有する前記第 3 の絶縁膜と、

前記第 2 の半導体膜と接する領域を有する第 2 のソース電極と、

前記第 2 の半導体膜と接する領域を有する第 2 のドレイン電極と、を有し、

前記第 2 のソース電極または前記第 2 のドレイン電極の一方は、前記発光素子の一方の電極と常に導通し、

30

前記第 3 のゲート電極は、前記第 2 のゲート電極と同一の材料を有し、

前記第 3 のゲート電極は、第 3 の導電膜と、前記第 3 の導電膜上の第 4 の導電膜と、を有し、

前記第 2 の半導体膜は、第 2 のチャンネル形成領域を有し、

前記第 2 のトランジスタのチャンネル長方向において、前記第 3 の導電膜の端部は、前記第 4 の導電膜の端部より外側に位置する領域を有し、

前記第 2 のトランジスタのチャンネル長方向において、前記第 4 の絶縁膜の端部は、前記第 3 の導電膜の端部より外側に位置する領域を有し、

前記第 2 のトランジスタのチャンネル幅方向において、前記第 3 のゲート電極の端部は、前記第 2 の半導体膜の端部より外側に位置する領域を有し、

40

前記第 3 の絶縁膜は、前記第 1 の絶縁膜の上面と接する領域を有する、表示装置。

【請求項 2】

ゲートドライバと、画素と、有し、

前記ゲートドライバは、第 1 のトランジスタを有し、

前記画素は、第 2 のトランジスタと、発光素子と、を有し、

前記第 1 のトランジスタは、

第 1 のゲート電極と、

前記第 1 のゲート電極上の第 1 の絶縁膜と、

前記第 1 の絶縁膜上の、In と、Ga と、Zn と、を含む第 1 の半導体膜と、

50

前記第 1 の半導体膜上の第 2 の絶縁膜と、

前記第 2 の絶縁膜上の、前記第 1 の半導体膜と重なる領域を有する第 2 のゲート電極と、

前記第 1 の半導体膜の上面と接する領域と、前記第 2 の絶縁膜の側面と接する領域と、前記第 2 のゲート電極の側面と接する領域と、前記第 2 のゲート電極の上面と接する領域と、を有する第 3 の絶縁膜と、

前記第 1 の半導体膜と接する領域を有する第 1 のソース電極と、

前記第 1 の半導体膜と接する領域を有する第 1 のドレイン電極と、を有し、

前記第 2 のゲート電極は、第 1 の導電膜と、前記第 1 の導電膜上の第 2 の導電膜と、を有し、

10

前記第 1 のゲート電極は、前記第 2 のゲート電極と常に導通し、

前記第 1 の半導体膜は、第 1 のチャンネル形成領域を有し、

前記第 1 のトランジスタのチャンネル長方向において、前記第 1 の導電膜の端部は、前記第 2 の導電膜の端部より外側に位置する領域を有し、

前記第 1 のトランジスタのチャンネル長方向において、前記第 2 の絶縁膜の端部は、前記第 1 の導電膜の端部より外側に位置する領域を有し、

前記第 1 のトランジスタのチャンネル幅方向において、前記第 1 のゲート電極の端部は、前記第 1 の半導体膜の端部より外側に位置する領域を有し、

前記第 1 のトランジスタのチャンネル幅方向において、前記第 2 のゲート電極の端部は、前記第 1 の半導体膜の端部より外側に位置する領域を有し、

20

前記第 2 のトランジスタは、

前記第 1 の絶縁膜の上の、I n と、G a と、Z n と、を含む第 2 の半導体膜と、

前記第 2 の半導体膜上の第 4 の絶縁膜と、

前記第 4 の絶縁膜上の、前記第 2 の半導体膜と重なる領域を有する第 3 のゲート電極と、

前記第 2 の半導体膜の上面と接する領域と、前記第 4 の絶縁膜の側面と接する領域と、前記第 3 のゲート電極の側面と接する領域と、前記第 3 のゲート電極の上面と接する領域と、を有する前記第 3 の絶縁膜と、

前記第 2 の半導体膜と接する領域を有する第 2 のソース電極と、

前記第 2 の半導体膜と接する領域を有する第 2 のドレイン電極と、を有し、

30

前記第 2 のソース電極または前記第 2 のドレイン電極の一方は、前記発光素子の一方の電極と常に導通し、

前記第 3 のゲート電極は、前記第 2 のゲート電極と同一の材料を有し、

前記第 3 のゲート電極は、第 3 の導電膜と、前記第 3 の導電膜上の第 4 の導電膜と、を有し、

前記第 2 の半導体膜は、第 2 のチャンネル形成領域を有し、

前記第 2 のトランジスタのチャンネル長方向において、前記第 3 の導電膜の端部は、前記第 4 の導電膜の端部より外側に位置する領域を有し、

前記第 2 のトランジスタのチャンネル長方向において、前記第 4 の絶縁膜の端部は、前記第 3 の導電膜の端部より外側に位置する領域を有し、

40

前記第 2 のトランジスタのチャンネル幅方向において、前記第 3 のゲート電極の端部は、前記第 2 の半導体膜の端部より外側に位置する領域を有し、

前記第 3 の絶縁膜は、前記第 1 の絶縁膜の上面と接する領域を有し、

前記第 2 のトランジスタは、シングルゲート型のトランジスタであり、

前記第 2 のソース電極または前記第 2 のドレイン電極の他方は、一定の電位が与えられた配線と常に導通する、表示装置。

【請求項 3】

ゲートドライバと、画素と、有し、

前記ゲートドライバは、第 1 のトランジスタを有し、

前記画素は、第 2 のトランジスタと、発光素子と、を有し、

50

前記第 1 のトランジスタは、
 第 1 のゲート電極と、
 前記第 1 のゲート電極上の第 1 の絶縁膜と、
 前記第 1 の絶縁膜上の、 $I n$ と、 $G a$ と、 $Z n$ と、を含む第 1 の半導体膜と、
 前記第 1 の半導体膜上の第 2 の絶縁膜と、
 前記第 2 の絶縁膜上の、前記第 1 の半導体膜と重なる領域を有する第 2 のゲート電極
 と、
 前記第 1 の半導体膜の上面と接する領域と、前記第 2 の絶縁膜の側面と接する領域と
 、前記第 2 のゲート電極の側面と接する領域と、前記第 2 のゲート電極の上面と接する領
 域と、を有する第 3 の絶縁膜と、
 前記第 1 の半導体膜と接する領域を有する第 1 のソース電極と、
 前記第 1 の半導体膜と接する領域を有する第 1 のドレイン電極と、を有し、
 前記第 2 のゲート電極は、第 1 の導電膜と、前記第 1 の導電膜上の第 2 の導電膜と、を
 有し、
 前記第 1 のゲート電極は、前記第 2 のゲート電極と常に導通し、
 前記第 1 の半導体膜は、第 1 のチャンネル形成領域を有し、
 前記第 1 のトランジスタのチャンネル長方向において、前記第 1 の導電膜の端部は、前記
 第 2 の導電膜の端部より外側に位置する領域を有し、
 前記第 1 のトランジスタのチャンネル長方向において、前記第 2 の絶縁膜の端部は、前記
 第 1 の導電膜の端部より外側に位置する領域を有し、
 前記第 1 のトランジスタのチャンネル幅方向において、前記第 1 のゲート電極の端部は、
 前記第 1 の半導体膜の端部より外側に位置する領域を有し、
 前記第 1 のトランジスタのチャンネル幅方向において、前記第 2 のゲート電極の端部は、
 前記第 1 の半導体膜の端部より外側に位置する領域を有し、
 前記第 2 のトランジスタは、
 前記第 1 の絶縁膜の上の、 $I n$ と、 $G a$ と、 $Z n$ と、を含む第 2 の半導体膜と、
 前記第 2 の半導体膜上の第 4 の絶縁膜と、
 前記第 4 の絶縁膜上の、前記第 2 の半導体膜と重なる領域を有する第 3 のゲート電極
 と、
 前記第 2 の半導体膜の上面と接する領域と、前記第 4 の絶縁膜の側面と接する領域と
 、前記第 3 のゲート電極の側面と接する領域と、前記第 3 のゲート電極の上面と接する領
 域と、を有する前記第 3 の絶縁膜と、
 前記第 2 の半導体膜と接する領域を有する第 2 のソース電極と、
 前記第 2 の半導体膜と接する領域を有する第 2 のドレイン電極と、を有し、
 前記第 2 のソース電極または前記第 2 のドレイン電極の一方は、前記発光素子の一方の
 電極と常に導通し、
 前記第 3 のゲート電極は、前記第 2 のゲート電極と同一の材料を有し、
 前記第 3 のゲート電極は、第 3 の導電膜と、前記第 3 の導電膜上の第 4 の導電膜と、を
 有し、
 前記第 2 の半導体膜は、第 2 のチャンネル形成領域を有し、
 前記第 2 のトランジスタのチャンネル長方向において、前記第 3 の導電膜の端部は、前記
 第 4 の導電膜の端部より外側に位置する領域を有し、
 前記第 2 のトランジスタのチャンネル長方向において、前記第 4 の絶縁膜の端部は、前記
 第 3 の導電膜の端部より外側に位置する領域を有し、
 前記第 2 のトランジスタのチャンネル幅方向において、前記第 3 のゲート電極の端部は、
 前記第 2 の半導体膜の端部より外側に位置する領域を有し、
 前記第 3 の絶縁膜は、前記第 1 の絶縁膜の上面と接する領域を有し、
 前記第 1 の半導体膜中のシリコン濃度は $2 \times 10^{18} \text{ atoms/cm}^3$ 以下であり、
 前記第 2 の半導体膜中のシリコン濃度は $2 \times 10^{18} \text{ atoms/cm}^3$ 以下である、
 表示装置。

10

20

30

40

50

【請求項 4】

ゲートドライバと、画素と、有し、
 前記ゲートドライバは、第 1 のトランジスタを有し、
 前記画素は、第 2 のトランジスタと、発光素子と、を有し、
 前記第 1 のトランジスタは、
 第 1 のゲート電極と、
 前記第 1 のゲート電極上の第 1 の絶縁膜と、
 前記第 1 の絶縁膜上の、In と、Ga と、Zn と、を含む第 1 の半導体膜と、
 前記第 1 の半導体膜上の第 2 の絶縁膜と、
 前記第 2 の絶縁膜上の、前記第 1 の半導体膜と重なる領域を有する第 2 のゲート電極
 と、
 前記第 1 の半導体膜の上面と接する領域と、前記第 2 の絶縁膜の側面と接する領域と
 、前記第 2 のゲート電極の側面と接する領域と、前記第 2 のゲート電極の上面と接する領
 域と、を有する第 3 の絶縁膜と、
 前記第 1 の半導体膜と接する領域を有する第 1 のソース電極と、
 前記第 1 の半導体膜と接する領域を有する第 1 のドレイン電極と、を有し、
 前記第 2 のゲート電極は、第 1 の導電膜と、前記第 1 の導電膜上の第 2 の導電膜と、を
 有し、
 前記第 1 のゲート電極は、前記第 2 のゲート電極と常に導通し、
 前記第 1 の半導体膜は、第 1 のチャンネル形成領域を有し、
 前記第 1 のトランジスタのチャンネル長方向において、前記第 1 の導電膜の端部は、前記
 第 2 の導電膜の端部より外側に位置する領域を有し、
 前記第 1 のトランジスタのチャンネル長方向において、前記第 2 の絶縁膜の端部は、前記
 第 1 の導電膜の端部より外側に位置する領域を有し、
 前記第 1 のトランジスタのチャンネル幅方向において、前記第 1 のゲート電極の端部は、
 前記第 1 の半導体膜の端部より外側に位置する領域を有し、
 前記第 1 のトランジスタのチャンネル幅方向において、前記第 2 のゲート電極の端部は、
 前記第 1 の半導体膜の端部より外側に位置する領域を有し、
 前記第 2 のトランジスタは、
 前記第 1 の絶縁膜の上の、In と、Ga と、Zn と、を含む第 2 の半導体膜と、
 前記第 2 の半導体膜上の第 4 の絶縁膜と、
 前記第 4 の絶縁膜上の、前記第 2 の半導体膜と重なる領域を有する第 3 のゲート電極
 と、
 前記第 2 の半導体膜の上面と接する領域と、前記第 4 の絶縁膜の側面と接する領域と
 、前記第 3 のゲート電極の側面と接する領域と、前記第 3 のゲート電極の上面と接する領
 域と、を有する前記第 3 の絶縁膜と、
 前記第 2 の半導体膜と接する領域を有する第 2 のソース電極と、
 前記第 2 の半導体膜と接する領域を有する第 2 のドレイン電極と、を有し、
 前記第 2 のソース電極または前記第 2 のドレイン電極の一方は、前記発光素子の一方の
 電極と常に導通し、
 前記第 3 のゲート電極は、前記第 2 のゲート電極と同一の材料を有し、
 前記第 3 のゲート電極は、第 3 の導電膜と、前記第 3 の導電膜上の第 4 の導電膜と、を
 有し、
 前記第 2 の半導体膜は、第 2 のチャンネル形成領域を有し、
 前記第 2 のトランジスタのチャンネル長方向において、前記第 3 の導電膜の端部は、前記
 第 4 の導電膜の端部より外側に位置する領域を有し、
 前記第 2 のトランジスタのチャンネル長方向において、前記第 4 の絶縁膜の端部は、前記
 第 3 の導電膜の端部より外側に位置する領域を有し、
 前記第 2 のトランジスタのチャンネル幅方向において、前記第 3 のゲート電極の端部は、
 前記第 2 の半導体膜の端部より外側に位置する領域を有し、

10

20

30

40

50

前記第 3 の絶縁膜は、前記第 1 の絶縁膜の上面と接する領域を有し、

前記第 1 の半導体膜中のアルカリ金属又はアルカリ土類金属濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以下であり、

前記第 2 の半導体膜中のアルカリ金属又はアルカリ土類金属濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以下である、表示装置。

【請求項 5】

ゲートドライバと、画素と、有し、

前記ゲートドライバは、第 1 のトランジスタを有し、

前記画素は、第 2 のトランジスタと、発光素子と、を有し、

前記第 1 のトランジスタは、

第 1 のゲート電極と、

前記第 1 のゲート電極上の第 1 の絶縁膜と、

前記第 1 の絶縁膜上の、In と、Ga と、Zn と、を含む第 1 の半導体膜と、

前記第 1 の半導体膜上の第 2 の絶縁膜と、

前記第 2 の絶縁膜上の、前記第 1 の半導体膜と重なる領域を有する第 2 のゲート電極と、

前記第 1 の半導体膜の上面と接する領域と、前記第 2 の絶縁膜の側面と接する領域と、前記第 2 のゲート電極の側面と接する領域と、前記第 2 のゲート電極の上面と接する領域と、を有する第 3 の絶縁膜と、

前記第 1 の半導体膜と接する領域を有する第 1 のソース電極と、

前記第 1 の半導体膜と接する領域を有する第 1 のドレイン電極と、を有し、

前記第 2 のゲート電極は、第 1 の導電膜と、前記第 1 の導電膜上の第 2 の導電膜と、を有し、

前記第 1 のゲート電極は、前記第 2 のゲート電極と常に導通し、

前記第 1 の半導体膜は、第 1 のチャンネル形成領域を有し、

前記第 1 のトランジスタのチャンネル長方向において、前記第 1 の導電膜の端部は、前記第 2 の導電膜の端部より外側に位置する領域を有し、

前記第 1 のトランジスタのチャンネル長方向において、前記第 2 の絶縁膜の端部は、前記第 1 の導電膜の端部より外側に位置する領域を有し、

前記第 1 のトランジスタのチャンネル幅方向において、前記第 1 のゲート電極の端部は、前記第 1 の半導体膜の端部より外側に位置する領域を有し、

前記第 1 のトランジスタのチャンネル幅方向において、前記第 2 のゲート電極の端部は、前記第 1 の半導体膜の端部より外側に位置する領域を有し、

前記第 2 のトランジスタは、

前記第 1 の絶縁膜の上の、In と、Ga と、Zn と、を含む第 2 の半導体膜と、

前記第 2 の半導体膜上の第 4 の絶縁膜と、

前記第 4 の絶縁膜上の、前記第 2 の半導体膜と重なる領域を有する第 3 のゲート電極と、

前記第 2 の半導体膜の上面と接する領域と、前記第 4 の絶縁膜の側面と接する領域と、前記第 3 のゲート電極の側面と接する領域と、前記第 3 のゲート電極の上面と接する領域と、を有する前記第 3 の絶縁膜と、

前記第 2 の半導体膜と接する領域を有する第 2 のソース電極と、

前記第 2 の半導体膜と接する領域を有する第 2 のドレイン電極と、を有し、

前記第 2 のソース電極または前記第 2 のドレイン電極の一方は、前記発光素子の一方の電極と常に導通し、

前記第 3 のゲート電極は、前記第 2 のゲート電極と同一の材料を有し、

前記第 3 のゲート電極は、第 3 の導電膜と、前記第 3 の導電膜上の第 4 の導電膜と、を有し、

前記第 2 の半導体膜は、第 2 のチャンネル形成領域を有し、

前記第 2 のトランジスタのチャンネル長方向において、前記第 3 の導電膜の端部は、前記

第 4 の導電膜の端部より外側に位置する領域を有し、

前記第 2 のトランジスタのチャネル長方向において、前記第 4 の絶縁膜の端部は、前記第 3 の導電膜の端部より外側に位置する領域を有し、

前記第 2 のトランジスタのチャネル幅方向において、前記第 3 のゲート電極の端部は、前記第 2 の半導体膜の端部より外側に位置する領域を有し、

前記第 3 の絶縁膜は、前記第 1 の絶縁膜の上面と接する領域を有し、

前記第 1 のトランジスタのオフ電流は、 1×10^{-13} A 以下であり、

前記第 2 のトランジスタのオフ電流は、 1×10^{-13} A 以下である、表示装置。

10

20

30

40

50