(19) Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 197 48 031 B4** 2004.08.05

(12) **Patentschrift**

(21) Aktenzeichen: **197 48 031.4**
(22) Anmeldetag: **30.10.1997**
(43) Offenlegungstag: **08.10.1998**
(45) Veröffentlichungstag der Patenterteilung: **05.08.2004**

(51) Int Cl.[7]: **G05F 5/00**
G11C 5/14

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
P 9-073198 26.03.1997 JP

(71) Patentinhaber:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

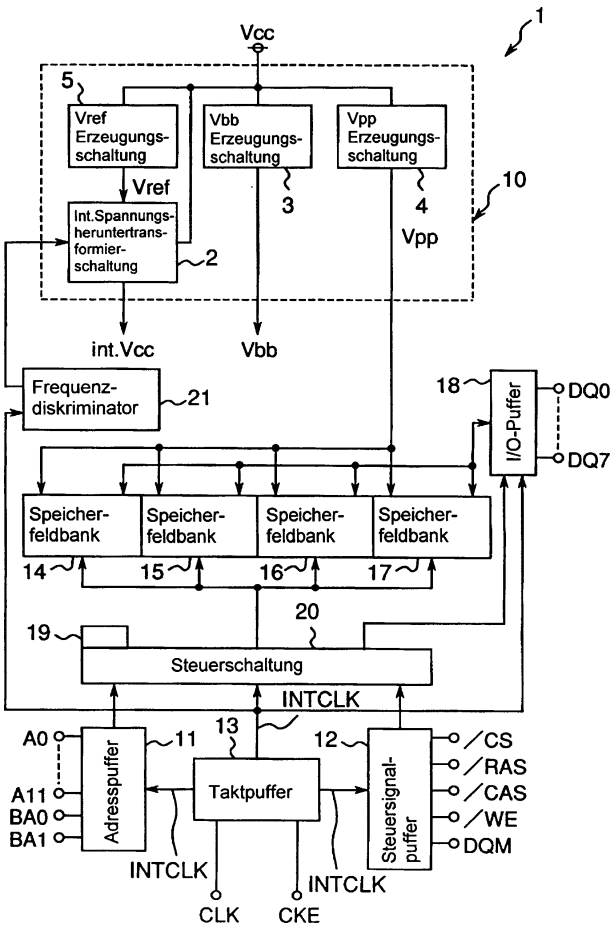
(74) Vertreter:
PRÜFER & PARTNER GbR, 81545 München

(72) Erfinder:
Itou, Takashi, Tokio/Tokyo, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 195 01 535 A1
JP 58-1 71 842 A
JP 04-1 12 312 A

(54) Bezeichnung: **Integrierte Halbleiterschaltungsvorrichtung mit einer taktfrequenzinvarianten Spannungsheruntertransformierschaltung**

(57) Hauptanspruch: Integrierte Halbleiterschaltungsvorrichtung, mit
einer internen Spannungsheruntertransformierschaltung (2, 61, 81, 101) zum Heruntertransformieren einer Stromversorgungsspannung (Vcc), die von einer externen Quelle zugeführt wird, zum Erzeugen und Ausgeben einer internen Stromversorgungsspannung (int.Vcc) basierend auf einer spezifischen Referenzspannung (Vref , VrL, VrH),
einem internen Taktsignalgenerator (13) zum Erzeugen eines internen Taktsignals (INTCLK) basierend auf einem Taktsignal, das von einer externen Quelle zugeführt wird, und
einem Frequenzdiskriminator (21) zum Bestimmen der Frequenz des internen Taktsignals, das durch den internen Taktsignalgenerator erzeugt wird,
wobei die interne Spannungsheruntertransformierschaltung eine Ausgabespannung derselben als Reaktion auf die Frequenz, die durch den Frequenzdiskriminator identifiziert ist, zum Kompensieren eines Abfalls in der internen Stromversorgungsspannung, der verursacht wird, wenn die Frequenz des internen Taktsignals steigt, steuert
und die interne Spannungsheruntertransformierschaltung die Geschwindigkeit, mit der der Ausgabestrom ansteigt, als Reaktion auf einen Abfall in der internen Stromversorgungsspannung mit einem Anstieg der Frequenz, die durch den Frequenzdiskriminator...



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine integrierte Halbleiterschaltungsvorrichtung. Insbesondere bezieht sie sich auf eine integrierte Halbleiterschaltungsvorrichtung, die eine interne Stromversorgungsschaltung aufweist, zum Umwandeln einer Stromversorgungsspannung von einer externen Quelle in eine spezifische Spannung und zum Zuführen der gewandelten Spannung an die internen Schaltungen der integrierten Halbleiterschaltungsvorrichtung.

Stand der Technik

[0002] **Fig.** 16 ist eine Blockdarstellung einer 64 Mbit × 8 Synchron-DRAM-Vorrichtung.

[0003] Wie in **Fig.** 16 gezeigt ist, die Synchron-DRAM-Vorrichtung (im folgenden SDRAM) **200** weist eine interne Stromversorgungsschaltung **205**, einen Adreßpuffer **206** einen Steuersignalpuffer **207**, einen Taktpuffer **208**, vier Speicherfeldbänke **209**, **210**, **211** und **212**, einen Eingabe-/Ausgabe-Puffer (I/O) **213** für die Dateneingabe und -ausgabe und eine Steuerschaltung **215**, die ein Modusregister **214** aufweist und die Speicherfeldbänke **209**–**212** und den I/O-Puffer **213** steuert, auf. Die interne Stromversorgungsschaltung **205** weist eine interne Spannungsheruntertransformierschaltung **201**, einen Substratspannungsgenerator **202**, einen Spannungsherauftransformiergenerator **203** und einen Referenzspannungsgenerator **204** auf.

[0004] Die interne Spannungsheruntertransformierschaltung **201** läßt die Stromversorgungsspannung von einer externen Quelle an den Stromversorgungsanschluß Vcc abfallen bzw. wandelt diese herunter, um die interne Stromversorgungsspannung int.Vcc zu erzeugen, die an die internen Schaltungen des SDRAM **200** geliefert wird. Der Wert der internen Stromversorgungsspannung int.Vcc wird entsprechend der Referenzspannung Vref bestimmt, die von dem Referenzspannungsgenerator **204** eingegeben wird. Genauer gesagt, die interne Spannungsheruntertransformierschaltung **201** steuert die interne Stromversorgungsspannung int.Vcc und gibt sie auf dem Pegel der Referenzspannung Vref, die von dem Referenzspannungsgenerator **204** geliefert wird, aus.

[0005] Der Substratspannungsgenerator **202** erzeugt eine Vorspannung des Halbleitersubstrates und gibt diese aus, und er legt eine negative Substratspannung Vbb an das Halbleitersubstrat an.

[0006] Der Spannungsherauftransformiergenerator **203** transformiert die Stromversorgungsspannung von dem Stromversorgungsanschluß Vcc zum Erzeugen und Liefern einer hochtransformierten Spannung Vpp an jede der Speicherfeldbänke **209**–**212** herauf.

[0007] Der Adreßsignalpuffer **206** ist mit den Adreßsignaleingangsanschlüssen verbunden, an die Adreßsignale von einer externen Quelle eingegeben werden. Diese Eingangsanschlüsse können zum Beispiel Bankadreßanschlüsse BA0 und BA1, an denen Bankadressenauswahlsignale eingegeben werden, und die Adreßanschlüsse A0 bis A11, durch die die Adreßsignale eingegeben werden, enthalten.

[0008] Der Steuersignalpuffer **207** ist mit jedem der Steuersignaleingangsanschlüsse, durch die die Steuersignale von externen Quellen eingegeben werden, verbunden. Diese Steuersignaleingangsanschlüsse enthalten in diesem Beispiel den /CS-Anschluß, an dem das Chipauswahlsignal eingegeben wird, den /RAS-Anschluß, an dem das Zeilenadreßtaktsignal eingegeben wird, den /CAS-Anschluß, an dem das Spaltenadreßtaktsignal eingegeben wird, den /WE-Anschluß, an dem das Schreibfreigabesignal eingegeben wird, und den DQM-Anschluß, an dem das I/O-Maskierungssignal eingegeben wird.

[0009] Der Taktpuffer **208** erzeugt das interne Taktsignal INTCLK aus dem extern gelieferten Taktsignal und liefert das Taktsignal an den Adreßpuffer **206**, den Steuersignalpuffer **207**, den I/O-Puffer **213** und die Steuerschaltung **215**, die mit ihm verbunden sind. Das externe Taktsignal wird dem Taktpuffer **208** über den CLK-Anschluß geliefert und das Taktfreigabesignal wird dem Taktpuffer **208** über den CKE-Anschluß geliefert.

[0010] Die Steuerschaltung **215** ist mit jeder der Speicherfeldbänke **209** bis **212**, dem Adreßpuffer **206**, dem Steuersignalpuffer **207** und dem I/O-Puffer **213** verbunden. Das Modusregister **214** wird durch die Steuerschaltung **215** verwendet, wenn die Burstlänge (Datenbündellänge) von der Adreßsignaleingabe von den Adreßsignaleingangsanschlüssen bestimmt wird.

[0011] Der Stromverbrauch ist hoch, wenn die Frequenz des internen Taktsignals INTCLK hoch ist, verglichen mit dem Stromverbrauch, wenn die Frequenz des internen Taktsignals INTCLK niedrig ist, und der Abfall der internen Stromversorgungsspannung int.Vcc und der herauftransformierten Spannung Vpp, die von der internen Spannungsheruntertransformierschaltung **201** und dem Spannungsherauftransformiergenerator **203** ausgegeben werden, steigt derart an.

[0012] Zusätzlich neigt die negative Substratspannung Vbb, die von dem Substratspannungsgenerator **202** ausgegeben wird, dazu, höher zu werden, wenn die Frequenz des internen Taktsignals hoch ist, verglichen mit dem Fall, in dem die Frequenz des internen Taktsignals INTCLK niedrig ist.

Aufgabenstellung

[0013] Unter Berücksichtigung der obigen Probleme ist es Aufgabe der vorliegenden Erfindung, eine integrierte Halbleiterschaltungsvorrichtung bereitzustellen, die eine interne Stromversorgungsschaltung aufweist, die in der Lage ist, die internen Schaltungen der integrierten Halbleiterschaltungsvorrichtungen

mit einer stabilen Versorgungsspannung, die nicht mit der Frequenz des internen Taktsignals INTCLK variiert, zu versorgen.

[0014] Diese Aufgabe wird gelöst durch eine integrierte Halbleiterschaltungsvorrichtung nach Anspruch 1 oder 12.

[0015] Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0016] Es sollte bemerkt werden, daß, während eine integrierte Halbleiterschaltungsvorrichtung, die die Betriebsspannung entsprechend der Taktfrequenz als ein Mittel zur Reduzierung des Stromverbrauchs durch die Schaltung in der nicht geprüften japanischen Patentveröffentlichung JP 58-171842 A und der nicht geprüften japanischen Patentveröffentlichung JP 4-112312 A beschrieben worden sind, die Aufgabe und der Aufbau der Vorrichtungen in diesen Offenbarungen sich von denjenigen der vorliegenden Erfindung unterscheiden.

Ausführungsbeispiel

[0017] Weitere Merkmale und Zweckmäßigkeiten der Erfindung werden im folgenden unter Bezugnahme auf die begleitenden Figuren angegeben. Von den Figuren zeigen:

[0018] **Fig.** 1 eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung nach einer ersten Ausführungsform der vorliegenden Erfindung;

[0019] **Fig.** 2 ein Schaltbild des Frequenzdetektors **21**, der in **Fig.** 1 gezeigt ist;

[0020] **Fig.** 3 ein Zeitablaufdiagramm, das zum Beschreiben des Betriebs des Frequenzdetektors **21** verwendet wird, der in **Fig.** 2 gezeigt ist;

[0021] **Fig.** 4 ein Schaltbild der internen Spannungsheruntertransformierschaltung **2**, die in **Fig.** 1 gezeigt ist;

[0022] **Fig.** 5 ein Schaltbild einer alternativen Ausführungsform der internen Spannungsheruntertransformierschaltung **2**, die in **Fig.** 4 gezeigt ist;

[0023] **Fig.** 6 eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung nach einer zweiten Ausführungsform der Erfindung;

[0024] **Fig.** 7 ein Schaltbild der internen Spannungsheruntertransformierschaltung **61**, die in **Fig.** 6 gezeigt ist;

[0025] **Fig.** 8 eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung entsprechend einer dritten Ausführungsform der Erfindung;

[0026] **Fig.** 9 ein Schaltbild der internen Spannungsheruntertransformierschaltung **81**, die in **Fig.** 8 gezeigt ist;

[0027] **Fig.** 10 eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung nach einer vierten Ausführungsform der Erfindung;

[0028] **Fig.** 11 ein Schaltbild der internen Spannungsheruntertransformierschaltung **101**, die in **Fig.** 10 gezeigt ist;

[0029] **Fig.** 12 eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung nach einer fünften Ausführungsform der Erfindung;

[0030] **Fig.** 13 ein Schaltbild des Substratspannungsgenerators **121**, der in **Fig.** 12 gezeigt ist;

[0031] **Fig.** 14 eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung nach einer sechsten Ausführungsform der Erfindung;

[0032] **Fig.** 15 ein Schaltbild des Spannungsherauftransformiergenerators **141**, der in **Fig.** 14 gezeigt ist; und

[0033] **Fig.** 16 eine Blockdarstellung einer 64 Mbit × 8 Synchron-DRAM-Vorrichtung.

Ausführungsform 1

[0034] **Fig.** 1 ist eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung nach einer ersten Ausführungsform der vorliegenden Erfindung. Es ist zu bemerken, daß in **Fig.** 1 eine 64 Mbit × 8 Synchron-DRAM-Vorrichtung (SDRAM) gezeigt ist und dieses nur im Wege des Beispiels im folgenden benutzt wird.

[0035] Wie in **Fig.** 1 gezeigt ist, ein SDRAM **1** weist eine interne Stromversorgungsschaltung **10**, einen Adreßpuffer **11**, einen Steuersignalpuffer **12**, einen Taktpuffer **13**, vier Speicherfeldbänke **14**, **15**, **16** und **17**, einen Eingabe-/Ausgabe-Puffer (I/O-Puffer) **18** für die Dateneingabe/-ausgabe, einen Frequenzdetektor **21** zum Detektieren der Taktfrequenz und eine Steuerschaltung **20**, die ein Modusregister **19** aufweist und die Speicherfeldbänke **14**–**17** und den I/O-Puffer **18** steuert, auf. Die interne Stromversorgungsschaltung **10** weist weiter eine interne Spannungsheruntertransformierschaltung **2**, einen Substratspannungsgenerator **3**, einen Spannungsherauftransformiergenerator **4** und einen Referenzspannungsgenerator **5** zum Erzeugen und Ausgeben der Referenzspannung Vref auf.

[0036] Es ist zu bemerken, daß die interne Spannungsheruntertransformierschaltung **2** und der Referenzspannungsgenerator **5** als eine interne Versorgungsspannungsheruntertransformierschaltung arbeiten, daß der Taktpuffer **13** als ein interner Taktsignalgenerator arbeitet und daß der Frequenzdetektor **21** als ein Frequenzdiskriminator arbeitet.

[0037] Die interne Stromversorgungsschaltung **10** ist mit dem Stromversorgungsanschluß Vcc, von dem die Stromversorgung von einer externen Quelle zugeführt wird, verbunden. Der Referenzspannungsgenerator **5** ist mit der internen Spannungsheruntertransformierschaltung **2** verbunden. Die interne Spannungsheruntertransformierschaltung **2** ist mit den internen Schaltungen des SDRAM **1** verbunden, aber diese verschiedenen Verbindungen sind in der Figur nicht gezeigt. Der Substratspannungsgenerator **3** ist mit dem Halbleitersubstrat verbunden, auf dem der SDRAM **1** ausgebildet ist, und diese Verbindungen sind ebenfalls nicht gezeigt. Der Spannungsherauftransformiergenerator **4** ist mit jeder der vier Speicherfeldbänke **14**–**17** verbunden.

[0038] Der Adreßpuffer **11** ist mit den Adreßsignal-

eingangsanschlüssen verbunden, denen die Adreßsignale von einer externen Quelle eingegeben werden. Diese Eingangsanschlüsse können zum Beispiel Bankadreßanschlüsse BA0 und BA1, über die Bankadreßauswahlsignale eingegeben werden, und die Adreßanschlüsse A0 bis A11, über die Adreßsignale eingegeben werden, umfassen. Der Adreßpuffer **11** ist ebenfalls mit dem Steuersignalpuffer **12** verbunden.

[0039] Der Steuersignalpuffer **12** ist mit jedem der Steuersignaleingangsanschlüsse verbunden, über die die Steuersignale von externen Quellen eingegeben werden. Diese Steuersignaleingangsanschlüsse umfassen den /CS-Anschluß, an dem das Chipauswahlsignal eingegeben wird, den /RAS-Anschluß, an dem das Zeilenadreßtaktsignal eingegeben wird, den /CAS-Anschluß, an dem das Spaltenadreßtaktsignal eingegeben wird, den /WE-Anschluß, an dem das Schreibfreigabesignal eingegeben wird, und den DQM-Anschluß, an dem das I/O-Maskierungssignal eingegeben wird. Der Steuersignalpuffer **12** ist außerdem mit der Steuerschaltung **20** verbunden.

[0040] Der Taktpuffer **13** ist mit dem CLK-Anschluß, an dem das extern zugeführte Taktsignal eingegeben wird, um dem CKE-Anschluß, an dem das extern zugeführte Taktfreigabesignal eingegeben wird, verbunden. Der Taktpuffer **13** ist außerdem mit dem Adreßpuffer **11**, dem Steuersignalpuffer **12**, dem I/O-Puffer **18**, der Steuerschaltung **20** und dem Frequenzdetektor **21** verbunden. Der Frequenzdetektor **21** ist mit der internen Spannungsheruntertransformierschaltung **2** verbunden.

[0041] Die Steuerschaltung **20** ist mit jeder der Speicherfeldbänke **14** bis **17** und mit dem I/O-Puffer **18** verbunden. Der I/O-Puffer **18** ist mit den Daten-Eingabe-/Ausgabe-Anschlüssen DQ0–DQ7 verbunden, die für die Dateneingabe und -ausgabe verwendet werden.

[0042] Die interne Spannungsheruntertransformierschaltung **2** transformiert die Stromversorgungsspannung, die von einer externen Quelle über den Stromversorgungsanschluß Vcc eingegeben wird, zum Erzeugen der internen Stromversorgungsspannung int.Vcc herunter und liefert die interne Stromversorgungsspannung int.Vcc an die internen Schaltungen des SDRAM **1**. Es ist zu bemerken, daß die interne Stromversorgungsspannung int.Vcc basierend auf der Referenzspannung Vref, die von dem Referenzspannungsgenerator **5** eingegeben wird, bestimmt wird. Genauer gesagt, die interne Spannungsheruntertransformierschaltung **2** steuert die interne Stromversorgungsspannung int.Vcc auf den Pegel der Referenzspannung Vref, die von dem Referenzspannungsgenerator **5** geliefert wird, und gibt sie aus.

[0043] Der Substratspannungsgenerator **3** erzeugt die Vorspannung des Halbleitersubstrates und gibt sie aus und legt eine negative Substratspannung Vbb an das Halbleitersubstrat an.

[0044] Der Spannungsherauftransformiergenerator **4** transformiert die Stromversorgungsspannung von dem Stromversorgungsanschluß Vcc zum Erzeugen und Liefern einer herauftransformierten Spannung Vpp an jede der Speicherfeldbänke **14** bis **17** herauf.

[0045] Der Taktpuffer **13** erzeugt das interne Taktsignal INTCLK aus dem extern gelieferten Taktsignal und gibt es aus. Dieses interne Taktsignal INTCLK wird zum Regeln bzw. Steuern des Betriebs des Adreßpuffers **11**, des Steuersignalpuffers **12**, der I/O-Puffers **18** und der Steuerschaltung **20**, die mit dem Taktpuffer **13** verbunden sind, verwendet.

[0046] Die Steuerschaltung **20** verwendet das Modusregister **19**, wenn die Burstlänge (Datenbündellänge) von den Adreßsignalen, die von den Adreßsignaleingangsanschlüssen eingegeben werden, bestimmt wird. Der Frequenzdetektor **21** detektiert die Frequenz des internen Taktsignals INTCLK, das von dem Taktpuffer **13** ausgegeben wird, und gibt an die interne Spannungsheruntertransformierschaltung **2** ein Signal aus, das anzeigt, ob die detektierte Frequenz einen spezifischen Schwellwert überschreitet oder gleich diesem ist oder unter diesem Wert liegt.

[0047] **Fig.** 2 ist eine schematische Darstellung eines beispielhaften Frequenzdetektors **21** nach einer Ausführungsform der Erfindung. Wie in **Fig.** 2 gezeigt ist, der Frequenzdetektor **21** weist ein T-Flip-Flop **31**, Verzögerungsschaltungen **32**, **33** und **34**, NOR-Gatter **35** und **36**, Inverter **37** bis **43** und ein Übertragungsgatter **44** auf. Es ist zu bemerken, daß die Verzögerungsschaltung **32** n NAND-Gatter NA1 bis NAn und n Inverter INV1 bis INVn aufweist, wobei n eine natürliche Zahl ist.

[0048] Wie in **Fig.** 2 gezeigt ist, die Ausgabe des NAND-Gatters NA1 wird dem Eingang des Inverters INV1 geliefert, und die Ausgabe des Inverters INV1 wird dem einen Eingang des NAND-Gatters NA2 geliefert. Die Ausgabe des NAND-Gatters NA2 wird in gleicher Weise dem Eingang des Inverters INV2 geliefert und die Ausgabe des Inverters INV2 wird an den einen Eingang des NAND-Gatters NA3 geliefert. Dieses Muster wird durch die Verbindung der n NAND-Gatter NA und n Inverter INV verfolgt, bis der Inverter INV(n – 1) an das NAND-Gatter NAn ausgibt, das NAND-Gatter NAn an den Inverter INVn ausgibt, und der Inverter INVn dann an das Übertragungsgatter **44** an einem Verbindungspunkt b ausgibt. Es ist zu bemerken, daß ein Eingang des ersten NAND-Gatters NA1 mit dem nicht-invertierenden Ausgang Q des T-Flip-Flops **31** an einem Verbindungspunkt a verbunden ist.

[0049] Wie ebenfalls in **Fig.** 2 gezeigt ist, die Verzögerungsschaltung **33** gibt an den Inverter **37** aus, der an einen Eingangsanschluß des NOR-Gatters **35** ausgibt. Der Eingang der Verzögerungsschaltung **33** und der andere Eingang des NOR-Gatters **35** sind mit dem Verbindungspunkt a verbunden.

[0050] Die Ausgabe der Verzögerungsschaltung **34** wird in ähnlicher Weise dem Inverter **38** geliefert, und der Inverter **38** gibt an einen Eingang des NOR-Gatters **36** aus. Der Eingang der Verzögerungsschaltung

34 und der andere Eingang des NOR-Gatters **36** sind gemeinsam mit dem Ausgang des NOR-Gatters **35** an einem Verbindungspunkt c verbunden.

[0051] Die Ausgabe des NOR-Gatters **36** wird dem Eingang des Inverters **39** an einem Verbindungspunkt d geliefert. Die Ausgabe des Inverters **39** wird einem Eingang von jedem der NAND-Gatter NA1 bis NAn geliefert.

[0052] Ein n-Kanal-MOS-Transistor und ein p-Kanal-MOS-Transistor bilden das Übertragungsgatter **44**. Das Gate des n-Kanal-MOS-Transistors ist mit dem Eingang des Inverters **40** an dem Verbindungspunkt c verbunden. Der Ausgang aus dem Inverter **40** ist mit dem Gate des p-Kanal-MOS-Transistors verbunden. Die Eingänge und Ausgänge der Inverter **41** und **42** sind in einer Schleife verbunden, die eine Verriegelungsschaltung **45** bildet. Der Eingang dieser Verriegelungsschaltung **45** ist mit dem Ausgang des Übertragungsgatters **44** verbunden. Der Ausgang des Inverters **41** ist außerdem mit einem Ausgang der Verriegelungsschaltung **45** verbunden, der ein nicht-invertiertes Ausgangssignal CLKH an die interne Spannungsheruntertransformierschaltung **2** und einen Inverter **43** liefert. Der Inverter **43** erzeugt derart das invertierte Ausgangssignal /CLKH, welches außerdem von dem Inverter **43** an die interne Spannungsheruntertransformierschaltung **2** geliefert wird.

[0053] Die Verzögerungsschaltung **33**, das NOR-Gatter **35** und der Inverter **37** bilden einen monostabilen Multivibrator **46**. Die Verzögerungsschaltung **34**, das NOR-Gatter **36** und der Inverter **38** bilden in gleicher Weise einen anderen monostabilen Multivibrator **47**. Das interne Taktsignal INTCLK wird von dem Taktpuffer **13** an den Eingang T des T-Flip-Flops **31** geliefert, welches den Signalpegel des Ausgangssignals bei dem Anstieg des gelieferten internen Taktsignal INTCLK invertiert.

[0054] **Fig.** 3 ist ein Zeitablaufdiagramm, das im folgenden zum Beschreiben des Betriebs des Frequenzdetektors **21** verwendet wird, der in **Fig.** 2 gezeigt ist.

[0055] Unter Bezugnahme auf **Fig.** 3, die Verzögerungszeit der Verzögerungsschaltung **32** ist τ0, wobei die Periode des internen Taktsignals INTCLK gleich τ ist, und a, b, c und d den Signalpegel an den entsprechenden Verbindungspunkten anzeigen. Wie in der Figur gezeigt ist, der Signalpegel am Verbindungspunkt a wird HOCH (H = HIGH) bei dem Anstieg des internen Taktsignals INTCLK, und nach der Zeit r kehrt sich der Verbindungspunkt a zu NIEDRIG (L = LOW) um. Ein Einmalpulssignal wird am Verbindungspunkt c jedes Mal erzeugt, wenn der Verbindungspunkt A von HOCH auf NIEDRIG geht.

[0056] Falls $\tau < \tau 0$ ist, wird das HOCH-Einmalpulssignal an der Verbindung c erzeugt, bevor der HOCH-Signalpegel an der Verbindung a zu der Verbindung b durchläuft. Das Übertragungsgatter **44** wird derart angeschaltet und leitend und schaltet dann aus und wird nicht-leitend. Der Eingang der Verriegelungsschaltung **45** ist daher niedrig, das nicht-invertierte Ausgangssignal CLKH von dem Frequenzdetektor **21** ist HOCH und das invertierte Ausgangssignal /CLKH ist NIEDRIG.

[0057] Falls andererseits $\tau \geq \tau 0$ wird ein HOCH-Einmalpulssignal an der Verbindung c erzeugt, nachdem der HOCH-Signalpegel an der Verbindung a zur Verbindung b durchläuft, und das Übertragungsgatter **44** wird angeschaltet und leitend und schaltet dann aus und wird nicht-leitend. Der Eingang der Verriegelungsschaltung **45** ist daher HOCH und das nicht-invertierte Ausgangssignal CLKH von dem Frequenzdetektor **21** ist NIEDRIG und das invertierte Ausgangssignal /CLKH ist HOCH.

[0058] Als ein Ergebnis des derart beschriebenen Betriebes gibt der Frequenzdetektor **21** das nicht-invertierte Ausgangssignal CLKH auf NIEDRIG und das invertierte Ausgabesignal /CLKH auf HOCH aus, wenn die Frequenz des internen Taktsignals INTCLK, das von dem Taktpuffer **13** eingegeben wird, kleiner oder gleich einem spezifischen Frequenzpegel bzw. -niveau ist, und er gibt ein nicht-invertiertes Ausgangssignal CLKH auf HOCH und ein invertiertes Ausgabesignal /CLKH auf NIEDRIG aus, wenn INTCLK das spezifische Frequenzniveau überschreitet. Es sollte bemerkt werden, daß der monostabile Multivibrator **47** ein Signal ausgibt, das das Pulssignal zurücksetzt, das in der Verzögerungsschaltung **32** verblieben ist, nachdem das Übertragungsgatter **44** entsprechend des Einmalpulssignals, das von dem anderen monostabilen Multivibrator **46** ausgegeben wird, schaltet.

[0059] **Fig.** 4 ist ein Schaltbild der internen Spannungsheruntertransformierschaltung **2**.

[0060] Wie in **Fig.** 4 gezeigt ist, die interne Spannungsheruntertransformierschaltung **2** weist einen Differentialverstärker **55**, eine Verstärkungssteuerschaltung **58** zum Steuern der Verstärkung des Differentialverstärkers **55** und einen p-Kanal-MOS-Transistor **59**, der die Ausgabeschaltung der Ansprüche bildet, auf.

[0061] Der Differentialverstärker **55** weist zwei p-Kanal-MOS-Transistoren **51** und **52** und zwei n-Kanal-MOS-Transistoren **53** und **54** auf. Die Verstärkungssteuerschaltung **58** weist zwei n-Kanal-MOS-Transistoren **56** und **57** auf. Es ist zu bemerken, daß der Differentialverstärker **55** den Differentialverstärker der Ansprüche bildet, daß die Verstärkungssteuerschaltung **58** das Verstärkungssteuermittel der Ansprüche bildet, und daß der p-Kanal-MOS-Transistor **59** die Ausgabeschaltung der Ansprüche bildet.

[0062] Die Gates der p-Kanal-MOS-Transistoren **51** und **52** des Differentialverstärkers **55** sind gegenseitig verbunden, und diese Gateverbindung ist mit dem Drain des p-Kanal-MOS-Transistors **51** verbunden. Die Sources beider p-Kanal-MOS-Transistoren **51** und **52** sind mit dem Stromversorgungsanschluß Vcc verbunden. Das Drain des p-Kanal-MOS-Transistors **51** ist mit dem Drain des n-Kanal-MOS-Transistors

53 verbunden. Das Drain des p-Kanal-MOS-Transistors **52** ist mit dem Drain des n-Kanal-MOS-Transistors **54** verbunden und diese Drainverbindung ist mit dem Gate des p-Kanal-MOS-Transistors **59** verbunden.

[0063] Die interne Stromversorgungsspannung int.Vcc, die von der internen Spannungsheruntertransformierschaltung **2** ausgegeben wird, wird dem Gate des n-Kanal-MOS-Transistors **53** eingegeben. Das Gate des n-Kanal-MOS-Transistors **54** ist mit dem Referenzspannungsgenerator **5** verbunden und die Referenzspannung Vref wird derart von dieser dem Gate zugeführt. Die Sources der N-Kanal-MOS-Transistoren **53** und **54** sind gegenseitig verbunden und diese Sourceverbindung ist mit der gegenseitigen Drainverbindung der n-Kanal-MOS-Transistoren **56** und **57** in der Verstärkungssteuerschaltung **58** verbunden.

[0064] Die Sources der n-Kanal-MOS-Transistoren **56** und **57** sind gegenseitig mit einer gemeinsamen Masse verbunden. Die Gates der n-Kanal-MOS-Transistoren **56** und **57** sind mit dem Frequenzdetektor **21** verbunden. Das Gate des n-Kanal-MOS-Transistors **56** ist mit dem nicht-invertierten Ausgangssignal CLKH, das von der Verriegelungsschaltung **45** des Frequenzdetektors **21** ausgegeben wird, verbunden und das Gate des n-Kanal-MOS-Transistors **57** ist mit dem invertierten Ausgangssignal /CLKH, das von dem n-Kanal-MOS-Transistor **43** des Frequenzdetektors **21** ausgegeben wird, verbunden. Die Source des p-Kanal-MOS-Transistors **59** ist mit dem Stromversorgungsanschluß Vcc verbunden und das Drain des p-Kanal-MOS-Transistors **59** wird als der Ausgangsanschluß der internen Spannungsheruntertransformierschaltung **2** verwendet. Im Ergebnis wird die interne Stromversorgungsspannung int.Vcc von dem Drain des p-Kanal-MOS-Transistors **59** ausgegeben.

[0065] Es sollte bemerkt werden, daß bei diesem Aufbau die n-Kanal-MOS-Transistoren **56** und **57**, die die Verstärkungssteuerschaltung **58** bilden, Gates mit unterschiedlichen Kapazitäten aufweisen, so daß mehr Strom durch den n-Kanal-MOS-Transistor **56** als durch den n-Kanal-MOS-Transistor **57** fließen kann. In anderen Worten, das Gate des n-Kanal-MOS-Transistors **57** ist entweder schmaler oder länger als das Gate des n-Kanal-MOS-Transistors **56**.

[0066] Im Ergebnis ist, wenn die Frequenz des internen Taktsignals INTCLK niedriger als oder gleich zu einem spezifischen Niveau ist, das nicht-invertierte Ausgangssignal CLKH von dem Frequenzdetektor **21** auf NIEDRIG und das invertierte Ausgangssignal /CLKH von dem Frequenzdetektor **21** ist auf HOCH, der n-Kanal-MOS-Transistor **56** ist ausgeschaltet, der n-Kanal-MOS-Transistor **57** ist angeschaltet und der Drainstrom id57 fließt durch den n-Kanal-MOS-Transistor **57**.

[0067] Wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, ist das nicht-invertierte Ausgangssignal CLKH von dem Frequenzdetektor **21** auf HOCH und das invertierte Ausgangssignal /CLKH von dem Frequenzdetektor **21** ist auf NIEDRIG, der n-Kanal-MOS-Transistor **56** ist angeschaltet, der n-Kanal-MOS-Transistor **57** ist ausgeschaltet und der Drainstrom id56 fließt zu dem n-Kanal-MOS-Transistor **56**.

[0068] Da der n-Kanal-MOS-Transistor **56** so ausgebildet ist, daß er mehr Strom hindurchlaufen läßt als der N-Kanal-MOS-Transistor **57**, ist id56 > id57. Genauer gesagt, der durch den Differentialverstärker **55** fließende Strom ist größer, wenn der n-Kanal-MOS-Transistor **56** angeschaltet ist, als in dem Fall, in dem der n-Kanal-MOS-Transistor **57** angeschaltet ist.

[0069] Je größer der Strom ist, der durch den Differentialverstärker **55** fließt, desto größer ist die Verstärkung des Differentialverstärkers **55** und desto besser ist die Antwort. Im Ergebnis kann die Gatespannung des p-Kanal-MOS-Transistors **59** schnell zum Abfall gebracht werden, wenn es einen Abfall in der internen Stromversorgungsspannung int.Vcc gibt. Der Stromfluß steigt auch an, wenn die Gatespannung des p-Kanal-MOS-Transistors **59** abfällt.

[0070] Es ist daher möglich, den Stromfluß in einer kurzen Zeit schnell als Reaktion auf einen Abfall in der internen Stromversorgungsspannung int.Vcc zu erhöhen und dadurch mehr Strom bzw. Leistung zuzuführen, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als in dem Fall, in dem die Frequenz niedriger als oder gleich einem spezifischen Niveau ist, und es ist derart möglich, einen Abfall der internen Stromversorgungsspannung int.Vcc zu verhindern.

[0071] Es sollte bemerkt werden, daß während das Gate des n-Kanal-MOS-Transistors **57** mit dem Ausgang von dem n-Kanal-MOS-Transistor **43** des Frequenzdetektors **21** in der **Fig.** 4 gezeigten Ausführungsform verbunden ist, es ebenfalls möglich ist, das Gate des n-Kanal-MOS-Transistors **57** mit dem Stromversorgungsanschluß Vcc anstelle des invertierten Ausgangssignals /CLK zu verbinden, wie es in **Fig.** 5 gezeigt ist, so daß das Gate immer auf HOCH ist und der n-Kanal-MOS-Transistor **57** immer angeschaltet ist.

[0072] Bei einem derartigen Aufbau wird nur der n-Kanal-MOS-Transistor **57** angeschaltet sein, wenn die Frequenz des internen Taktsignals INTCLK niedriger als oder gleich zu einem spezifischen Niveau ist, und wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, sind beide n-Kanal-MOS-Transistoren **56** und **57** angeschaltet bzw, werden es sein. Im Ergebnis wird der Strom, der zu dem Differentialverstärker **55** fließt, größer sein, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als in dem Fall, in dem die Frequenz des internen Taktsignals niedriger als oder gleich zu einem spezifischen Niveau ist, und dieselben Wirkungen, wie sie mit dem in **Fig.** 4 gezeigten Aufbau erreicht werden,

können erreicht werden.

[0073] Die integrierte Halbleiterschaltungsvorrichtung entsprechend der ersten Ausführungsform der Erfindung stellt derart die Antwort bzw. die Reaktion durch Änderung der Verstärkung des Differentialverstärkers **55** der internen Spannungsheruntertransformierschaltung **2** entsprechend der Frequenz des internen Taktsignals INTCLK ein. Genauer gesagt, die Verstärkung des Differentialverstärkers **55** ist größer, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als in dem Fall, in dem sie niedriger als oder gleich zu einem spezifischen Niveau ist, und die Antwort bzw. Reaktion der internen Spannungsheruntertransformierschaltung **2** wird derart verbessert.

[0074] Die interne Spannungsheruntertransformierschaltung **2** kann derart mehr Strom in einer kurzen Zeit als Reaktion auf einen Potentialabfall in der internen Stromversorgungsspannung int.Vcc liefern, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, verglichen mit dem Fall, in dem die Frequenz unter diesem Niveau ist, und der Abfall der internen Stromversorgungsspannung int.Vcc, der bei herkömmlichen Vorrichtungen auftritt, wenn die Frequenz des internen Taktsignals INTCLK hoch ist, kann verhindert werden. Es ist außerdem möglich, den Stromverbrauch durch den Differentialverstärker **55** zu reduzieren, wenn die Burstlänge klein ist, und der Stromverbrauch der SDRAM-Vorrichtung kann reduziert werden.

Ausführungsform 2

[0075] Die erste Ausführungsform, die oben beschrieben worden ist, weist eine Verstärkungssteuerschaltung **58** auf, die aus n-Kanal-MOS-Transistoren **56** und **57** besteht, und sie betreibt diese beiden n-Kanal-MOS-Transistoren **56** und **57** so, daß der Strom, der zu dem Differentialverstärker **55** fließt, unterschiedlich ist, wenn die Frequenz des internen Taktsignals INTCLK hoch und niedrig ist. Durch eine derartige Änderung des Stromflusses zu dem Differentialverstärker **55** ändert die Verstärkungssteuerschaltung **58** die Verstärkung des Differentialverstärkers **55** und ändert dadurch die Antwort bzw. Reaktion der internen Spannungsheruntertransformierschaltung **2**.

[0076] Es ist jedoch auch möglich, den Stromfluß zu dem Differentialverstärker **55** unter Verwendung eines einzelnen n-Kanal-MOS-Transistors entsprechend der zweiten Ausführungsform der Erfindung zu steuern, wie es im folgenden beschrieben wird.

[0077] **Fig.** 6 ist eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung entsprechend der zweiten Ausführungsform der Erfindung, die im folgenden nur im Wege des Beispiels als eine 64 Mbit × 8 Synchron-DRAM-Vorrichtung (SDRAM) beschrieben wird. Es ist zu bemerken, daß ähnliche bzw. identische Teile in den **Fig.** 6 und 1 durch dieselben Bezugszeichen identifiziert sind, und daß die weitere Beschreibung derselben im folgenden weggelassen ist. Nur die Unterschiede zwischen der obigen ersten Ausführungsform und der zweiten Ausführungsform werden im folgenden beschrieben.

[0078] Die integrierte Halbleiterschaltungsvorrichtung, die in **Fig.** 6 gezeigt ist, unterscheidet sich von derjenigen aus **Fig.** 1 in der Konstruktion der internen Stromversorgungsschaltung. Genauer gesagt, das Schaltungsdesign der internen Spannungsheruntertransformierschaltung **61** der internen Stromversorgungsschaltung **64** der zweiten Ausführungsform ist gegenüber demjenigen der internen Spannungsheruntertransformierschaltung **2**, die in **Fig.** 1 gezeigt ist, geändert. Die interne Stromversorgungsschaltung **64** weist weiter einen ersten Spannungsgenerator **62** zum Erzeugen und Ausgeben einer spezifischen Spannung VaL und einen zweiten Spannungsgenerator **63** zum Erzeugen und Ausgeben einer spezifischen Spannung VaH zusätzlich zu der internen Spannungsheruntertransformierschaltung **61**, dem Referenzspannungsgenerator **5**, dem Substratspannungsgenerator **3** und dem Spannungsherauftransformiergenerator **4** auf.

[0079] Der SDRAM **65** dieser zweiten Ausführungsform weist derart, wie es in **Fig.** 6 gezeigt ist, eine interne Stromversorgungsschaltung **64**, wie sie oben beschrieben wurde, einen Adreßpuffer **11**, ein Steuersignalpuffer **12**, ein Taktpuffer **13**, vier Speicherbänke **14** bis **17**, einen Eingabe/Ausgabe-Puffer (I/O-Puffer) **18** für die Dateneingabe/-ausgabe, einen Frequenzdetektor **21** und eine Steuerschaltung **20**, die ein Modusregister **19** aufweist und die Speicherfeldbänke **14** bis **17** und den I/O-Puffer **18** steuert, auf.

[0080] Die interne Stromversorgungsschaltung **64** ist mit dem Stromversorgungsanschluß Vcc verbunden, von dem Strom bzw. Leistung von einer externen Quelle zugeführt wird. Der Referenzspannungsgenerator **5**, der erste Spannungsgenerator **62** und der zweite Spannungsgenerator **63** sind mit der internen Spannungsheruntertransformierschaltung **61** verbunden. Die interne Spannungsheruntertransformierschaltung **61** ist mit den internen Schaltung des SDRAM **1** verbunden, aber diese verschiedenen Verbindungen sind in der Figur nicht gezeigt. Der Frequenzdetektor **21** ist außerdem mit der internen Spannungsheruntertransformierschaltung **61** verbunden.

[0081] Die interne Spannungsheruntertransformierschaltung **61** transformiert die Stromversorgungsspannung, die von einer externen Quelle über den Stromversorgungsanschluß Vcc eingegeben wird, zum Erzeugen der internen Stromversorgungsspannung int.Vcc herunter und liefert die interne Stromversorgungsspannung int.Vcc an die internen Schaltungen des SDRAM **65**. Es ist zu bemerken, daß die interne Stromversorgungsspannung int.Vcc basierend auf der Referenzspannung Vref, die von dem Referenzspannungsgenerator **5** eingegeben wird, bestimmt wird. Genauer gesagt, die interne

Spannungsheruntertransformierschaltung **61** steuert die interne Stromversorgungsspannung int.Vcc auf den Pegel der Referenzspannung Vref, die von dem Referenzspannungsgenerator **5** geliefert wird, und gibt sie aus. Die Stromversorgungskapazität der internen Spannungsheruntertransformierschaltung **61** wird entsprechend des internen Taktsignal-Frequenzsignals, das von dem Frequenzdetektor **21** ausgegeben wird, umgeschaltet.

[0082] **Fig.** 7 ist ein Schaltbild der internen Spannungsheruntertransformierschaltung **61**. Es ist zu bemerken, daß ähnliche bzw. identische Teile in den **Fig.** 7 und 4 durch dieselben Bezugszeichen identifiziert sind, und daß die weitere Beschreibung derselben im folgenden weggelassen wird, da nur die Unterschiede erläutert werden.

[0083] Die interne Spannungsheruntertransformierschaltung **61**, die in **Fig.** 7 gezeigt ist, unterscheidet sich von derjenigen aus **Fig.** 4 in der Konstruktion bzw. dem Aufbau der Verstärkungssteuerschaltung **74**, die bei dieser Ausführungsform einen n-Kanal-MOS-Transistor **71** und zwei Übertragungsgatter **72** und **73** aufweist.

[0084] Es sollte bemerkt werden, daß die Verstärkungssteuerschaltung **74**, der erste Spannungsgenerator **62** und der zweite Spannungsgenerator **63** das Verstärkungssteuermittel der Ansprüche bilden, und daß die Übertragungsgatter **72** und **73** die Gatespannungssteuerschaltung der Ansprüche bilden.

[0085] Wie in **Fig.** 7 gezeigt ist, die interne Spannungsheruntertransformierschaltung **61** weist einen Differentialverstärker **55**, eine Verstärkungssteuerschaltung **74** und einen p-Kanal-MOS-Transistors **59**, der als die Ausgabeschaltung der internen Spannungsheruntertransformierschaltung **61** arbeitet, auf. Die Verstärkungssteuerschaltung **74** weist den n-Kanal-MOS-Transistor **71**, die Übertragungsgatter **72** und **73** auf und steuert die Verstärkung des Differentialverstärkers **55**.

[0086] Die Sources der n-Kanal-MOS-Transistoren **53** und **54** sind miteinander verbunden und diese Sourceverbindung ist mit dem Drain des N-Kanal-MOS-Transistor **71** verbunden. Die Source des n-Kanal-MOS-Transistors **71** ist auf Masse gelegt. Das Gate des n-Kanal-MOS-Transistors **71** ist mit den Ausgängen der Übertragungsgatter **72** und **73** verbunden. Der Eingang des Übertragungsgatters **72** ist mit dem ersten Spannungsgenerator **62** verbunden und der Eingang des anderen Übertragungsgatters **73** ist mit dem zweiten Spannungsgenerator **63** verbunden.

[0087] Das nicht-invertierte Ausgangssignal CLKH, das von der Verriegelungsschaltung **45** des Frequenzdetektors **21** ausgegeben wird, ist mit dem Gate des p-Kanal-MOS-Transistors, der Teil des Übertragungsgatters **72** ist, und dem Gate des n-Kanal-MOS-Transistors, der Teil des anderen Übertragungsgatters **73** ist, verbunden. Das invertierte Ausgangssignal /CLKH von dem n-Kanal-MOS-Transistor **43** des Frequenzdetektors **21** ist mit dem Gate des n-Kanal-MOS-Transistors des Übertragungsgatters **72** und mit dem Gate des p-Kanal-MOS-Transistors des Übertragungsgatters **73** verbunden.

[0088] Derart aufgebaut wird die spezifische Spannung VaL, die von dem ersten Spannungsgenerator **62** ausgegeben wird, dem Eingang des Übertragungsgatters **72** eingegeben, und die spezifische Spannung VaH von dem zweiten Spannungsgenerator **63** wird dem Eingang des Übertragungsgatters **73** eingegeben. Es ist zu bemerken, daß VaH > VaL.

[0089] Wenn die Frequenz des internen Taktsignals INTCLK niedriger als oder gleich zu einem spezifischen Niveau ist, ist das nichtinvertierte Ausgangssignal CLKH auf NIEDRIG, und das invertierte Ausgangssignal /CLKH ist auf HOCH. Im Ergebnis ist das Übertragungsgatter **72** angeschaltet und leitend, das Übertragungsgatter **73** ist ausgeschaltet und nicht-leitend und die spezifische Spannung VaL wird dem Gate des n-Kanal-MOS-Transistors 71 eingegeben.

[0090] Wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, ist das nicht-invertierte Ausgangssignal CLKH auf HOCH und das invertierte Ausgangssignal /CLKH ist auf NIEDRIG. In diesem Fall ist das Übertragungsgatter **72** ausgeschaltet und nicht-leitend und das Übertragungsgatter **73** ist angeschaltet und leitend und die spezifische Spannung VaH wird dem Gate des n-Kanal-MOS-Transistors **71** eingegeben.

[0091] Da VaH > VaL, ist die Spannung, die dem Gate des n-Kanal-MOS-Transistors **71** eingegeben wird, höher, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als in dem Fall, in dem sie niedriger als oder gleich zu einem spezifischen Niveau ist. In anderen Worten, der Drainstrom des n-Kanal-MOS-Transistors **71** steigt an und der Stromfluß zu dem Differentialverstärker **55** steigt an.

[0092] Je größer der Stromfluß zu dem Differentialverstärker **55** ist, desto größer ist die Verstärkung des Differentialverstärkers **55** und desto besser ist die Reaktion bzw. Antwort. Im Ergebnis kann die Gatespannung des p-Kanal-MOS-Transistors schnell zum Abfall gebracht werden, wenn es einen Abfall in der internen Stromversorgungsspannung int.Vcc gibt. Der Stromfluß steigt auch an, wenn die Gatespannung des p-Kanal-MOS-Transistors **59** abfällt.

[0093] Es ist daher möglich, mehr Strom in einer kurzen Zeit als Reaktion auf einen Potentialabfall der internen Stromversorgungsspannung int.Vcc zu liefern, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, verglichen mit dem Fall, in dem die Frequenz unter diesem Niveau ist, und der Abfall der internen Stromversorgungsspannung int.Vcc, der in herkömmlichen Vorrichtungen auftritt, wenn die Frequenz des internen Taktsignals hoch ist, kann verhindert werden.

[0094] Die integrierte Halbleiterschaltungsvorrichtung entsprechend der zweiten Ausführungsform der Erfindung stellt derart die Reaktion durch Änderun-

gen der Verstärkung des Differentialverstärkers **55** der internen Spannungsheruntertransformierschaltung **61** entsprechend der Frequenz des internen Taktsignals INTCLK ein. Genauer gesagt, die Verstärkung des Differentialverstärkers **55** ist größer, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als in dem Fall, wenn sie niedriger als oder gleich zu einem spezifischen Niveau ist, und die Reaktion der internen Spannungsheruntertransformierschaltung **61** wird derart verbessert. Wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, kann die interne Spannungsheruntertransformierschaltung **61** derart mehr Strom in einer kurzen Zeit als Reaktion auf einen Potentialabfall in der internen Stromversorgungsspannung int.Vcc liefern, und der Abfall in der internen Stromversorgungsspannung int.Vcc, der in herkömmlichen Vorrichtungen auftritt, wenn die Frequenz des internen Taktsignals INTCLK hoch ist, kann verhindert werden. Es ist außerdem möglich, den Stromverbrauch durch den Differentialverstärker **55** zu reduzieren, wenn die Burstlänge klein ist und der Stromverbrauch der SDRAM-Vorrichtung kann reduziert werden.

Ausführungsform 3

[0095] Die erste und zweite Ausführungsform, die oben beschrieben worden sind, ändern den Stromfluß zu dem Differentialverstärker **55** zum Ändern der Verstärkung des Differentialverstärkers **55** und ändern dadurch die Reaktion bzw. Antwort der internen Spannungsheruntertransformierschaltung. Es ist jedoch auch möglich, die Gatespannungseingabe an das Gate des n-Kanal-MOS-Transistors **54** des Differentialverstärker **55** zu ändern, d.h. die Referenzspannung, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet und niedriger als oder gleich zu einem spezifischen Niveau ist, um den Abfall der internen Stromversorgungsspannung int.Vcc zu kompensieren, der auftritt, wenn die Frequenz des internen Taktsignals INTCLK hoch ist. Eine integrierte Halbleiterschaltungsvorrichtung, die auf diese Art und Weise arbeitet, wird im folgenden als die dritte Ausführungsform der Erfindung beschrieben.

[0096] **Fig.** 8 ist eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung entsprechend der dritten Ausführungsform der Erfindung, die im folgenden nur im Wege des Beispiels als eine 64 Mbit × 8 Synchron-DRAM-Vorrichtung (SDRAM) beschrieben wird. Es ist zu bemerken, daß ähnliche oder identische Teile in den **Fig.** 8 und 1 durch dieselben Bezugszeichen identifiziert sind, und daß die weitere Beschreibung derselben weggelassen ist. Nur die Unterschiede zwischen der obigen ersten Ausführungsform und der dritten Ausführungsform werden im folgenden beschrieben.

[0097] Die integrierte Halbleiterschaltungsvorrichtung, die in **Fig.** 8 gezeigt ist, unterscheidet sich von derjenigen aus **Fig.** 1 in der Konstruktion bzw. dem Aufbau der internen Stromversorgungsschaltung **84**. Genauer gesagt, das Schaltungsdesign der internen Spannungsheruntertransformierschaltung **81** der internen Stromversorgungsschaltung **84** der dritten Ausführungsform ist gegenüber demjenigen der internen Spannungsheruntertransformierschaltung **2**, die in **Fig.** 1 gezeigt ist, geändert, wobei der Referenzspannungsgenerator **5** eliminiert worden ist und ein erster Referenzspannungsgenerator **82** zum Erzeugen und Ausgeben einer Referenzspannung VrL und ein zweiter Referenzspannungsgenerator **83** zum Erzeugen und Ausgeben einer Referenzspannung VrH hinzugefügt worden sind.

[0098] Die interne Stromversorgungsschaltung **84** des SDRAM **85** dieser dritten Ausführungsform weist derart die interne Spannungsheruntertransformierschaltung **81**, den ersten Referenzspannungsgenerator **82**, den zweiten Referenzspannungsgenerator **83**, den Substratspannungsgenerator **3** und den Spannungsherauftransformiergenerator **4** auf.

[0099] Wie in **Fig.** 8 gezeigt ist, der SDRAM **85** der dritten Ausführungsform weist derart die obige interne Stromversorgungsschaltung **84**, einen Adreßpuffer **11**, einen Steuersignalpuffer **12**, einen Taktpuffer **13**, vier Speicherbänke **14** bis **17**, einen Eingabe/Ausgabe-Puffer (I/O-Puffer) **18** für die Dateneingabe/ausgabe, einen Frequenzdetektor **21** und eine Steuerschaltung **20**, die ein Modusregister **19** aufweist und die Speicherfeldbänke **14** bis **17** und den I/O-Puffer **18** steuert, auf.

[0100] Die interne Stromversorgungsschaltung **84** ist mit dem Stromversorgungsanschluß Vcc verbunden, von dem Leistung bzw. Strom von einer externen Quelle zugeführt wird. Der erste Referenzspannungsgenerator **82** und der zweite Referenzspannungsgenerator **83** sind mit der internen Spannungsheruntertransformierschaltung **81** verbunden, und die interne Spannungsheruntertransformierschaltung **81** ist mit den internen Schaltung des SDRAM **85** verbunden, aber diese verschiedenen Verbindungen sind nicht in der Figur gezeigt. Der Frequenzdetektor **21** ist außerdem mit der internen Spannungsheruntertransformierschaltung **81** verbunden.

[0101] Die interne Spannungsheruntertransformierschaltung **81** transformiert die Stromversorgungsspannung, die von einer externen Quelle über den Stromversorgungsanschluß Vcc eingegeben wird, zum Erzeugen der internen Stromversorgungsspannung int.Vcc herunter und liefert die interne Stromversorgungsspannung int.Vcc an die internen Schaltungen des SDRAM **85**. Es ist zu bemerken, daß die interne Stromversorgungsspannung int.Vcc basierend auf der Referenzspannung VrL, die von dem ersten Referenzspannungsgenerator **82** eingegeben wird, oder der Referenzspannung VrH, die von dem zweiten Referenzspannungsgenerator **83** eingegeben wird, bestimmt wird. Genauer gesagt, die interne Spannungsheruntertransformierschaltung **81** steuert die interne Stromversorgungsspannung int.Vcc auf

den Pegel der Referenzspannung VrL, die von dem ersten Referenzspannungsgenerator **82** eingegeben wird, oder der Referenzspannung VrH, die von dem zweiten Referenzspannungsgenerator **83** eingegeben wird, und gibt sie aus. Die interne Spannungsheruntertransformierschaltung **81** wählt die Referenzspannung VrL oder VrH entsprechend der Frequenz des internen Taktsignals INTCLK, das von dem Frequenzdetektor **21** ausgegeben wird, aus.

[0102] **Fig.** 9 ist ein Schaltbild der internen Spannungsheruntertransformierschaltung **81**. Es ist zu bemerken, daß ähnliche oder identische Teile in den **Fig.** 9 und 4 durch dieselben Bezugszeichen identifiziert sind, und daß die Beschreibung derselben im folgenden weggelassen wird, in der nur die Unterschiede erläutert werden.

[0103] Die interne Spannungsheruntertransformierschaltung **81**, die in **Fig.** 9 gezeigt ist, unterscheidet sich von derjenigen aus **Fig.** 4 dadurch, daß die Verstärkungssteuerschaltung **58**, die in **Fig.** 4 gezeigt ist, eliminiert ist, wobei der Differentialverstärker **92** eine Konstantstromversorgung **91**, die zu dem Differentialverstärker **55** aus **Fig.** 4 hinzugefügt ist, enthält und eine Referenzspannungsumschaltschaltung **95**, die Übertragungsgatter **93** und **94** aufweist, hinzugefügt ist.

[0104] Es sollte bemerkt werden, daß der Differentialverstärker **92** die Differentialverstärkerschaltung der Ansprüche bildet, und das die Referenzspannungsumschaltschaltung **95** dem Referenzspannungsselektor der Anprüche bildet.

[0105] Wie in **Fig.** 9 gezeigt ist, die interne Spannungsheruntertransformierschaltung **81** weist den Differentialverstärker **92**, die Referenzspannungsumschaltschaltung **95** und den p-Kanal-MOS-Transistors **59**, der als die Ausgabeschaltung der internen Spannungsheruntertransformierschaltung **81** arbeitet, auf.

[0106] Der Differentialverstärkers **92** weist zwei p-Kanal-MOS-Transistoren **51** und **52**, zwei n-Kanal-MOS-Transistoren **53** und **54** und die Konstantstromversorgung **91** auf. Die Konstantstromversorgung **91** ist zwischen Masse und die gemeinsame Sourceverbindung der n-Kanal-MOS-Transistoren **53** und **54** eingesetzt bzw, geschaltet.

[0107] Die Referenzspannungsumschaltschaltung **95** weist Übertragungsgatter **93** und **94** auf, deren Ausgänge mit dem Gate des n-Kanal-MOS-Transistors **54** verbunden sind. Der Eingang des einen Übertragungsgatters **93** ist mit dem ersten Referenzspannungsgenerator **82** verbunden und der Eingang des anderen Übertragungsgatters **94** ist mit dem zweiten Referenzspannungsgenerator **83** verbunden.

[0108] Das nicht-invertierte Ausgangssignal CLKH wird von der Verriegelungsschaltung **45** des Frequenzdetektors **21** dem Gate des p-Kanal-MOS-Transistors des Übertragungsgatters **93** und des n-Kanal-MOS-Transistors des Übertragungsgatters **94** eingegeben und das invertierte Ausgangssignal /CLKH wird von dem n-Kanal-MOS-Transistor **43** des Frequenzdetektors **21** dem Gate des n-Kanal-MOS-Transistors des Übertragungsgatters **93** und dem Gate des p-Kanal-MOS-Transistors des Übertragungsgatters **94** eingegeben.

[0109] Derart aufgebaut wird die Referenzspannung VrL, die von dem ersten Referenzspannungsgenerator **82** ausgegeben wird, dem Eingang des verbundenen Übertragungsgatters **93** eingegeben, und die Referenzspannung VrH, die von dem zweiten Referenzspannungsgenerator **83** ausgegeben wird, wird dem verbundenen Übertragungsgatters **94** eingegeben. Es ist zu bemerken, daß VrH > VrL.

[0110] Wenn die Frequenz des internen Taktsignals INTCLK niedriger als oder gleich zu einem spezifischen Niveau ist, ist das nichtinvertierte Ausgangssignal CLKH auf NIEDRIG, und das invertierte Ausgangssignal /CLKH ist auf HOCH. Im Ergebnis ist das Übertragungsgatter **94** ausgeschaltet und nicht-leitend und das Übertragungsgatter **93** ist angeschaltet und leitend und die Referenzspannung VrL wird dem Gate des n-Kanal-MOS-Transistors **54** eingegeben.

[0111] Wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, ist das nicht-invertierte Ausgangssignal CLKH HOCH und das invertierte Ausgangssignal /CLKH ist NIEDRIG. In diesem Fall ist das Übertragungsgatter **93** ausgeschaltet und nicht-leitend und das Übertragungsgatter **94** ist angeschaltet und leitend und die Referenzspannung VrH wird dem Gate des n-Kanal-MOS-Transistors **54** eingegeben.

[0112] Da VrH > VrL ist, ist die Spannung, die dem Gate des n-Kanal-MOS-Transistors **54** eingegeben wird, höher, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als in dem Fall, wenn sie niedriger als oder gleich zu einem spezifischen Niveau ist. In anderen Worten, ein Erhöhen der Referenzspannung des Differentialverstärkers **92** erhöht die interne Stromversorgungsspannung int.Vcc, die von der internen Spannungsheruntertransformierschaltung **81** ausgegeben wird, und derart kann der Abfall der internen Stromversorgungsspannung int.Vcc kompensiert werden, wenn die Frequenz des internen Taktsignals INTCLK hoch ist.

[0113] Die integrierte Halbleiterschaltungsvorrichtung entsprechend der dritten Ausführungsform der Erfindung kann derart die interne Stromversorgungsspannung int.Vcc, die durch die interne Spannungsheruntertransformierschaltung **81** ausgegeben wird, entsprechend der Frequenz des internen Taktsignals INTCLK ändern. Genauer gesagt, die interne Stromversorgungsspannung int.Vcc, die durch die Spannungsheruntertransformierschaltung **81** ausgegeben wird, kann höher gemacht werden, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als in dem Fall, wenn sie niedriger als oder gleich zu einem spezifischen Niveau ist, und es ist möglich, den Abfall der internen Stromversorgungsspannung int.Vcc, der dazu neigt,

aufzutreten, wenn die Frequenz des internen Taktsignals INTCLK HOCH ist, zu kompensieren. Es ist derart möglich, den Abfall der internen Stromversorgungsspannung int.Vcc, der auftritt, wenn die Frequenz des internen Taktsignals INTCLK hoch ist, zu verhindern.

Ausführungsform 4

[0114] Ein Abfall in der internen Stromversorgungsspannung int.Vcc wird bei den ersten bis dritten Ausführungsformen, die oben beschrieben worden sind, unter Verwendung eines einzelnen p-Kanal-MOS-Transistors als die Ausgabeschaltung der internen Spannungsheruntertransformierschaltung verhindert. Wie es im folgenden jedoch beschrieben wird, ist es entsprechend der vierten Ausführungsform auch möglich, die Ausgabestromkapazität der internen Spannungsheruntertransformierschaltung unter Verwendung mehrerer p-Kanal-MOS-Transistoren von unterschiedlicher Gategröße in der Ausgabeschaltung der internen Spannungsheruntertransformierschaltung zu ändern, und die Anzahl der Ausgabeschaltungs-p-Kanal-MOS-Transistoren, die angeschaltet sind, entsprechend der Frequenz des internen Taktsignals INTCLK zu ändern.

[0115] **Fig.** 10 ist eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung entsprechend der vierten Ausführungsform der Erfindung, die im folgenden nur im Wege des Beispiels als eine 64 Mbit × 8 Synchron-DRAM-Vorrichtung (SDRAM) beschrieben wird. Es ist zu bemerken, daß ähnliche oder identische Teile in den **Fig.** 10 und 1 durch dieselben Bezugszeichen identifiziert sind, und daß die weitere Beschreibung derselben im folgenden weggelassen wird. Nur die Unterschiede zwischen der obigen ersten Ausführungsform und der vierten Ausführungsform werden im folgenden beschrieben.

[0116] Wie bei den vorhergehenden Ausführungsformen, die integrierte Halbleiterschaltungsvorrichtung, die in **Fig.** 10 gezeigt ist, unterscheidet sich von derjenigen aus **Fig.** 1 in der Konstruktion bzw. dem Aufbau der internen Stromversorgungsschaltung. Genauer gesagt, das Schaltungsdesign der internen Spannungsheruntertransformierschaltung **101** der internen Stromversorgungsschaltung **102** der vierten Ausführungsform ist gegenüber denjenigen der internen Spannungsheruntertransformierschaltung **2**, die in **Fig.** 1 gezeigt ist, geändert worden.

[0117] Die interne Stromversorgungsschaltung **102** des SDRAM **105** dieser vierten Ausführungsform weist daher die interne Spannungsheruntertransformierschaltung **101**, den Referenzspannungsgenerator 5 zum Erzeugen und Ausgeben einer Referenzspannung Vref, den Substratspannungsgenerator **3** und den Spannungsherauftransformiergenerator **4** auf. Es sollte bemerkt werden, daß die interne Spannungsheruntertransformierschaltung **101** das interne Spannungsheruntertransformiermittel der Ansprüche ist.

[0118] Wie in **Fig.** 10 gezeigt ist, der SDRAM **105** dieser vierten Ausführungsform weist daher die interne Stromversorgungsschaltung **102**, die oben beschrieben worden ist, einen Adreßpuffer **11**, einen Steuersignalpuffer **12**, einen Taktpuffer **13**, vier Speicherfeldbänke **14** bis **17**, einen Eingabe/Ausgabe-Puffer (I/O-Puffer) **18** für die Dateneingabe/-ausgabe, einen Frequenzdetektor **21** und eine Steuerschaltung **20**, die ein Modusregister **19** aufweist und die Speicherfeldbänke **14** bis **17** und den I/O-Puffer **18** steuert, auf.

[0119] Die interne Stromversorgungsschaltung **102** ist mit dem Stromversorgungsanschluß Vcc verbunden, von dem Strom bzw. Leistung von einer externen Quelle zugeführt wird. Der Referenzspannungsgenerator **5** ist mit der internen Spannungsheruntertransformierschaltung **101** verbunden. Die interne Spannungsheruntertransformierschaltung **101** ist mit den internen Schaltung des SDRAM **105** verbunden, aber diese verschiedenen Verbindungen sind nicht in der Figur gezeigt. Der Substratspannungsgenerator **3** ist außerdem mit dem Halbleitersubstrat verbunden, auf dem der SDRAM **105** ausgebildet ist, und diese Verbindungen sind ebenfalls nicht gezeigt. Der Frequenzdetektor **21** ist außerdem mit der internen Spannungsheruntertransformierschaltung **101** verbunden.

[0120] Die interne Spannungsheruntertransformierschaltung **101** transformiert die Stromversorgungsspannung, die von einer externen Quelle über den Stromversorgungsanschluß Vcc eingegeben wird, zum Erzeugen der internen Stromversorgungsspannung int.Vcc herunter und liefert die interne Stromversorgungsspannung int.Vcc an die internen Schaltungen des SDRAM **105**. Es ist zu bemerken, daß die interne Stromversorgungsspannung int.Vcc basierend auf der Referenzspannung Vref, die von dem Referenzspannungsgenerator **5** eingegeben wird, bestimmt wird. Genauer gesagt, die interne Spannungsheruntertransformierschaltung **101** steuert die interne Stromversorgungsspannung int.Vcc auf den Pegel der Referenzspannung Vref, die von dem Referenzspannungsgenerator **5** geliefert wird, und gibt sie aus. Die Stromversorgungskapazität der internen Spannungsheruntertransformierschaltung **101** wird entsprechend der Frequenz des internen Taktsignals INTCLK, das von dem Frequenzdetektor **21** ausgegeben wird, umgeschaltet.

[0121] **Fig.** 11 ist ein Schaltbild der internen Spannungsheruntertransformierschaltung **101**. Es ist zu bemerken, daß ähnliche oder identische Teile in den **Fig.** 11 und 4 durch dieselben Bezugszeichen identifiziert sind, und daß die weitere Beschreibung derselben im folgenden weggelassen wird, in der nur die Unterschiede erläutert werden.

[0122] Die interne Spannungsheruntertransformierschaltung **91**, die in **Fig.** 11 gezeigt ist, unterscheidet sich von derjenigen aus **Fig.** 4 dadurch, daß die Verstärkungssteuerschaltung **58**, die in **Fig.** 4 gezeigt ist, eliminiert ist, wobei der Differentialverstärker **112**

eine Konstantstromversorgung **111**, die dem Differentialverstärker **55** aus **Fig.** 4 hinzugefügt ist, enthält und die Ausgabeschaltung **119** anstelle des p-Kanal-MOS-Transistors **59**, der in **Fig.** 4 gezeigt ist, vier p-Kanal-MOS-Transistoren **113** bis **116** und zwei Übertragungsgatter **117** und **118** aufweist.

[0123] Es sollte bemerkt werden, daß der Differentialverstärker **112** die Differentialverstärkerschaltung der Ansprüche bildet, und daß die Ausgabeschaltung **119** die Ausgabeschaltung der Ansprüche bildet.

[0124] Wie in **Fig.** 11 gezeigt ist, die interne Spannungsheruntertransformierschaltung **101** weist derart den Differentialverstärker **112** und die Ausgabeschaltung **119** auf.

[0125] Der Differentialverstärkers **112** weist zwei p-Kanal-MOS-Transistoren **51** und **52**, zwei n-Kanal-MOS-Transistoren **53** und **54** und die Konstantstromversorgung **111** auf. Die Konstantstromversorgung **111** ist zwischen Masse und die gemeinsame Sourceverbindung der n-Kanal-MOS-Transistoren **53** und **54** eingesetzt bzw. geschaltet.

[0126] Die Ausgabeschaltung **119** weist p-Kanal-MOS-Transistoren **113** bis 116 und Übertragungsgatter **117** und **118** auf.

[0127] Der Eingang des Übertragungsgatters **117** ist mit dem Drain des p-Kanal-MOS-Transistors **52** und dem Drain des n-Kanal-MOS-Transistors **54** verbunden und der Ausgang ist mit dem Gate des p-Kanal-MOS-Transistors **113** und dem Drain des p-Kanal-MOS-Transistors **114** verbunden. Die Sources der p-Kanal-MOS-Transistoren **113** und **114** sind mit dem Stromversorgungsanschluß Vcc verbunden.

[0128] Das Gate des n-Kanal-MOS-Transistors des Übertragungsgatters **117** und das Gate des p-Kanal-MOS-Transistors **114** sind mit dem invertierten Ausgangssignal /CLKH von dem n-Kanal-MOS-Transistor **43** des Frequenzdetektors **21** verbunden. Das Gate des p-Kanal-MOS-Transistors des Übertragungsgatters **117** ist mit dem nicht-invertierten Ausgangssignal CLKH, das von der Verriegelungsschaltung **45** des Frequenzdetektor **21** ausgegeben wird, verbunden.

[0129] Der Eingang des Übertragungsgatters **118** ist mit dem Drain des p-Kanal-MOS-Transistors **52** und dem Drain des n-Kanal-MOS-Transistors **54** verbunden und der Ausgang ist mit dem Gate des p-Kanal-MOS-Transistors **115** und dem Drain des p-Kanal-MOS-Transistors **116** verbunden. Die Sources der p-Kanal-MOS-Transistoren **115** und **116** sind mit dem Stromversorgungsanschluß Vcc verbunden.

[0130] Das Gate des n-Kanal-MOS-Transistors des Übertragungsgatters **118** und das Gate des p-Kanal-MOS-Transistors **116** sind mit dem nicht-invertierten Ausgangssignal CLKH, das von der Verriegelungsschaltung **45** des Frequenzdetektors **21** ausgegeben wird, verbunden. Das Gate des p-Kanal-MOS-Transistors des Übertragungsgatters **118** ist mit dem invertierten Ausgangssignal /CLKH von dem n-Kanal-MOS-Transistors **43** des Frequenzdetektors **21** verbunden. Das Drain des p-Kanal-MOS-Transistors **113** ist auch mit dem Drain des p-Kanal-MOS-Transistors **115** verbunden und dieses gemeinsame Verbindung arbeitet als der Ausgang der internen Spannungsheruntertransformierschaltung **101**.

[0131] Es sollte bemerkt werden, daß bei diesem Aufbau die p-Kanal-MOS-Transistoren **113** und **115**, die die Ausgabeschaltung **119** bilden, Gates unterschiedlicher Größe aufweisen, so daß mehr Strom durch den p-Kanal-MOS-Transistor **115** als durch den p-Kanal-MOS-Transistor **113** fließen kann. In anderen Worten, das Gate des p-Kanal-MOS-Transistors **113** ist entweder schmäler oder länger als das Gate des p-Kanal-MOS-Transistors **115**.

[0132] Im Ergebnis, wenn die Frequenz des internen Taktsignals INTCLK niedriger als oder gleich zu einem spezifischen Niveau ist, ist das nicht-invertierte Ausgangssignal CLKH von dem Frequenzdetektor **21** auf NIEDRIG und das invertierte Ausgangssignal /CLKH von dem Frequenzdetektor **21** ist auf HOCH, das Übertragungsgatter **117** ist daher angeschaltet und leitend und das Übertragungsgatter **118** ist ausgeschaltet und nicht-leitend. Zusätzlich ist der p-Kanal-MOS-Transistor **114** ausgeschaltet und der p-Kanal-MOS-Transistor **116** ist angeschaltet. Das Gate des p-Kanal-MOS-Transistors **115** ist HOCH und der p-Kanal-MOS-Transistor **115** ist daher ausgeschaltet und nicht-leitend. Der Drainstrom id113 fließt zu dem p-Kanal-MOS-Transistor **113** und der Ausgabestrom id113 von dem p-Kanal-MOS-Transistor **113** wird als die Ausgabe von der internen Spannungsheruntertransformierschaltung **101** geliefert.

[0133] Wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, ist das nicht-invertierte Ausgangssignal CLKH von dem Frequenzdetektor **21** auf HOCH und das invertierte Ausgangssignal /CLKH von dem Frequenzdetektor **21** ist auf NIEDRIG. Das Übertragungsgatter **117** ist daher ausgeschaltet und nicht-leitend und das Übertragungsgatter **118** ist angeschaltet und leitend. Zusätzlich, der p-Kanal-MOS-Transistor **114** ist angeschaltet und der p-Kanal-MOS-Transistor **116** ist ausgeschaltet. Das Gate des p-Kanal-MOS-Transistors **113** ist auf HOCH und der p-Kanal-MOS-Transistor **113** ist daher ausgeschaltet und nicht-leitend. Der Drainstrom id115 fließt zu dem p-Kanal-MOS-Transistor **115** und der Ausgabestrom id115 von dem p-Kanal-MOS-Transistor **115** wird als die Ausgabe von der internen Spannungsheruntertransformierschaltung **101** geliefert.

[0134] Da der p-Kanal-MOS-Transistor **115** derart ausgebildet ist, daß mehr Strom durch ihn hindurchläuft als durch den p-Kanal-MOS-Transistor **113**, ist id115 > id113. Genauer gesagt, der Stromfluß von der Ausgabeschaltung **119** ist größer, wenn der p-Kanal-MOS-Transistor **115** angeschaltet ist, als er ist, wenn der p-Kanal-MOS-Transistor **113** angeschaltet ist. Die interne Spannungsheruntertransformierschaltung **101** kann daher mehr Strom liefern, wenn die Frequenz des internen Taktsignals INTCLK ein spe-

zifisches Niveau überschreitet, als in dem Fall, in dem sie kleiner als oder gleich zu einem spezifischen Niveau ist.

[0135] Die integrierte Halbleiterschaltungsvorrichtung entsprechend der vierten Ausführungsform der Erfindung kann daher die Stromversorgungsausgabe von der internen Spannungsheruntertransformierschaltung **101** entsprechend der Frequenz des internen Taktsignals INTCLK ändern. Genauer gesagt, es ist möglich, die Stromversorgungsausgabe von der internen Spannungsheruntertransformierschaltung **101** zu reduzieren, wenn die Frequenz des internen Taktsignals INTCLK niedriger als oder gleich zu einem spezifischen Niveau ist, und die Stromzuführkapazität der internen Spannungsheruntertransformierschaltung **101** zu erhöhen, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet.

[0136] Es ist daher möglich, den Abfall in der internen Stromversorgungsspannung int.Vcc, der auftritt, wenn die Frequenz des internen Taktsignals INTCLK hoch ist, zu verhindern, die Stromversorgungsausgabe von der internen Spannungsheruntertransformierschaltung **101** zu reduzieren, wenn die Frequenz des internen Taktsignals INTCLK niedrig ist, und dadurch den Stromverbrauch des SDRAM **105** zu reduzieren.

Ausführungsform 5

[0137] Bei der ersten bis vierten Ausführungsform, die oben beschrieben worden sind, wird die Ausgabe der internen Spannungsheruntertransformierschaltung entsprechend der Frequenz des internen Taktsignals INTCLK gesteuert, um einen Abfall der internen Stromversorgungsspannung int.Vcc zu verhindern. Es ist jedoch auch möglich, die Ausgabe des Substratspannungsgenerators entsprechend der Frequenz des internen Taktsignals INTCLK zu steuern, wie es im folgenden entsprechend der fünften Ausführungsform der Erfindung beschrieben wird.

[0138] **Fig.** 12 ist eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung nach der fünften Ausführungsform der Erfindung, die im folgenden nur im Wege des Beispiels als eine 64 Mbit × 8 Synchron-DRAM-Vorrichtung (SDRAM) beschrieben wird. Es ist zu bemerken, daß ähnliche oder identische Teile in den **Fig.** 12 und 1 durch dieselben Bezugszeichen identifiziert sind, und daß die weitere Beschreibung derselben weggelassen wird. Nur die Unterschiede zwischen der obigen ersten Ausführungsform und der fünften Ausführungsform werden im folgenden beschrieben.

[0139] Die integrierte Halbleiterschaltungsvorrichtung, die in **Fig.** 12 gezeigt ist, unterscheidet sich von der aus **Fig.** 1 in der Konstruktion der internen Stromversorgungsschaltung **124**. Genauer gesagt, das Schaltungsdesign des Substratspannungsgenerators **121** ist gegenüber demjenigen des Substratspannungsgenerators **3**, aus **Fig.** 1 geändert, und ein erster Spannungsgenerator **122** und ein zweiter Spannungsgenerator **123** sind zu der internen Stromversorgungsschaltung **10**, die in **Fig.** 1 gezeigt ist, hinzugefügt.

[0140] Die interne Stromversorgungsschaltung **124** des SDRAM **125** dieser Ausführungsform weist derart eine interne Spannungsheruntertransformierschaltung **2**, einen Substratspannungsgenerator **121**, einen Spannungsherauftransformiergenerator **4**, einen Referenzspannungsgenerator **5**, einen ersten Spannungsgenerator **122** zum Erzeugen und Ausgeben einer spezifischen Spannung VbL und einen zweiten Spannungsgenerator **123** zum Erzeugen und Ausgeben einer spezifischen Spannung VbH auf.

[0141] Der SDRAM **125** der fünften Ausführungsform, die in **Fig.** 12 gezeigt ist, weist derart die interne Stromversorgungsschaltung **124**, die oben beschrieben wurde, einen Adreßpuffer **11**, einen Steuersignalpuffer **12**, einen Taktpuffer **13**, vier Speicherfeldbänke **14** bis **17**, einen Eingabe/Ausgabepuffer (I/O-Puffer) **18** für die Dateneingabe/-ausgabe, einen Frequenzdetektor **21** und eine Steuerschaltung **20**, die ein Modusregister **19** aufweist und die Speicherfeldbänke **14** bis **17** und den I/O-Puffer **18** steuert, auf.

[0142] Die interne Stromversorgungsschaltung **124** ist mit dem Stromversorgungsanschluß Vcc verbunden, von dem Leistung bzw. Strom von einer externen Quelle zu dem Referenzspannungsgenerator **5** zugeführt wird. Der Referenzspannungsgenerator **5** ist mit der internen Spannungsheruntertransformierschaltung **2** verbunden, und die interne Spannungsheruntertransformierschaltung **2** ist mit den internen Schaltungen des SDRAM **125** verbunden, aber diese verschiedenen Verbindungen sind nicht in der Figur gezeigt. Der erste Spannungsgenerator **122** und der zweite Spannungsgenerator **123** sind separat mit dem Substratspannungsgenerator **121** verbunden. Der Substratspannungsgenerator **121** ist mit dem Halbleitersubstrat verbunden, auf dem der SDRAM **125** ausgebildet ist, und diese Verbindungen sind ebenfalls nicht in den Figuren gezeigt. Der Frequenzdetektor **21** ist außerdem mit der internen Spannungsheruntertransformierschaltung **2** und dem Substratspannungsgenerator **121** verbunden.

[0143] Die interne Spannungsheruntertransformierschaltung **2** transformiert die Stromversorgungsspannung, die von einer externen Quelle über den Stromversorgungsanschluß Vcc eingegeben wird, zum Erzeugen der internen Stromversorgungsspannung int.Vcc herunter und liefert die interne Stromversorgungsspannung int.Vcc an die internen Schaltungen des SDRAM **125**.

[0144] Der Substratspannungsgenerators **121** produziert die Halbleitersubstratvorspannung und gibt sie aus und legt eine negative Substratspannung Vbb an das Halbleitersubstrat an.

[0145] **Fig.** 13 ist ein Schaltbild der Substratspannungsgenerators **121**.

[0146] Wie in **Fig.** 13 gezeigt ist, der Substratspan-

nungsgenerator **121** weist einen Substratspannungsdetektor **138** und eine Ladungspumpe **139** auf. Der Substratspannungsdetektor **138** weist drei p-Kanal-MOS-Transistoren **138**, **132** und **133**, zwei n-Kanal-MOS-Transistoren **134** und **135** und zwei Übertragungsgatter **136** und **137** auf.

[0147] Es ist zu bemerken, daß der Substratspannungsdetektor **138** das Substratspannungsdetektionsmittel der Ansprüche bildet, und daß die Ladungspumpe **139** die Ladungspumpschaltung der Ansprüche bildet.

[0148] Die gemeinsame Verbindung zwischen den Gates de P-Kanal-MOS-Transistoren **131** und **132** in dem Substratspannungsdetektor **138** ist mit dem Drain des p-Kanal-MOS-Transistors **131** verbunden. Der Stromversorgungsanschluß Vcc ist mit der Source von beiden p-Kanal-MOS-Transistoren **131** und **132** verbunden. Das Drain des p-Kanal-MOS-Transistors **131** ist mit dem Drain des n-Kanal-MOS-Transistors **134** verbunden.

[0149] Die Drains der p-Kanal-MOS-Transistoren **132** und **135** sind miteinander verbunden, und diese Verbindungslinie wird als der Ausgang des Substratspannungsdetektors **138** zu dem Eingang der Ladungspumpe **139** abgegriffen.

[0150] Die Ausgabe der Ladungspumpe **139** ist die Ausgabe des Substratspannungsgenerators **121**, von dem die Substratspannung Vbb an das Halbleitersubstrat angelegt wird.

[0151] Die Source des n-Kanal-MOS-Transistors **134** ist auf Masse gelegt und die Source des n-Kanal-MOS-Transistors **135** ist mit der Source des p-Kanal-MOS-Transistors **133** verbunden. Das Gate des p-Kanal-MOS-Transistors **133** ist mit dem Drain des p-Kanal-MOS-Transistors **133** verbunden, und die Substratspannung Vbb wird dieser Drain-Gate-Verbindung eingegeben. Das Gate des n-Kanal-MOS-Transistors **134** ist mit dem Gate des n-Kanal-MOS-Transistors **135** verbunden, und diese Gate-Gate-Verbindung ist mit den Ausgängen der Übertragungsgatter **136** und **137** verbunden.

[0152] Der Eingang des Übertragungsgatters **136** ist mit dem ersten Spannungsgenerator **122** verbunden und der Eingang des Übertragungsgatters **137** ist mit dem zweiten Spannungsgenerator **123** verbunden. Das nicht-invertierte Ausgangssignal CLKH von der Verriegelungsschaltung **45** des Frequenzdetektors **21** ist mit dem Gate des p-Kanal-MOS-Transistors des Übertragungsgatter **136** und mit dem Gate des n-Kanal-MOS-Transistors des Übertragungsgatters **137** verbunden. Das invertierte Ausgangssignal /CLKH von dem n-Kanal-MOS-Transistor **43** des Frequenzdetektors **21** ist mit dem Gate des n-Kanal-MOS-Transistors des Übertragungsgatters **136** und mit dem Gate des p-Kanal-MOS-Transistors des Übertragungsgatters **137** verbunden.

[0153] Derart aufgebaut wird die spezifische Spannung VbL, die von dem ersten Spannungsgenerator **122** ausgegeben wird, dem Eingang des Übertragungsgatters **136** eingegeben, und die spezifische Spannung VbH, die von dem zweiten Spannungsgenerator **123** ausgegeben wird, wird dem Eingang des Übertragungsgatters **137** eingegeben. Es ist zu bemerken, daß VbH > VbL.

[0154] Wenn die Frequenz des internen Taktsignals INTCLK niedriger als oder gleich zu einem spezifischen Niveau ist, ist das nichtinvertierte Ausgangssignal CLKH auf NIEDRIG und das invertierte Ausgangssignal /CLKH ist auf HOCH. Im Ergebnis ist das Übertragungsgatter **136** angeschaltet und leitend und das Übertragungsgatter **137** ist ausgeschaltet und nicht-leitend. Im Ergebnis wird die spezifische Spannung VbL den Gates der n-Kanal-MOS-Transistoren **134** und **135** eingegeben.

[0155] Wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, ist das nicht-invertierte Ausgangssignal CLKH auf HOCH und das invertierte Ausgangssignal /CLKH ist auf NIEDRIG. In diesem Fall ist das Übertragungsgatter **136** ausgeschaltet und nicht-leitend und das Übertragungsgatter **137** ist angeschaltet und leitend. Im Ergebnis wird die spezifische Spannung VbH den Gates der n-Kanal-MOS-Transistoren **134** und **135** eingegeben.

[0156] Die n-Kanal-MOS-Transistoren **134** und **135** bilden die Stromversorgung des Substratspannungsdetektors **138**. Es ist zu bemerken, daß VbH > VbL. Im Ergebnis ist die Spannung, die den Gates der n-Kanal-MOS-Transistoren **134** und **135** eingegeben wird, größer, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als wenn sie kleiner als oder gleich zu einem spezifischen Niveau ist. In anderen Worten, der Strom, der zu den n-Kanal-MOS-Transistoren **134** und **135** fließt, steigt an, die Gatespannung der p-Kanal-MOS-Transistoren **131** und **132** fällt ab, und der Drainstrom des p-Kanal-MOS-Transistors **132** steigt an.

[0157] Wenn die Substratspannung Vbb ansteigt, schaltet der p-Kanal-MOS-Transistor **133** aus und ist nicht-leitend. Die Ausgabe des Substratspannungsdetektors **138** ändert sich daher von NIEDRIG auf HOCH, und die Eingabe der Ladungspumpe **139** ändert sich derart von NIEDRIG auf HOCH. Die NIEDRIG-zu-HOCH-Übergangszeit in der Ausgabe des Substratspannungsdetektors **138** nimmt mit dem Ansteigen des Stromflusses von dem p-Kanal-MOS-Transistor **132** ab.

[0158] Genauer gesagt, die Änderung von NIEDRIG zu HOCH in der Ausgabe des Substratspannungsdetektors **138**, nachdem der p-Kanal-MOS-Transistor **133** aufgrund eines Anstiegs in der Substratspannung Vbb ausschaltet und nicht-leitend wird, ist schneller, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als wenn sie kleiner als oder gleich zu einem spezifischen Niveau ist, und die Antwort bzw. Reaktion des Substratspannungsdetektors **138** verbessert sich derart.

[0159] Wenn die Substratspannung Vbb ansteigt

und die Ausgabe des Substratspannungsdetektors **138** sich von NIEDRIG zu HOCH ändert, erniedrigt die Ladungspumpe **139** die Substratspannung Vbb. Wenn die Substratspannung Vbb abfällt, schaltet der p-Kanal-MOS-Transistor **133** an, die Ausgabe des Substratspannungsdetektors **138** ändert sich auf niedrig, und der Betrieb stoppt.

[0160] Es sollte bemerkt werden, daß die fünfte Ausführungsform, die oben beschrieben worden ist, durch Modifizieren des Substratspannungsgenerators **3** der ersten Ausführungsform zum Ändern der Antwort des Substratspannungsdetektors entsprechend der Frequenz des internen Taktsignals INTCLK erreicht wurde, aber daß die Erfindung nicht so begrenzt ist. Genauer gesagt, der Substratspannungsgenerator **3**, der in den obigen zweiten, dritten und vierten Ausführungsformen verwendet wurde, kann durch den Substratspannungsgenerator **121** der fünften Ausführungsform ersetzt werden, und der erste Spannungsgenerator **122** und der zweite Spannungsgenerator **123** können weiterhin hinzugefügt werden. Es ist außerdem möglich, den obigen Substratspannungsgenerator **121**, den ersten Spannungsgenerator **122** und den zweiten Spannungsgenerator **123** zu einer herkömmlichen internen Stromversorgungsschaltung, die eine interne Spannungsheruntertransformierschaltung aufweist, hinzuzufügen.

[0161] Wie oben beschrieben worden ist, die integrierte Halbleiterschaltungsvorrichtung entsprechend der fünften Ausführungsform der vorliegenden Erfindung ändert die Antwort des Substratspannungsdetektors **138** in dem Substratspannungsgenerator **121** entsprechend der Frequenz des internen Taktsignals INTCLK. Genauer gesagt, die Antwort des Substratspannungsdetektors **138** in dem Substratspannungsgenerator **121** ist besser, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als wenn sie geringer als oder gleich zu einem spezifischen Niveau ist. Im Ergebnis kann der Substratspannungsgenerator **121** einen Anstieg in der Substratspannung Vbb in einer kurzen Zeit detektieren, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, wodurch die Substratsspannung Vbb schnell erniedrigt wird, und derart kann der Anstieg in der Substratspannung Vbb, der dazu neigt, aufzutreten, wenn die Frequenz des internen Taktsignals INTCLK hoch ist, verhindert werden.

[0162] Der Stromverbrauch durch den Substratspannungsdetektor **138** kann außerdem reduziert werden, wenn die Frequenz des internen Taktsignals INTCLK niedrig ist, und der Stromverbrauch durch den SDRAM **125** kann daher reduziert werden.

Ausführungsform 6

[0163] Bei der ersten bis vierten Ausführungsform, die oben beschrieben worden sind, wird die Ausgabe der internen Spannungsheruntertransformierschaltung entsprechend der Frequenz des internen Taktsignals gesteuert, um einen Abfall in der internen Stromversorgungsspannung int.Vcc zu verhindern. Bei der fünften Ausführungsform wird die Ausgabe des Substratspannungsgenerators entsprechend der Frequenz des internen Taktsignals gesteuert., Es ist jedoch auch möglich, die Ausgabe des Spannungsherauftransformiergenerators entsprechend der Frequenz des internen Taktsignals zu steuern, wie im folgenden entsprechend der sechsten Ausführungsform der Erfindung beschrieben wird.

[0164] **Fig.** 14 ist eine Blockdarstellung einer integrierten Halbleiterschaltungsvorrichtung entsprechend der sechsten Ausführungsform der Erfindung, die im folgenden nur im Wege des Beispiels bei einer 64 Mbit × 8 Synchron-DRAM-Vorrichtung (SDRAM) beschrieben wird. Es ist zu bemerken, daß ähnliche bzw. identische Teile in den **Fig.** 14 und 12 durch dieselben Bezugszeichen identifiziert sind, und daß die weitere Beschreibung derselben im folgenden weggelassen wird. Nur die Unterschiede zwischen der obigen fünften Ausführungsform und der sechsten Ausführungsform werden im folgenden beschrieben.

[0165] Die integrierte Halbleiterschaltungsvorrichtung, die in **Fig.** 14 gezeigt ist, unterscheidet sich von der aus **Fig.** 12 in der Konstruktion der internen Stromversorgungsschaltung **124**. Genauer gesagt, das Schaltungsdesign des Spannungsherauftransformiergenerators **141** ist gegenüber dem des Spannungsherauftransformiergenerators **4** aus **Fig.** 12 geändert, und ein dritter Spannungsgenerator **142** und ein vierter Spannungsgenerator **143** sind zu der internen Stromversorgungsschaltung **124**, die in **Fig.** 12 gezeigt ist, hinzugefügt.

[0166] Die interne Stromversorgungsschaltung **144** des SDRAM **145** dieser sechsten Ausführungsform weist derart eine interne Spannungsheruntertransformierschaltung **2**, einen Substratspannungsgenerator **121**, einen Spannungsherauftransformiergenerator **141**, einen Referenzspannungsgenerator **5**, einen ersten Spannungsgenerator **122**, einen zweiten Spannungsgenerator **123**, einen dritten Spannungsgenerator **142** zum Erzeugen und Ausgeben einer spezifischen Spannung VcL und einen vierten Spannungsgenerator **143** zum Erzeugen und Ausgeben einer spezifischen Spannung VcH auf.

[0167] Es ist zu bemerken, daß der Spannungsherauftransformiergenerator **141**, der dritte Spannungsgenerator **142** und der vierte Spannungsgenerator **143** das Spannungsherauftransformiererzeugungsmittel der Ansprüche bilden.

[0168] Der SDRAM **145** der sechsten Ausführungsform, die in **Fig.** 14 gezeigt ist, weist derart die interne Stromversorgungsschaltung **144**, die oben beschrieben worden ist, einen Adreßpuffer **11**, einen Steuersignalpuffer **12**, einen Taktpuffer **13**, vier Speicherfeldbänke **14** bis **17**, einen Eingabe/Ausgabepuffer (I/O-Puffer) **18** für die Dateneingabe/-ausgabe, einen Frequenzdetektor **21** und eine Steuerschaltung **20**, die ein Modusregister **19** aufweist und die Speicherfeldbänke **14** bis **17** und den I/O-Puffer **18** steuert,

auf.

[0169] Die interne Stromversorgungsschaltung **144** ist mit dem Stromversorgungsanschluß Vcc verbunden, von dem Strom bzw. Leistung von einer externen Quelle an den Referenzspannungsgenerator **5** geliefert wird. Der Referenzspannungsgenerator **5** ist mit der internen Spannungsheruntertransformierschaltung **2** verbunden, und die interne Spannungsheruntertransformierschaltung **2** ist mit den internen Schaltungen des SDRAM **145** verbunden, aber diese verschiedenen Verbindungen sind in der Figur nicht gezeigt. Der erste Spannungsgenerator **122** und der zweite Spannungsgenerator **123** sind separat mit dem Substratspannungsgenerator **121** verbunden. Der Substratspannungsgenerator **121** ist mit dem Halbleitersubstrat verbunden, auf dem der SDRAM **125** ausgebildet ist, und diese Verbindungen sind ebenfalls nicht in den Figuren gezeigt.

[0170] Der dritte Spannungsgenerator **142** und der vierte Spannungsgenerator **143** sind separat mit dem Spannungsherauftransformiergenerator **141** verbunden, und der Spannungsherauftransformiergenerator **141** ist mit jeder der Speicherfeldbänke **14** bis **17** verbunden.

[0171] Der Frequenzdetektor **21** ist außerdem mit der internen Spannungsheruntertransformierschaltung **2**, dem Substratspannungsgenerator **121** und dem Spannungsherauftransformiergenerator **141** verbunden.

[0172] Die interne Spannungsheruntertransformierschaltung **2** transformiert die Stromversorgungsspannung, die von einer externen Quelle über den Stromversorgungsanschluß Vcc eingegeben wird, zum Erzeugen der internen Stromversorgungsspannung int.Vcc herunter und liefert die interne Stromversorgungsspannung int.Vcc an die internen Schaltungen des SDRAM **145**.

[0173] Der Spannungsherauftransformiergenerator **141** transformiert die Stromversorgungsspannung, die von der externen Quelle über den Stromversorgungsanschluß Vcc eingegeben wird, zum Erzeugen der herauftransformierten Spannung Vpp herauf. Der Spannungsherauftransformiergenerator **141** liefert die herauftransformierte Spannung Vpp an jede der Speicherfeldbänke **14** bis **17**.

[0174] **Fig.** 15 ist ein Schaltbild des Spannungsherauftransformiergenerators **141**.

[0175] Wie in **Fig.** 15 gezeigt ist, der Spannungsherauftransformiergenerator **141** weist einen Detektor **159** für die herauftransformierte Spannung und eine Ladungspumpe **160** auf. Der Detektor **159** für die herauftransformierte Spannung weist drei n-Kanal-MOS-Transistoren **151**, **152** und **153**, zwei p-Kanal-MOS-Transistoren **154** und **155**, zwei Übertragungsgatter **156** und **157** und einen Kondensator **158** auf.

[0176] Es ist zu bemerken, daß der Detektor **159** für die herauftransformierte Spannung das Detektionmittel für die herauftransformierte Spannung der Ansprüche ist, und daß die Ladungspumpe **160** die Ladungspumpschaltung der Ansprüche ist.

[0177] In dem Detektor **159** für die herauftransformierte Spannung, wie, er in **Fig.** 15 gezeigt ist, ist das Gate des n-Kanal-MOS-Transistors **151** mit dem Gate des n-Kanal-MOS-Transistors **152** verbunden, und diese Verbindungslinie ist mit dem Drain des n-Kanal-MOS-Transistors **151** verbunden. Die Masse ist mit der Source von beiden n-Kanal-MOS-Transistoren **151** und **152** verbunden. Das Drain des n-Kanal-MOS-Transistors **151** ist mit dem Drain des p-Kanal-MOS-Transistors **154** verbunden.

[0178] Das Drain des n-Kanal-MOS-Transistors **152** ist mit dem Drain des p-Kanal-MOS-Transistors **155** verbunden, und diese Verbindungslinie wird als der Ausgang des Detektors **159** für die herauftransformierte Spannung, der mit dem Eingang der Ladungspumpe **160** verbunden ist, abgegriffen.

[0179] Der Ausgang der Ladungspumpe **160** ist der Ausgang des Spannungsherauftransformiergenerators **141**, von dem die herauftransformierte Spannung Vpp ausgegeben wird.

[0180] Die Source des p-Kanal-MOS-Transistors **154** ist mit der Source des n-Kanal-MOS-Transistors **153** verbunden und der Kondensator **158** ist zwischen diese Source-Verbindung und die Masse eingesetzt bzw. geschaltet. Die Source des p-Kanal-MOS-Transistors **155** ist mit dem Stromversorgungsanschluß Vcc verbunden. Das Gate des n-Kanal-MOS-Transistors **153** ist mit dem Drain des n-Kanal-MOS-Transistors **153** verbunden, und die herauftransformierte Spannung Vpp wird an diese Gate-Drain-Verbindung angelegt. Das Gate des p-Kanal-MOS-Transistors **155** ist mit dem Gate des p-Kanal-MOS-Transistors **154** verbunden, und diese Gate-Gate-Verbindung ist mit den Ausgängen der Übertragungsgatter **156** und **157** verbunden.

[0181] Der Eingang des Übertragungsgatters **156** ist mit dem dritten Spannungsgenerator **142** verbunden, und der Eingang des Übertragungsgatters **157** ist mit dem vierten Spannungsgenerator **143** verbunden. Das nicht-invertierte Ausgangssignal CLKH, das von der Verriegelungsschaltung **45** des Frequenzdetektors **21** ausgegeben wird, ist mit dem Gate des p-Kanal-MOS-Transistors des Übertragungsgatter **156** und mit dem Gate des n-Kanal-MOS-Transistors des Übertragungsgatters **157** verbunden. Das invertierte Ausgangssignal /CLKH von dem n-Kanal-MOS-Transistor **43** des Frequenzdetektors **21** ist mit dem Gate des n-Kanal-MOS-Transistors des Übertragungsgatters **156** und mit dem Gate des p-Kanal-MOS-Transistors des Übertragungsgatters **157** verbunden.

[0182] Derart aufgebaut wird die spezifische Spannung VcL von dem dritten Spannungsgenerator **142** dem Übertragungsgatter **156** eingegeben, und die spezifische Spannung VcH, die von dem vierten Spannungsgenerator **143** ausgegeben wird, wird dem Übertragungsgatters **157** eingegeben. Es ist zu bemerken, daß VcL > VcH.

[0183] Wenn die Frequenz des internen Taktsignals

INTCLK niedriger als oder gleich zu einem spezifischen Niveau ist, ist das nichtinvertierte Ausgangssignal CLKH auf NIEDRIG und das invertierte Ausgangssignal /CLKH ist auf HOCH. Im Ergebnis ist das Übertragungsgatter **156** angeschaltet und leitend und das Übertragungsgatter **157** ist ausgeschaltet und nicht-leitend. Im Ergebnis wird die spezifische Spannung VcL den Gates der p-Kanal-MOS-Transistoren **154** und **155** eingegeben.

[0184] Wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, ist das nicht-invertierte Ausgangssignal CLKH auf HOCH und das invertierte Ausgangssignal /CLKH ist auf NIEDRIG. In diesem Fall ist das Übertragungsgatter **156** ausgeschaltet und nicht-leitend und das Übertragungsgatter **157** ist angeschaltet und leitend. Im Ergebnis wird die spezifische Spannung VcH den Gates der p-Kanal-MOS-Transistoren **154** und **155** eingegeben.

[0185] Da VcL > VcH, wie oben beschrieben wurde, ist die Spannung, die den Gates der p-Kanal-MOS-Transistoren **154** und **155** eingegeben wird, höher, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als in dem Fall, wenn sie niedriger als oder gleich zu einem spezifischen Niveau ist. In anderen Worten, wenn der Strom, der zu den p-Kanal-MOS-Transistoren **154** und **155** fließt, ansteigt, und der n-Kanal-MOS-Transistor **153** angeschaltet ist, steigt die Gatespannung der n-Kanal-MOS-Transistoren **151** und **152** an, und der Drainstrom des p-Kanal-MOS-Transistors **155** steigt an.

[0186] Wenn die herauftransformierte Spannung Vpp ansteigt, schaltet der n-Kanal-MOS-Transistor **153** aus und ist nicht-leitend. Die Ausgabe des Detektors **159** für die herauftransformierte Spannung ändert sich daher von NIEDRIG auf HOCH, und die Eingabe der Ladungspumpe **160** ändert sich derart außerdem von HOCH auf NIED-RIG. Die NIED-RIG-zu-HOCH-Übergangszeit der Ausgabe des Detektors **159** für die herauftransformierte Spannung nimmt mit dem Anstieg des Stromflusses von dem p-Kanal-MOS-Transistor **155** ab.

[0187] Genauer gesagt, die Änderung von NIED-RIG zu HOCH in der Ausgabe des Detektors **159** für die herauftransformierte Spannung, nachdem der n-Kanal-MOS-Transistor **153** aufgrund eines Abfalls in der herauftransformierten Spannung Vpp ausschaltet und nichtleitend wird, ist schneller, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als in dem Fall, wenn sie niedriger als oder gleich zu einem spezifischen Niveau ist, und die Antwort des Detektors **159** für die herauftransformierte Spannung verbessert sich derart.

[0188] Wenn die herauftransformierte Spannung Vpp abfällt und die Ausgabe des Detektors **159** für die herauftransformierte Spannung von HOCH auf NIEDRIG geht, verstärkt die Ladungspumpe **160** die herauftransformierte Spannung Vpp. Wenn die herauftransformierte Spannung Vpp ansteigt, schaltet der n-Kanal-MOS-Transistor **153** an, die Ausgabe des Detektors **159** für die herauftransformierte Spannung geht auf niedrig, und der Betrieb stoppt.

[0189] Es sollte bemerkt werden, daß die sechste Ausführungsform, die oben beschrieben worden ist, durch Modifizieren des Spannungsherauftransformiergenerators **4** der fünften Ausführungsform zum Ändern der Antwort des Spannungsherauftransformierdetektors entsprechend der Frequenz des internen Taktsignals INTCLK erreicht wurde, aber daß die Erfindung nicht so begrenzt ist. Genauer gesagt, der Spannungsherauftransformiergenerator **141**, der dritte Spannungsgenerator **142** und der vierte Spannungsgenerator **143**, die oben beschrieben worden sind, können ebenfalls anstelle des Spannungsherauftransformiergenerators **4** in der ersten bis vierten Ausführungsformen, die oben beschrieben wurden, verwendet werden. Es ist außerdem möglich, den Spannungsherauftransformiergenerator **141**, den dritten Spannungsgenerator **142** und den vierten Spannungsgenerator **143**, die oben beschrieben worden sind, zu einer herkömmlichen internen Stromversorgungsschaltung, die eine interne Spannungsheruntertransformierschaltung und einen Substratspannungsgenerator enthält, hinzuzufügen.

[0190] Wie oben beschrieben worden ist, die integrierte Halbleiterschaltungsvorrichtung entsprechend der sechsten Ausführungsform der vorliegenden Erfindung ändert die Antwort bzw. Reaktion des Detektors **159** für die herauftransformierte Spannung des Spannungsherauftransformiergenerators **141** entsprechend der Frequenz des internen Taktsignals INTCLK. Genauer gesagt, die Antwort bzw. Reaktion des Detektors **159** für die herauftransformierte Spannung in dem Spannungsherauftransformiergenerator **141** ist besser, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, als in dem Fall, wenn sie niedriger als oder gleich zu einem spezifischen Niveau ist. Im Ergebnis kann der Spannungsherauftransformiergenerator **141** einen Abfall in der herauftransformierten Spannung Vpp in einer kurzen Zeit detektieren, wenn die Frequenz des internen Taktsignals INTCLK ein spezifisches Niveau überschreitet, wodurch die herauftransformierte Spannung Vpp schnell erhöht wird, und derart kann der Abfall in der herauftransformierten Spannung Vpp, der dazu neigt, aufzutreten, wenn die Frequenz des internen Taktsignals INTCLK hoch ist, verhindert werden.

[0191] Der Stromverbrauch durch den Detektor **159** für die herauftransformierte Spannung kann ebenfalls reduziert werden, wenn das internen Taktsignal INTCLK hoch ist, und der Stromverbrauch durch den SDRAM **155** kann daher reduziert werden.

[0192] Bei der integrierten Halbleiterschaltungsvorrichtung entsprechend der ersten Ausführungsform der Erfindung detektiert ein Frequenzdiskriminator die Frequenz des internen Taktsignals INTCLK. Die Geschwindigkeit, mit der der Ausgabestrom als Re-

aktion auf einen Abfall in der internen Stromversorgungsspannung erhöht wird, steigt daher mit dem Anstieg der Frequenz des internen Taktsignals an. Es ist daher möglich, die Stromversorgung als Reaktion auf einen Abfall in der internen Stromversorgungsspannung schnell zu erhöhen, wenn die Frequenz des internen Taktsignals hoch ist, und der Abfall in der internen Stromversorgungsspannung, der auftritt, wenn die Frequenz des internen Taktsignals hoch ist, kann verhindert werden.

[0193] Das interne Spannungsheruntertransformiermittel der integrierten Halbleiterschaltungsvorrichtung entsprechend der ersten Ausführungsform der Erfindung weist bevorzugterweise einen Differentialverstärker, dem die ausgegebene interne Stromversorgungsspannung und eine spezifische Referenzspannung eingegeben werden, ein Verstärkungssteuermittel zum Steuern des Stromflusses zu dem Differentialverstärker zum Steuern der Verstärkung des Differentialverstärkers, und eine Ausgabeschaltung zum Ändern der Stromversorgungskapazität entsprechend der Ausgabespannung des Differentialverstärkers auf. Bei dieser Ausführungsform erhöht das Verstärkungssteuermittel den Stromfluß zu dem Differentialverstärker zum Erhöhen der Verstärkung des Differentialverstärkers mit dem Anstieg der Frequenz des internen Taktsignals.

[0194] Die Antwort bzw. Reaktion wird durch das derartige Erhöhen der Verstärkung des Differentialverstärkers mit dem Anstieg der Frequenz des internen Taktsignals verbessert. Es ist daher möglich, viel Strom in einer kurzen Zeit als Reaktion auf einen Abfall in der internen Stromversorgungsspannung zu liefern, wenn die Frequenz des internen Taktsignals hoch ist, und dadurch den Abfall in der internen Stromversorgungsspannung zu verhindern, der andernfalls auftritt, falls die Frequenz des internen Taktsignals hoch ist.

[0195] In einer weiteren alternativen Ausführungsform der obigen integrierten Halbleiterschaltungsvorrichtung entsprechend der Erfindung weist das Verstärkungssteuermittel bevorzugterweise mehrere MOS-Transistoren mit variierenden Gategrößen zum Liefern von Strom an den Differentialverstärker auf, und es erhöht den Stromfluß zu dem Differentialverstärker mit einem Anstieg der Frequenz des internen Taktsignals durch Betreiben eines MOS-Transistors mit einem größeren Drainstrom.

[0196] Das Verstärkungssteuermittel weist abermals alternativ mehrere MOS-Transistoren zum Liefern von Strom zu dem Differentialverstärker auf, und es erhöht den Stromfluß zu dem Differentialverstärker mit einem Anstieg in der Frequenz des internen Taktsignals durch Erhöhen der Anzahl der betriebenen MOS-Transistoren.

[0197] In einer abermals weiteren alternativen Ausführungsform weist das Verstärkungssteuermittel einen MOS-Transistor zum Liefern von Strom an den Differentialverstärker, und ein Gatespannungssteuermittel zum Steuern der Gatespannung des MOS-Transistors entsprechend der Frequenz des internen Taktsignals auf. In diesem Fall steuert das Gatespannungssteuermittel die Gatespannung des MOS-Transistors zum Erhöhen der Stromversorgung zu dem Differentialverstärker mit einem Anstieg in der Frequenz des internen Taktsignals.

[0198] Die Antwort bzw. Reaktion wird derart durch Erhöhen der Verstärkung des Differentialverstärkers mit einem Anstieg der Frequenz des internen Taktsignals verbessert. Es ist daher möglich, viel Strom in einer kurzen Zeit als Reaktion auf einen Abfall in der internen Stromversorgungsspannung zu liefern, wenn die Frequenz des internen Taktsignals hoch ist, es ist dadurch möglich, den Abfall in der internen Stromversorgungsspannung zu verhindern, der andernfalls auftritt, wenn die Frequenz des internen Taktsignals hoch ist. Darüber hinaus ist es möglich, den Stromverbrauch durch den Differentialverstärker zu vermindern, wenn die Frequenz des internen Taktsignals niedrig ist, und es ist dadurch möglich, den Stromverbrauch durch die integrierte Halbleiterschaltungsvorrichtung zu vermindern.

[0199] In einer integrierten Halbleiterschaltungsvorrichtung entsprechend einer weiteren Ausführungsform der Erfindung wählt das interne Spannungsheruntertransformiermittel eine höhere Referenzspannung mit einem Anstieg der Frequenz des internen Taktsignals aus, um einen Abfall in der internen Stromversorgungsspannung zu kompensieren.

[0200] Das interne Spannungsheruntertransformiermittel der integrierten Halbleiterschaltungsvorrichtung weist in diesem Fall ein Referenzspannungsauswahlmittel zum Auswählen einer Referenzspannung, die von dem Referenzspannungserzeugungsmittel ausgegeben wird, entsprechend der Frequenz des internen Taktsignals, einen Differentialverstärker, dem die ausgegebene interne Stromversorgungsspannung und die Referenzspannung, die durch das Referenzspannungsauswahlmittel ausgewählt ist, eingegeben werden, und eine Ausgabeschaltung zum Ändern der Stromversorgungskapazität entsprechend der Ausgabespannung des Differentialverstärkers auf. Das Referenzspannungsauswahlmittel wählt eine höhere Referenzspannung mit einem Anstieg der Frequenz des internen Taktsignals aus, d.h, so wie die Frequenz ansteigt.

[0201] Die interne Stromversorgungsspannung, die durch das interne Spannungsheruntertransformiermittel ausgegeben wird, wird derart hoch transformiert, wenn die Frequenz des internen Taktsignals hoch ist, wodurch der Abfall in der internen Stromversorgungsspannung, der andernfalls auftritt, wenn die Frequenz des internen Taktsignals hoch ist, kompensiert wird. Es ist derart möglich, den Abfall in der internen Stromversorgungsspannung zu verhindern, der auftritt, wenn die Frequenz des internen Taktsignals hoch ist.

[0202] In einer integrierten Halbleiterschaltungsvorrichtung entsprechend einer weiteren Ausführungsform der Erfindung wird die Stromversorgungskapa-

zität von dem internen Spannungsheruntertransformiermittel erhöht, wenn die Frequenz des internen Taktsignals hoch ist.

[0203] Das interne Spannungsheruntertransformiermittel der integrierten Halbleiterschaltungsvorrichtung weist in diesem Fall bevorzugterweise einen Differentialverstärker, dem die ausgegebene interne Stromversorgungsspannung und eine spezifische Referenzspannung eingegeben werden, und eine Ausgabeschaltung zum ändern der Stromversorgungskapazität entsprechend der Frequenz des internen Taktsignals auf. In diesem Fall erhöht die Ausgabeschaltung die Ausgabestromversorgungskapazität mit einem Anstieg der Frequenz des internen Taktsignals.

[0204] Als Ergebnis ist die Stromversorgungskapazität des internen Spannungsheruntertransformiermittels klein, wenn die Frequenz des internen Taktsignals niedrig ist, und wenn die Frequenz des internen Taktsignals hoch ist, kann die Stromausgabe von dem internen Spannungsheruntertransformiermittel groß gemacht werden. Es ist daher möglich, den Abfall in der internen Stromversorgungsspannung zu verhindern, der auftritt, wenn die Frequenz des internen Taktsignals hoch ist, den Ausgabestrom von dem internen Spannungsheruntertransformiermittel zu reduzieren, wenn die Frequenz des internen Taktsignals niedrig ist, und es ist dadurch möglich, für einen reduzierten Stromverbrauch durch die integrierte Halbleiterschaltungsvorrichtung zu sorgen.

[0205] Es ist außerdem in den vorhergehenden Ausführungsformen bevorzugt, daß sie weiter ein Substratspannungserzeugungsmittel zum Erzeugen und Ausgeben einer Halbleitersubstratvorspannung und zum Anlegen einer Substratspannung an das Halbleitersubstrat aufweisen. Im Ergebnis verbessert sich die Antwort des Substratspannungserzeugungsmittels auf einen Anstieg in der Substratspannung, und die Geschwindigkeit, mit der ein Anstieg in der Substratspannung detektiert wird, steigt mit dem Anstieg der Frequenz, die durch den Frequenzdiskriminator bestimmt wird, an. Das Substratspannungserzeugungsmittel kann derart schnell einen Anstieg in der Substratspannung zum Erniedrigen der Substratspannung, wenn die Frequenz des internen Taktsignals hoch ist, detektieren, und der Substratspannungsanstieg, der auch auftritt, wenn die Frequenz des internen Taktsignals hoch ist, kann verhindert werden.

[0206] Es ist alternativ in den vorhergehenden Ausführungsformen zu bevorzugen, daß sie weiter ein Spannungsherauftransformiererzeugungsmittel zum Erzeugen und Ausgeben einer herauftransformierten Spannung durch Verstärken der extern gelieferten Stromversorgungsspannung aufweisen. In diesem Fall steigt die Geschwindigkeit, mit der ein Abfall in der herauftransformierten Spannung detektiert wird, an, und die Reaktion des Spannungsherauftransformiererzeugungsmittels auf einen Abfall in der herauftransformierten Spannung verbessert sich mit dem Anstieg der Frequenz, die durch den Frequenzdiskriminator bestimmt ist. Das Spannungsherauftransformiererzeugungsmittel kann derart schnell einen Abfall in der herauftransformierten Spannung detektieren und dadurch die herauftransformierte Spannung verstärken, wenn die Frequenz des internen Taktsignals hoch ist, und der Abfall der herauftransformierten Spannung, der auch auftritt, wenn die Frequenz des internen Taktsignals hoch ist, kann verhindert werden.

[0207] Die integrierte Halbleiterschaltungsvorrichtung nach einer weiteren Ausführungsform der Erfindung verbessert die Antwort bzw. Reaktion auf einen Anstieg in der Substratspannung und verbessert die Geschwindigkeit, mit der ein Anstieg in der Substratspannung detektiert wird. Das Substratspannungserzeugungsmittel kann derart schnell einen Anstieg in der Substratspannung zum Erniedrigen der Substratspannung detektieren, wenn die Frequenz des internen Taktsignals hoch ist, und der Substratspannungsanstieg, der auch auftritt, wenn die Frequenz des internen Taktsignals hoch ist, kann verhindert werden.

[0208] Das Substratspannungserzeugungsmittel in diesem Fall kann bevorzugterweise eine Ladungspumpschaltung zum Erniedrigen der Substratspannung, und ein Substratspannungsdetektionsmittel zum Detektieren der ausgegebenen Substratspannung und zum Betreiben der Ladungspumpschaltung, wenn die Substratspannung einen spezifischen Wert überschreitet, aufweisen. In diesem Fall verbessert sich die Reaktion bzw. Antwort des Substratspannungsdetektionsmittels auf einen Anstieg in der Substratspannung, und die Geschwindigkeit, mit der es detektiert, daß die Substratspannung einen spezifischen Wert überschreitet, steigt an mit dem Anstieg der Frequenz des internen Taktsignals.

[0209] Durch das derartige Verbessern der Reaktion des Substratspannungsdetektionsmittels, wenn die Frequenz des internen Taktsignals hoch ist, kann ein Anstieg in der Substratspannung, wenn die Frequenz des internen Taktsignals hoch ist, schnell detektiert werden und die Substratspannung abgesenkt werden. Es ist daher möglich, den Anstieg in der Substratspannung zu verhindern, der auftritt, wenn die Frequenz des internen Taktsignals hoch ist.

[0210] Die integrierte Halbleiterschaltungsvorrichtung nach einer weiteren Ausführungsform der Erfindung verbessert die Reaktion bzw. Antwort auf einen Abfall in der herauftransformierten Spannung und erhöht die Geschwindigkeit, mit der ein Abfall in der herauftransformierten Spannung detektiert wird, mit einem Anstieg in der Frequenz des internen Taktsignals, die durch den Frequenzdiskriminator bestimmt ist. Ein Abfall in der herauftransformierten Spannung kann daher schnell detektiert werden und die herauftransformierte Spannung wird verstärkt, wenn die Frequenz des internen Taktsignals hoch ist, und der Abfall in der herauftransformierten Spannung, der auch auftritt, wenn die Frequenz des internen Taktsi-

gnals hoch ist, kann verhindert werden.

[0211] Das Spannungsherauftransformiererzeugungsmittel weist in diesem Fall bevorzugterweise eine Ladungspumpschaltung zum Verstärken der herauftransformierten Spannung und ein Detektionsmittel für die herauftransformierte Spannung zum Detektieren der ausgegebenen herauftransformierten Spannung und zum Betreiben der Ladungspumpschaltung, wenn die herauftransformierte Spannung unter einen spezifischen Wert fällt, auf. In diesem Fall verbessert sich die Antwort bzw. Reaktion des Detektionsmittels für die herauftransformierte Spannung auf einen Abfall in der herauftransformierten Spannung und die Geschwindigkeit, mit der ein Abfall in der herauftransformierten Spannung detektiert wird, steigt mit dem Anstieg der Frequenz des internen Taktsignals an. Durch das derartige Verbessern der Reaktion des Detektionsmittels für die herauftransformierte Spannung, wenn die Frequenz des internen Taktsignals hoch ist, kann ein Abfall in der herauftransformierten Spannung schnell detektiert und die herauftransformierte Spannung verstärkt werden, wenn die Frequenz des internen Taktsignals hoch ist, und der Abfall in der herauftransformierten Spannung, der auch auftritt, wenn die Frequenz des internen Taktsignals hoch ist, kann verhindert werden.

[0212] Es ist offensichtlich, daß die derart beschriebene Erfindung in vielen Arten variiert werden kann. Solche Variationen sollen nicht als eine Abweichung von der Idee der Erfindung verstanden werden.

Patentansprüche

1. Integrierte Halbleiterschaltungsvorrichtung, mit
einer internen Spannungsheruntertransformierschaltung (**2**, **61**, **81**, **101**) zum Heruntertransformieren einer Stromversorgungsspannung (Vcc), die von einer externen Quelle zugeführt wird, zum Erzeugen und Ausgeben einer internen Stromversorgungsspannung (int.Vcc) basierend auf einer spezifischen Referenzspannung (Vref , VrL, VrH),
einem internen Taktsignalgenerator (**13**) zum Erzeugen eines internen Taktsignals (INTCLK) basierend auf einem Taktsignal, das von einer externen Quelle zugeführt wird, und
einem Frequenzdiskriminator (**21**) zum Bestimmen der Frequenz des internen Taktsignals, das durch den internen Taktsignalgenerator erzeugt wird,
wobei die interne Spannungsheruntertransformierschaltung eine Ausgabespannung derselben als Reaktion auf die Frequenz, die durch den Frequenzdiskriminator identifiziert ist, zum Kompensieren eines Abfalls in der internen Stromversorgungsspannung, der verursacht wird, wenn die Frequenz des internen Taktsignals steigt, steuert
und die interne Spannungsheruntertransformierschaltung die Geschwindigkeit, mit der der Ausgabestrom ansteigt, als Reaktion auf einen Abfall in der internen Stromversorgungsspannung mit einem Anstieg der Frequenz, die durch den Frequenzdiskriminator identifiziert wird, erhöht.

2. Integrierte Halbleiterschaltungsvorrichtung nach Anspruch 1, bei der
die interne Spannungsheruntertransformierschaltung
einen Differentialverstärker (**55**, **92**, **112**), dem die ausgegebene interne Stromversorgungsspannung und die spezifische Referenzspannung eingegeben werden,
ein Verstärkungssteuermittel (**58**; **74**, **62**, **63**) zum Steuern des Stromflusses zu dem Differentialverstärker zum Steuern der Verstärkung des Differentialverstärkers, und
einer Ausgabeschaltung (**59**, **119**) zum Ändern der Ausgabestromzufuhrkapazität entsprechend der Ausgabespannung des Differentialverstärkers
aufweist, bei der das Verstärkungssteuermittel mit einem Anstieg der Frequenz des internen Taktsignals den Stromfluß zu dem Differentialverstärker erhöht und damit die Verstärkung des Differentialverstärkers erhöht.

3. Integrierte Halbleiterschaltungsvorrichtung nach Anspruch 2, bei der das Verstärkungssteuermittel mehrere MOS-Transistoren (**56**, **57**) mit variierenden Gategrößen zum Zuführen von Strom zu dem Differentialverstärker aufweist und den Stromfluß zu dem Differentialverstärker mit einem Anstieg der Frequenz des internen Taktsignals durch Betreiben eines MOS-Transistors mit einem größeren Drainstrom erhöht.

4. Integrierte Halbleiterschaltungsvorrichtung nach Anspruch 2, bei der das Verstärkungssteuermittel mehrere MOS-Transistoren (**56**, **57** zum Zuführen von Strom zu dem Differentialverstärker aufweist und den Stromfluß zu dem Differentialverstärker mit einem Anstieg der Frequenz des internen Taktsignals durch Erhöhen der Anzahl der betriebenen MOS-Transistoren erhöht.

5. Integrierte Halbleiterschaltungsvorrichtung nach Anspruch 2, bei der das Verstärkungssteuermittel einen MOS-Transistor (**71**) zum Zuführen von Strom zu dem Differentialverstärker, und eine Gatespannungssteuerschaltung (**72**, **73**) zum Steuern der Gatespannung des MOS-Transistors entsprechend der Frequenz des internen Taktsignals aufweist, bei der die Gatespannungssteuerschaltung die Gatespannung des MOS-Transistors zum Erhöhen der Stromzufuhr zu dem Differentialverstärker mit einem Anstieg der Frequenz des internen Taktsignals steuert.

6. Integrierte Halbleiterschaltungsvorrichtung nach einem der Ansprüche 1 bis 5, bei der die interne Spannungsheruntertransformierschaltung die Ausgabestromzufuhrkapazität erhöht, so wie die Frequenz, die durch den Frequenzdiskriminator be-

stimmt ist, sich erhöht.

7. Integrierte Halbleiterschaltungsvorrichtung nach Anspruch 6, bei der die interne Spannungsheruntertransformierschaltung
einen Differentialverstärker, dem die ausgegebene interne Stromversorgungsspannung und eine spezifische Referenzspannung eingegeben werden, und
eine Ausgabeschaltung zum Ändern der Ausgabestromzufuhrkapazität entsprechend der Frequenz des internen Taktsignals
aufweist, bei der die Ausgabeschaltung die Ausgabestromzufuhrkapazität mit einem Anstieg der Frequenz des internen Taktsignals ändert.

8. Integrierte Halbleiterschaltungsvorrichtung nach einem der Ansprüche 1 bis 7, die weiter
ein Substratspannungserzeugungsmittel (**3**, **121**) zum Erzeugen und Ausgeben einer Halbleitersubstratvorspannung (Vbb) und zum Anlegen einer Substratspannung (Vbb) an das Halbleitersubstrat
aufweist, bei der die Geschwindigkeit, mit der ein Anstieg in der Substratspannung detektiert wird, ansteigt und sich die Reaktion des Substratspannungserzeugungsmittels (**3**, **121**) auf einen Anstieg in der Substratspannung verbessert, so wie die Frequenz, die durch den Frequenzdiskriminator bestimmt ist, ansteigt.

9. Integrierte Halbleiterschaltungsvorrichtung nach Anspruch 8, bei der das Substratspannungserzeugungsmittel
eine Ladungspumpschaltung (**139**) zum Erniedrigen der Substratspannung und
ein Substratspannungsdetektionsmittel (**138**) zum Detektieren der ausgegebenen Substratspannung und zum Betreiben der Ladungspumpschaltung, wenn die Substratspannung einen spezifischen Wert überschreitet,
aufweist, bei der die Reaktion des Substratspannungsdetektionsmittels auf einen Anstieg der Substratspannung sich verbessert und die Geschwindigkeit, mit der detektiert wird, daß die Substratspannung einen spezifischen Wert überschreitet, sich erhöht, so wie die Frequenz des internen Taktsignals ansteigt.

10. Integrierte Halbleiterschaltungsvorrichtung nach einem der Ansprüche 1 bis 9, die weiter
ein Erzeugungsmittel (**4**, **141**) für eine herauftransformierte Spannung zum Erzeugen und Ausgeben einer herauftransformierten Spannung (Vpp) durch Erhöhen der Spannung des extern zugeführten Stromversorgungsspannung aufweist, bei der
die Geschwindigkeit, mit der ein Abfall in der herauftransformierten Spannung detektiert wird, sich erhöht und die Antwort des Erzeugungsmittels für die herauftransformierte Spannung auf einen Abfall in der herauftransformierten Spannung sich verbessert so wie die Frequenz, die durch den Frequenzdiskriminator bestimmt wird, ansteigt.

11. Integrierte Halbleiterschaltungsvorrichtung nach Anspruch 10, bei der das Erzeugungsmittel für die herauftransformierte Spannung
eine Ladungspumpschaltung (**160**) zum Erhöhen der Spannung der herauftransformierten Spannung, und
ein Detektionsmittel (**159**) für die herauftransformierte Spannung zum Detektieren der ausgegebenen herauftransformierten Spannung und zum Betreiben der Ladungspumpschaltung, wenn die herauftransformierte Spannung unter einen spezifischen Wert fällt,
aufweist, bei der die Reaktion des Detektionsmittels für die herauftransformierte Spannung auf einen Abfall in der herauftransformierten Spannung sich verbessert und die Geschwindigkeit, mit der ein Abfall in der herauftransformierten Spannung detektiert wird, sich erhöht so wie Frequenz des internen Taktsignals ansteigt.

12. Integrierte Halbleiterschaltungsvorrichtung, mit
einer Referenzspannungserzeugungsschaltung (**81**, **82**) zum Erzeugen und Ausgeben mehrerer, unterschiedlicher Referenzspannungen (VrL, VrH),
einer internen Spannungsheruntertransformierschaltung (**81**) zum Auswählen einer Referenzspannung, die von der Referenzspannungserzeugungsschaltung eingegeben wird, und zum Heruntertransformieren einer Stromversorgungsspannung (Vcc), die von einer externen Quelle zugeführt wird, zum Erzeugen einer internen Stromversorgungsspannung (int.Vcc) basierend auf der ausgewählten Referenzspannung,
einen internen Taktsignalgenerator (**13**) zum Erzeugen eines internen Taktsignals (INTCLK) basierend auf einem Taktsignal, das von einer externen Quelle geliefert wird, und einem Frequenzdiskriminator (**21**) zum Bestimmen der Frequenz des internen Taktsignals, die durch den internen Taktsignalgenerator erzeugt wird,
bei der die interne Spannungsheruntertransformierschaltung eine höhere Referenzspannung auswählt so wie sich die Frequenz, die durch den Frequenzdiskriminator bestimmt ist, erhöht, zum Kompensieren eines Abfalls in der internen Stromversorgungsspannung
und die interne Spannungsheruntertransformierschaltung ein Referenzspannungsauswahlmittel (**95**) zum Auswählen einer Referenzspannung, die von dem Referenzspannungserzeugungsmittel ausgegeben wird, entsprechend der Frequenz des internen Taktsignals,
einen Differentialverstärker (**92**), dem die ausgegebene interne Stromversorgungsspannung und die Referenzspannung, die durch das Referenzspannungsauswahlmittel ausgewählt ist, eingegeben werden, und
eine Ausgabeschaltung (**59**) zum Ändern der Stromzuführungskapazität entsprechend der Ausgabe-

spannung des Differentialverstärkers
aufweist, bei der das Referenzspannungsauswahlmittel eine höhere Referenzspannung mit einem Anstieg der Frequenz des internen Taktsignals auswählt.

Es folgen 15 Blatt Zeichnungen

Anhängende Zeichnungen

Fig.1

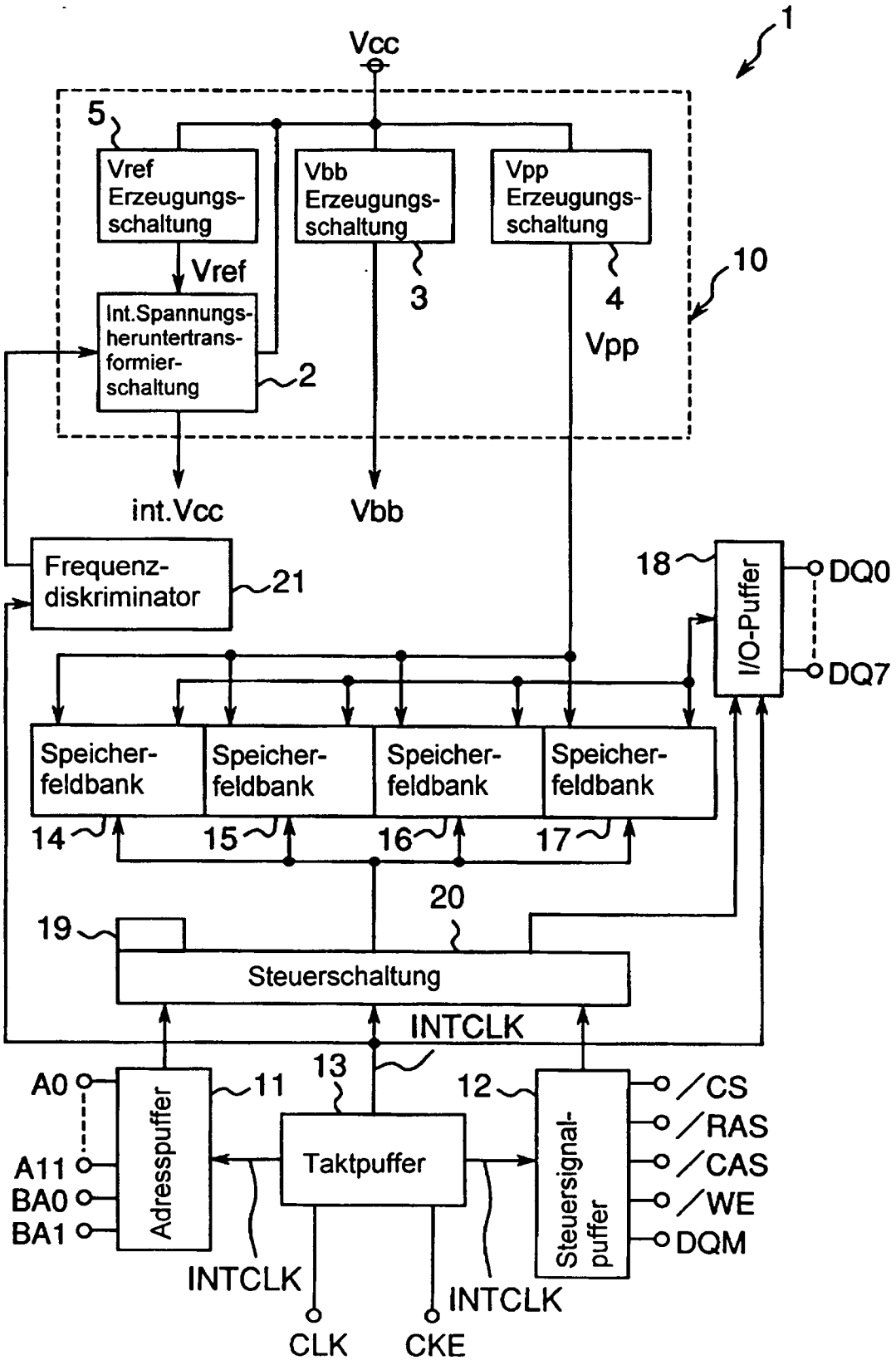


Fig.2

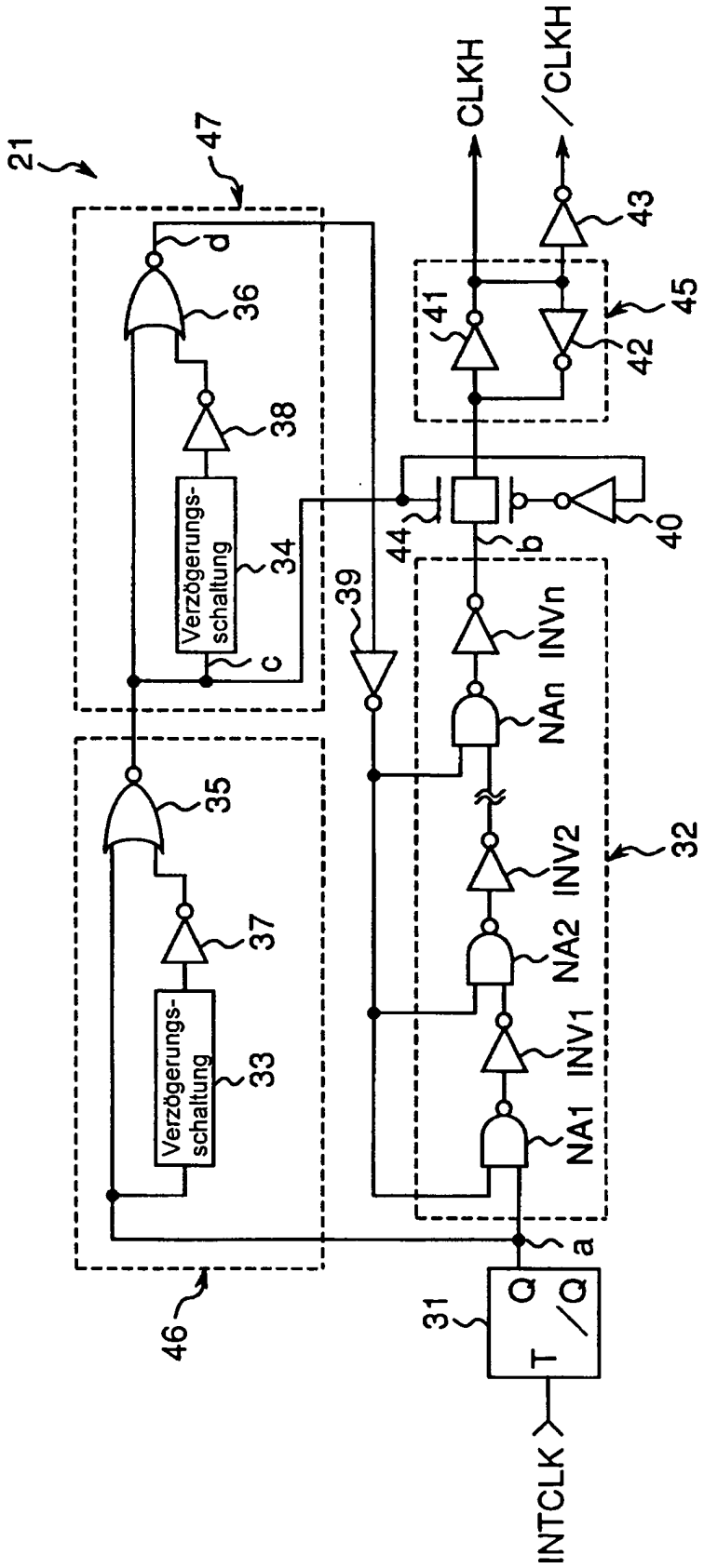

21
47
CLKH
/CLKH
d
36
38
Verzögerungs-
schaltung
34
c
39
35
37
Verzögerungs-
schaltung
33
46
43
41
45
42
44
b
40
INVn
NAn
INV2
NA2
INV1
NA1
32
a
31
Q
/Q
T
INTCLK

Fig.3

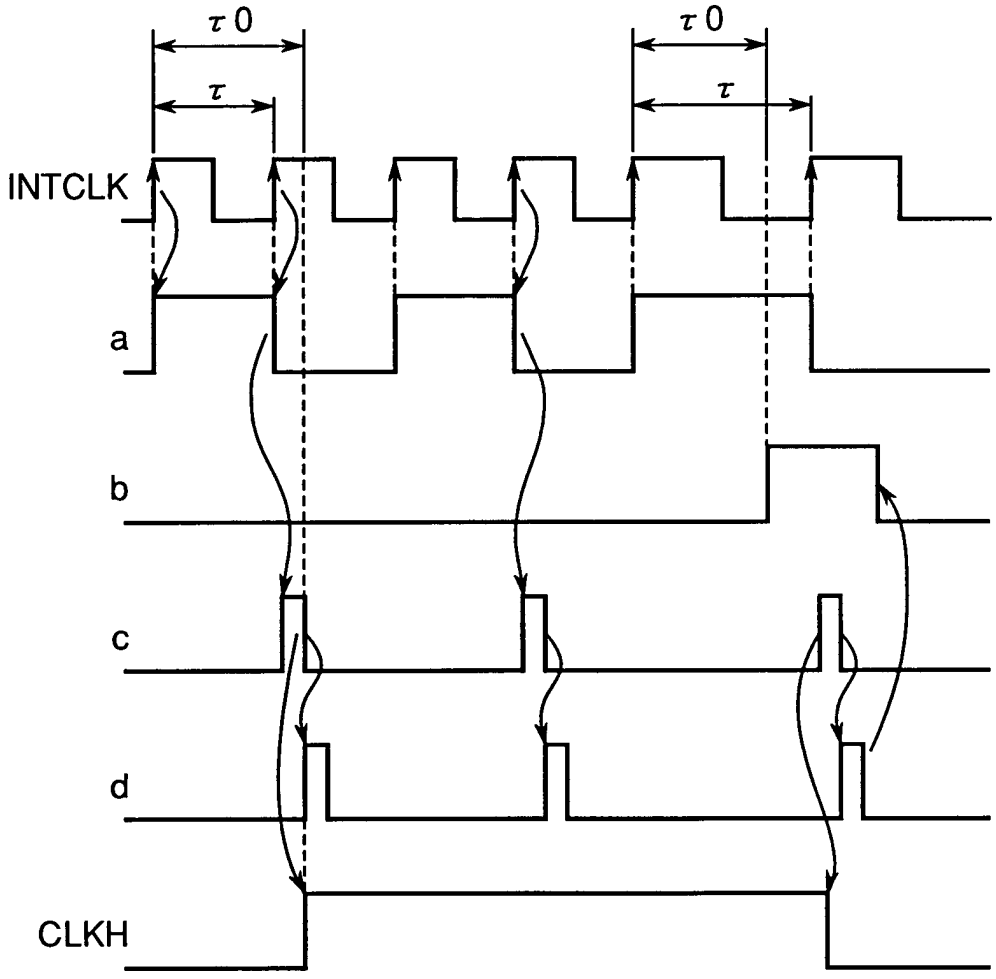


Fig.4

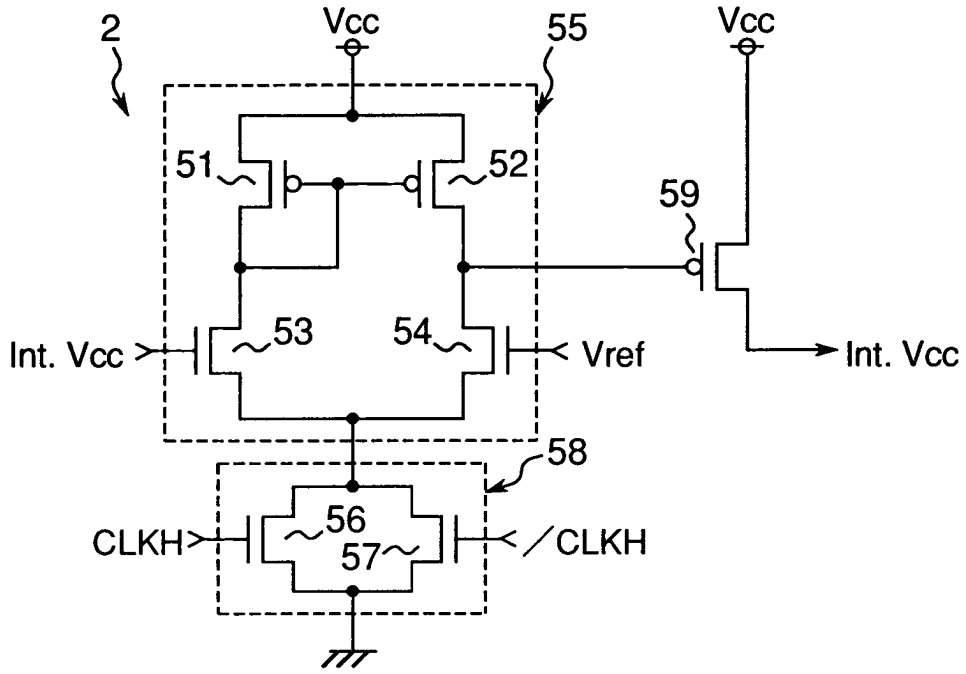

2
Vcc
55
Vcc
51
52
59
Int. Vcc
53
54
Vref
Int. Vcc
58
CLKH
56
57
/CLKH

Fig.5

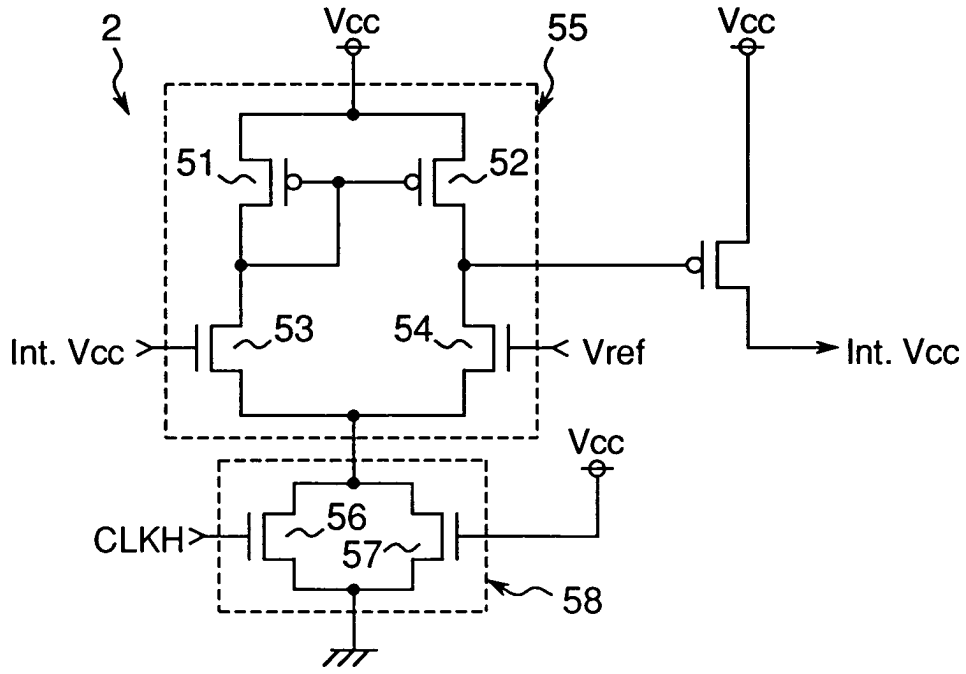

2
Vcc
55
Vcc
51
52
Int. Vcc
53
54
Vref
Int. Vcc
Vcc
CLKH
56
57
58

Fig.6

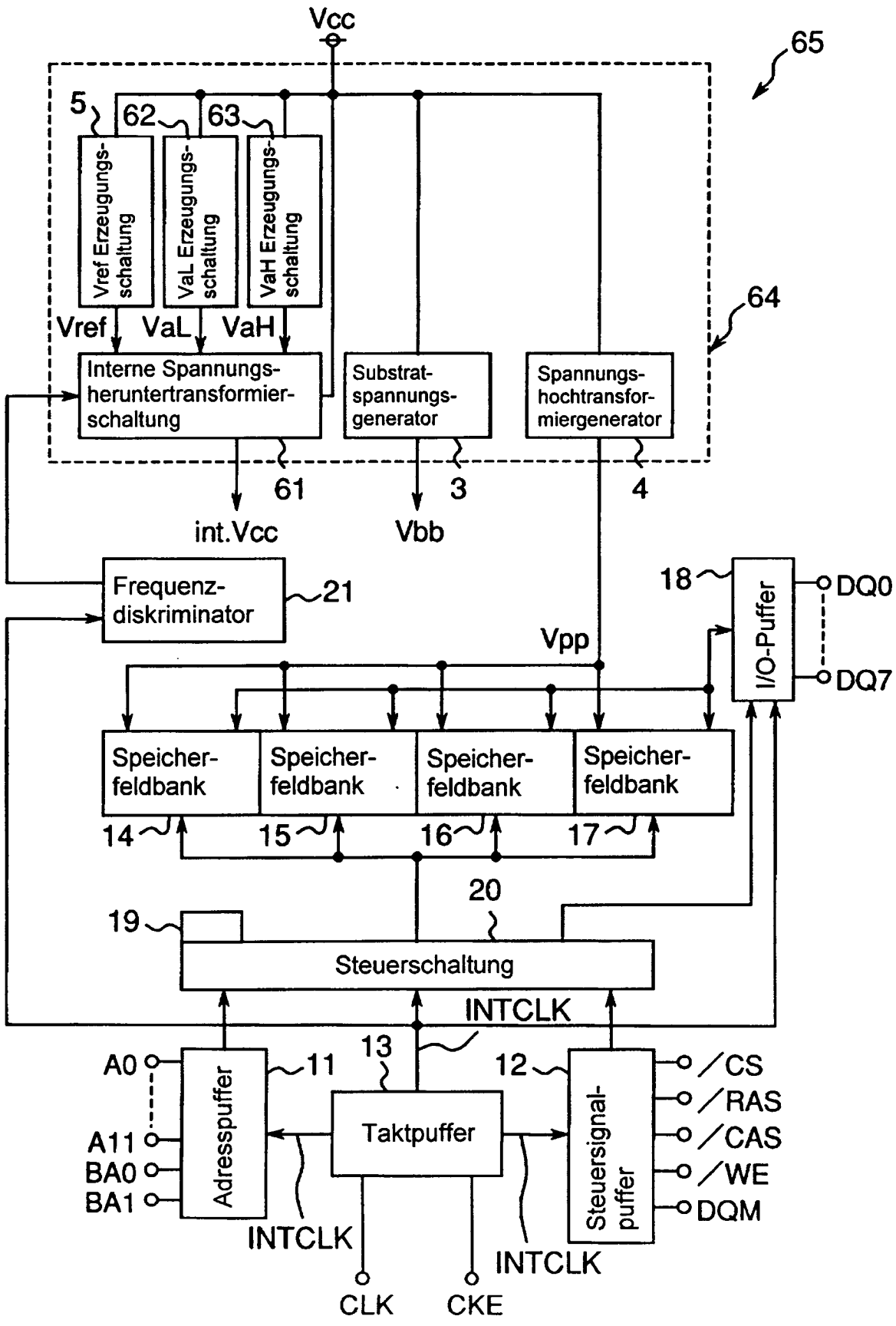

Vcc
65
5
62
63
Vref Erzeugungs-schaltung
VaL Erzeugungs-schaltung
VaH Erzeugungs-schaltung
64
Vref
VaL
VaH
Interne Spannungs-heruntertransformier-schaltung
Substrat-spannungs-generator
Spannungs-hochtransfor-miergenerator
61
3
4
int.Vcc
Vbb
Frequenz-diskriminator
21
18
I/O-Puffer
DQ0
DQ7
Vpp
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
14
15
16
17
20
19
Steuerschaltung
INTCLK
13
A0
A11
BA0
BA1
Adresspuffer
11
Taktpuffer
12
Steuersignal-puffer
/CS
/RAS
/CAS
/WE
DQM
INTCLK
INTCLK
CLK
CKE

Fig.7

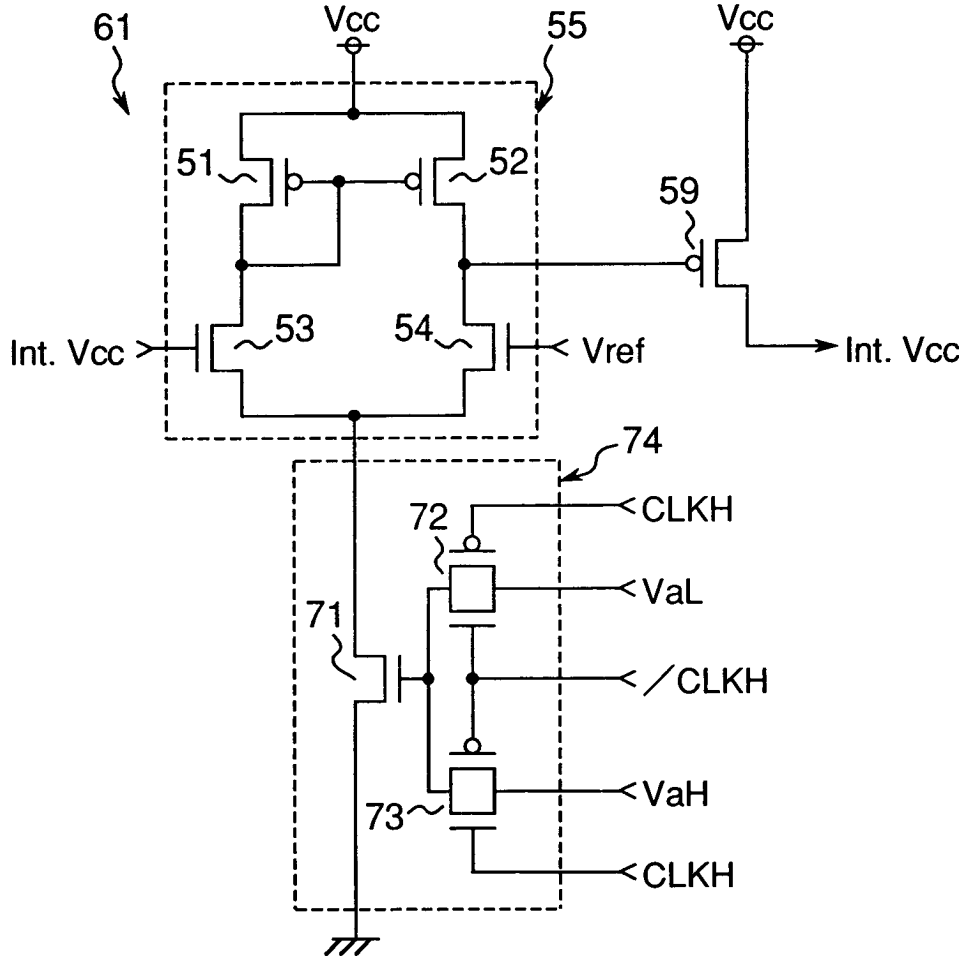

61
Vcc
55
Vcc
51
52
59
53
54
Int. Vcc
Vref
Int. Vcc
74
72
CLKH
71
VaL
/CLKH
73
VaH
CLKH

Fig.8

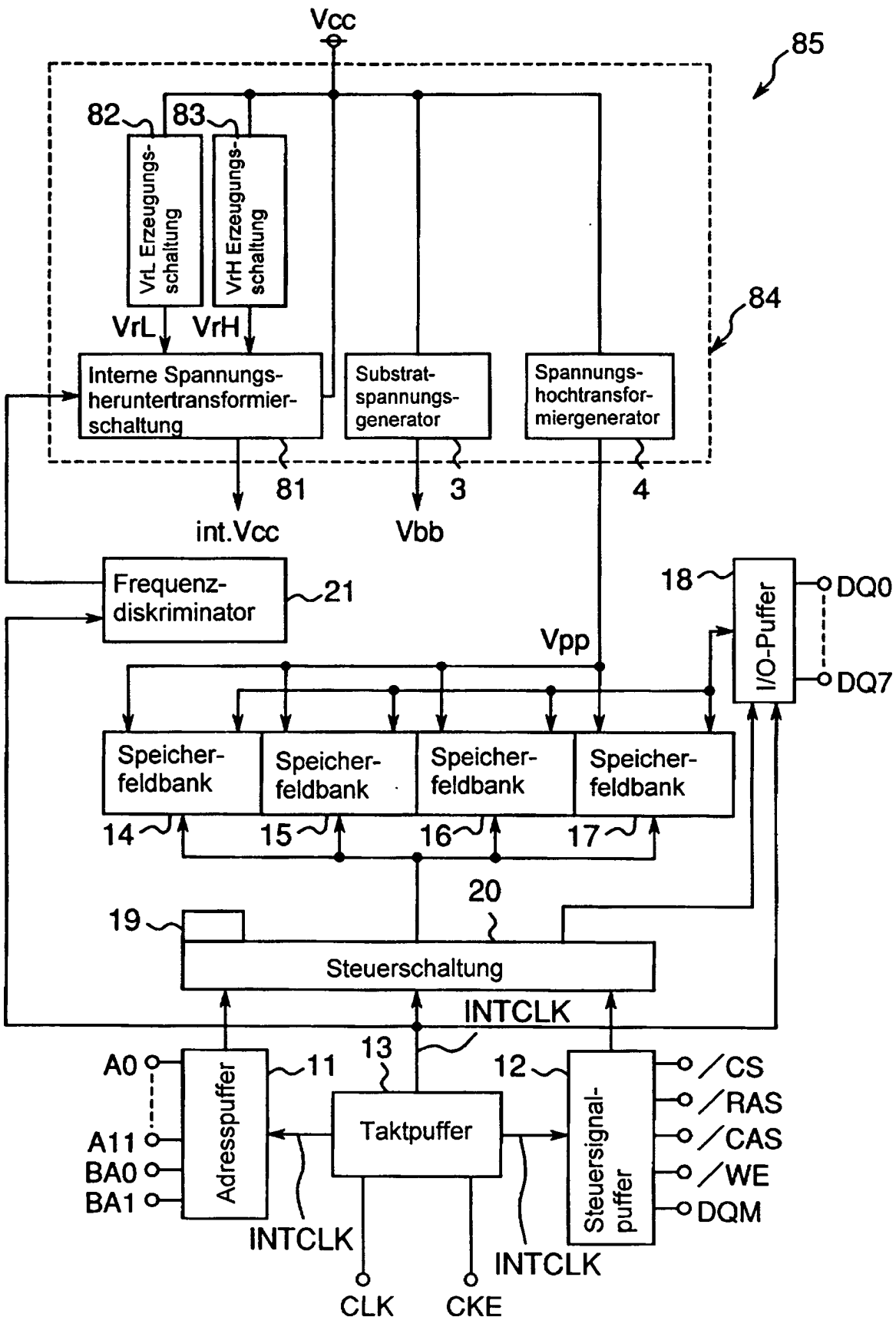

Vcc
85
82
83
VrL Erzeugungs-schaltung
VrH Erzeugungs-schaltung
84
VrL
VrH
Interne Spannungs-heruntertransformier-schaltung
Substrat-spannungs-generator
Spannungs-hochtransfor-miergenerator
81
3
4
int.Vcc
Vbb
Frequenz-diskriminator
21
18
I/O-Puffer
DQ0
DQ7
Vpp
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
14
15
16
17
20
19
Steuerschaltung
INTCLK
13
A0
A11
BA0
BA1
Adresspuffer
11
Taktpuffer
12
Steuersignal-puffer
/CS
/RAS
/CAS
/WE
DQM
INTCLK
INTCLK
CLK
CKE

Fig.9

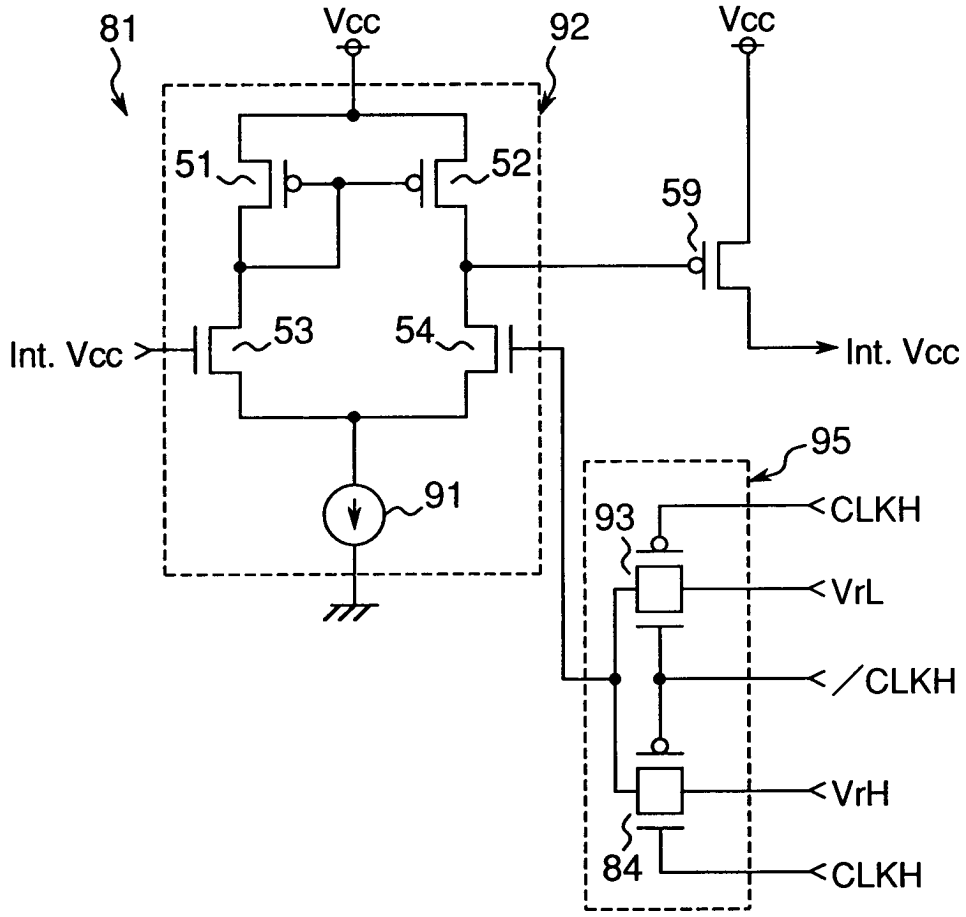

81
Vcc
92
Vcc
51
52
59
Int. Vcc
53
54
Int. Vcc
95
91
93
CLKH
VrL
/CLKH
VrH
84
CLKH

Fig.10

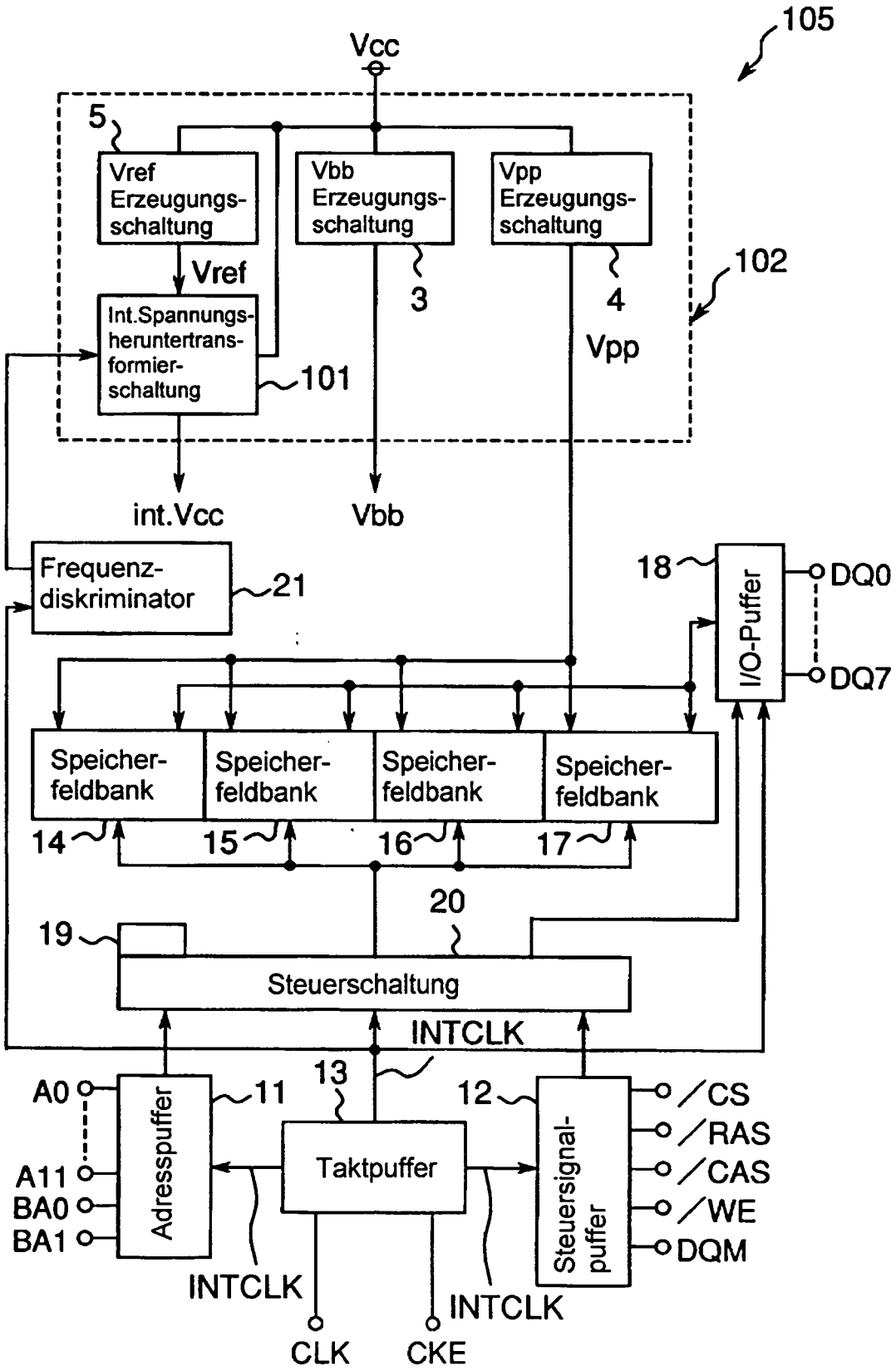

105
Vcc
5
Vref Erzeugungs-schaltung
Vbb Erzeugungs-schaltung
Vpp Erzeugungs-schaltung
102
Vref
3
4
Vpp
Int.Spannungs-heruntertrans-formier-schaltung
101
int.Vcc
Vbb
Frequenz-diskriminator
21
18
I/O-Puffer
DQ0
DQ7
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
14
15
16
17
20
19
Steuerschaltung
INTCLK
13
A0
A11
BA0
BA1
Adresspuffer
11
Taktpuffer
12
Steuersignal-puffer
/CS
/RAS
/CAS
/WE
DQM
INTCLK
INTCLK
CLK
CKE

Fig.11

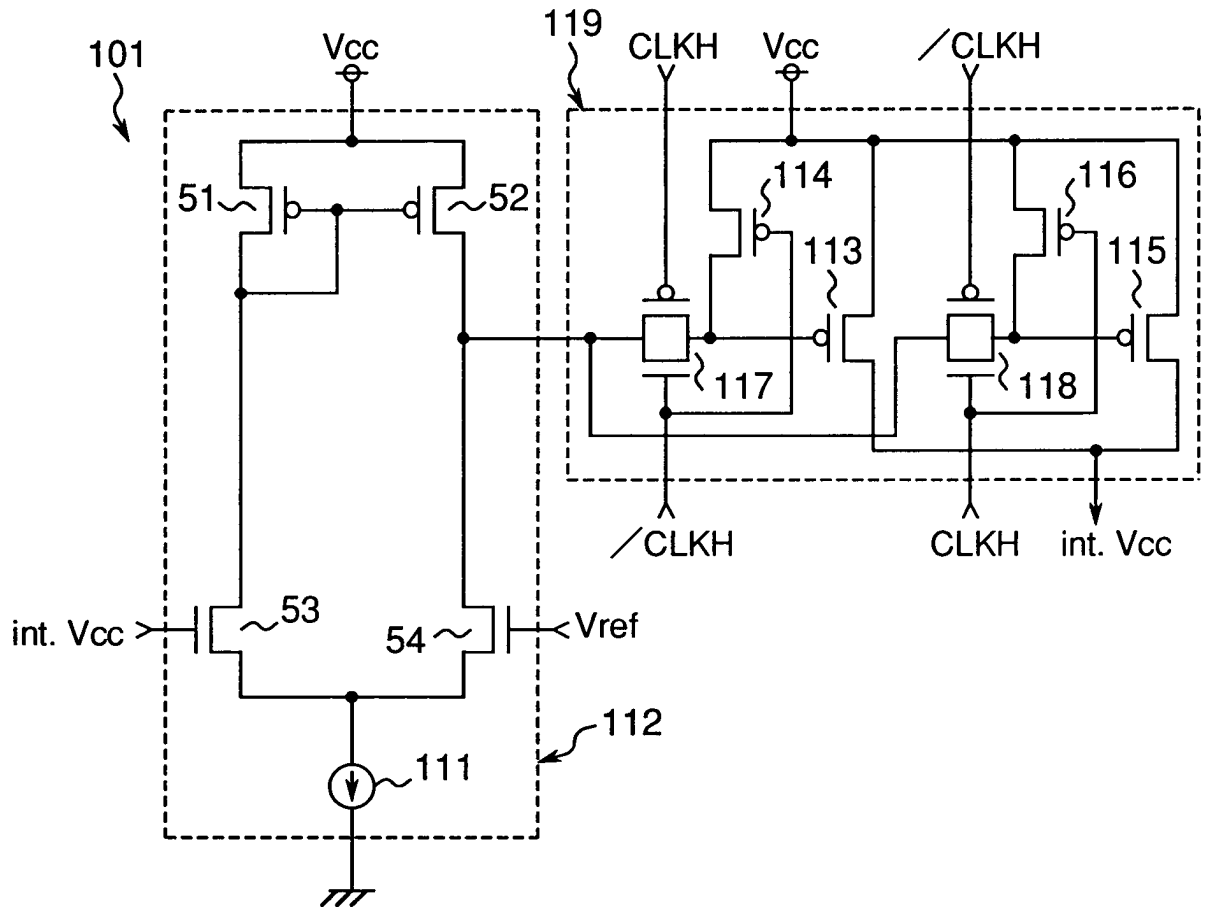

101
Vcc
119
CLKH
Vcc
/CLKH
51
52
114
116
113
115
117
118
/CLKH
CLKH
int. Vcc
int. Vcc
53
54
Vref
112
111

Fig.12

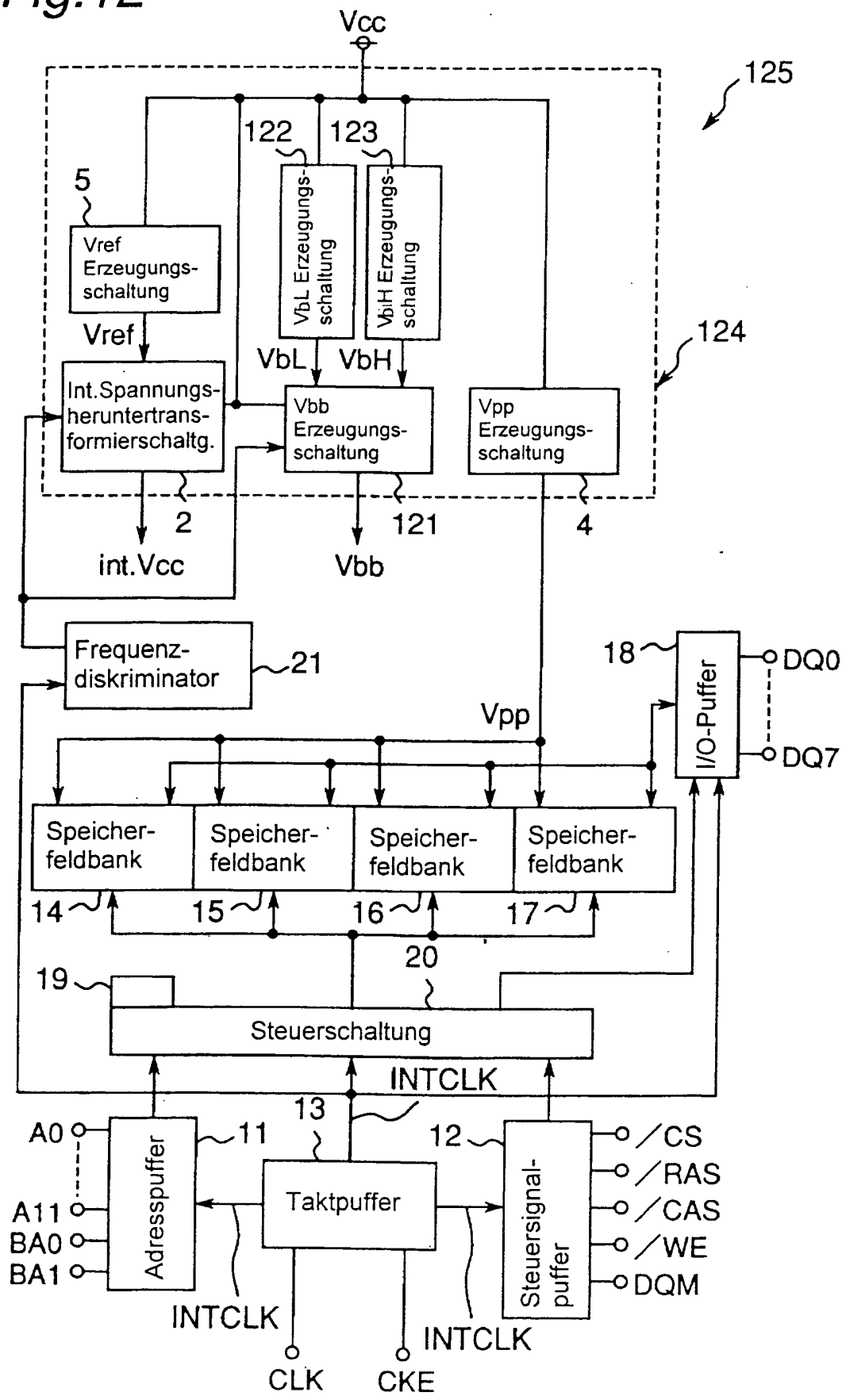

Vcc
125
122
123
5
Vref Erzeugungs-schaltung
VbL Erzeugungs-schaltung
VbiH Erzeugungs-schaltung
Vref
VbL
VbH
124
Int.Spannungs-heruntertrans-formierschaltg.
Vbb Erzeugungs-schaltung
Vpp Erzeugungs-schaltung
2
121
4
int.Vcc
Vbb
Frequenz-diskriminator
21
18
I/O-Puffer
DQ0
DQ7
Vpp
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
14
15
16
17
20
19
Steuerschaltung
INTCLK
13
A0
11
12
/CS
/RAS
/CAS
/WE
DQM
A11
BA0
BA1
Adresspuffer
Taktpuffer
Steuersignal-puffer
INTCLK
INTCLK
CLK
CKE

Fig.13

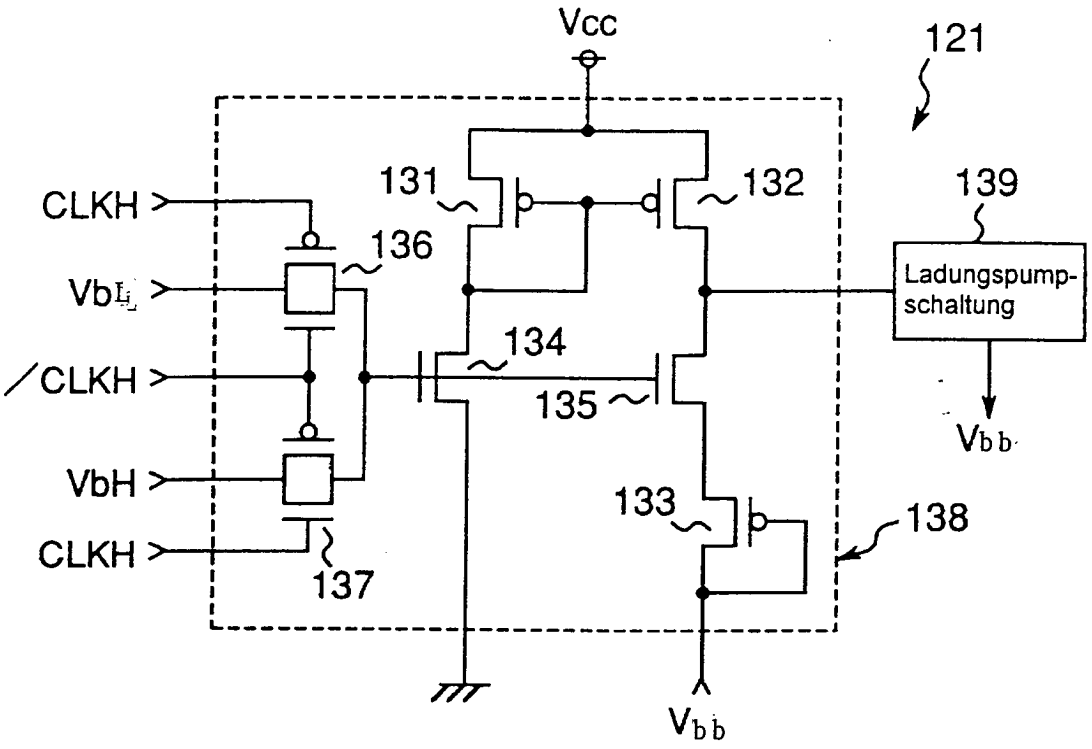

Vcc
121
131
132
139
CLKH
136
VbL
Ladungspump-
schaltung
134
/CLKH
135
Vbb
VbH
133
138
CLKH
137
Vbb

Fig.14

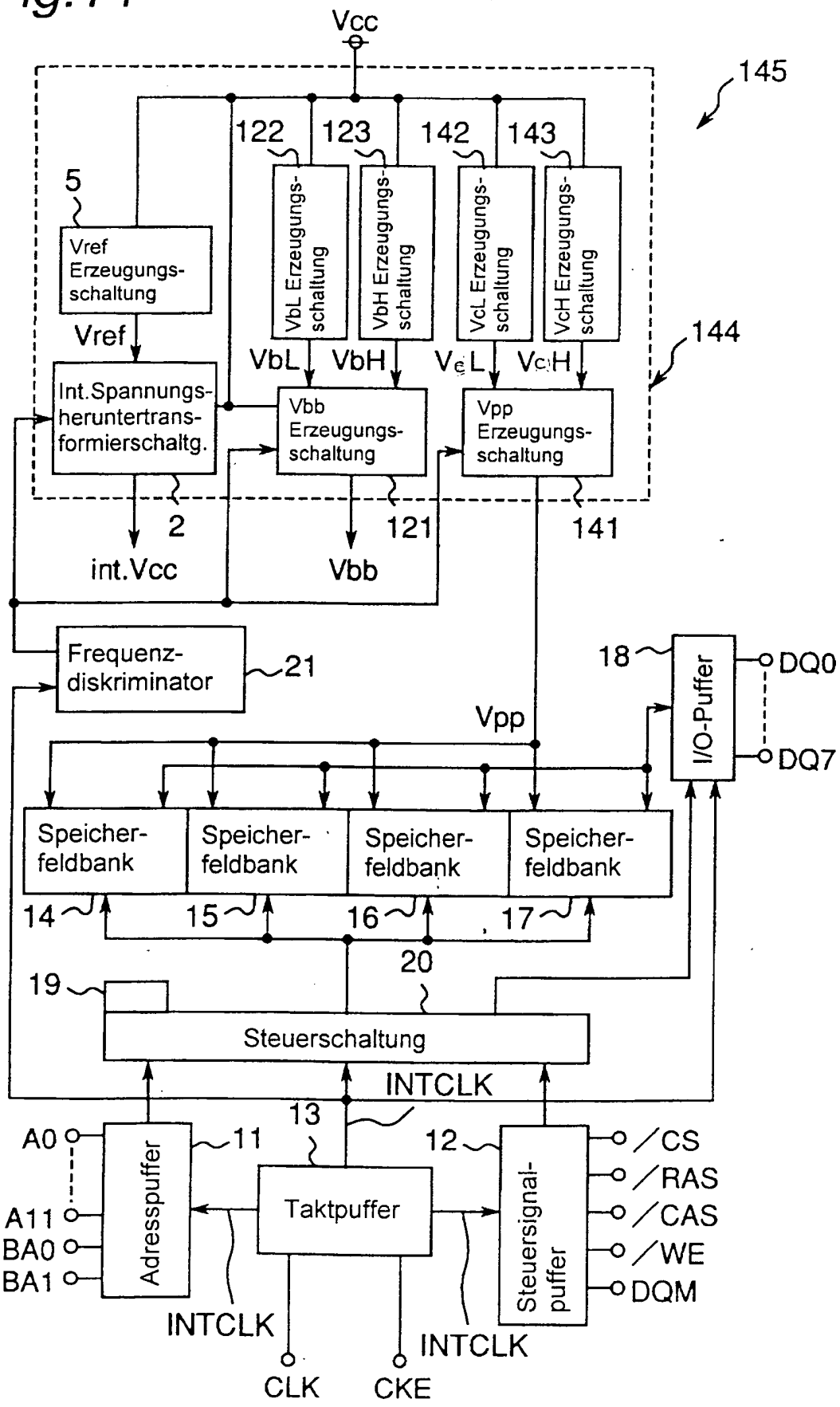

Vcc
145
122
123
142
143
5
Vref Erzeugungs-schaltung
VbL Erzeugungs-schaltung
VbH Erzeugungs-schaltung
VcL Erzeugungs-schaltung
VcH Erzeugungs-schaltung
144
Vref
VbL
VbH
VcL
VcH
Int.Spannungs-heruntertrans-formierschaltg.
Vbb Erzeugungs-schaltung
Vpp Erzeugungs-schaltung
2
121
141
int.Vcc
Vbb
Frequenz-diskriminator
21
18
I/O-Puffer
DQ0
DQ7
Vpp
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
14
15
16
17
20
19
Steuerschaltung
INTCLK
13
A0
A11
BA0
BA1
Adresspuffer
11
12
Taktpuffer
Steuersignal-puffer
/CS
/RAS
/CAS
/WE
DQM
INTCLK
INTCLK
CLK
CKE

Fig.15

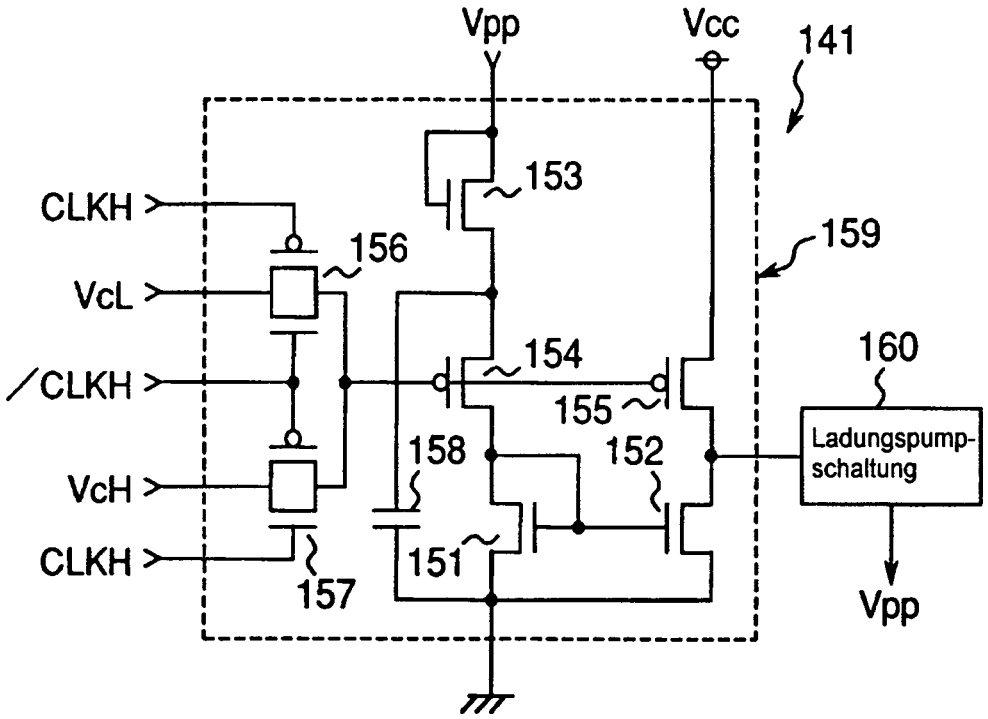
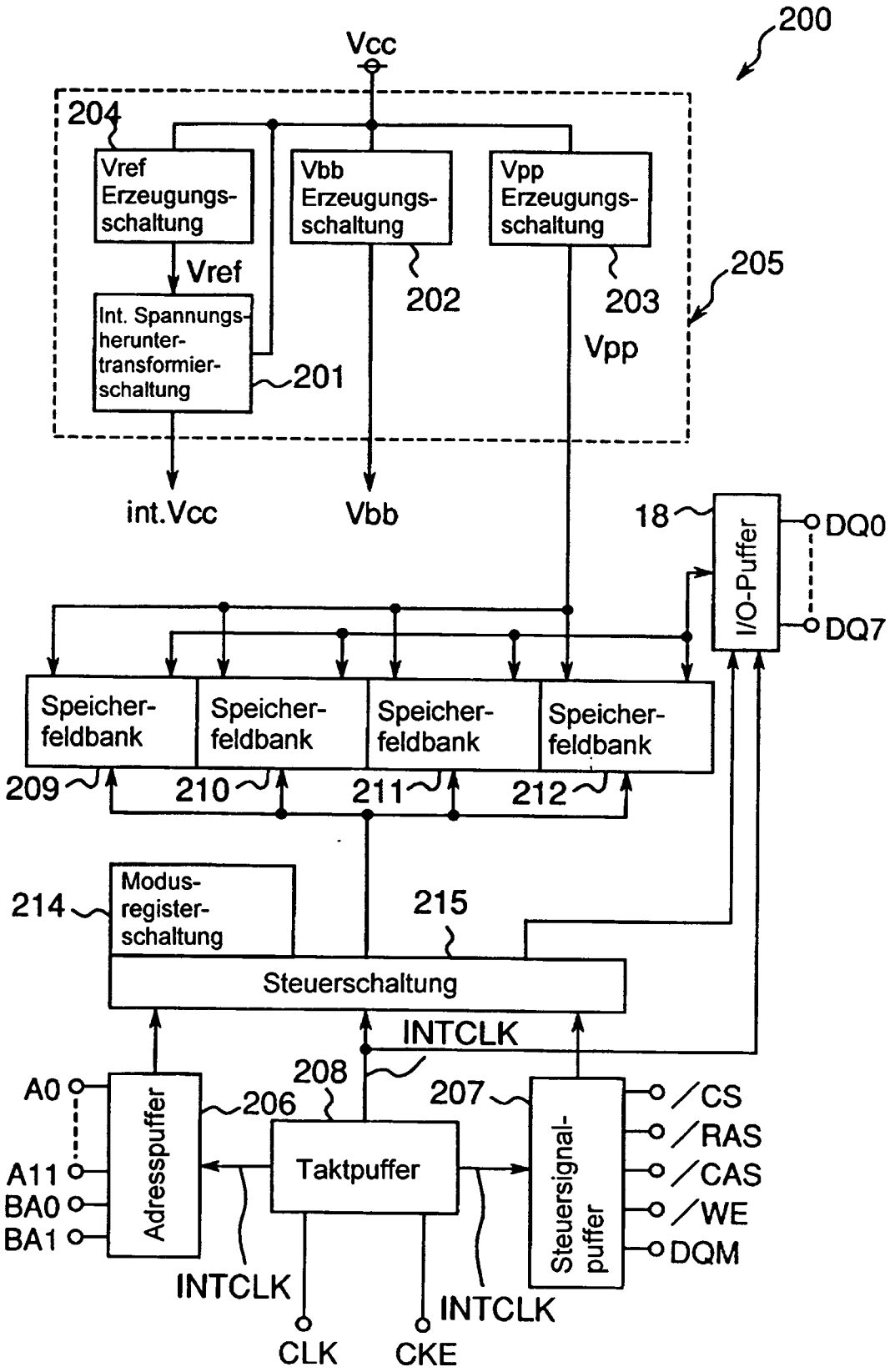

Vpp
Vcc
141
153
CLKH
156
159
VcL
154
160
/CLKH
155
158
152
Ladungspump-
schaltung
VcH
CLKH
151
157
Vpp

Fig.16


200
Vcc
204
Vref Erzeugungs-schaltung
Vbb Erzeugungs-schaltung
Vpp Erzeugungs-schaltung
Vref
Int. Spannungs-herunter-transformier-schaltung
201
202
203
205
Vpp
int.Vcc
Vbb
18
I/O-Puffer
DQ0
DQ7
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
Speicher-feldbank
209
210
211
212
214
Modus-register-schaltung
215
Steuerschaltung
INTCLK
208
207
206
A0
A11
BA0
BA1
Adresspuffer
Taktpuffer
Steuersignal-puffer
/CS
/RAS
/CAS
/WE
DQM
INTCLK
INTCLK
CLK
CKE